

产品特性

2 A 峰值电流输出 ($< 2 \Omega R_{DS(on)}$)

2.5 V 至 6.5 V 输入

4.5 V 至 35 V 输出

欠压闭锁 (UVLO): 2.5 V V_{DD1}

V_{DD2} 有多个 UVLO 选项

A 级: 4.4 V (典型值) UVLO - V_{DD2}

B 级: 7.3 V (典型值) UVLO - V_{DD2}

C 级: 11.3 V (典型值) UVLO - V_{DD2}

精密时序特性

隔离器和驱动器传播延迟: 53 ns (最大值)

CMOS 输入逻辑电平

高共模瞬变抗扰度: $> 150 \text{ kV}/\mu\text{s}$

工作结温最高可达: 125°C

默认低电平输出

内置米勒箝位

安全和法规认证 (申请中)

UL 认证 (UL 1577)

5 kV rms 耐压测试 (1 分钟)

CSA 元件验收通知 5A

符合 VDE 标准证书 (申请中)

DIN V VDE V 0884-10 (VDE V 0884-10); 2006-12

$V_{IORM} = 849 \text{ V}$ 峰值

8 引脚宽体 SOIC 封装

应用

开关电源

隔离式 IGBT/MOSFET 栅极驱动器

工业逆变器

氮化镓 (GaN)/碳化硅 (SiC) 功率器件

概述

ADuM4121/ADuM4121-1¹ 是 2 A 隔离式单通道驱动器，采用 ADI 公司的 iCoupler[®] 技术提供精密隔离。ADuM4121/ADuM4121-1 提供 5 kV rms 隔离，采用 8 引脚宽体 SOIC 封装。这些隔离器件将高速 CMOS 与单芯片变压器技术融为一体，相比于脉冲变压器和栅极驱动器等组合替代器件具有更出色的性能表现。

ADuM4121/ADuM4121-1 工作时的输入电源电压范围在 2.5 V 到 6.5 V 之间，可与较低电压系统兼容。与采用高压电平转换方法的栅极驱动器相比，ADuM4121/ADuM4121-1 的输入与输出之间具有真电流隔离优势。

ADuM4121/ADuM4121-1 内置米勒箝位功能，其在栅极驱动输出下降沿上的 2 V 处激活，为被驱动的栅极提供一个阻抗较低的路径，以降低米勒电容引发开启的可能性。

存在使能或禁用热关断的选项。因此，ADuM4121/ADuM4121-1 能够可靠地控制广泛开关电压范围下的绝缘栅极双极性晶体管 (IGBT)/金属氧化物半导体场效应晶体管 (MOSFET) 配置的开关特性。

功能框图

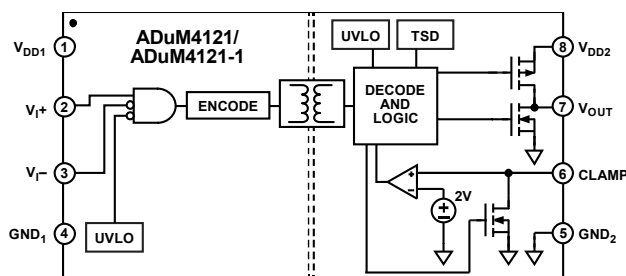


图1.

¹ 受美国专利第 5,952,849、6,873,065、7,075,239。其他专利正在申请中。

Rev. 0

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.

Tel: 781.329.4700

©2016 Analog Devices, Inc. All rights reserved.

Technical Support

www.analog.com

目录

| | | | |
|---|---|---------------------|----|
| 产品特性..... | 1 | 引脚配置和功能描述..... | 7 |
| 应用..... | 1 | 典型性能参数 | 8 |
| 概述..... | 1 | 工作原理..... | 11 |
| 功能框图..... | 1 | 应用信息 | 12 |
| 修订历史..... | 2 | 印刷电路板 (PCB) 布局..... | 12 |
| 技术规格..... | 3 | 传播延迟相关参数..... | 12 |
| 电气特性..... | 3 | 欠压闭锁..... | 12 |
| 法规信息 | 4 | 输出负载特性..... | 13 |
| 封装特性..... | 4 | 功耗..... | 13 |
| 隔离和安全相关特性 | 5 | 隔离寿命..... | 14 |
| DIN V VDE V 0884-10 (VDE V 0884-10) 隔离特性..... | 5 | 典型应用..... | 14 |
| 建议工作条件..... | 5 | 外形尺寸..... | 16 |
| 绝对最大额定值..... | 6 | 订购指南..... | 16 |
| ESD警告..... | 6 | | |

修订历史

2016年10月—修订版0：初始版

技术规格

电气特性

低端电压以GND₁为基准。高端电压以GND₂为基准； $2.5\text{ V} \leq V_{DD1} \leq 6.5\text{ V}$ ； $4.5\text{ V} \leq V_{DD2} \leq 35\text{ V}$ ， $T_j = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ 。除非另有说明，所有最小值/最大值规格适用于整个推荐的工作范围。所有典型规格均在 $T_j = 25^\circ\text{C}$ 、 $V_{DD1} = 5.0\text{ V}$ 、 $V_{DD2} = 15\text{ V}$ 条件下测得。

表1.

| 参数 | 符号 | 最小值 | 典型值 | 最大值 | 单位 | 测试条件/注释 |
|--|-----------------------------------|------------------------|------|------------------------|----|--|
| 直流规格 | | | | | | |
| 高端电源 | | | | | | |
| V _{DD2} 输入电压 | V _{DD2} | 4.5 | | 35 | V | |
| V _{DD2} 输入电流，静态 | I _{DD2(O)} | | 2.3 | 2.7 | mA | |
| 逻辑电源 | | | | | | |
| V _{DD1} 输入电压 | V _{DD1} | 2.5 | | 6.5 | V | |
| 输入电流 | I _{DD1} | | 3.6 | 5 | mA | V _{I+} = 高电平，V _{I-} = 低电平 |
| 逻辑输入 (V _{I+} 、V _{I-}) | | | | | | |
| 输入电流 | I _{I+} , I _{I-} | -1 | 0.01 | +1 | μA | |
| 输入电压 | | | | | | |
| 逻辑高电平 | V _{IH} | 0.7 × V _{DD1} | | | V | 2.5 V ≤ V _{DD1} ≤ 5 V |
| | | 3.5 | | | V | V _{DD1} > 5 V |
| 逻辑低电平 | V _{IL} | | | 0.3 × V _{DD1} | V | 2.5 V ≤ V _{DD1} ≤ 5 V |
| | | | | 1.5 | V | V _{DD1} > 5 V |
| UVLO | | | | | | |
| V _{DD1} | | | | | | |
| 趋正阈值 | V _{VDD1UV+} | | 2.45 | 2.5 | V | |
| 趋负阈值 | V _{VDD1UV-} | 2.3 | 2.35 | | V | |
| 迟滞 | V _{VDD1UVH} | | 0.1 | | V | |
| V _{DD2} | | | | | | |
| A级 | | | | | | |
| 趋正阈值 | V _{VDD2UV+} | | 4.4 | 4.5 | V | |
| 趋负阈值 | V _{VDD2UV-} | 4.1 | 4.2 | | V | |
| 迟滞 | V _{VDD2UVH} | | 0.2 | | V | |
| B级 | | | | | | |
| 趋正阈值 | V _{VDD2UV+} | | 7.3 | 7.5 | V | |
| 趋负阈值 | V _{VDD2UV-} | 6.9 | 7.1 | | V | |
| 迟滞 | V _{VDD2UVH} | | 0.2 | | V | |
| C级 | | | | | | |
| 趋正阈值 | V _{VDD2UV+} | | 11.3 | 11.6 | V | |
| 趋负阈值 | V _{VDD2UV-} | 10.8 | 11.1 | | V | |
| 迟滞 | V _{VDD2UVH} | | 0.2 | | V | |
| 热关断 (TSD) | | | | | | |
| 正边沿 | T _{TSD POS} | | 155 | | °C | ADuM4121-1没有TSD |
| 迟滞 | T _{TSD HYST} | | 30 | | °C | |
| 内部NMOS栅极电阻 | | | | | | |
| | R _{DSON N} | | 0.6 | 1.6 | Ω | 测试条件：250 mA，V _{DD2} = 15 V |
| | | | 0.6 | 1.6 | Ω | 测试条件：1 A，V _{DD2} = 15 V |
| 内部PMOS栅极电阻 | | | | | | |
| | R _{DSON P} | | 0.8 | 1.8 | Ω | 测试条件：250 mA，V _{DD2} = 15 V |
| | | | 0.8 | 1.8 | Ω | 测试条件：1 A，V _{DD2} = 15 V |
| 内部米勒箝位电阻 | | | | | | |
| | R _{DSON_MILL} | | 0.8 | 2 | Ω | 测试条件：200 mA，V _{DD2} = 15 V |
| 米勒箝位电压阈值 | | | | | | |
| | V _{CLP TH} | 1.75 | 2 | 2.25 | V | 以GND ₂ 为基准，V _{DD2} = 15 V |
| 峰值电流 | | | | | | |
| | I _{PK} | | 2.3 | | A | V _{DD2} = 12 V，4 Ω栅极电阻 |
| 开关规格 | | | | | | |
| 脉冲宽度 | PW | 50 | | | ns | C _L = 2 nF，V _{DD2} = 15 V，R _{GON} ¹ = R _{GOFF} ¹ = 5 Ω |
| 传播延迟 | | | | | | |
| 上升沿 ² | t _{DLH} | 22 | 32 | 42 | ns | C _L = 2 nF，V _{DD2} = 15 V，R _{GON} = R _{GOFF} = 5 Ω |
| 下降沿 ² | t _{DHL} | 30 | 38 | 53 | ns | C _L = 2 nF，V _{DD2} = 15 V，R _{GON} = R _{GOFF} = 5 Ω |

| 参数 | 符号 | 最小值 | 典型值 | 最大值 | 单位 | 测试条件/注释 |
|---------------------|-------------|-----|-----|-----|-------------|---|
| 偏斜 ³ | t_{PSK} | | | 22 | ns | $C_L = 2 \text{ nF}$, $V_{DD2} = 15 \text{ V}$, $R_{GON} = R_{GOFF} = 5 \Omega$ |
| 下降沿 ⁴ | t_{PSKHL} | | | 12 | ns | $C_L = 2 \text{ nF}$, $V_{DD2} = 15 \text{ V}$, $R_{GON} = R_{GOFF} = 5 \Omega$ |
| 上升沿 ⁵ | t_{PSKLN} | | | 15 | ns | $C_L = 2 \text{ nF}$, $V_{DD2} = 15 \text{ V}$, $R_{GON} = R_{GOFF} = 5 \Omega$ |
| 脉冲宽度失真 | t_{PVD} | | 7 | 13 | ns | $C_L = 2 \text{ nF}$, $V_{DD2} = 15 \text{ V}$, $R_{GON} = R_{GOFF} = 5 \Omega$ |
| 输出上升/下降时间 (10%至90%) | t_R/t_F | 11 | 18 | 26 | ns | $C_L = 2 \text{ nF}$, $V_{DD2} = 15 \text{ V}$, $R_{GON} = R_{GOFF} = 5 \Omega$ |
| 共模瞬变抗扰度 (CMTI) | $ CM $ | | | | | |
| 静态CMTI ⁶ | | 150 | | | kV/ μ s | $V_{CM} = 1500 \text{ V}$ |
| 动态CMTI ⁷ | | 150 | | | kV/ μ s | $V_{CM} = 1500 \text{ V}$ |

¹ R_{GON} 和 R_{GOFF} 是测试中的外部栅极电阻。

² t_{DLH} 传播延迟是指从输入上升逻辑高电平阈值 V_{IH} 到输出上升 V_{OUT} 信号10%阈值的时间。 t_{DHL} 传播延迟是指从输入下降逻辑低电平阈值 V_{IL} 到输出下降 V_{OX} 信号90%阈值的时间。有关传播延迟参数的波形, 参见图24。

³ t_{PSK} 指器件在建议工作条件范围内的相同工作温度、电源电压和输出负载下工作时测得的 t_{DLH} 和/或 t_{DHL} 的最差情况偏差。有关传播延迟参数的波形, 参见图24。

⁴ t_{PSKHL} 指器件在建议工作条件范围内的相同工作温度、电源电压和输出负载下工作时测得的 t_{DLH} 的最差情况偏差。有关传播延迟参数的波形, 参见图24。

⁵ t_{PSKLN} 指器件在建议工作条件范围内的相同工作温度、电源电压和输出负载下工作时测得的 t_{DLH} 的最差情况偏差。有关传播延迟参数的波形, 参见图24。

⁶ 静态共模瞬变抗扰度 (CMTI) 定义为 GND_1 和 GND_2 之间的最大 dv/dt 值, 其输入保持高电平或低电平, 从而使输出电压保持在 $0.8 \times V_{DD2}$ (针对输出高电平) 或 0.8 V (针对输出低电平)。以超出建议水平的瞬态电压工作可能会导致暂时性的数据扰乱。

⁷ 动态共模瞬变抗扰度 (CMTI) 定义为 GND_1 和 GND_2 之间的最大 dv/dt 值, 其开关边沿与瞬变测试脉冲重合。以超出建议水平的瞬态电压工作可能会导致暂时性的数据扰乱。

法规信息

ADuM4121/ADuM4121-1正在接受表2所列机构的认证。

表2.

| UL (申请中) | CSA (申请中) | VDE (申请中) | CQC (申请中) |
|----------------------|---|--|--|
| UL1577器件认可程序 | CSA元件验收通知5A批准 | DIN V VDE V 0884-10 (VDE V 0884-10):2006-12 | CQC11-471543-2012 认证 |
| 单一保护, 5000 V rms隔离电压 | CSA 60950-1-07+A1+A2和IEC 60950-1, 第二版, +A1+A2; 基本绝缘, 800 V rms (1131 V峰值) 加强绝缘, 400 V rms (565 V峰值) IEC 60601-1第3.1版: 基本绝缘 (1 MOPP), 500 V rms (707 V峰值) 加强绝缘 (2 MOPP), 250 V rms (1414 V峰值) CSA 61010-1-12和IEC 61010-1第三版 基本绝缘: 600 V rms市电, 800 V次级 (1089 V峰值) 加强绝缘: 300 V rms市电, 400 V次级 (565 V峰值) | 加强绝缘, 849 V峰值, $V_{IOSM} = 10 \text{ kV}$ 峰值 基本绝缘, 849 V峰值, $V_{IOSM} = 16 \text{ kV}$ 峰值 | GB4943.1-2011 基本绝缘, 800 V rms (1131 V峰值) 加强绝缘, 400 V rms (565 V峰值) |
| 文件E214100 | 文件205078 | 文件2471900-4880-0001 | 文件 (申请中) |

封装特性

表3.

| 参数 | 符号 | 最小值 | 典型值 | 最大值 | 单位 | 测试条件/注释 |
|----------------------------|-------------|-----|------------------|-----|----------------------|---------|
| 电阻 (输入侧到高端输出) ¹ | R_{I-O} | | 10 ¹² | | Ω | |
| 电容 (输入侧到高端输出) ¹ | C_{I-O} | | 2.0 | | pF | |
| 输入电容 | C_I | | 4.0 | | pF | |
| 结至顶部特性参数 | Ψ_{JT} | | 7.3 | | $^{\circ}\text{C/W}$ | 4层PCB |

¹ 假设器件为双端器件: 引脚1至引脚4短接在一起, 引脚5至引脚8短接在一起。

隔离和安全相关特性

表4.

| 参数 | 符号 | 值 | 单位 | 条件 |
|----------------------|---------|------------|-------|-------------------------------|
| 额定电介质隔离电压 | | 5000 | V rms | 持续1分钟 |
| 最小外部气隙 (间隙) | L(I01) | 8 (最小值) | mm | 测量输入端至输出端, 隔空最短距离 |
| 最小外部爬电距离 | L(I02) | 8 (最小值) | mm | 测量输入端至输出端, 沿壳体最短距离 |
| 印刷电路板平面的最小间隙 (PCB间隙) | L (PCB) | 8.3 (最小值) | mm | 测量输入端至输出端, PCB安装平面的隔空最短距离, 视线 |
| 最小内部间隙 | | 25.5 (最小值) | µm | 最小隔离距离 |
| 漏电阻抗 (相对漏电指数) | CTI | >400 | V | DIN IEC 112/VDE 0303第3部分 |
| 隔离组 | | II | | 材料组别 (DIN VDE 0110, 1/89, 表1) |

DIN V VDE V 0884-10 (VDE V 0884-10) 隔离特性

此隔离器适合安全限制数据范围内的增强隔离。通过保护电路保持安全数据。

表5. VDE特性

| 描述 | 测试条件/注释 | 符号 | 特性 | 单位 |
|------------------------|--|-------------|------------------|-----|
| DIN VDE 0110装置分类 | | | I至IV | |
| 额定市电电压≤600 V rms | | | 40/105/21 | |
| 环境分类 | | | 2 | |
| 污染度 (DIN VDE 0110, 表1) | | | | |
| 最大工作绝缘电压 | | V_{IORM} | 849 | V峰值 |
| 输入至输出测试电压, 方法B1 | $V_{IORM} \times 1.875 = V_{pd(m)}$, 100%生产测试, $t_{ini} = t_m = 1$ 秒, 局部放电 < 5 pC | $V_{pd(m)}$ | 1592 | V峰值 |
| 输入至输出测试电压, 方法A | | | | |
| 跟随环境测试, 子类1 | $V_{IORM} \times 1.5 = V_{pd(m)}$, $t_{ini} = 60$ 秒, $t_m = 10$ 秒, 局部放电 < 5 pC | $V_{pd(m)}$ | 1274 | V峰值 |
| 跟随输入和/或安全测试, 子类2和子类3 | $V_{IORM} \times 1.2 = V_{pd(m)}$, $t_{ini} = 60$ 秒, $t_m = 10$ 秒, 局部放电 < 5 pC | $V_{pd(m)}$ | 1019 | V峰值 |
| 最高允许过压 | | V_{IOTM} | 7000 | V峰值 |
| 浪涌隔离电压 (基本) | VPEAK = 16 kV, 1.2 µs上升时间, 50 µs, 50%下降时间 | V_{IOSM} | 16,000 | V峰值 |
| 浪涌隔离电压 (加强) | VPEAK = 16 kV, 1.2 µs上升时间, 50 µs, 50%下降时间 | V_{IOSM} | 10,000 | V峰值 |
| 安全限值 | 出现故障时允许的最大值 (见图2) | | | |
| 最高结温 | | T_s | 150 | °C |
| 总安全功耗 | | P_s | 1.2 | W |
| T_s 时的绝缘电阻 | $V_{IO} = 500$ V | R_s | >10 ⁹ | Ω |

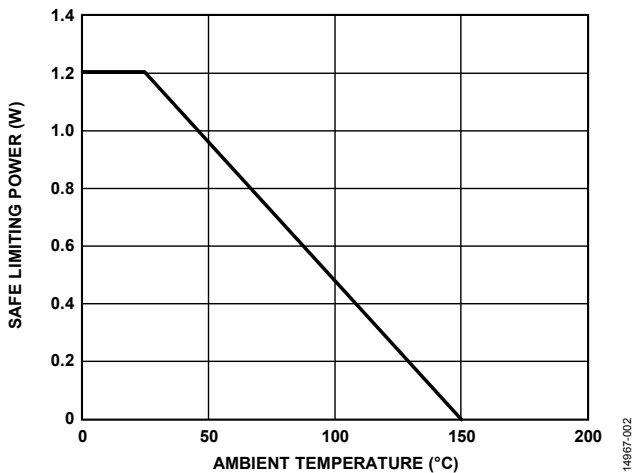


图2. 热减额曲线, 依据DIN V VDE V 0884-10获得的安全限值与壳温的关系

建议工作条件

表6.

| 参数 | 值 |
|-----------------------------|--------------|
| 工作温度范围 (T_j) | -40°C至+125°C |
| 电源电压 | |
| V_{DD1} 至GND ₁ | 2.5 V至6.5 V |
| V_{DD2} 至GND ₂ | 4.5 V至35 V |

绝对最大额定值

除非另有说明，环境温度 = 25°C。

表7.

| 参数 | 额定值 |
|---|---------------------------------|
| 存储温度范围 (T _{ST}) | -55°C至+150°C |
| 结工作温范围 (T _J) | -40°C至+125°C |
| 电源电压 | |
| V _{DD1} 至GND ₁ | -0.3 V至+7 V |
| V _{DD2} 至GND ₂ | -0.3 V至+40 V |
| 输入电压 | |
| V _{I+} 、V _{I-} ¹ | -0.3 V至+7 V |
| V _{CLAMP} ² | -0.3 V至V _{DD2} + 0.3 V |
| 输出电压 | |
| V _{OUT} ² | -0.3 V至V _{DD2} + 0.3 V |
| 共模瞬变 (CM) ³ | -200 kV/μs至+200 kV/μs |

¹ 额定值假定V_{DD1}高于2.5 V。V_{I+}和V_{I-}的额定最大值为6.5 V（当V_{DD1}未加电时）。

² 以GND₂为基准，最大值40 V。

³ |CM|指隔离栅上的共模瞬变。超过绝对最大额定值的共模瞬变可能导致白锁或永久损坏。

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

表9. 最大连续工作电压¹

| 参数 | 额定值 | 单位 | 约束条件 |
|-------|------|-----|---------------------------------|
| 交流电压 | | | |
| 双极性波形 | | | |
| 基本绝缘 | 849 | V峰值 | 最少50年绝缘寿命 |
| 加强绝缘 | 789 | V峰值 | 寿命受封装爬电距离限制，IEC 60950-1最大认证工作电压 |
| 单极性波形 | | | |
| 基本绝缘 | 1698 | V峰值 | 最少50年绝缘寿命 |
| 加强绝缘 | 849 | V峰值 | 最少50年绝缘寿命 |
| 直流电压 | | | |
| 基本绝缘 | 1118 | V峰值 | 寿命受封装爬电距离限制，IEC 60950-1最大认证工作电压 |
| 加强绝缘 | 558 | V峰值 | 寿命受封装爬电距离限制，IEC 60950-1最大认证工作电压 |

¹ 最大连续工作电压指隔离栅上的连续电压幅度。详情见“隔离寿命”部分。

表10. 真值表

| V _{I-} | V _{I+} | V _{DD1} 状态 | V _{DD2} 状态 | V _{OUT} 输出 |
|-----------------|-----------------|---------------------|---------------------|---------------------|
| 无关 | 低电平 | 上电 | 上电 | 低电平 |
| 低电平 | 高电平 | 上电 | 上电 | 高电平 |
| 高电平 | 无关 | 上电 | 上电 | 低电平 |
| 无关 | 无关 | 无电 | 上电 | 低电平 |
| 无关 | 无关 | 上电 | 无电 | 低电平 ¹ |

¹ 输出为低电平，但未受到积极驱动，因为器件未加电。

热阻

热性能与印刷电路板 (PCB) 设计和工作环境直接相关。必须慎重对待PCB散热设计。θ_{JA}为结至环境热阻 (°C/W)。

表8. 热阻

| 封装类型 | θ _{JA} | 单位 |
|---------------------|-----------------|------|
| RI-8-1 ¹ | 104.2 | °C/W |

¹ 测试条件1：热阻仿真值基于4层PCB。

ESD警告



ESD (静电放电) 敏感器件。带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

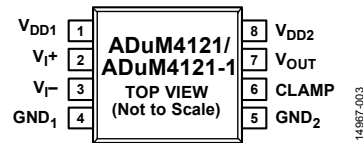
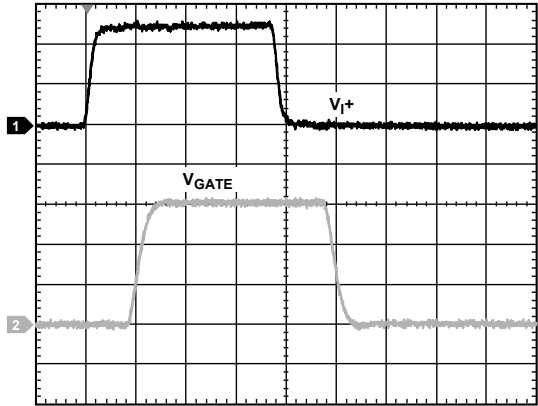


图3. 引脚配置

表11. 引脚功能描述

| 引脚编号 | 引脚名称 | 描述 |
|------|-----------|-------------------------------|
| 1 | V_{DD1} | 隔离器第1侧的电源电压。 |
| 2 | V_{I+} | 同相栅极驱动逻辑输入。 |
| 3 | V_{I-} | 反相栅极驱动逻辑输入。 |
| 4 | GND_1 | 地1。此引脚是隔离器第1侧的接地基准点。 |
| 5 | GND_2 | 地2。此引脚是隔离器第2侧的接地基准点。 |
| 6 | CLAMP | 米勒箝位和栅极电压检测。将此引脚直接连到被驱动的栅极。 |
| 7 | V_{OUT} | 栅极驱动输出。通过外部串联电阻将此引脚连接到被驱动的栅极。 |
| 8 | V_{DD2} | 隔离器第2侧的电源电压。 |

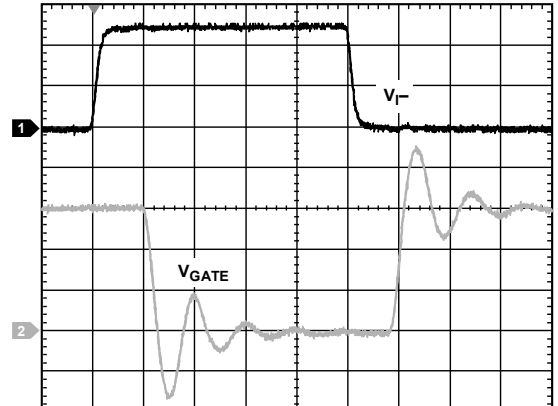
典型性能参数



CH1 2.0V/DIV B_W: 1.0G A CH1 840mV 40.0ns/DIV 5.0GS/s
CH2 5.0V/DIV B_W: 1.0G

图4. V_{I+} 至 V_{GATE} 波形, 2 nF负载, 3.9 Ω 串联栅极电阻, $V_{DD2} = 15$ V (V_{GATE} 是栅极电阻之后的电压)

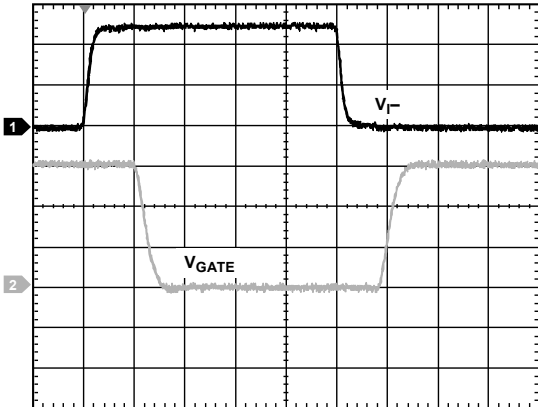
14967-101



CH1 2.0V/DIV B_W: 1.0G A CH1 840mV 40.0ns/DIV 5.0GS/s
CH2 5.0V/DIV B_W: 1.0G

图7. V_{I-} 至 V_{GATE} 波形, 2 nF负载, 0 Ω 串联栅极电阻, $V_{DD2} = 15$ V

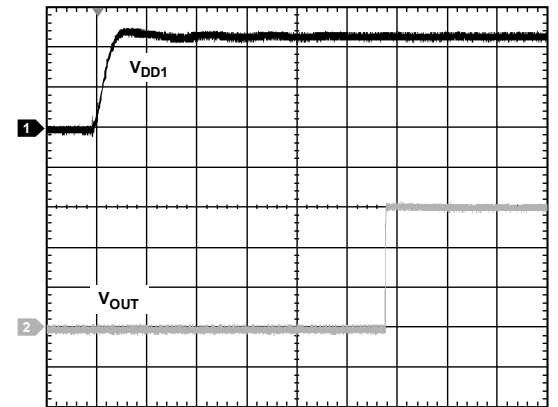
14967-104



CH1 2.0V/DIV B_W: 1.0G A CH1 840mV 40.0ns/DIV 5.0GS/s
CH2 5.0V/DIV B_W: 1.0G

图5. V_{I-} 至 V_{GATE} 波形, 2 nF负载, 3.9 Ω 串联栅极电阻, $V_{DD2} = 15$ V

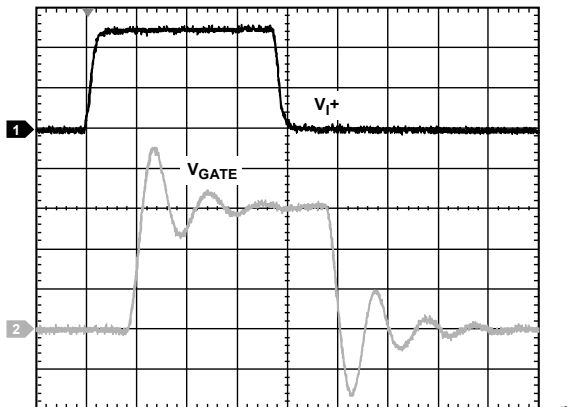
14967-102



CH1 2.0V/DIV B_W: 1.0G A CH1 840mV 2.0 μ s/DIV 5.0GS/s
CH2 5.0V/DIV B_W: 1.0G

图8. 典型 V_{DD1} 延迟至输出波形, $V_{I+} = V_{DD1}$, $V_{I-} = GND_1$

14967-105



CH1 2.0V/DIV B_W: 1.0G A CH1 840mV 40.0ns/DIV 5.0GS/s
CH2 5.0V/DIV B_W: 1.0G

图6. V_{I+} 至 V_{GATE} 波形, 2 nF负载, 0 Ω 串联栅极电阻, $V_{DD2} = 15$ V

14967-103

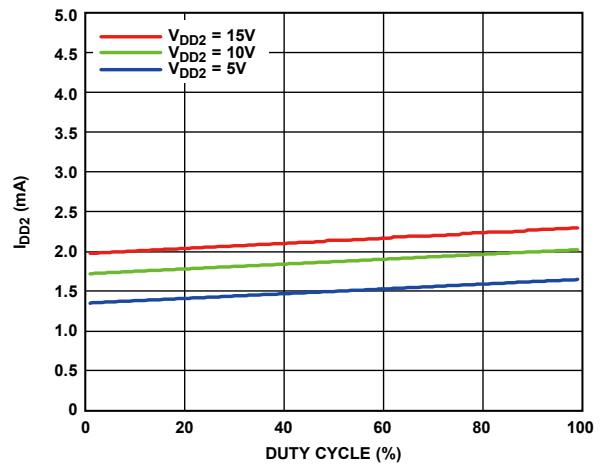


图9. I_{DD2} 与占空比的关系, $V_{DD1} = 5$ V, 开关频率 (f_{sw}) = 10 kHz, 2 nF负载

14967-106

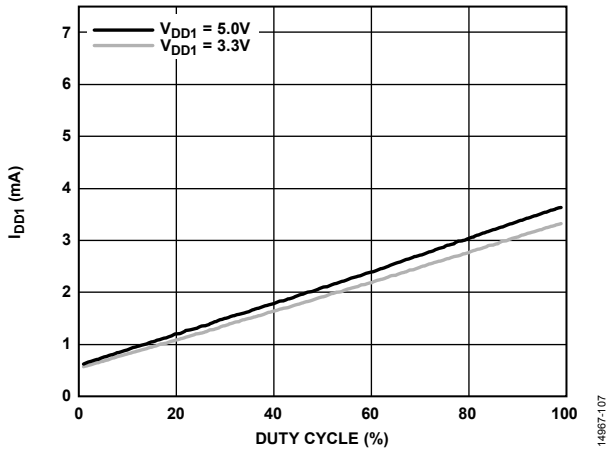


图10. I_{DD1} 与占空比的关系, $f_{SW} = 10 \text{ kHz}$, 2 nF 负载

14987-107

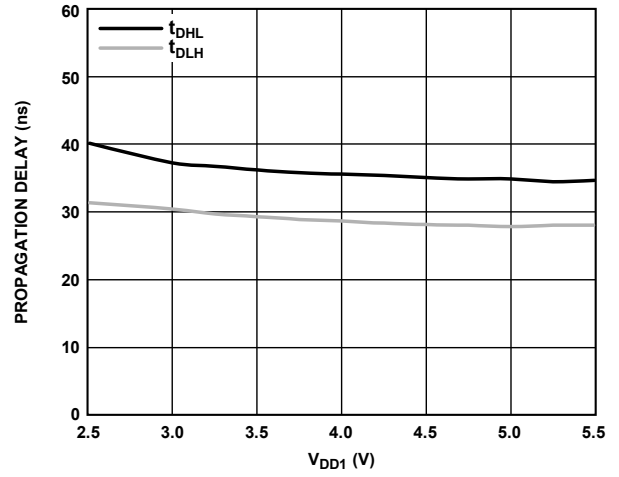


图13. 传播延迟与 V_{DD1} 的关系, $V_{DD2} = 15 \text{ V}$, 2 nF 负载, 0Ω 栅极电阻

14987-108

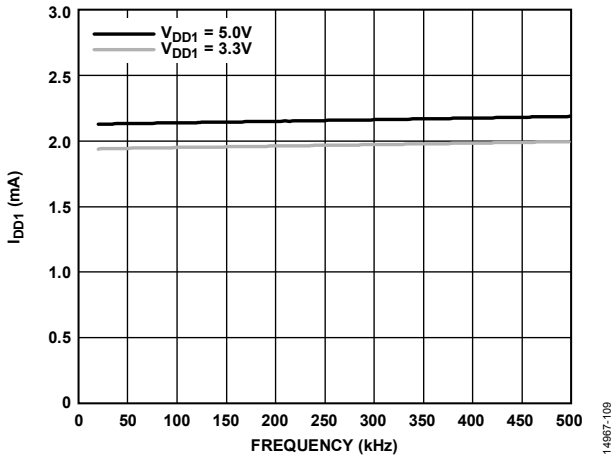


图11. I_{DD1} 与频率的关系

14987-109

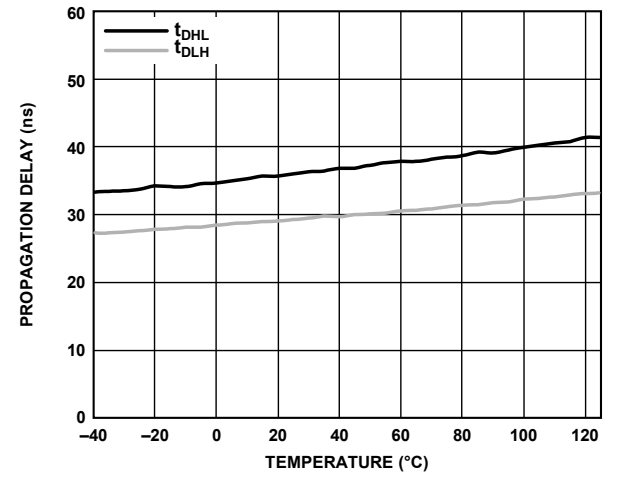


图14. 传播延迟与温度的关系, 2 nF 负载

14987-111

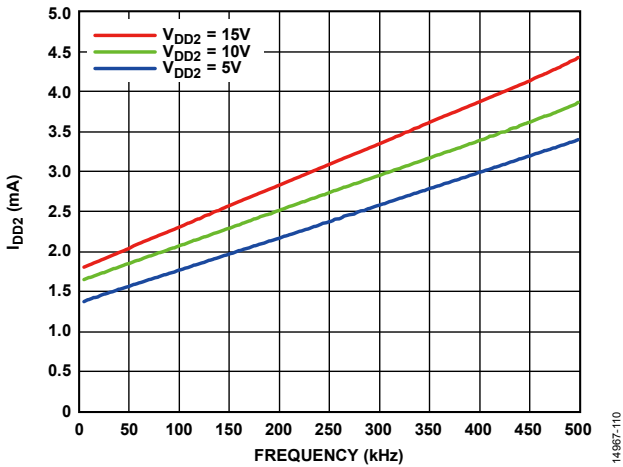


图12. I_{DD2} 与频率的关系, 2 nF 负载

14987-110

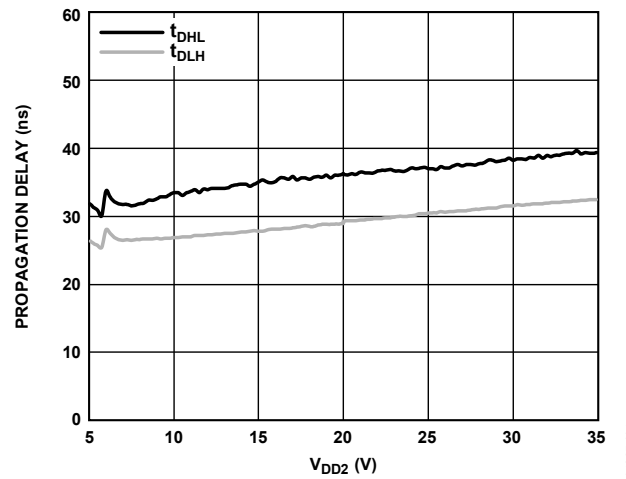


图15. 传播延迟与 V_{DD2} 的关系, 2 nF 负载

14987-114

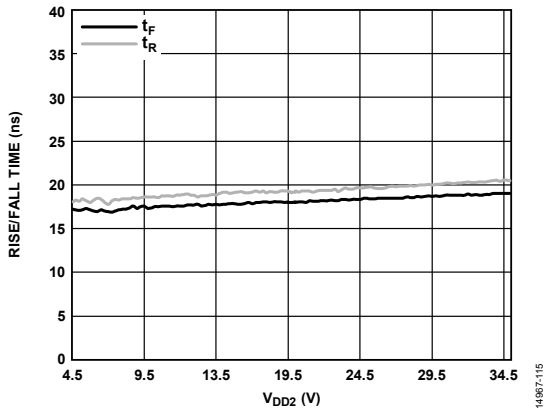


图16. 上升和下降时间与 V_{DD2} 的关系, 2 nF负载, 3.9 Ω 电阻

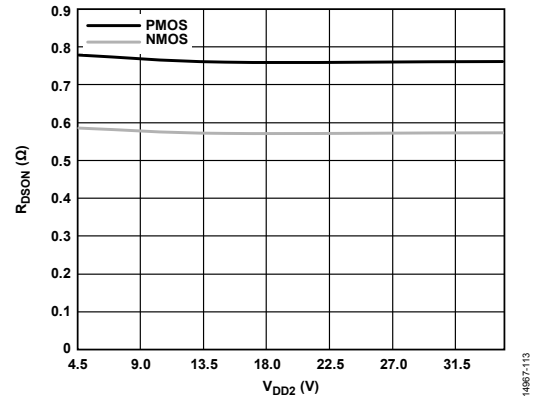


图18. 典型输出电阻 ($R_{DS(on)}$) 与 V_{DD2} 的关系

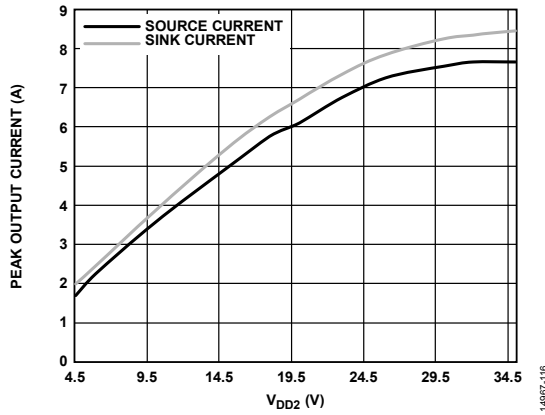


图17. 峰值输出电流与 V_{DD2} 的关系, 2 Ω 串联电阻

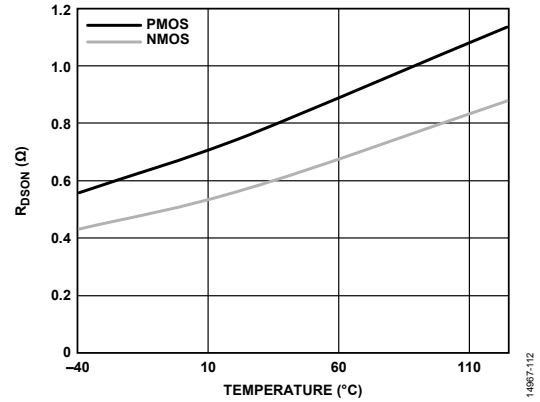


图19. 典型输出电阻 ($R_{DS(on)}$) 与温度的关系, $V_{DD2} = 15 V$

工作原理

在开关器件栅极需要快速上升时间的情况下，必须使用栅极驱动器。大多数增强型功率器件的栅极信号以源极或发射极节点为基准。栅极驱动器必须能够跟随此源极或发射极节点，因此，在源极或发射极节点会摆动的拓扑（如半桥）中，控制信号与栅极驱动器输出之间需要隔离。栅极开关时间与栅极驱动器的驱动强度有关。CMOS输出之前的缓冲级可减少总延迟时间，并提高驱动器的最终驱动强度。

ADuM4121/ADuM4121-1使用由聚酰亚胺隔开的iCoupler芯片级变压器，并利用高频载波把数据传输通过隔离带从而实现栅极驱动器控制侧与输出侧之间的隔离。ADuM4121/

ADuM4121-1使用的编码方案是正逻辑关键控 (OOK)，也就是载波频率的存在将高电平信号传输到iCoupler芯片级变压器线圈的另一侧。当栅极驱动器的输入侧未加电时，正逻辑编码会确保输出为低电平信号。对于增强模式功率器件，当在馈通状况可能存在的情况下进行驱动时，低电平状态是最常见的安全状态。该架构实现了高共模瞬变抗扰度，对电噪声和磁干扰也有很强的抑制能力。扩频OOK载波和其它技术（如差分线圈布局）将辐射噪声降至最小。图20所示为ADuM4121/ADuM4121-1采用的编码。

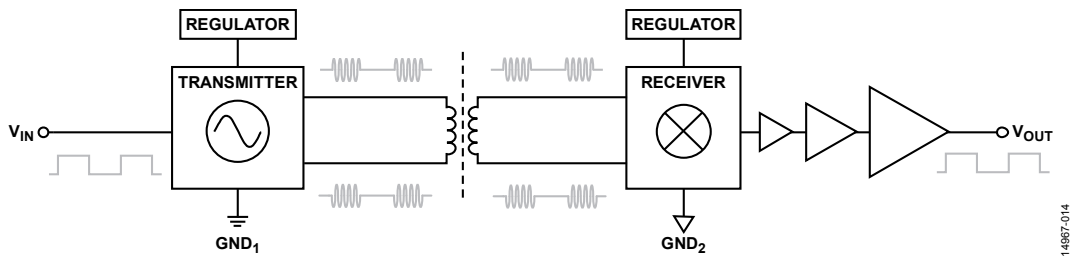


图20. OOK编码操作框图

应用信息

印刷电路板 (PCB) 布局

ADuM4121/ADuM4121-1数字隔离器不需要外部接口电路作为逻辑接口。输入和输出供电引脚需要电源旁路，如图21所示。使用电容值在0.01 μF 到0.1 μF 之间的小型陶瓷电容，以提供良好的高频旁路。在输出电源引脚 $V_{\text{DD}2}$ 上，建议再增加一个10 μF 电容，以提供驱动ADuM4121/ADuM4121-1输出端栅极电容所需的电荷。在输出电源引脚上，必须避免旁路电容使用过孔，或者必须使用多个过孔来降低旁路电感值。较小的电容两端到输入或输出电源引脚的走线总长不得超过20 mm。

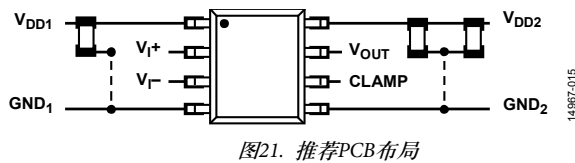


图21. 推荐PCB布局

V_{1+} 和 V_{1-} 操作

ADuM4121/ADuM4121-1有两路驱动输入 V_{1+} 和 V_{1-} ，用以控制IGBT栅极驱动信号 V_{OUT} 。 V_{1+} 和 V_{1-} 引脚均使用CMOS逻辑电平输入。 V_{1+} 和 V_{1-} 引脚的输入逻辑可通过将 V_{1+} 引脚置位高电平或将 V_{1-} 引脚置位低电平来控制。 V_{1-} 引脚为低电平时， V_{1+} 引脚支持正逻辑。 V_{1+} 处于高电平时， V_{1-} 引脚支持负逻辑。

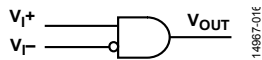


图22. V_{1+} 和 V_{1-} 框图

更多信息参见图23。

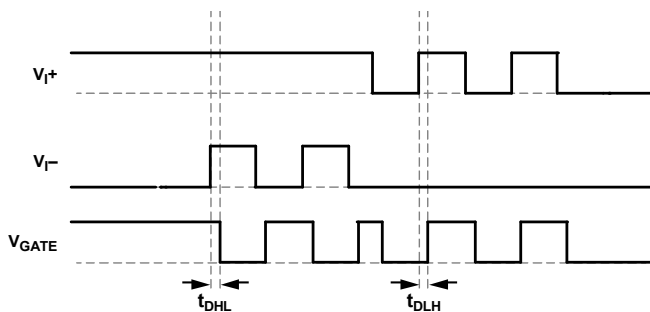


图23. V_{1+} 和 V_{1-} 时序图

传播延迟相关参数

传播延迟是衡量逻辑信号穿过器件所需时间的参数。到逻辑低电平输出的传播延迟可能不同于到逻辑高电平输出的传播延迟。ADuM4121/ADuM4121-1指定 t_{DLH} （见图24）作为上升输入高电平逻辑阈值 V_{IH} 到输出上升10%阈值的时间。同样，下降传播延迟 t_{DHL} 定义为输入下降逻辑低电平阈值 V_{IL} 到输出下降90%阈值的时间。上升和下降时间取决于负载条件，并且不包含在传播延迟中，这是栅极驱动器的工业标准。

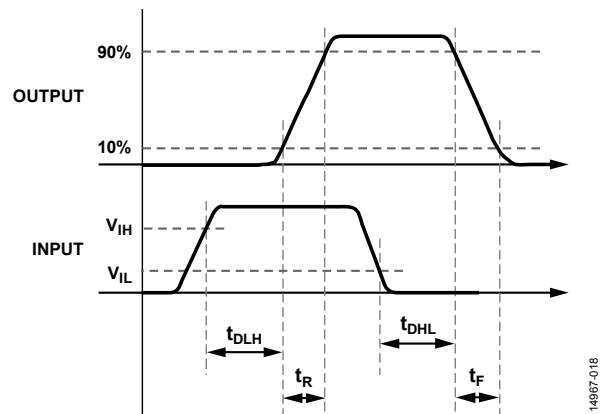


图24. 传播延迟参数

通道间匹配指单个ADuM4121/ADuM4121-1器件内各通道的传播延迟之间的最大差异。

传播延迟偏斜指在相同条件下工作的多个ADuM4121/ADuM4121-1器件的传播延迟之间的最大差异。

欠压闭锁 (UVLO)

ADuM4121/ADuM4121-1的原边和副边均有UVLO保护。如果原边或副边电压低于下降沿UVLO，器件将输出低电平信号。在ADuM4121/ADuM4121-1上电到上升沿UVLO阈值以上之后，器件输出输入端出现的信号。UVLO内置迟滞以抵消很小电压源纹波的影响。原边UVLO阈值对所有型号都相同。副边输出UVLO阈值有三个选项，如表12所示。

表12. 型号选择列表

| 型号 | TSD | UVLO (V) |
|----------------|-----|----------|
| ADuM4121ARIZ | 是 | 4.5 |
| ADuM4121BRIZ | 是 | 7.5 |
| ADuM4121CRIZ | 是 | 11.6 |
| ADuM4121ARIZ-1 | 否 | 4.5 |
| ADuM4121BRIZ-1 | 否 | 7.5 |
| ADuM4121CRIZ-1 | 否 | 11.6 |

输出负载特性

ADuM4121/ADuM4121-1输出信号取决于输出负载（通常是N通道MOSFET）的特性。将驱动器输出对于N通道MOSFET负载的响应模拟为开关输出电阻（ R_{SW} ）、印刷电路板走线的电感（ L_{TRACE} ）、串联栅极电阻（ R_{GATE} ）和栅源电容（ C_{GS} ），如图25所示。

R_{SW} 为ADuM4121/ADuM4121-1内部驱动器输出的开关电阻，约为1.5 Ω 。 R_{GATE} 是MOSFET或IGBT的固有栅极电阻加外部串联电阻。需要2 A栅极驱动器的MOSFET或IGBT，其典型固有栅极电阻约为1 Ω ，栅源电容 C_{GS} 介于2 nF到10 nF之间。 L_{TRACE} 为印刷电路板走线的电感，其典型值为5 nH，或者当采用从ADuM4121/ADuM4121-1输出端到MOSFET栅极具有短而宽的连接的精心布局，这个值会更小。

以下公式定义了RLC电路的质量因数Q，其表示ADuM4121/ADuM4121-1输出端如何响应阶跃变化。对于高阻尼输出而言，Q小于1。添加串联栅极电阻会抑制输出响应。

$$Q = \frac{1}{(R_{SW} + R_{GATE})} \cdot \sqrt{\frac{L_{TRACE}}{C_{GS}}}$$

通过添加串联栅极电阻减少输出响铃振荡，从而抑制响应。图4所示波形是一个抑制得很好的例子，其有2 nF负载和3.9 Ω 外部串联栅极电阻。图6所示波形是一个未进行抑制的例子，其有2 nF负载和0 Ω 外部串联栅极电阻。

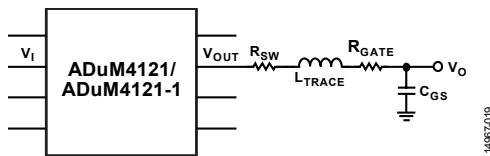


图25. N通道MOSFET栅极的RLC模型

米勒箝位

ADuM4121/ADuM4121-1集成了米勒箝位功能，在MOSFET或IGBT关断期间，它可以降低米勒电容引起的MOSFET或IGBT栅极电压尖峰。当输入栅极信号要求IGBT关闭时（驱动到低电平），米勒箝位MOSFET最初是关闭的。当栅极检测引脚电压越过内部2 V基准电压（以 GND_2 为基准）时，在MOSFET或IGBT关闭时间的剩余部分，内部米勒箝位门锁开启，从而为栅极电流创建第二条低阻抗电流路径。米勒箝位开关继续开启，直至输入驱动信号从低电平变为高电平。时序的波形实例如图26所示。

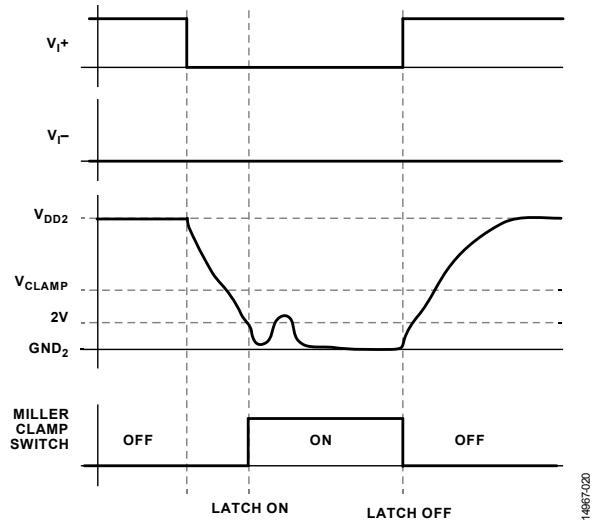


图26. 米勒箝位示例

功耗

在MOSFET或IGBT栅极驱动期间，驱动器必定会产生功耗。此功耗并不是微不足道，如果不加以考虑，可能导致热关断（TSD）。IGBT栅极可以近似仿真为一个容性负载。由于米勒电容及其它非线性因素影响，对所驱动负载的保守估计常常是将给定MOSFET或IGBT的标称输入电容 C_{ISS} 乘以3至5倍。利用此值，通过下式可估算开关操作引起的系统总功耗：

$$P_{DISS} = C_{EST} \times (V_{DD2} - GND_2)^2 \times f_{SW}$$

其中：

$$C_{EST} = C_{ISS} \times 5.$$

f_{SW} 为IGBT开关频率。

或者，栅极电荷可按如下方式使用：

$$P_{DISS} = Q_G \times (V_{DD2} - GND_2) \times f_{SW}$$

其中 Q_G 为被驱动器器件的总栅极电荷。

内部栅极驱动器开关的内部导通电阻和外部栅极电阻（ R_{GON} 和 R_{GOFF} ）共同产生此功耗。利用内部栅极电阻与总串联电阻的比值，可以计算ADuM4121/ADuM4121-1器件内的损耗。下面针对ADuM4121的计算也适用于ADuM4121-1。

$$P_{DISS_ADuM4121} = P_{DISS} \times 0.5(R_{DSON_P}/(R_{GON} + R_{DSON_P}) + 0.5(R_{DSON_N}/(R_{GOFF} + R_{DSON_N}))$$

芯片内部的功耗乘以 θ_{JA} ，便可得出ADuM4121比室温高出多少度。

$$T_{ADuM4121} = \theta_{JA} \times P_{DISS_ADuM4121} + T_{AMB}$$

为使器件不超出额定温度范围， $T_{ADuM4121}$ 不得超过125°C。如果 $T_{ADuM4121}$ 超过TSD上升沿，器件就会进入TSD状态，输出保持低电平，直到越过TSD下降沿为止。ADuM4121-1没有热关断功能。

隔离寿命

所有的隔离结构在长时间的电压作用下，最终会被破坏。隔离衰减率由施加在隔离层上的电压波形特性决定。除了由监管机构进行测试，ADI公司也进行一系列广泛的评估来确定ADuM4121/ADuM4121-1内部隔离结构的寿命。

ADI公司使用超过额定连续工作电压的电压执行加速寿命测试。确定多种工作条件下的加速系数，利用这些系数可以计算实际工作电压下的失效时间。

表9中显示的值总结了双极性交流工作条件下50年工作寿命的峰值电压以及CSA/VDE认可的最大工作电压。许多情况下，认可工作电压高于50年工作寿命电压。某些情况下，在这些高工作电压下工作会导致隔离寿命缩短。

ADuM4121/ADuM4121-1的隔离寿命由施加在隔离栅上的电压波形决定。iCoupler结构的隔离度以不同速率衰减，这由波形是否为双极性交流、单极性交流或直流决定。图27、图28和图29显示这些不同隔离电压的波形。

双极性交流电压环境对于iCoupler产品而言是最差的情况，在这种情况下，ADI公司推荐的最大工作电压对应的工作寿命为50年。在单极性交流或者直流电压的情况下，隔离应力显然低得多。这种单极性交流或直流电压工作模式不仅能够获得50年工作寿命，而且允许更高的工作电压。任何与图28和图29中不一致的交叉隔离电压波形都应被认为是双极性交流波形，其峰值电压应限制在表9中列出的50年工作寿命电压以下。

请注意，图28所示的正弦电压波形仅作为示例提供，它代表任何在0 V与某一限值之间变化的电压波形。该限值可以为正值或负值，但电压不能穿过0 V。

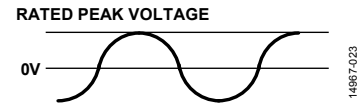


图27. 双极性交流波形

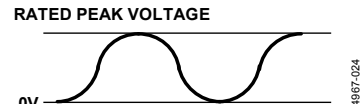


图28. 单极性交流波形

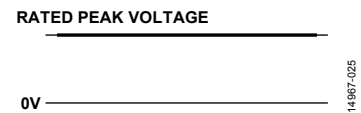


图29. 直流波形

典型应用

图30所示为ADuM4121/ADuM4121-1的典型应用。外部栅极电阻 R_G 控制被驱动器件的栅极电压上升和下降时间。有一条可选关断路径可用，那就是通过D1创建一条并行路径，用于进一步调谐。自举设置示例如图31所示。在这两个例子中， V_{I-} 引脚均接低电平，为栅极驱动器创建一个正逻辑输入。这样， V_{I-} 引脚充当禁用引脚，如果将 V_{I-} 引脚拉高，输出将变为低电平。

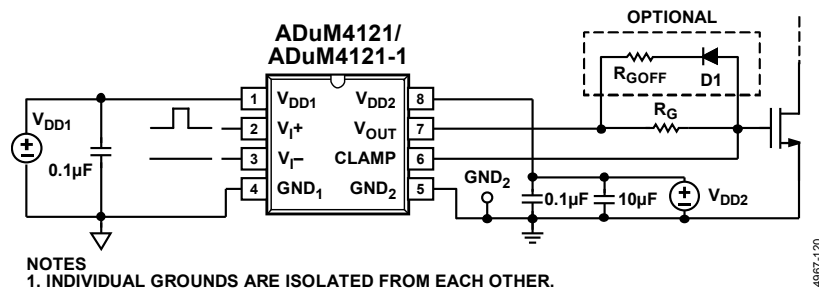
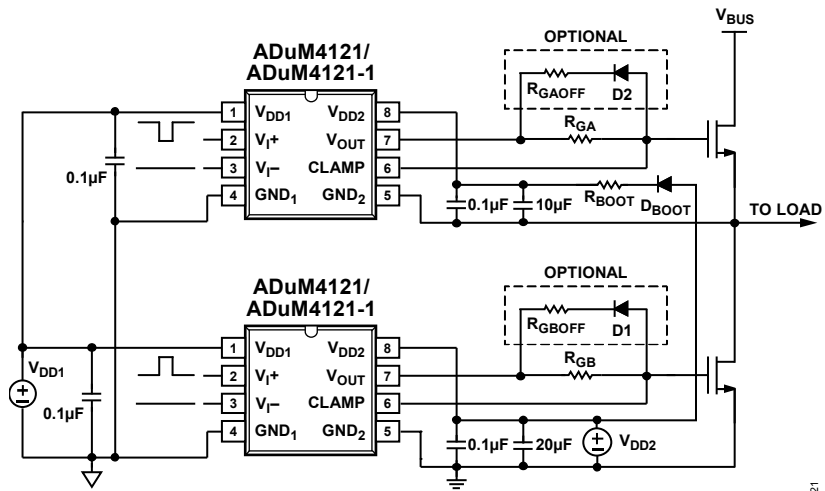


图30. 典型应用框图，单个器件



NOTES
1. INDIVIDUAL GROUNDS ARE ISOLATED FROM EACH OTHER.

图31. 典型应用框图, 自举设置

14967-121

外形尺寸

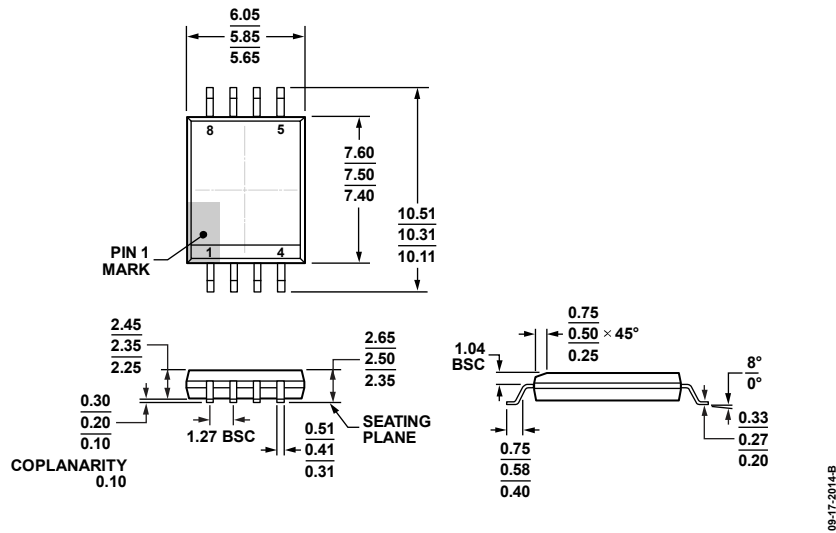


图32. 8引脚标准小型封装，增加爬电距离 [SOIC_IC]
宽体 (RI-8-1)
图示尺寸单位: mm

订购指南

| 型号 ¹ | 通道数 | 输出峰值 电流 (A) | 热关断 | 最小输出 电压 (V) | 温度范围 | 封装描述 | 封装 选项 |
|--------------------|-----|----------------|-----|----------------|--------------|----------------------|----------|
| ADuM4121ARIZ | 1 | 2 | 是 | 4.5 | -40°C至+125°C | 8引脚SOIC_IC | RI-8-1 |
| ADuM4121ARIZ-RL | 1 | 2 | 是 | 4.5 | -40°C至+125°C | 8引脚SOIC_IC, 13"卷带和卷盘 | RI-8-1 |
| ADuM4121BRIZ | 1 | 2 | 是 | 7.5 | -40°C至+125°C | 8引脚SOIC_IC | RI-8-1 |
| ADuM4121BRIZ-RL | 1 | 2 | 是 | 7.5 | -40°C至+125°C | 8引脚SOIC_IC, 13"卷带和卷盘 | RI-8-1 |
| ADuM4121CRIZ | 1 | 2 | 是 | 11.6 | -40°C至+125°C | 8引脚SOIC_IC | RI-8-1 |
| ADuM4121CRIZ-RL | 1 | 2 | 是 | 11.6 | -40°C至+125°C | 8引脚SOIC_IC, 13"卷带和卷盘 | RI-8-1 |
| ADuM4121-1ARIZ | 1 | 2 | 否 | 4.5 | -40°C至+125°C | 8引脚SOIC_IC | RI-8-1 |
| ADuM4121-1ARIZ-RL | 1 | 2 | 否 | 4.5 | -40°C至+125°C | 8引脚SOIC_IC, 13"卷带和卷盘 | RI-8-1 |
| ADuM4121-1BRIZ | 1 | 2 | 否 | 7.5 | -40°C至+125°C | 8引脚SOIC_IC | RI-8-1 |
| ADuM4121-1BRIZ-RL | 1 | 2 | 否 | 7.5 | -40°C至+125°C | 8引脚SOIC_IC, 13"卷带和卷盘 | RI-8-1 |
| ADuM4121-1CRIZ | 1 | 2 | 否 | 11.6 | -40°C至+125°C | 8引脚SOIC_IC | RI-8-1 |
| ADuM4121-1CRIZ-RL | 1 | 2 | 否 | 11.6 | -40°C至+125°C | 8引脚SOIC_IC, 13"卷带和卷盘 | RI-8-1 |
| EVAL-ADuM4121EBZ | 1 | 2 | 是 | 4.5 | -40°C至+125°C | 评估板 | RI-8-1 |
| EVAL-ADuM4121-1EBZ | 1 | 2 | 否 | 4.5 | -40°C至+125°C | 评估板 | RI-8-1 |

¹ Z = 符合RoHS标准的兼容器件。