



精密模拟微控制器，14位模拟I/O， 带MDIO接口、ARM Cortex-M3处理器

ADuCM320

产品特性

模拟输入/输出

多通道、14位、1 MSPS模数转换器(ADC)

多达16个ADC外部输入通道

模拟输入范围：0 V至VREF

全差分模式和单端模式

AV_{DD}和IOV_{DD}监控

12位电压输出数模转换器(VDAC)

8个VDAC，提供0 V至2.5 V或AV_{DD}输出

12位电流输出DAC (IDAC)

4个IDAC，提供0 mA至150 mA输出

电压比较器

微控制器

ARM Cortex-M3处理器，32位RISC架构

串行端口支持代码下载和调试

时钟选项

具有可编程分频器的80 MHz锁相环

片上调整过的振荡器(±3%)

外部16 MHz晶振选项

可达80 MHz的外部时钟源

存储器

2 × 128 kB独立Flash/EE存储器

Flash/EE耐久性：10,000周期

Flash/EE保持时间：20年

32 kB SRAM

通过管理数据输入/输出(MDIO)实现软件触发在线重新编程能力

片内外设

MDIO从机，频率最高达4 MHz

2个I²C、2个SPI、UART

多个通用输入/输出(GPIO)引脚：3.6 V兼容

7 × 1.2 V兼容（用于MDIO时）

32单元可编程逻辑阵列(PLA)

3个通用定时器

唤醒定时器

看门狗定时器

16位脉冲宽度调制器(PWM)

电源

电源电压范围：2.9 V至3.6 V，IDAC是1.8 V至2.5 V

针对低功耗应用，提供灵活的工作模式

封装和温度范围

6 mm × 6 mm、96引脚CSP_BGA封装

额定工作温度范围：-40°C至+85°C

工具

低成本QuickStart开发系统

全面的第三方支持

应用

光网络

Rev. B

[Document Feedback](#)

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.

Tel: 781.329.4700 ©2014–2015 Analog Devices, Inc. All rights reserved.

[Technical Support](#)

www.analog.com

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

目录

产品特性	1	绝对最大额定值	15
应用	1	ESD警告	15
修订历史	2	引脚配置和功能描述	16
功能框图	3	典型性能参数	21
概述	4	建议电路和元件值	22
技术规格	5	封装和订购信息	24
微控制器电气规格	5	外形尺寸	24
时序规格	10	订购指南	24

修订历史

2015年3月—修订版A至修订版B

更改表1	7
更改表3的 t_{SHD} 和 t_{PSU} 参数	10

2014年11月—修订版0至修订版A

更改图1	3
更改“概述”部分	4
更改表1	5
增加“时序规格”部分	10
增加图2；重新排序	10
增加图3	11
增加图4	12
增加图5	13
增加图6和图7	14
更改“绝对最大额定值”部分	15
更改引脚C3和引脚A11的描述	17
更改“订购指南”部分	24

2014年6月—修订版0：初始版

功能框图

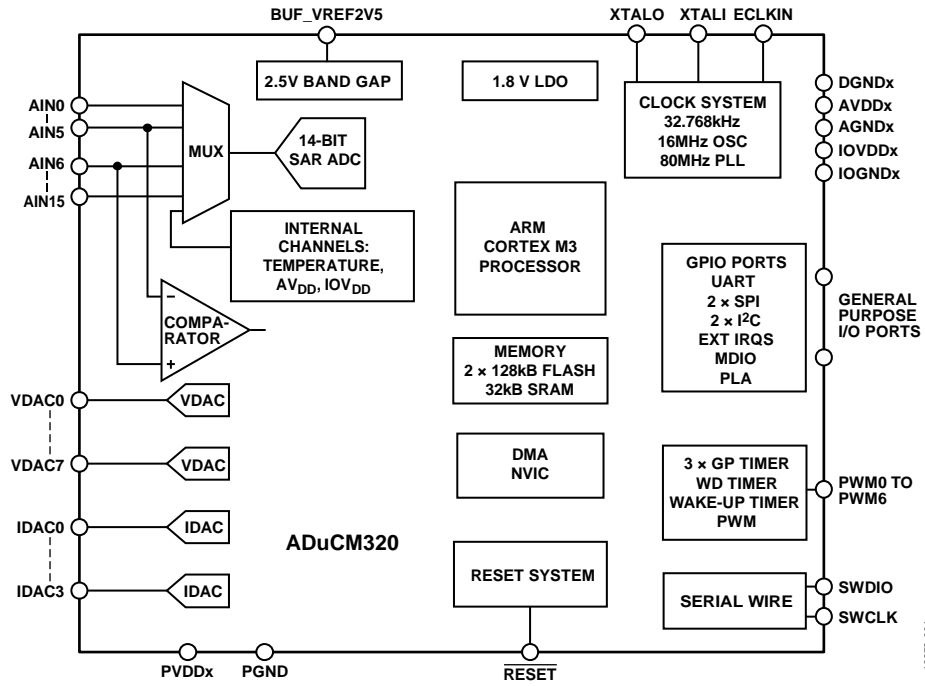


图1.

12272-001

概述

ADuCM320是一款完全集成的单封装器件，集成高性能模拟外设和数字外设，由80 MHz ARM® Cortex™-M3处理器以及用于存储代码和数据的内部闪存来进行控制。

ADuCM320的内置ADC能够通过最多16个输入引脚(可针对单端或差分工作对引脚编程)进行14位、1 MSPS数据采集。IDAC输出引脚上的电压也可以通过ADC进行测量，这有利于控制电流DAC的功耗。此外，还可以测量芯片温度和电源电压。

ADC输入电压范围为0 V至VREF。用户可以利用序列器选择一组ADC通道依次测量，在此期间无需软件介入。该序列可以在用户指定的速率下选择自动重复。

提供多达8个VDAC，输出范围可编程设置为两个电压范围之一。

提供4个IDAC源。输出电流可在0 mA至150 mA范围内编程设置。低漂移带隙基准电压源和电压比较器完善了模拟输入外设设置。

可对ADuCM320进行配置，使其数字和模拟输出通过看门狗或软件复位序列保留输出电压和电流不变。因此，即使ADuCM320发生自身复位，产品也能保持功能不变。

ADuCM320具有低功耗ARM Cortex-M3处理器，这个32位RISC处理器的峰值性能最高可达100 MIPS。片内还集成2个128 kB Flash/EE存储器和32 kB SRAM。闪存包括两个独立的128 kB模块，支持一个闪存模块执行程序，同时另一个闪存模块进行写入/擦除操作。

ADuCM320通过片内振荡器或16 MHz外部晶振和PLL在80 MHz下工作。该时钟也可以进一步分频，以降低功耗。

通过软件可以设置其他低功耗模式。在正常工作模式下，ADuCM320数字内核功耗约300 μ A/MHz。

该器件包括MDIO接口，可运行在最高至4 MHz频率下。两个闪存模块同时分别执行程序 and 进行写入/擦除操作功能，使得ADuCM320非常适合10G、40G和100G光学应用。通过集成PHYADR和DEVADD硬件比较器，让用户编程更轻松。此外，不可擦除的内核代码与用户内存中的标识相互配合，用户代码和数据空间能够可靠地在两个用户闪存模块之间切换。

ADuCM320集成了一系列片内外设，可以根据应用需要通过软件控制进行配置。这些外设包括1个UART、2个I²C和2个SPI串行I/O通信控制器、GPIO、32个单元可编程逻辑阵列、3个通用定时器，外加唤醒定时器和系统看门狗定时器。同时提供了一个带7个输出通道的16位PWM。

器件上电时，GPIO引脚处于高阻抗输入模式。在输出模式下，GPIO可以通过软件设置成开漏模式和推挽模式。上拉电阻可以通过软件禁用和启用。在GPIO输出模式下，可以保持输入使能以监控引脚状态。GPIO引脚也可编程设置为数字或模拟外设信号，在这种情况下，引脚特性需满足特定要求。

ARM Cortex-M3处理器具有大量的配套生态系统，通过ARM串行线调试端口(SW-DP)访问，使ADuCM320的产品开发更轻松。片内工厂固件支持通过MDIO进行在线串行下载。这些特性都集成在一个支持此精密模拟微控制器系列的低成本QuickStart™开发系统中。

技术规格

微控制器电气规格

除非另有说明， $AV_{DD} = IOV_{DD} = VDD1 = 2.9\text{ V}$ 至 3.6 V (见图14)，电源之差最大值 = 0.3 V ， $VREF = 2.5\text{ V}$ 内部基准电压， $f_{CORE} = 80\text{ MHz}$ ， $T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$ 。IDAC的PVDD = 1.8 V 至 2.5 V 。上电顺序必须是VDD1、IOVDDx、AVDDx、PVDDx，但可以不延迟。

表1.

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
ADC基本规格						单端模式，除非另有说明
ADC上电时间			5		μs	
数据速率	f_{SAMPLE}			1	MSPS	
直流精度 ¹		14			位	1 LSB = $2.5\text{ V}/2^{14}$
分辨率 ¹		16			位	数据位数
积分非线性	INL		± 1.75		LSB	2.5 V内部基准电压； 1 LSB = $2.5\text{ V}/2^{14}$
			± 1.75		LSB	2.5 V外部基准电压； 1 LSB = $2.5\text{ V}/2^{14}$
差分非线性	DNL		± 0.75	+1/-0.99	LSB	2.5 V内部基准电压； 1 LSB = $2.5\text{ V}/2^{14}$
			± 0.75		LSB	2.5 V外部基准电压； 1 LSB = $2.5\text{ V}/2^{14}$
直流码字分布			± 3		LSB	ADC输入 1.25 V ；1 LSB = $2.5\text{ V}/2^{14}$
ADC端点误差						
失调误差						
输入缓冲器关闭 漂移 ¹		-2.25	± 200	+1.2	μV $\mu\text{V}/^\circ\text{C}$	使用2.5 V外部基准电压
输入缓冲器开启 漂移 ¹		-2.6	-250	+2	μV $\mu\text{V}/^\circ\text{C}$	使用2.5 V外部基准电压
匹配			± 1		LSB	与AIN8比较的匹配
满量程误差						
输入缓冲器关闭 增益漂移 ¹		-4	± 400	+2	μV $\mu\text{V}/^\circ\text{C}$	满量程误差漂移减去失调 误差漂移
输入缓冲器开启 增益漂移 ¹		-4.5	-350	+3	μV $\mu\text{V}/^\circ\text{C}$	满量程误差漂移减去失调 误差漂移
匹配			± 1		LSB	
ADC动态性能						$f_{IN} = 665.25\text{ Hz}$ 正弦波， $f_{SAMPLE} = 100\text{ kSPS}$ ；输入滤波器 = $15\ \Omega$ 、 2 nF 包括失真和噪声成分
信噪比	SNR					
输入缓冲器 禁用			80		dB	
输入缓冲器 使能			74		dB	
总谐波失真	THD					
输入缓冲器 禁用			-86		dB	
输入缓冲器 使能			-83		dB	
峰值谐波或杂散噪声			-88		dB	
通道间串扰			-90		dB	相邻通道测量
ADC输入						输入缓冲器未使能
输入电压范围 单端模式 ¹		AGND4		VREF		
输入电压范围 差分模式 ¹		-VREF		+VREF	V	差分引脚之间的电压
顺应电压 ¹		AGND4		AVDD4		
共模电压 ¹		0.9		1.6	V	

ADuCM320

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
漏电流			±1.5		nA	与比较器共用的引脚 1 MSPS; 缓冲器关闭 ≤800 kSPS; 缓冲器关闭 500 kSPS; 缓冲器关闭; ADCCNV[25:16] = 0x1E 在ADC采样期间
AIN0至AIN4, AIN6至AIN15			±20		nA	
AIN5			±9		μA/V	
输入电流			±6		μA/V	
			±4		μA/V	
输入电容			20		pF	
ADC输入缓冲器 ²						通过软件使能时
顺应电压 ¹		0.15		2.5	V	0.15 V以下精度会下降
输入电流			±100		nA	$V_{IN} = 0.15\text{ V}$ 至2.5 V, ADC转换中
片内基准电压			2.51		V	VREF_1V2与AGND4之间接0.47 μF 电容; 测量基准电压时所有ADC、 VDAC和IDAC均使能 $T_A = 25^\circ\text{C}$
精度				±5	mV	PSRR
基准电压温度系数 ¹		-34	-15	+4	ppm/°C	
电源抑制比			60		dB	
内部 V_{REF} 上电时间			50		ms	
外部基准输入						
范围 ¹		1.8		2.5	V	ADC
输入电流			200		μA	
缓冲基准输出						
输出电压			2.504		V	$T_A = 25^\circ\text{C}$, 负载 = 1.2 mA BUF_VREF2V5和AGND4之间接 100 nF电容 $T_A = 25^\circ\text{C}$
精度			±8		mV	
基准电压温度系数 ¹		-55	-5	+40	μV/°C	
输出阻抗			10		Ω	
负载电流 ¹				1.2	mA	
VDAC通道规格						$R_L = 5\text{ k}\Omega$, $C_L = 100\text{ pF}^3$
直流精度 ¹		12			位	1 LSB = 2.5 V/2 ¹²
分辨率 ¹		12			位	数据位数
相对精度 ⁴	INL		±4		LSB	1 LSB = 2.5 V/2 ¹²
差分非线性 ⁴	DNL			+1/-0.99	LSB	保证单调性, 1 LSB = 2.5 V/2 ¹²
失调误差			±3	±15	mV	2.5 V内部基准电压, DAC输出代码0
漂移			±13		μV/°C	0 V至内部 V_{REF} 范围 0 V至AVDD范围 不包括基准电压漂移 DAC0满量程的百分比
增益误差 ⁵			±0.3	±0.85	%	
			±0.4	±1	%	
漂移			6.5		ppm/°C	
失配			0.1		%	
模拟输出						
输出电压范围 ¹		0.15		2.5	V	
输出电压范围 ²		0.15		AVDDx - 0.15	V	
输出阻抗			2		Ω	
DAC交流特性						
输出建立时间			10		μs	建立至±1 LSB
毛刺能量			±20		nV-sec	DACxDAT寄存器中最多位数 同时变化时的1 LSB变化
IDAC通道规格						
分辨率 ¹		14			位	11位和5位重叠的组合
满量程输出 ¹			150		mA	各通道有独立的PVDDx电源
各通道电源电压 ¹		1.8		2.5	V	
输出顺从电压范围						
IDAC0、IDAC1		0.4		PVDDx - 400 mV	V	参见图11
IDAC2、IDAC3		0.4		PVDDx - 250 mV	V	参见图11

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
满量程误差						IDAC设置为满量程的85%
IDAC0、IDAC1				±0.75	%	25°C至105°C范围
IDAC2、IDAC3				±3.5	%	-40°C至+105°C范围
满量程误差漂移				±0.75	%	-40°C至+105°C范围
IDAC0、IDAC1						内部V _{REF}
-40°C至+85°C			25		µA/°C	
25°C至85°C			5		µA/°C	
IDAC2、IDAC3			2		µA/°C	内部V _{REF}
积分非线性	INL		±3	±6	LSB	1 LSB = 150 mA/2 ¹¹
差分非线性	DNL			+1.5/-0.99	LSB	保证11位单调性, 1 LSB = 150 mA/2 ¹¹
零电平误差			±50		µA	
零电平误差漂移						
IDAC0、IDAC1			±300		nA/°C	
IDAC2、IDAC3			±800		nA/°C	
噪声电流			2		µA	IDACxCON[5:2] = 0
下拉电流		-220	-165	-100	µA	使能时
建立时间						IDACxCON[5:2] = 0
至0.1%			100		µs	从中间电平变化±4 mA
至1%			50		µs	从中间电平变化±4 mA
满量程至0 mA			20		µs	下拉使能
过热关断			135		°C	结温
PVDD ACPSRR						IDACxCON[5:2] = 0
100 Hz			51		dB	
1 kHz			45		dB	
10 kHz			25		dB	
100 kHz			10		dB	
比较器						
输入						
失调电压			±10		mV	
偏置电流			1		nA	
电压范围 ¹		AGNDx		AVDDx - 1.2	V	
电容			7		pF	
迟滞 ¹		8.5		15	mV	通过软件使能时
响应时间			7		µs	AFECOMP[2:1] = 0
温度传感器						
分辨率			0.5		°C	指示芯片温度, 见图9
精度 ¹		1.34		1.43	V	用户校准精度时 ⁶ ADC测量的电压, 针对温度 传感器通道, 无校准, t = 25°C
上电复位	POR		2.85	2.9	V	
外部复位最小脉冲宽度 ¹		1.5			µs	为了触发复位序列, 外部复位 引脚上需要的最小脉冲宽度
看门狗定时器	WDT					
超时时间			32		s	上电默认值
FLASH/EE存储器						
耐久性 ¹		10,000			周期	
数据保持时间 ¹		20			年	T _J = 85°C

ADuCM320

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
数字输入						
输入漏电流						
逻辑1 GPIO			1		nA	$V_{IH} = V_{DD}$, 上拉电阻禁用
逻辑0 GPIO			10		nA	$V_{IL} = 0V$, 上拉电阻禁用
PRTADDRx						
输入漏电流			16		μA	$V_{IN} = 0$ 至1.8V, 弱上拉电阻接1.8V引起
输入电压		0.84		1.5	V	外部电阻91 k Ω \pm 1%接地。CFP MSA高电平范围 ¹
输入电容, 除MCK、MDIO、PRTADDRx和XTALx的所有引脚			10		pF	
输入电容						
MCK、PRTADDRx			6.5		pF	
MDIO			8.5		pF	
引脚电容						
XTALI			5		pF	
XTALO			5		pF	
逻辑输入						
GPIO输入电压						
低	V_{INL}			$0.25 \times IOVDDx$	V	
高	V_{INH}	$0.58 \times IOVDDx$			V	
MDIO						
PRTADDRx输入电压						
低	V_{INL}			0.36	V	
高	V_{INH}	0.84			V	
MCK、MDIO输入电压						
低	V_{INL}			0.36	V	
高	V_{INH}	0.84			V	
XTALI输入电压						
低	V_{INL}		1.1		V	
高	V_{INH}		1.7		V	
上拉电流		30		120	μA	$V_{IN} = 0V$, 见图10
下拉电流		30		100	μA	$V_{IN} = 3.3V$, 见图10
逻辑输出						
GPIO输出电压 ⁷						
高	V_{OH}	$IOVDDx - 0.4$			V	$I_{SOURCE} = 2mA$
低	V_{OL}			0.4	V	$I_{SINK} = 2mA$
GPIO短路电流 ¹			11		mA	参见图13
MDIO						
输出电压						
高	V_{OH}	1.0			V	$I_{SOURCE} = 4mA$
低	V_{OL}			0.2	V	$I_{SINK} = 4mA$
延迟时间				100	ns	MCK至MDIO输出
振荡器						
系统内部振荡器			16		MHz	
精度			± 0.5	± 3	%	
系统PLL			80		MHz	主系统时钟
外部晶振			16		MHz	可以选用来代替内部振荡器
32 kHz内部振荡器			32.768		kHz	用于看门狗
精度			± 5	± 20	%	
外部时钟		0.05		80	MHz	可以选用来代替PLL
启动时间						
上电时			40		ms	处理器时钟 = 80 MHz
其他复位之后			1.5		ms	POR至首次执行用户代码
从全关断模式			1.25		μs	复位至首次执行用户代码

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
可编程逻辑阵列	PLA					
传播延迟			17		ns	从输入引脚到输出引脚
引脚			1.5		ns	每个PLA单元
外部中断						
脉冲宽度 ¹						
电平触发		7			ns	
边沿触发		1			ns	
电源要求 ⁸						
电源电压范围						
AVDDx至AGNDx和 IOVDDx至DGNDx ¹		2.9	3.3	3.6	V	
模拟电源电流			6.3		mA	空闲模式下的模拟外设
AVDDx电流						
数字电源电流			4		mA	所有GPIO上拉电阻均使能
正常模式下的IOVDDx电流						
VDDx电流			29		mA	
正常模式			20		mA	CD = 0(80 MHz时钟), 执行典型代码
			10		mA	CD = 1, 执行典型代码
CORE_SLEEP模式			16		mA	CD = 7, 执行典型代码
SYS_SLEEP模式			8		mA	
休眠模式			6.6		mA	
附加电源电流						
ADC			4.1		mA	以100 kSPS连续转换
ADC输入缓冲器			4.0		mA	两个缓冲器均使能
IDAC			16.5		mA	不包括负载电流
DAC			340		μA	每个上电的DAC, 不包括 负载电流
总电源电流		35	40	45	mA	VDD1、IOVDDx、AVDDx连在 一起; 进入用户代码时的条件: 外设时钟开启, 外设空闲, 无负载电流
热性能						
结至环境热阻			45		°C/W	JEDEC 2S2P

¹ 这些数值未经过产品测试, 但在产品发布时由设计和/或特性数据保证。

² 使能输入缓冲器会改变ADC输入特性, 如本小节所述。

³ 本部分中的数据也适用于负载 $R_L = 1\text{ k}\Omega$ 和 $C_L = 100\text{ pF}$ 接GND的情况, 但仅支持0V至2.5V电压。不过, 这并未经过生产测试。

⁴ DAC的线性度是使用一个缩小的数据范围(100到3900)计算出来的。

⁵ DAC增益误差是使用一个缩小的数据范围(100到内部 $2.5\text{ V}_{\text{REF}}$)计算出来的。

⁶ 由于自热效应, 不能使用内部温度测量结果来预测外部温度。只有经过用户校准, 并且内外条件与校准时相同, 此值才具相关性。

⁷ 来自所有GPIO引脚的平均电流不得超过每引脚3 mA。

⁸ 功耗数值不包括任何流向外部电路的负载电流。

ADuCM320

时序规格

I²C时序

表2. 标准模式下I²C时序(100 kHz)

参数	描述	从机			单位
		最小值	典型值	最大值	
t _L	SCL低电平脉宽	4.7			μs
t _H	SCL高电平脉宽	4.0			ns
t _{SHD}	起始条件保持时间	4.0			μs
t _{DSU}	数据建立时间	250			ns
t _{DHD}	数据保持时间(SCL下降沿后, SDA内部保持300 ns)	0		3.45	μs
t _{RSU}	重复起始建立时间	4.7			μs
t _{PSU}	停止条件的建立时间	4.0			μs
t _{BUF}	一个结束条件和起始条件之间的总线空闲时间	4.7			μs
t _R	SCL和SDA的上升时间			1	μs
t _F	SCL和SDA的下降时间		15	300	ns
t _{VD;DAT}	数据有效时间			3.45	μs
t _{VD;ACK}	数据有效应答时间			3.45	μs

表3. 快速模式下I²C时序(400 kHz)

参数	描述	从机			单位
		最小值	典型值	最大值	
t _L	SCL低电平脉宽	1.3			μs
t _H	SCL高电平脉宽	0.6			ns
t _{SHD}	起始条件保持时间	0.3			μs
t _{DSU}	数据建立时间	100			ns
t _{DHD}	数据保持时间(SCL下降沿后, SDA内部保持300 ns)	0			μs
t _{RSU}	重复起始建立时间	0.6			μs
t _{PSU}	停止条件的建立时间	0.3			μs
t _{BUF}	一个结束条件和起始条件之间的总线空闲时间	1.3			μs
t _R	SCL和SDA的上升时间	20		300	ns
t _F	SCL和SDA的下降时间		15	300	ns
t _{VD;DAT}	数据有效时间			0.9	μs
t _{VD;ACK}	数据有效应答时间			0.9	μs

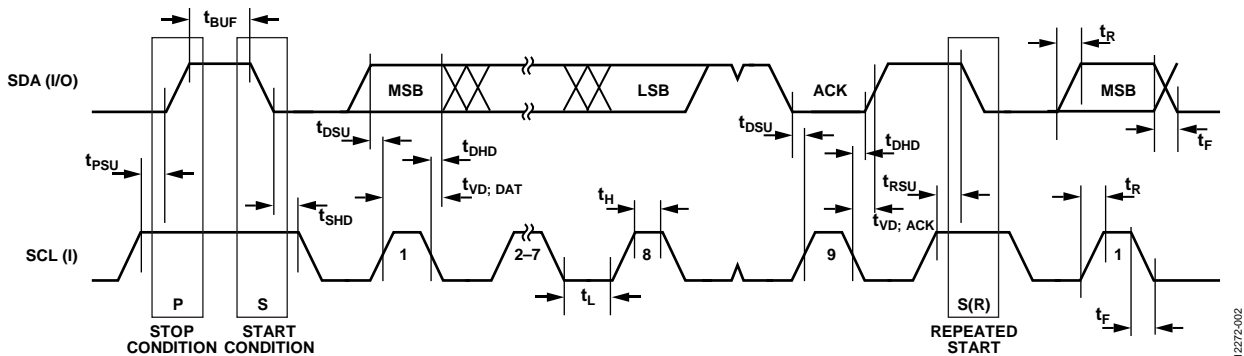


图2. I²C兼容接口时序

SPI时序

表4. SPI主机时序(相位模式 = 1)

参数	描述	最小值	典型值	最大值	单位
t_{SL}	SCLK低电平脉宽		$(SPIDIV + 1) \times t_{HCLK}/2$		ns
t_{SH}	SCLK高电平脉宽		$(SPIDIV + 1) \times t_{HCLK}/2$		ns
t_{DAV}	SCLK边沿之后数据输出有效时间	0	3		ns
t_{DSU}	SCLK边沿之前数据输入建立时间		$\frac{1}{2}$ SCLK		ns
t_{DHD}	SCLK边沿之后数据输入保持时间		SCLK		ns
t_{DF}	数据输出下降时间		SCLK		ns
t_{DR}	数据输出上升时间		25		ns
t_{SR}	SCLK上升时间		25		ns
t_{SF}	SCLK下降时间		20		ns

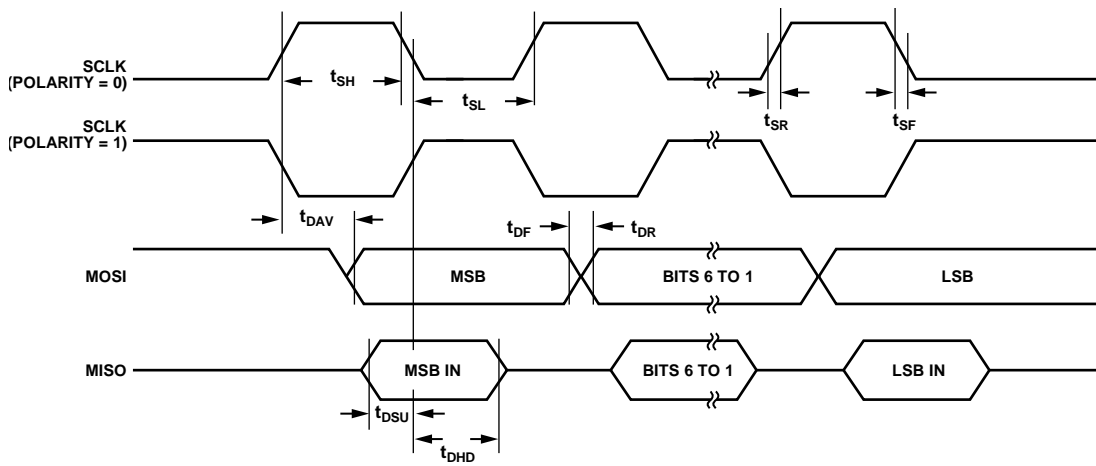


图3. SPI主机模式时序(相位模式 = 1)

12727-003

ADuCM320

表5. SPI主机时序(相位模式 = 0)

参数	描述	最小值	典型值	最大值	单位
t_{SL}	SCLK低电平脉宽		$(SPIDIV + 1) \times t_{HCLK}/2$		ns
t_{SH}	SCLK高电平脉宽		$(SPIDIV + 1) \times t_{HCLK}/2$		ns
t_{DAV}	SCLK边沿之后数据输出有效时间	0	3		ns
t_{DOSU}	SCLK边沿之前数据输出建立时间		$\frac{1}{2}$ SCLK		ns
t_{DSU}	SCLK边沿之前数据输入建立时间		SCLK		ns
t_{DHD}	SCLK边沿之后数据输入保持时间		SCLK		ns
t_{DF}	数据输出下降时间		25		ns
t_{DR}	数据输出上升时间		25		ns
t_{SR}	SCLK上升时间		20		ns
t_{SF}	SCLK下降时间		20		ns

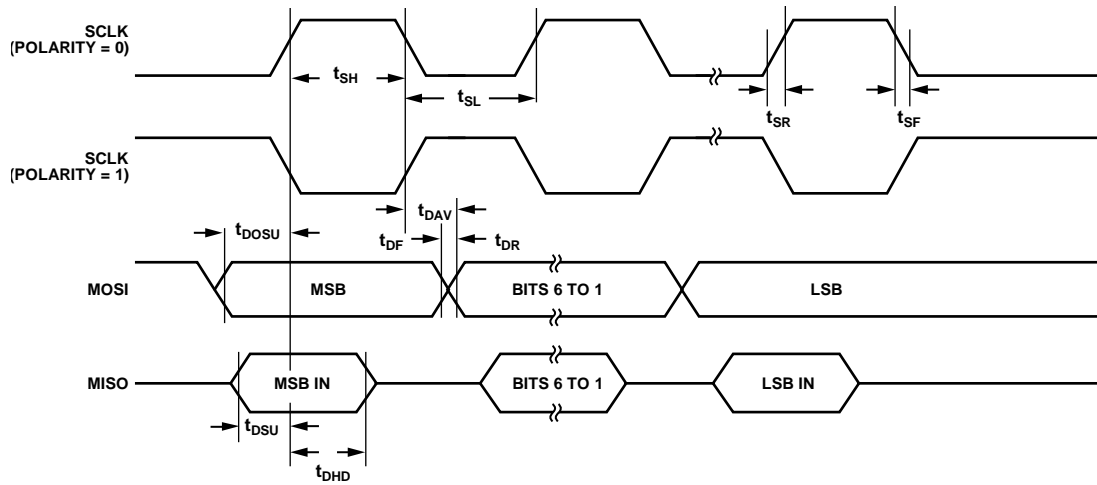


图4. SPI主机模式时序(相位模式 = 0)

12272-004

表6. SPI从机时序(相位模式 = 1)

参数	描述	最小值	典型值	最大值	单位
$t_{\overline{CS}}$	\overline{CS} 至SCLK边沿	10			ns
t_{SL}	SCLK低电平脉宽		$(SPIDIV + 1) \times t_{HCLK}$		ns
t_{SH}	SCLK高电平脉宽		$(SPIDIV + 1) \times t_{HCLK}$		ns
t_{DAV}	SCLK边沿之后数据输出有效时间		20		ns
t_{DSU}	SCLK边沿之前数据输入建立时间	10			ns
t_{DHD}	SCLK边沿之后数据输入保持时间	10			ns
t_{DF}	数据输出下降时间		25		ns
t_{DR}	数据输出上升时间		25		ns
t_{SR}	SCLK上升时间	1			ns
t_{SF}	SCLK下降时间	1			ns
t_{SFS}	SCLK边沿之后 \overline{CS} 高电平时间	20			ns

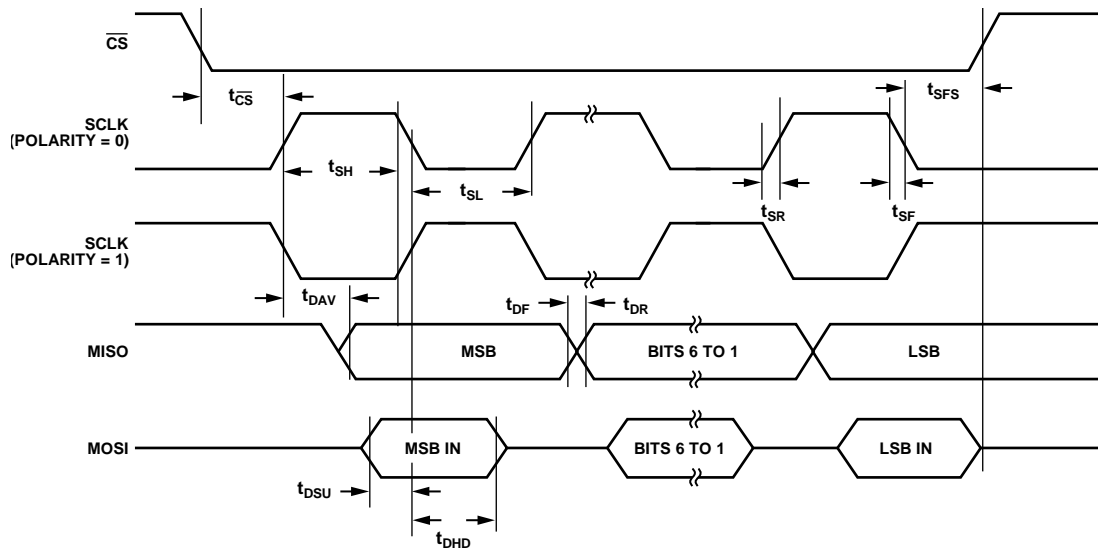


图5. SPI从机模式时序(相位模式 = 1)

13272-005

ADuCM320

表7. SPI从机时序(相位模式 = 0)

参数	描述	最小值	典型值	最大值	单位
$t_{\overline{CS}}$	\overline{CS} 至SCLK边沿	10			ns
t_{SL}	SCLK低电平脉宽		$(SPIDIV + 1) \times t_{HCLK}$		ns
t_{SH}	SCLK高电平脉宽		$(SPIDIV + 1) \times t_{HCLK}$		ns
t_{DAV}	SCLK边沿之后数据输出有效时间		20		ns
t_{DSU}	SCLK边沿之前数据输入建立时间	10			ns
t_{DHD}	SCLK边沿之后数据输入保持时间	10			ns
t_{DF}	数据输出下降时间		25		ns
t_{DR}	数据输出上升时间		25		ns
t_{SR}	SCLK上升时间	1			ns
t_{SF}	SCLK下降时间	1			ns
t_{DOCS}	\overline{CS} 边沿之后数据输出有效	20			ns
t_{SFS}	SCLK边沿之后 \overline{CS} 高电平时间	10			ns

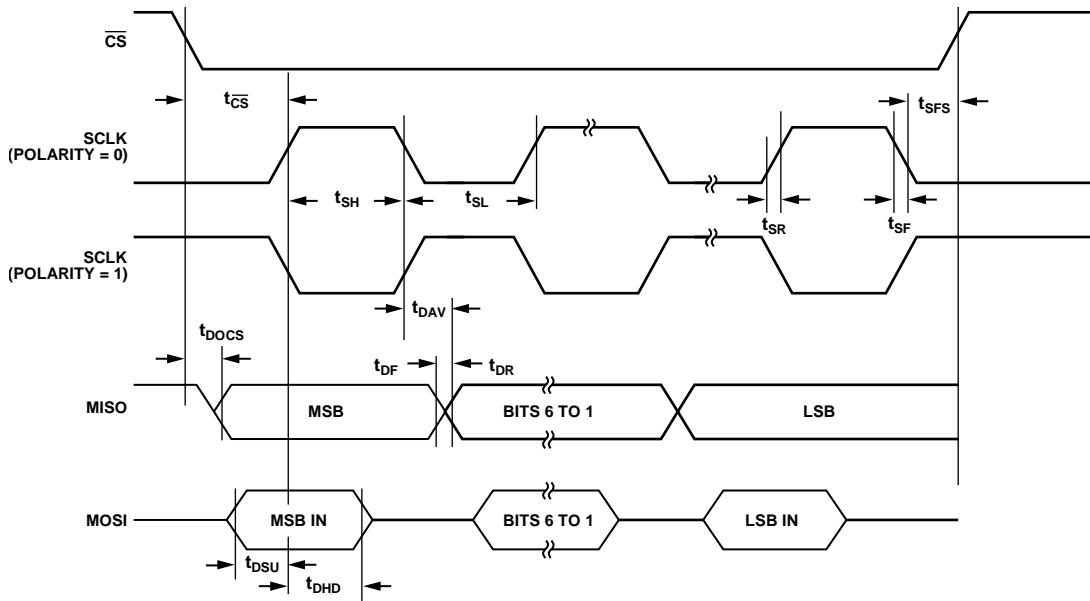


图6. SPI从机模式时序(相位模式 = 0)

表8. MDIO与MDC的时序

参数	描述	最小值	典型值	最大值	单位
t_{SETUP}	MCK边沿之前MDIO建立时间	10			ns
t_{HOLD}	MCK边沿之后MDIO有效时间	10			ns
t_{DELAY}	MCK边沿之后数据输出时间			100	ns

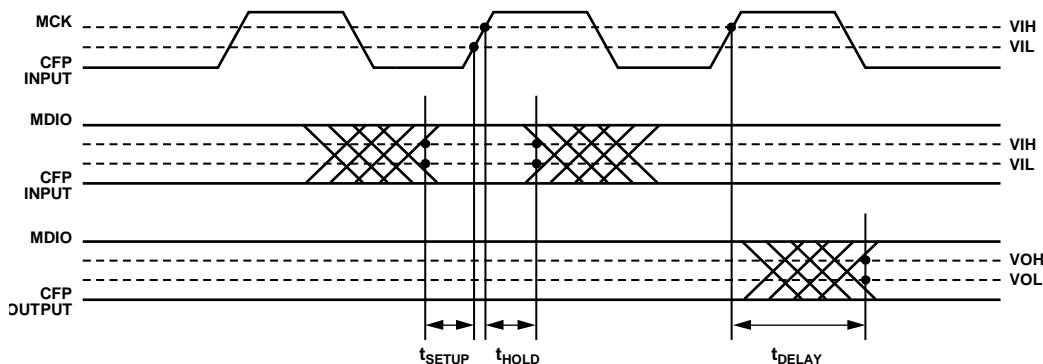


图7. MDIO时序

绝对最大额定值

适用于各引脚的全部要求都必须满足。多个限制适用于同一引脚的，各个限制都必须满足。适用的限制要视引脚当时的功能而定。可以是模拟引脚也可以数字引脚的引脚，即引脚描述中给出了两种类型的引脚，必须同时满足两种类型的限制。关于引脚类型，参见表10。

上电后，要求所有接地引脚以及ADC_REFN一同连接到一个以表9中的GND为基准的节点。列出的限值必须减去GND之间的差值。另外，还要求AVDD3连接到AVDD4，并且IOVDD1至IOVDD3连在一起。

表9. 绝对最大额定值

参数	额定值
任意引脚至GND	-0.3 V至+3.9 V
任意PVDDx引脚至GND	-0.3 V至+2.8 V
MDIO模式下MDIO ¹ 、MCK和PRTADDR0-4至GND	-0.3 V至+2.1 V
AVDDx、IOVDDx和VDD1任意两个引脚之间	-0.3 V至+0.3 V
任意I型引脚至GND ²	-0.3 V至IOVDDx + 0.3 V
任意AI型或AO型引脚至GND ³	-0.3 V至AVDDx + 0.3 V
任意IDACx、CDAMPx、IDACTST、IREF至GND	-0.3 V至PVDDx + 0.3 V
ADC_REFP至GND	-0.3 V至AVDDx + 0.3 V
正GPIO引脚总电流	0 mA至30 mA
负GPIO引脚总电流	-30 mA至0 mA
最大功耗	1 W
工作环境温度	-40°C至+85°C
存储温度	-65°C至+160°C
工作结温	-40°C至+120°C
ESD HBM	2 kV
ESD FICDM	1 kV

¹ 注意：此引脚始终处于MDIO模式。

² 如果IOVDDx上的外部电路不提供电流，此限制将不适用，此时IOVDD将变为适当的电平(与外部输入管脚的电压相关)。

³ 如果AVDDx上的外部电路不提供电流，此限制将不适用，此时AVDD将变为适当的电平(与外部输入管脚的电压相关)。

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

ADuCM320

引脚配置和功能描述

	1	2	3	4	5	6	7	8	9	10	11
A	IDAC_TST	IDAC0	PVDD0	PVDD2	IDAC2	PGND	IDAC3	PVDD3	PVDD1	IDAC1	IREF
B	IOVDD1	RESET	P3.3/ PRTADDR3/ PLAI[15]	CDAMP0	CDAMP2	PGND	CDAMP3	CDAMP1	P1.0/SIN/ ECLKIN/ PLAI[4]	P1.1/SOUT/ PLACLK1/ PLAI[5]	P1.2/ PWM0/ PLAI[6]
C	IOGND1	P0.0/ SCLK0/ PLAI[0]	P2.3/BM	P2.2/ IRQ4/FOR/ CLKOUT/ PLAI[10]	P2.0/IRQ2/ PWMTRIP/ PLACLK2/ PLAI[8]	P1.3/ PWM1/ PLAI[7]	P1.4/ PWM2/ SCLK1/ PLAO[10]	P1.5/ PWM3/ MISO1/ PLAO[11]	P1.6/ PWM4/ MOSI1/ PLAO[12]	P1.7/IRQ1/ PWM5/ CS1/ PLAO[13]	P3.4/ PRTADDR4/ PLAO[26]
D	P0.2/ MOSI0/ PLAI[2]	P0.1/ MISO0/ PLAI[1]	P3.2/ PRTADDR2/ PLAI[14]	ADuCM320 TOP VIEW (Not to Scale)					P2.4/IRQ5/ ADCCONV/ PWM6/ PLAO[18]	DGND2	IOVDD2
E	P0.5/ SDA0/ PLAO[3]	P0.4/ SCL0/ PLAO[2]	P0.3/ IRQ0/CS0/ PLACLK0/ PLAI[3]						SWCLK	SWDIO	IOGND2
F	P2.6/ IRQ7/ PLAO[20]	P0.7/ SDA1/ PLAO[5]	P0.6/ SCL1/ PLAO[4]						AVDD_REG0	AVDD_REG1	VREF_1V2
G	P2.7/ IRQ8/ PLAO[21]	P3.1/ PRTADDR1/ PLAI[13]	P3.0/ PRTADDR0/ PLAI[12]						AIN15/ P4.7	AIN13/ P4.5	AVDD4
H	P3.5/ MCK/ PLAO[27]	XTALO	MDIO						AIN14/ P4.6	AIN12/ P4.4	AGND4
J	IOVDD3	XTALI	VDAC7/ P5.2						VDAC4	AGND1	AIN0
K	IOGND3	DVDD_2V5	VDAC6/ P5.1	VDAC3/ P5.0	VDAC1	VDD1	AGND2	AIN3	AIN6	AIN9/ P4.3	ADC_REFP
L	DGND1	DVDD_1V8	VDAC5	VDAC2/ P3.7/ PLAO[29]	VDAC0/ P5.3	AVDD3	AGND3	AIN4	AIN5	AIN8/ P4.2	ADC_REFN

图8. 引脚配置

表10. 引脚功能描述

引脚编号	引脚名称	类型 ¹	描述
B2	RESET	I	复位输入(低电平有效)。内置一个上拉电阻。
C2	P0.0/SCLK0/PLAI[0]	I/O	数字I/O端口0.0 (P0.0)。 SPI0时钟(SCLK0)。 PLA单元0输入(PLAI[0])。
D2	P0.1/MISO0/PLAI[1]	I/O	数字I/O端口0.1 (P0.1)。 SPI0主机输入、从机输出(MISO0)。 PLA单元1输入(PLAI[1])。
D1	P0.2/MOSI0/PLAI[2]	I/O	数字I/O端口0.2 (P0.2)。 SPI0主机输出、从机输入(MOSI0)。 PLA单元2输入(PLAI[2])。
E3	P0.3/IRQ0/CS0/PLACLK0/PLAI[3]	I/O	数字I/O端口0.3 (P0.3)。 外部中断0 (IRQ0)。 SPI0片选0 (CS0)。使用SPI0时, 应将此引脚配置为CS0。 PLA时钟0 (PLACLK0)。 PLA单元3输入(PLAI[3])。
E2	P0.4/SCL0/PLAO[2]	I/O	数字I/O端口0.4 (P0.4)。 I ² C0串行时钟(SCL0)。 PLA单元2输出(PLAO[2])。
E1	P0.5/SDA0/PLAO[3]	I/O	数字I/O端口0.5 (P0.5)。 I ² C0串行数据(SDA0)。 PLA单元3输出(PLAO[3])。

引脚编号	引脚名称	类型 ¹	描述
F3	P0.6/SCL1/PLAO[4]	I/O	数字I/O端口0.6 (P0.6)。 I ² C1串行时钟(SCL1)。 PLA单元4输出(PLAO[4])。
F2	P0.7/SDA1/PLAO[5]	I/O	数字I/O端口0.7 (P0.7)。 I ² C1串行数据(SDA1)。 PLA单元5输出(PLAO[5])。
B9	P1.0/SIN/ECLKIN/PLAI[4]	I/O	数字I/O端口1.0 (P1.0)。 UART输入(SIN)。 外部输入时钟(ECLKIN)。 PLA单元4输入(PLAI[4])。
B10	P1.1/SOUT/PLACK1/PLAI[5]	I/O	数字I/O端口1.1 (P1.1)。 UART输出(SOUT)。 PLA时钟1 (PLACK1)。 PLA单元5输入(PLAI[5])。
B11	P1.2/PWM0/PLAI[6]	I/O	数字I/O端口1.2 (P1.2)。 PWM输出0 (PWM0)。 PLA单元6输入(PLAI[6])。
C6	P1.3/PWM1/PLAI[7]	I/O	数字I/O端口1.3 (P1.3)。 PWM输出1 (PWM1)。 PLA单元7输入(PLAI[7])。
C7	P1.4/PWM2/SCLK1/PLAO[10]	I/O	数字I/O端口1.4 (P1.4)。 PWM输出2 (PWM2)。 SPI1时钟(SCLK1)。 PLA单元10输出(PLAO[10])。
C8	P1.5/PWM3/MISO1/PLAO[11]	I/O	数字I/O端口1.5 (P1.5)。 PWM输出3 (PWM3)。 SPI1主机输入、从机输出(MISO1)。 PLA单元11输出(PLAO[11])。
C9	P1.6/PWM4/MOSI1/PLAO[12]	I/O	数字I/O端口1.6 (P1.6)。 PWM输出4 (PWM4)。 SPI1主机输出、从机输入(MOSI1)。 PLA单元12输出(PLAO[12])。
C10	P1.7/IRQ1/PWM5/CS1/PLAO[13]	I/O	数字I/O端口1.7 (P1.7)。 外部中断1 (IRQ1)。 PWM输出5 (PWM5)。 SPI1片选1 (CS1)。使用SPI1时，应将此引脚配置为CS1。 PLA单元13输出(PLAO[13])。
C5	P2.0/IRQ2/PWMTRIP/PLACK2/PLAI[8]	I/O	数字I/O端口2.0 (P2.0)。 外部中断2 (IRQ2)。 PWM触发(PWMTRIP)。 PLA输入时钟2 (PLACK2)。 PLA单元8输入(PLAI[8])。
C4	P2.2/IRQ4/ $\overline{\text{POR}}$ /CLKOUT/PLAI[10]	I/O	数字I/O端口2.2 (P2.2)。 外部中断4 (IRQ4)。 复位输出($\overline{\text{POR}}$)。此引脚用作输出，是引脚C4的默认设置。 时钟输出(CLKOUT)。 PLA单元10输入(PLAI[10])。
C3	P2.3/BM	I/O	数字I/O端口2.3 (P2.3)。 引导模式(BM)。此引脚决定每次复位后的启动顺序。 上电时使能上拉电阻。

ADuCM320

引脚编号	引脚名称	类型 ¹	描述
D9	P2.4/IRQ5/ADCCONV/PWM6/PLAO[18]	I/O	数字I/O端口2.4 (P2.4)。 外部中断5 (IRQ5)。 启动ADC转换的外部输入(ADCCONV)。 PWM输出6 (PWM6)。 PLA单元18输出(PLAO[18])。
F1	P2.6/IRQ7/PLAO[20]	I/O	数字I/O端口2.6 (P2.6)。 外部中断7 (IRQ7)。 PLA单元20输出(PLAO[20])。
G1	P2.7/IRQ8/PLAO[21]	I/O	数字I/O端口2.7 (P2.7)。 外部中断8 (IRQ8)。 PLA单元21输出(PLAO[21])。
G3	P3.0/PRTADDR0/PLAI[12]	I/O	数字I/O端口3.0 (P3.0)。 MDIO端口地址位0 (PRTADDR0)。详情参见表1中的数字输入参数。 PLA单元12输入(PLAI[12])。
G2	P3.1/PRTADDR1/PLAI[13]	I/O	数字I/O端口3.1 (P3.1)。 MDIO端口地址位1 (PRTADDR1)。详情参见表1中的数字输入参数。 PLA单元13输入(PLAI[13])。
D3	P3.2/PRTADDR2/PLAI[14]	I/O	数字I/O端口3.2 (P3.2)。 MDIO端口地址位2 (PRTADDR2)。详情参见表1中的数字输入参数。 PLA单元14输入(PLAI[14])。
B3	P3.3/PRTADDR3/PLAI[15]	I/O	数字I/O端口3.3 (P3.3)。 MDIO端口地址位3 (PRTADDR3)。详情参见表1中的数字输入参数。 PLA单元15输入(PLAI[15])。
C11	P3.4/PRTADDR4/PLAO[26]	I/O	数字I/O端口3.4 (P3.4)。 MDIO端口地址位4 (PRTADDR4)。详情参见表1中的数字输入参数。 PLA单元26输出(PLAO[26])。
H1	P3.5/MCK/PLAO[27]	I/O	数字I/O端口3.5 (P3.5)。 MDIO时钟(MCK)。详情参见表1中的数字输入参数。 PLA单元27输出(PLAO[27])。
H3	MDIO	I/O	MDIO数据。
E9	SWCLK	I	串行线调试时钟。
E10	SWDIO	I/O	串行线双向数据。
F11	VREF_1V2	S	1.2 V基准电压源。此引脚不能用于向外部流出电流。通过一个470 nF电容将VREF_1V2连接到AGNDx。
A11	IREF	AI	IDAC基准电流。此引脚产生IDAC的基准电流，由外部电阻REXT设置。REXT连接在IREF和AGND4之间。
J6	AIN0	AI	模拟输入0。
J7	AIN1	AI	模拟输入1。
J8	AIN2	AI	模拟输入2。
K8	AIN3	AI	模拟输入3。
L8	AIN4	AI	模拟输入4。
L9	AIN5	AI	模拟输入5。AIN5可以是比较器的-ve输入。
K9	AIN6	AI	模拟输入6。AIN6可以是比较器的+ve输入。
J9	AIN7	AI	模拟输入7。
L10	AIN8/P4.2	AI/I/O	模拟输入8 (AIN8)。 数字I/O端口4.2 (P4.2)。
K10	AIN9/P4.3	AI/I/O	模拟输入9 (AIN9)。 数字I/O端口4.3 (P4.3)。
J10	AIN10	AI	模拟输入10。

引脚编号	引脚名称	类型 ¹	描述
J11	AIN11/BUF_VREF2V5	AI/AO	模拟输入11 (AIN11)。缓冲2.5 V偏置(BUF_VREF2V5)。最大负载 = 1.2 mA。通过一个100 nF电容将BUF_VREF2V5连接到AGNDx。
H10	AIN12/P4.4	AI/I/O	模拟输入12 (AIN12)。 数字I/O端口4.4 (P4.4)。
G10	AIN13/P4.5	AI/I/O	模拟输入13 (AIN13)。 数字I/O端口4.5 (P4.5)。
H9	AIN14/P4.6	AI/I/O	模拟输入14 (AIN14)。 数字I/O端口4.6 (P4.6)。
G9	AIN15/P4.7	AI/I/O	模拟输入15 (AIN15)。 数字I/O端口4.7 (P4.7)。
L5	VDAC0/P5.3	AO/I/O	电压DAC0输出(VDAC0)。 数字I/O端口5.3 (P5.3)。
K5	VDAC1	AO	电压DAC1输出。
L4	VDAC2/P3.7/PLAO[29]	AO/I/O	电压DAC2输出(VDAC2)。 数字I/O端口3.7 (P3.7)。 PLA单元29输出(PLAO[29])。
K4	VDAC3/P5.0	AO/I/O	电压DAC3输出(VDAC3)。 数字I/O端口5.0 (P5.0)。
J4	VDAC4	AO	电压DAC4输出(VDAC4)。
L3	VDAC5	AO	电压DAC5输出(VDAC5)。
K3	VDAC6/P5.1	AO/I/O	电压DAC6输出(VDAC6)。 数字I/O端口5.1 (P5.1)。
J3	VDAC7/P5.2	AO/I/O	电压DAC7输出(VDAC7)。 数字I/O端口5.2 (P5.2)。
A2	IDAC0	AO	IDAC0。0 mA至150 mA满量程输出。
A3	PVDD0	S	IDAC0的电源。
B4	CDAMP0	AI	阻尼网络电容0(滤波作用)。阻尼网络电容连接在此引脚与PVDD0之间。
A10	IDAC1	AO	IDAC1。0 mA至150 mA满量程输出。
A9	PVDD1	S	IDAC1的电源。
B8	CDAMP1	AI	阻尼网络电容1(滤波作用)。阻尼网络电容连接在此引脚与PVDD1之间。
A5	IDAC2	AO	IDAC2。0 mA至150 mA满量程输出。
A4	PVDD2	S	IDAC2的电源。
B5	CDAMP2	AI	阻尼网络电容2(滤波作用)。阻尼网络电容连接在此引脚与PVDD2之间。
A7	IDAC3	AO	IDAC3。0 mA至150 mA满量程输出。
A8	PVDD3	S	IDAC3的电源。
B7	CDAMP3	AI	阻尼网络电容3(滤波作用)。阻尼网络电容连接在此引脚与PVDD3之间。
B6	PGND	S	IDAC的电源地。
A6	PGND	S	IDAC的电源地。
A1	IDAC_TST	AI/AO	IDAC测试用引脚。IDAC_TST保持不连接。
L2	DVDD_1V8	AO	1.8 V数字电源。必须将一个470 nF电容连接在DGND1与此引脚之间，使得内部1.8 V稳压器能够稳定的为闪存和ARM Cortex-M3处理器供电。
K2	DVDD_2V5	AO	2.5 V数字电源。必须将一个470 nF电容连接在IOGND3与此引脚之间，使得内部2.5 V稳压器能够稳定的为模拟部分的数字控制电路供电。
F9	AVDD_REG0	AO	模拟稳压器0电源输出。必须将一个470 nF电容连接在AGND4与此引脚之间，使得内部的内部2.5 V稳压器能够稳定的为ADC供电。
F10	AVDD_REG1	AO	模拟稳压器1电源输出。2.5 V片内LDO稳压器的输出。必须将一个470 nF电容连接在AGND4与此引脚之间。此稳压器为IDAC供电。
L1	DGND1	S	DVDD_1V8的数字地1。
D10	DGND2	S	数字地2。连接至DGND1。
B1	IOVDD1	S	3.3 V为GPIO供电。

ADuCM320

引脚编号	引脚名称	类型 ¹	描述
D11	IOVDD2	S	3.3 V 为GPIO和芯片间通信IO供电。
J1	IOVDD3	S	3.3 V 为GPIO供电。
C1	IOGND1	S	IOVDD1的地。
E11	IOGND2	S	IOVDD2的地。
K1	IOGND3	S	IOVDD3的地。
J5	AGND1	S	VDD1的地。
K7	AGND2	S	环形焊盘的ESD地。
L7	AGND3	S	AVDD3的地。
H11	AGND4	S	AVDD4、AVDD_REG0和AVDD_REG1的地。
K6	VDD1	S	数字芯片的3.3 V电源。
L6	AVDD3	S	VDAC和IDAC电源(3.3 V)。
G11	AVDD4	S	ADC电源(3.3 V)。
L11	ADC_REFN	AO/A	ADC基准电压缓冲器的去耦电容连接。此引脚连接到AGND4。
K11	ADC_REFP	AO/A	ADC基准电压缓冲器的去耦电容连接。通过一个4.7 μF电容将此引脚连接至ADC_REFN引脚。ADC_REFP可以通过一个外部基准电压源过驱动。
H2	XTALO	O	晶体振荡反相器输出。不使用外部晶振时，XTALO不连接。
J2	XTALI	I	晶体振荡反相器输入和内部时钟发生器电路输入。不使用外部晶振时，XTALI连接到DGND。

¹ AI表示模拟输入，AO表示模拟输出，I表示数字输入，O表示数字输出，S表示电源。

典型性能参数

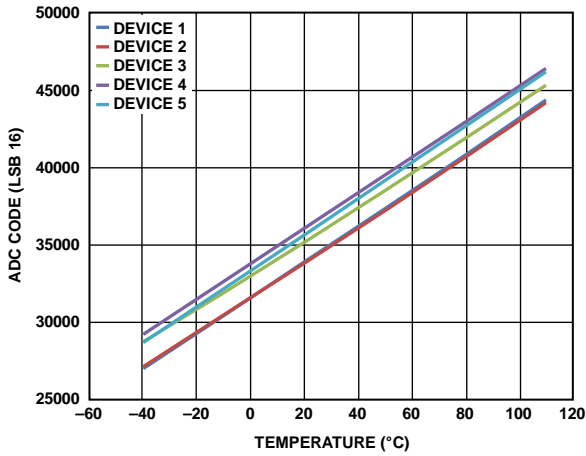


图9. 典型温度测量与内部温度的关系
($V_{DD} = 3.3\text{ V}$, 50 kSPS)

12272-008

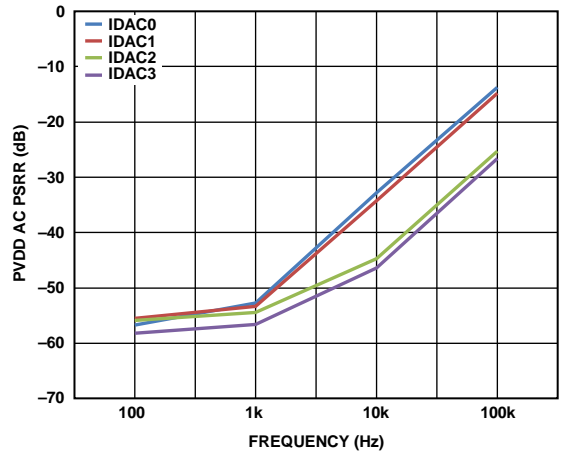


图12. 典型PVDD AC PSRR与频率的关系

12272-012

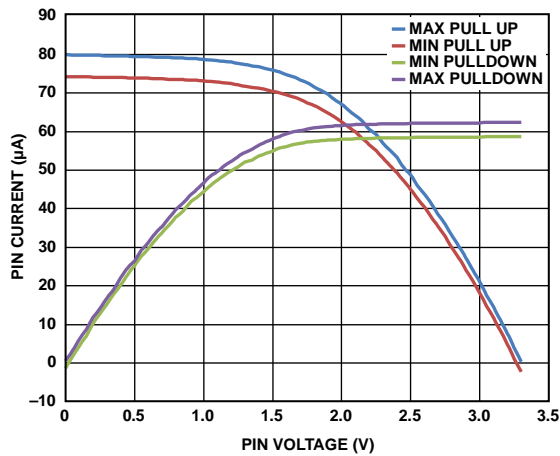


图10. 典型上拉/下拉引脚电流与引脚电压的关系
($V_{DD} = 3.3\text{ V}$, 25°C)

12272-010

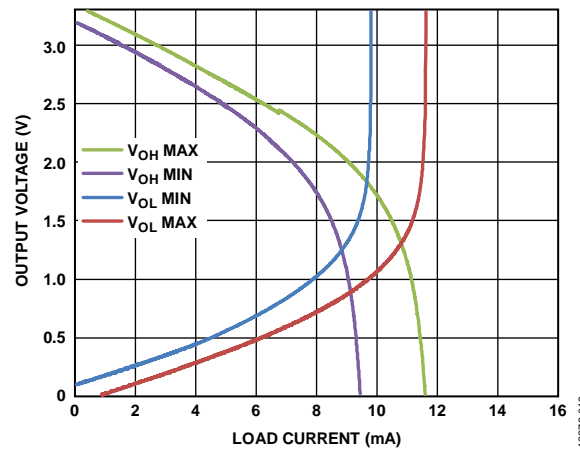


图13. 典型输出电压与负载电流的关系

12272-013

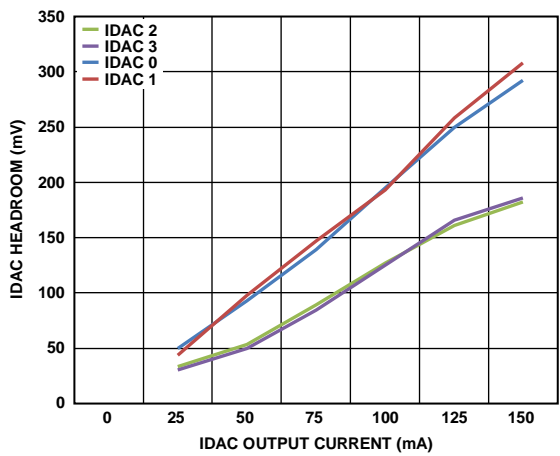


图11. 典型IDAC裕量与IDAC输出电流的关系

12272-011

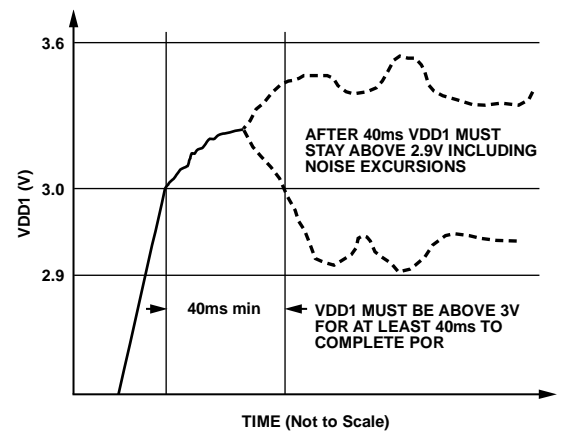


图14. VDD1上电要求

12272-014

建议电路和元件值

图15给出了ADuCM320的典型连接图。

电源和稳压器必须通过AVDDx、PVDDx、DVDD_x、AVDD_REGx、IOVDDx、VDD1引脚与其相关的GND引脚(AGNDx、PGND、IOGNDx和DGNDx)之间连接的电容充分去耦。表10说明了哪些接地引脚与哪些电源引脚配对。

数字电源引脚有四个：IOVDD1、IOVDD2、IOVDD3和VDD1。为对这些引脚进行去耦，须将一个100 nF电容放在各引脚及其相关的GND引脚(分别是IOGNDx和AGND1)最近处。此外，应将一个10 μ F电容放在这些引脚附近。

同样，模拟电源引脚AVDD3和AVDD4各需要一个100 nF电容尽可能靠近各引脚及其相关的AGNDx引脚放置，并将一个10 μ F电容放在这些引脚附近。

IDAC从PVDDx电源引脚获得输出电流。各PVDDx电源引脚必须有一个100 nF电容靠近各引脚及其相关的GND引脚(PGND)。此外，应将至少一个10 μ F电容放在PVDDx电源处。

IDAC输出滤波器要求将一个10 nF电容放在CDAMPx和PVDDx之间。

ADC基准电压源要求将一个4.7 μ F电容放在ADC_REFP和ADC_REFN之间，并且该电容应尽可能靠近各引脚。ADC_REFN必须直接连到AGND4。

ADuCM320内置四个稳压器。这些稳压器需要外部去耦电容。DVDD_1V8和DVDD_2V5引脚各需要通过一个470 nF电容分别连接到DGND1和IOGND3。AVDD_REG0和AVDD_REG1各需要通过一个去耦电容连接到AGND4。

为产生精确的低漂移基准电流，应通过一个低ppm(温漂)3.16 k Ω 电阻将IREF引脚连接到AGND4。

布局时应小心，确保从各去耦电容的接地端流到相关接地引脚的电流与印刷电路板上其他接地电流共用的走线尽可能少。

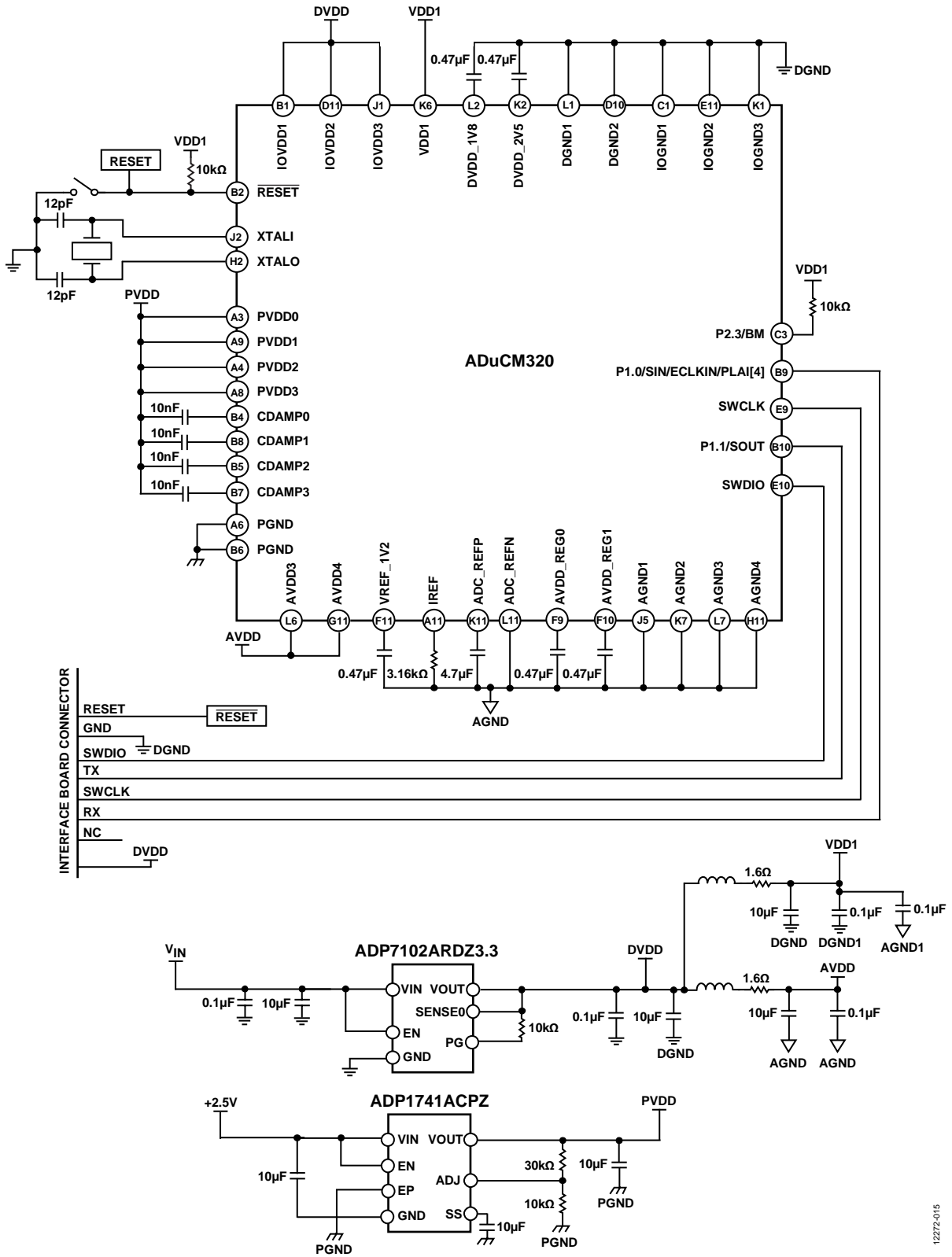


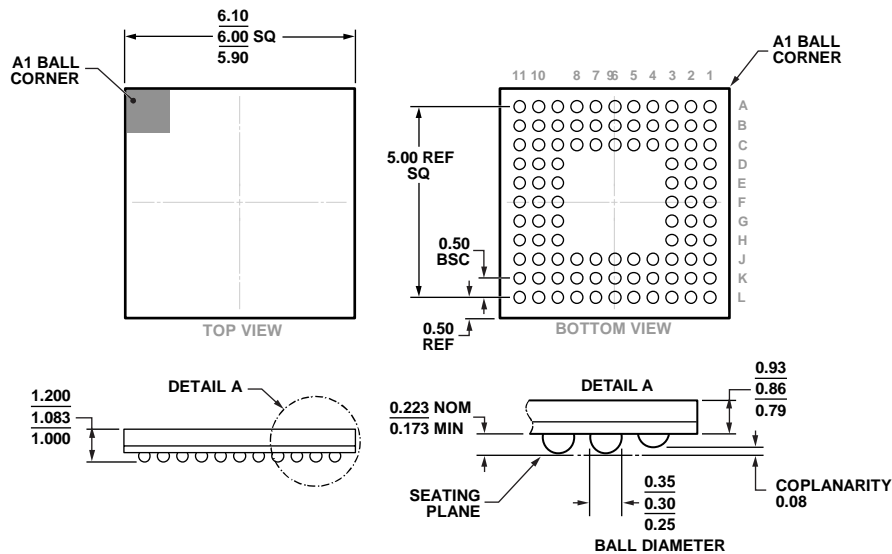
图15. 建议电路和元件值

12272-015

ADuCM320

封装和订购信息

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-195-AC
WITH THE EXCEPTION TO BALL COUNT.

图16. 96引脚芯片级球栅阵列 [CSP_BGA] 封装
(BC-96-2)

图示尺寸单位: mm

04-02-2013-A

订购指南

型号 ¹	温度范围	封装描述	封装选项	订购数量
ADuCM320BBCZ	-40°C至+85°C	96引脚CSP_BGA封装	BC-96-2	429
ADuCM320BBCZ-RL	-40°C至+85°C	96引脚CSP_BGA封装	BC-96-2	2,500
EV-ADuCM320QSPZ		含QuickStart开发系统的评估板		1

¹ Z = 符合RoHS标准的器件。

I²C指最初由Philips Semiconductors(现为NXP Semiconductors)开发的一种通信协议。