



# 低功耗、精密模拟 微控制器、双通道 $\Sigma$ - $\Delta$ 型 ADC

## 硅片异常

## ADuC7060/ADuC7061

此异常列表描述了 ADuC7060/ADuC7061 MicroConverter<sup>®</sup>版本D芯片的已知缺陷、异常以及临时解决方案。所列异常适用于以下标识的所有ADuC7060/ADuC7061 封装材料:

第一行 ADuC7060/ADuC7061

第三行 D30 或更新版本 (版本标识)

ADI 公司承诺在未来版本芯片中持续改进芯片功能, 同时通过采用此处推荐的临时解决方案, 确保这些未来版本芯片仍和您目前的软件/系统兼容。

### ADuC7060/ADuC7061 功能问题

芯片版本标识	内核版本标识	芯片标志	芯片状态	异常表	报告异常号
D	0	标识为 D30 的所有芯片	已发布	版本 A	7

### ADuC7060/ADuC7061 性能问题

芯片版本标识	内核版本标识	芯片标志	芯片状态	异常表	报告异常号
D	0	标识为 D30 的所有芯片	已发布	版本 A	1

### ADuC7060/ADuC7061 芯片的未来改进

芯片版本标识	内核版本标识	芯片标志	芯片状态	异常表	报告异常号
D	0	标识为 D30 的所有芯片	已发布	版本 A	1

#### Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700 [www.analog.com](http://www.analog.com)  
Fax: 781.461.3113 ©2009–2010 Analog Devices, Inc. All rights reserved.

ADI 中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI 不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考 ADI 提供的最新英文版数据手册。

## 异常

## ADuC7060/ADuC7061 功能问题

表 1. 配置为电平敏感时的外部 IRQ[er002]

背景	ADuC7060/ADuC7061 器件上有 4 个外部中断源。这些外部中断源可以配置为边沿触发（上升或下降）或电平触发（高电平有效或低电平有效）。
问题	任一外部中断源配置为电平触发时，无论是高电平有效还是低电平有效，外部引脚必须保持处于有效电平，直至程序矢量到该外部中断的中断矢量处理程序。 如果外部引脚被激活，触发一个中断，但随后在程序矢量到中断处理程序之前进入无效电平，则可能无法适当设置该外部中断的 IRQSTA 位。这将导致中断处理程序不知道是什么中断源引起到该中断。
临时解决方案	边沿触发中断没有这种问题。此问题修正方案待定。
相关问题	无。

表 2. DAC 输出限制在 AVDD - 250 mV[er005]

背景	DAC 输出范围可以配置为四种不同设置： <ul style="list-style-type: none"> <li>• 0 V 至 <math>V_{REF}</math> (1.2 V)（内部基准电压源）</li> <li>• <math>V_{REF-}</math> 至 <math>V_{REF+}</math></li> <li>• ADC5/EXT_REF2IN- 至 ADC4/EXT_REF2IN+</li> <li>• 0 V 至 AVDD</li> </ul>
问题	DAC 输出缓冲器受限于最大输出电压，原因是它能驱动至 AVDD - 250 mV，这低于 ADVV 的数据手册规格。
临时解决方案	此问题修正方案待定。
相关问题	无。

表 3. 传送正在进行时在从机模式下禁用 I<sup>2</sup>C 接口[er006]

背景	I2CSCON 寄存器的位 0 (I2CSEN) 使能/禁用 I <sup>2</sup> C 从接口。 I2CSSTA 寄存器的位 6 (I2CBUSY) 指示 I <sup>2</sup> C 从接口是否处于忙碌状态。
问题	如果使能 I <sup>2</sup> C 从机模式 (I2CSCON[0] = 1) 并且与主机的传送正在进行中，则在 I2CSSTA 的位 6 (I2CBUSY, I <sup>2</sup> C 从机忙碌状态位) 清 0 之前，不应将 I2CSCON[0] 清 0 来禁用 I <sup>2</sup> C 从接口。 如果将 I2CSCON[0] 清 0 并且仍设置 I <sup>2</sup> C 从机忙碌状态位，ADuC7060/ADuC7061 可能无限期驱动 SDA 引脚处于低电平状态。此类情况出现时，除非发生硬件复位条件，ADuC7060/ADuC7061 不会释放 SDA。
临时解决方案	通过写入 I2CSCON[0] 禁用 I <sup>2</sup> C 从机模式时，首先设置 I2CMCON 寄存器的位 0 (I2CMEN) = 1 来使能主机模式。然后，通过将 I2CSCON[0] 清 0 来禁用从机模式。最后，将 I2CMCON[0] 清 0。
相关问题	无。

表 4. 从机模式下 SPI 的工作模式[er007]

背景	在 SPI 从机模式下，ADuC7060/ADuC7061 认为从机片选引脚 ( $\overline{SS}$ ) 处于有效状态时，来自主机的时钟脉冲的数目能被 8 整除。 解除片选引脚时，内部移位计数器并不复位。
问题	如果当片选引脚 ( $\overline{SS}$ ) 处于活动状态时来自主机的时钟数目不能被 8 整除，这会导致 ADuC7060/ADuC7061 收发不正确的数据，因为内部移位计数器在随后的传送中不会处于 0。 发送缓冲器或接收缓冲器的内部移位计数器只能通过硬件复位、软件复位或看门狗复位进行复位。
临时解决方案	ADuC7060/ADuC7061 片选引脚 ( $\overline{SS}$ ) 处于有效状态时，始终保证 SPI 时钟的数目能被 8 整除。
相关问题	无。

## 第 1 部分 ADuC7060/ADuC7061 功能问题

参考编号	描述	状态
er001	省电模式问题	版本 C 及更新版本芯片已修正
er002	配置为电平敏感时的外部 IRQ	待解决
er003	设置 SPI 串行时钟相位模式位 (SPICH) 时从机模式下的 SPI 问题	版本 C 及更新版本芯片已修正
er004	主 ADC 自增益校准模式	版本 C 及更新版本芯片已修正
er005	DAC 输出限制在 AVDD - 250 mV	待解决
er006	传送正在进行时在从机模式下禁用 I <sup>2</sup> C 接口	待解决
er007	从机模式下 SPI 的工作模式	待解决

## 第 2 部分 ADuC7060/ADuC7061 性能问题

参考编号	描述	状态
pr001	输出范围超出 0 V 至 1.2 V 时 DAC 的相对精度	版本 C 及更新版本芯片已修正

## 第 3 部分 ADuC7060/ADuC7061 芯片的未来改进

参考编号	描述	状态
fe001	主 ADC 输入缓冲器旁路	版本 C 及更新版本芯片已修正

注释