

### 产品特性

宽输入电压范围：4.0 V至15 V

高效率架构

开关频率高达2 MHz

6通道同步整流DC-DC转换器

通道1降压调节器：3 A(最大值)

通道2降压调节器：1.15 A(最大值)

通道3降压调节器：1.5 A(最大值)

通道4降压调节器：0.8 A(最大值)

通道5降压调节器：2 A(最大值)

通道6可配置降压或降压升压调节器

降压调节器配置最大值为2 A

降压升压调节器配置最大值为1.5 A

通道7高压、高性能LDO调节器：30 mA(最大值)

两个低静态电流“保持有效”LDO调节器

LDO1调节器：400 mA(最大值)

LDO2调节器：300 mA(最大值)

控制电路

内置开关驱动器电源的电荷泵

I<sup>2</sup>C可编程输出电压和电源时序

封装：72引脚4.5 mm × 4.0 mm × 0.6 mm WLCSP封装(0.5 mm 间距)

### 应用

数码单反相机

非反射(无反光镜)相机

便携式仪器仪表

### 概述

ADP5080是适合多单元锂电池应用的完全集成式高效电源解决方案。该器件可以直接连接到电池，无需前置调节器，从而延长了系统的电池寿命。

ADP5080集成两个“保持有效”LDO调节器、五个同步降压调节器、一个可配置的四开关降压升压调节器和一个高压LDO调节器。ADP5080是一款高度集成式电源解决方案，集成了功率MOSFET、反馈环路补偿、电压设置电阻分压器、放电开关以及产生通用自举电压的电荷泵。

### 功能框图

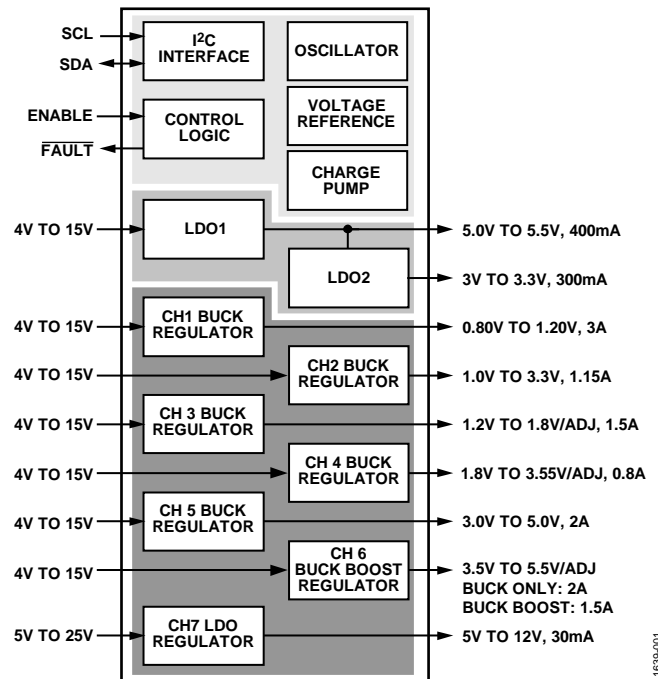


图1.

所有这些特性都有助于尽量减少所需的外部器件数和PCB面积，为便携式应用提供了显著的优势。每个通道的开关频率都可在750 kHz至2 MHz间选择。

片内集成了电源应用的主要功能，如软启动、可选预设输出电压以及灵活的上电和关断时序控制，并且通过I<sup>2</sup>C接口采用熔丝工厂默认值进行编程。

ADP5080采用72引脚WLCSP 0.5 mm间距封装。

Rev. A

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700 ©2013–2014 Analog Devices, Inc. All rights reserved.  
Technical Support [www.analog.com](http://www.analog.com)

目录

产品特性 .....	1	通道7：高压LDO调节器 .....	29
应用 .....	1	电荷泵 .....	29
功能框图 .....	1	使能与禁用输出通道 .....	30
概述 .....	1	电源良好功能 .....	31
修订历史 .....	2	故障功能 .....	31
技术规格 .....	3	欠压保护(UVP) .....	32
管理模块规格 .....	4	过压保护(OVP) .....	33
DC-DC转换器模块规格 .....	5	应用信息 .....	34
线性调节器模块规格 .....	7	降压和降压升压调节器元件选择 .....	34
I <sup>2</sup> C接口时序规格 .....	8	LDO调节器元件选择 .....	36
绝对最大额定值 .....	9	PCB布局建议 .....	36
热阻 .....	9	散热考虑 .....	37
ESD警告 .....	9	I <sup>2</sup> C接口 .....	38
引脚配置和功能描述 .....	10	SDA和SCL引脚 .....	38
典型性能参数 .....	12	I <sup>2</sup> C地址 .....	38
应用电路 .....	18	自清零寄存器位 .....	38
工作原理 .....	19	I <sup>2</sup> C接口时序图 .....	38
UVLO和POR .....	19	控制寄存器信息 .....	40
放电开关 .....	19	控制寄存器映射 .....	40
“保持有效”LDO调节器 .....	19	控制寄存器详解 .....	41
DC-DC转换器通道 .....	22	工厂默认选项 .....	61
DC-DC转换器通道的轻载和其他工作模式 .....	27	外形尺寸 .....	63
开关时钟 .....	28	订购指南 .....	63
软启动功能 .....	29		

修订历史

2014年4月 — 修订版A：初始版

## 规格

除非另有说明,  $T_j = 25^{\circ}\text{C}$ ,  $V_{\text{VBATT}} = 7.2\text{ V}$ ,  $V_{\text{VREG1}} = V_{\text{VDRx}} = 5\text{ V}$ ,  $V_{\text{VREG2}} = V_{\text{VDDIO}} = 3.3\text{ V}$ 。

表1.

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
输入电源电压范围						
VBATT	$V_{\text{VBATT}}$	4.0		15	V	适用于PVIN1、PVIN2、PVIN3、PVIN4、PVIN5和PVIN6
VILDO7	$V_{\text{VILDO7}}$	5		25	V	
VDDIO	$V_{\text{VDDIO}}$	1.6		3.6	V	
静态电流						
工作静态电流	$I_{\text{Q (VIN)}}$		8	11	mA	所有通道开启, 非开关
VDDIO	$I_{\text{Q (VDDIO\_OP)}}$		0.2		$\mu\text{A}$	$V_{\text{VDDIO}} = V_{\text{SCL}} = V_{\text{SDA}} = 3.3\text{ V}$
待机电流	$I_{\text{Q (VBATT\_STNBY1)}}$		12	20	$\mu\text{A}$	包括LDO1和LDO2, EN低电平
	$I_{\text{Q (VBATT\_STNBY2)}}$		1.25		mA	所有通道关闭, EN高电平, SEL_FSW = 1, FREQ_CP = 01
欠压闭锁	UVLO					
UVLO上升阈值	$V_{\text{UVLO (R)}}$	3.45	3.7	3.85	V	PVIN1处
UVLO下降阈值	$V_{\text{UVLO (F)}}$		3.45	3.55	V	PVIN1处
VBATT UVLO阈值	$V_{\text{UVLO (BATT)}}$		3.3		V	VBATT处, 下降
复位阈值	$V_{\text{UVLO (POR)}}$		2.4		V	VREG2处, 下降
振荡器电路						
开关频率	$f_{\text{SW}}$	1.98	2.0	2.02	MHz	$R_{\text{OSC}} = 100\text{ k}\Omega$ , SEL_FSW = 0
		1.48	1.5	1.52	MHz	$R_{\text{OSC}} = 100\text{ k}\Omega$ , SEL_FSW = 1
SYNC引脚, 输入时钟						
频率范围	$f_{\text{SYNC}}$	0.5		2.0	MHz	$R_{\text{OSC}} = 100\text{ k}\Omega$
最短导通脉冲宽度	$t_{\text{SYNC\_MIN\_ON}}$	100			ns	
最短关断脉冲宽度	$t_{\text{SYNC\_MIN\_OFF}}$	100			ns	
逻辑高电平	$V_{\text{H (SYNC)}}$			$0.8 \times V_{\text{VREG2}}$	V	$V_{\text{VREG2}} = 3.3\text{ V}$ , $-25^{\circ}\text{C} \leq T_j \leq +85^{\circ}\text{C}$
逻辑低电平	$V_{\text{L (SYNC)}}$	$0.3 \times V_{\text{VREG2}}$			V	$V_{\text{VREG2}} = 3.3\text{ V}$ , $-25^{\circ}\text{C} \leq T_j \leq +85^{\circ}\text{C}$
逻辑输入						
EN引脚						
高电平阈值	$V_{\text{IH (EN)}}$			2.15	V	$V_{\text{VREG2}} = 3.3\text{ V}$ , $-25^{\circ}\text{C} \leq T_j \leq +85^{\circ}\text{C}$
低电平阈值	$V_{\text{IL (EN)}}$	1.45			V	$V_{\text{VREG2}} = 3.3\text{ V}$ , $-25^{\circ}\text{C} \leq T_j \leq +85^{\circ}\text{C}$
EN34引脚						
高电平阈值	$V_{\text{IH (EN34)}}$			1.25	V	$V_{\text{VREG2}} = 3.3\text{ V}$ , $-25^{\circ}\text{C} \leq T_j \leq +85^{\circ}\text{C}$
低电平阈值	$V_{\text{IL (EN34)}}$	0.70			V	$V_{\text{VREG2}} = 3.3\text{ V}$ , $-25^{\circ}\text{C} \leq T_j \leq +85^{\circ}\text{C}$
SCL和SDA引脚						
高电平阈值	$V_{\text{IH (I2C)}}$			$0.75 \times V_{\text{VDDIO}}$	V	$V_{\text{VDDIO}} = 3.3\text{ V}$ , $-25^{\circ}\text{C} \leq T_j \leq +85^{\circ}\text{C}$
低电平阈值	$V_{\text{IL (I2C)}}$	$0.3 \times V_{\text{VDDIO}}$			V	$V_{\text{VDDIO}} = 3.3\text{ V}$ , $-25^{\circ}\text{C} \leq T_j \leq +85^{\circ}\text{C}$
逻辑输出						
SDA引脚						
低电平输出电压	$V_{\text{OL (SDA)}}$			0.4	V	3.0 mA吸电流, $-25^{\circ}\text{C} \leq T_j \leq +85^{\circ}\text{C}$
漏电流	$I_{\text{LEAK (SDA)}}$		10		nA	$V_{\text{SDA}} = 3.3\text{ V}$
CLKO引脚						
高电平输出电压	$V_{\text{OH (CLKO)}}$	$V_{\text{VREG2}} - 0.4$			V	3.0 mA吸电流, $-25^{\circ}\text{C} \leq T_j \leq +85^{\circ}\text{C}$
低电平输出电压	$V_{\text{OL (CLKO)}}$			0.4	V	3.0 mA吸电流, $-25^{\circ}\text{C} \leq T_j \leq +85^{\circ}\text{C}$
$\overline{\text{FAULT}}$ 引脚						
低电平输出电压	$V_{\text{OL (FAULT)}}$			0.4	V	3.0 mA源电流, $-25^{\circ}\text{C} \leq T_j \leq +85^{\circ}\text{C}$
漏电流	$I_{\text{LEAK (FAULT)}}$		10		nA	$V_{\text{FAULT}} = 3.3\text{ V}$

# ADP5080

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
电源良好						
上升阈值	$V_{PGOOD(R)}$		83		%	$V_{OUT}$ 处测量
下降阈值	$V_{PGOOD(F)}$		79		%	$V_{OUT}$ 处测量
过压/欠压						
OVP阈值	$V_{OVP}$		125	137	%	$V_{OUT}$ 处测量
UVP阈值	$V_{UVP}$	48	65		%	$V_{OUT}$ 处测量
热关断	TSD					
上升阈值	$T_{TSD}$		165		°C	
迟滞	$T_{TSD\_HYS}$		15		°C	

## 管理模块规格

除非另有说明,  $T_J = 25^{\circ}\text{C}$ ,  $V_{VBATT} = 7.2\text{ V}$ ,  $V_{VREG1} = V_{VDRx} = 5\text{ V}$ ,  $V_{VREG2} = V_{VDDIO} = 3.3\text{ V}$ 。

表2.

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
LDO1						
输出电压(VREG1引脚)						
固定电压范围, 1位	$V_{VREG1}$	5.0		5.5	V	$V_{VBATT} = V_{VREG1} + 0.5\text{ V}$ , $I_{VREG1} = 10\text{ mA}$
电压精度	$V_{VREG1(DEFUALT)}$	-2		+2	%	$V_{VBATT} = V_{VREG1} + 0.5\text{ V}$ , $I_{VREG1} = 10\text{ mA}$
负载调整率	$\Delta V_{VREG1}/I_{VREG1}$		3.5		%/A	$I_{VREG1} = 4\text{ mA}$ 至95 mA
电压调整率	$\Delta V_{VREG1}/V_{VBATT}$		0.03		%/V	$V_{VBATT} = (V_{VREG1} + 0.5\text{ V})$ 至15 V
限流阈值	$I_{LDO1\_ILIM}$	390	550		mA	$V_{VREG1} =$ 标称值的90%
压差			0.15		V	$I_{VREG1} = 100\text{ mA}$ , $V_{VREG1} = 5\text{ V}$
输入选择开关导通电阻	$R_{DSON\_VISW1}$		795		mΩ	$V_{VISW1} = 5\text{ V}$
$C_{OUT}$ 放电开关导通电阻	$R_{DIS\_LDO1}$		1		kΩ	$V_{VREG1} = 1\text{ V}$
LDO2						
输出电压(VREG2引脚)						
固定电压范围, 2位	$V_{VREG2}$	3.0		3.3	V	$I_{VREG2} = 10\text{ mA}$
电压精度	$V_{VREG2(DEFUALT)}$	-2		+2	%	$I_{VREG2} = 10\text{ mA}$
负载调整率	$\Delta V_{VREG2}/I_{VREG2}$		5.5		%/A	$I_{VREG2} = 4\text{ mA}$ 至95 mA
限流阈值	$I_{LDO2\_ILIM}$	290	400		mA	$V_{VREG2} =$ 标称值的90%
输入选择开关导通电阻	$R_{DSON\_VISW2}$		1409		mΩ	$V_{VISW2} = 3.3\text{ V}$
$C_{OUT}$ 放电开关导通电阻	$R_{DIS\_LDO2}$		12		Ω	$V_{VREG2} = 1\text{ V}$
电荷泵						
C+开关导通电阻						
低端	$R_{DSON\_C+SW1}$		1.1		Ω	源, $PVINCP$ 至C+
高端	$R_{DSON\_C+SW2}$		1.0		Ω	吸, C+至BSTCP
C-开关导通电阻						
高端	$R_{DSON\_C-SW1}$		1.0		Ω	源, $VDR5$ 至C-
低端	$R_{DSON\_C-SW2}$		785		mΩ	吸, C-至PGND5
分流开关导通电阻	$R_{DSON\_CP}$		3.3		Ω	BSTCP至 $PVINCP$ , EN低电平
电荷泵启动阈值	$CP_{START}$		4.0		V	$V_{BATT}$ 处

## DC-DC转换器模块规格

除非另有说明,  $T_J = 25^{\circ}\text{C}$ ,  $V_{\text{VBATT}} = 7.2\text{ V}$ ,  $V_{\text{VREG1}} = V_{\text{VDRX}} = 5\text{ V}$ ,  $V_{\text{VREG2}} = V_{\text{VDDIO}} = 3.3\text{ V}$ 。

表3.

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
通道1同步降压调节器						
通道1输出电压(FB1引脚)	$V_{\text{FB1}}$	0.89		1.20	V	REDUCE_VOUT1 = 0
固定电压范围, 5位		0.80		1.11	V	REDUCE_VOUT1 = 1
默认VID码下的反馈电压精度	$V_{\text{FB1 (DEFAULT)}}$	-0.8		+0.8	%	$-25^{\circ}\text{C} \leq T_J \leq +85^{\circ}\text{C}$ $I_{\text{LOAD1}} = 20\text{ mA}$ 至 $2\text{ A}$ , AUTO-PSM1 = 0 $V_{\text{PVIN1}} = 5\text{ V}$ 至 $15\text{ V}$ , $I_{\text{LOAD}} = 1\text{ A}$
		-1.3		+1.3	%	
负载调整率	$\Delta V_{\text{FB1}}/I_{\text{LOAD1}}$		0.15		%/A	
电压调整率	$\Delta V_{\text{FB1}}/V_{\text{PVIN1}}$		0.004		%/V	
SW1A引脚						
高端功率FET导通电阻	$R_{\text{DS(on)_1AH}}$		250		m $\Omega$	$I_D = 100\text{ mA}$
低端功率FET导通电阻	$R_{\text{DS(on)_1AL}}$		130		m $\Omega$	$I_D = 100\text{ mA}$
SW1B引脚						
高端功率FET导通电阻	$R_{\text{DS(on)_1BH}}$		175		m $\Omega$	$I_D = 100\text{ mA}$ , GATE_SCAL1 = 0
低端功率FET导通电阻	$R_{\text{DS(on)_1BL}}$		95		m $\Omega$	$I_D = 100\text{ mA}$
SW1A和SW1B引脚						
开关限流	$I_{\text{CL1}}$	3.1	4.0		A	谷值电流, $-25^{\circ}\text{C} \leq T_J \leq +85^{\circ}\text{C}$
最短关断时间	$t_{\text{OFF1 (MIN)}}$		115		ns	
最小占空比	$D_{\text{MIN1}}$		0		%	
软启动时间	$t_{\text{SS1}}$		4		ms	SS1 = 10
$C_{\text{OUT}}$ 放电开关导通电阻	$R_{\text{DIS1}}$		125		$\Omega$	$V_{\text{FB1}} = 1\text{ V}$
通道2同步降压调节器						
通道2输出电压(FB2引脚)	$V_{\text{FB2}}$	1.0		3.3	V	$-25^{\circ}\text{C} \leq T_J \leq +85^{\circ}\text{C}$ $I_{\text{LOAD2}} = 10\text{ mA}$ 至 $1.0\text{ A}$ , AUTO-PSM2 = 0 $V_{\text{PVIN2}} = 5\text{ V}$ 至 $15\text{ V}$ , $I_{\text{LOAD2}} = 500\text{ mA}$
固定电压范围, 4位		-0.8		+0.8	%	
默认VID码下的反馈电压精度	$V_{\text{FB2 (DEFAULT)}}$	-1.3		+1.3	%	
负载调整率	$\Delta V_{\text{FB2}}/I_{\text{LOAD2}}$		0.25		%/A	
电压调整率	$\Delta V_{\text{FB2}}/V_{\text{PVIN2}}$		0.004		%/V	
SW2引脚						
高端功率FET导通电阻	$R_{\text{DS(on)_2H}}$		235		m $\Omega$	$I_D = 100\text{ mA}$
低端功率FET导通电阻	$R_{\text{DS(on)_2L}}$		165		m $\Omega$	$I_D = 100\text{ mA}$
开关限流	$I_{\text{CL2}}$	1.2	1.8		A	谷值电流, $-25^{\circ}\text{C} \leq T_J \leq +85^{\circ}\text{C}$
最短关断时间	$t_{\text{OFF2 (MIN)}}$		100		ns	
最小占空比	$D_{\text{MIN2}}$		0		%	
软启动时间	$t_{\text{SS2}}$		4		ms	SS2 = 10
$C_{\text{OUT}}$ 放电开关导通电阻	$R_{\text{DIS2}}$		125		$\Omega$	$V_{\text{FB2}} = 1\text{ V}$
通道3同步降压调节器						
通道3输出电压(FB3引脚)	$V_{\text{FB3}}$	1.2		1.8	V	VID3 = 111
固定电压范围, 3位			0.8		V	
最低可调节电压	$V_{\text{FB3 (DEFAULT)}}$	-0.8		+0.8	%	
默认VID码下的反馈电压精度		-1.3		+1.3	%	$-25^{\circ}\text{C} \leq T_J \leq +85^{\circ}\text{C}$ $I_{\text{LOAD3}} = 15\text{ mA}$ 至 $1.5\text{ A}$ , AUTO-PSM3 = 0 $V_{\text{PVIN3}} = 5\text{ V}$ 至 $15\text{ V}$ , $I_{\text{LOAD3}} = 700\text{ mA}$
负载调整率	$\Delta V_{\text{FB3}}/I_{\text{LOAD3}}$		0.17		%/A	
电压调整率	$\Delta V_{\text{FB3}}/V_{\text{PVIN3}}$		0.003		%/V	

# ADP5080

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
SW3引脚						
高端功率FET导通电阻	$R_{DS(on)_3H}$		155		m $\Omega$	$I_D = 100\text{ mA}$
低端功率FET导通电阻	$R_{DS(on)_3L}$		100		m $\Omega$	$I_D = 100\text{ mA}$
开关限流	$I_{CL3}$	2.05	2.8		A	谷值电流, $-25^{\circ}\text{C} \leq T_J \leq +85^{\circ}\text{C}$
最短关断时间	$t_{OFF3\text{ (MIN)}}$		90		ns	
最小占空比	$D_{MIN3}$		0		%	
软启动时间	$t_{SS3}$		4		ms	$SS3 = 10$
$C_{OUT}$ 放电开关导通电阻	$R_{DIS3}$		125		$\Omega$	$V_{FB3} = 1\text{ V}$
高端功率FET导通电阻						
通道4输出电压(FB4引脚)						
固定电压范围, 3位	$V_{FB4}$	1.8		3.55	V	
最低可调节电压			0.8		V	$VID4 = 111$
默认VID码下的反馈电压精度	$V_{FB4\text{ (DEFAULT)}}$	-1		+1	%	
		-2		+2	%	$-25^{\circ}\text{C} \leq T_J \leq +85^{\circ}\text{C}$
负载调整率	$\Delta V_{FB4}/I_{LOAD4}$		0.10		%/A	$I_{LOAD4} = 10\text{ mA}$ 至800 mA, AUTO-PSM4 = 0
电压调整率	$\Delta V_{FB4}/V_{PVIN4}$		0.003		%/V	$V_{PVIN4} = 5\text{ V}$ 至15 V, $I_{LOAD4} = 400\text{ mA}$
SW4引脚						
高端功率FET导通电阻	$R_{DS(on)_4H}$		350		m $\Omega$	$I_D = 100\text{ mA}$
低端功率FET导通电阻	$R_{DS(on)_4L}$		345		m $\Omega$	$I_D = 100\text{ mA}$
开关限流	$I_{CL4}$	0.96	1.4		A	峰值电流, $-25^{\circ}\text{C} \leq T_J \leq +85^{\circ}\text{C}$
最短导通时间	$t_{ON4\text{ (MIN)}}$		75		ns	
最大占空比	$D_{MAX4}$		100		%	
软启动时间	$t_{SS4}$		4		ms	$SS4 = 10$
$C_{OUT}$ 放电开关导通电阻	$R_{DIS4}$		125		$\Omega$	$V_{FB4} = 1\text{ V}$
通道5同步降压调节器						
通道5输出电压(FB5引脚)						
固定电压范围, 3位	$V_{FB5}$	3.0		5.0	V	
默认VID码下的反馈电压精度	$V_{FB5\text{ (DEFAULT)}}$	-1		+1	%	
		-2		+2	%	$-25^{\circ}\text{C} \leq T_J \leq +85^{\circ}\text{C}$
负载调整率	$\Delta V_{FB5}/I_{LOAD5}$		0.05		%/A	$I_{LOAD5} = 20\text{ mA}$ 至2 A, AUTO-PSM5 = 0
电压调整率	$\Delta V_{FB5}/V_{PVIN5}$		0.001		%/V	$V_{PVIN5} = 5\text{ V}$ 至15 V, $I_{LOAD5} = 1\text{ A}$
SW5引脚						
高端功率FET导通电阻	$R_{DS(on)_5H}$		200		m $\Omega$	$I_D = 100\text{ mA}$
低端功率FET导通电阻	$R_{DS(on)_5L}$		120		m $\Omega$	$I_D = 100\text{ mA}$
开关限流	$I_{CL5}$	2.4	3		A	峰值电流, $-25^{\circ}\text{C} \leq T_J \leq +85^{\circ}\text{C}$
最短导通时间	$t_{ON5\text{ (MIN)}}$		75		ns	
最大占空比	$D_{MAX5}$		100		%	
软启动时间	$t_{SS5}$		4		ms	$SS5 = 10$
$C_{OUT}$ 放电开关导通电阻	$R_{DIS5}$		125		$\Omega$	$V_{FB5} = 1\text{ V}$
通道6降压升压调节器						
通道6输出电压(FB6引脚)						
固定电压范围, 4位	$V_{FB6}$	3.5		5.5	V	
最低可调节电压			0.8		V	$VID6 = 1111$
默认VID码下的精度	$V_{VOUT6\text{ (DEFAULT)}}$	-1		+1	%	
		-2		+2	%	$-25^{\circ}\text{C} \leq T_J \leq +85^{\circ}\text{C}$
负载调整率	$\Delta V_{VOUT6}/I_{LOAD6}$		0.05		%/A	降压升压配置, $I_{LOAD6} = 15\text{ mA}$ 至1.5 A, AUTO-PSM6 = 0
电压调整率	$\Delta V_{VOUT6}/V_{PVIN6}$		0.001		%/V	$V_{PVIN6} = 5\text{ V}$ 至15 V, $I_{LOAD6} = 700\text{ mA}$

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
SW6A引脚						
低端功率FET导通电阻	$R_{\text{DS(on)6AL}}$		95		mΩ	$I_{\text{D}} = 100 \text{ mA}$ , $V_{\text{VDR6}} = 5 \text{ V}$
高端功率FET导通电阻	$R_{\text{DS(on)6AH}}$		60		mΩ	$I_{\text{D}} = 100 \text{ mA}$ , $V_{\text{VDR6}} = 5 \text{ V}$
高端开关限流	$I_{\text{CL6A}}$	3.2	4.4		A	峰值电流, $-25^{\circ}\text{C} \leq T_{\text{J}} \leq +85^{\circ}\text{C}$
最短导通时间	$t_{\text{ON6 (MIN)}}$		80		ns	SW6A高端导通时间
SW6B引脚						
低端功率FET导通电阻	$R_{\text{DS(on)6BL}}$		50		mΩ	$I_{\text{D}} = 100 \text{ mA}$
高端功率FET导通电阻	$R_{\text{DS(on)6BH}}$		55		mΩ	$I_{\text{D}} = 100 \text{ mA}$
升压最小占空比	$D_{\text{MIN6B}}$		0		%	SW6B低端占空比
软启动时间	$t_{\text{SS6}}$		4		ms	$SS6 = 10$
$C_{\text{OUT}}$ 放电开关导通电阻	$R_{\text{DIS6}}$		110		Ω	$V_{\text{VOUT6}} = 1 \text{ V}$

### 线性调节器模块规格

除非另有说明,  $T_{\text{J}} = 25^{\circ}\text{C}$ ,  $V_{\text{VBATT}} = 7.2 \text{ V}$ ,  $V_{\text{VREG1}} = V_{\text{VDRx}} = 5 \text{ V}$ ,  $V_{\text{VREG2}} = V_{\text{VDDIO}} = 3.3 \text{ V}$ 。

表4.

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
通道7 LDO调节器						
通道7输出电压	$V_{\text{VOLD07}}$	5		12	V	$V_{\text{VILD07}} = V_{\text{VOLD07}} + 0.5 \text{ V}$
电压精度	$V_{\text{VOLD07 (DEFAULT)}}$	-1.5		+1.5	%	$V_{\text{VILD07}} = V_{\text{VOLD07}} + 0.5 \text{ V}$ , $I_{\text{LOAD7}} = 1 \text{ mA}$
		-2.5		+2.5	%	$V_{\text{VILD07}} = V_{\text{VOLD07}} + 0.5 \text{ V}$ , $I_{\text{LOAD7}} = 1 \text{ mA}$ , $-25^{\circ}\text{C} \leq T_{\text{J}} \leq +85^{\circ}\text{C}$
负载调整率	$\Delta V_{\text{VOLD07}}/I_{\text{LOAD7}}$		0.005		%/mA	$V_{\text{VILD07}} = V_{\text{VOLD07}} + 0.5 \text{ V}$ , $I_{\text{LOAD7}} = 1 \text{ mA}$ 至20 mA
电压调整率	$\Delta V_{\text{VOLD07}}/V_{\text{VILD07}}$		0.007		%/V	$V_{\text{VILD07}} = (V_{\text{VOLD07}} + 0.5 \text{ V})$ 至25 V, $I_{\text{LOAD7}} = 1 \text{ mA}$
压差 <sup>1</sup>	$V_{\text{DROP}}$		75		mV	$V_{\text{VOLD07}}$ 编程设置为12 V, $I_{\text{VOLD07}} = 10 \text{ mA}$
限流	$I_{\text{CL7}}$	30	50		mA	$V_{\text{VOLD07}} = \text{标称值的} 95\%$
软启动时间	$t_{\text{SS7}}$		4		ms	$SS7 = 1$
$C_{\text{OUT}}$ 放电开关导通电阻	$R_{\text{DIS7}}$		1		kΩ	$V_{\text{VOLD07}} = 1 \text{ V}$

<sup>1</sup> 压差定义为将输入电压设置为标称输出电压时的输入至输出电压差。

# ADP5080

## I<sup>2</sup>C接口时序规格

除非另有说明， $T_j = 25^{\circ}\text{C}$ ， $V_{\text{VBATT}} = 7.2\text{ V}$ ， $V_{\text{VDRx}} = 5\text{ V}$ ， $V_{\text{VREG2}} = V_{\text{VDDIO}} = 3.3\text{ V}$ 。

表5.

参数	最小值	典型值	最大值	单位	说明
$f_{\text{SCL}}$			400	kHz	SCL时钟频率
$t_{\text{HIGH}}$	0.6			$\mu\text{s}$	SCL高电平时间
$t_{\text{LOW}}$	1.3			$\mu\text{s}$	SCL低电平时间
$t_{\text{SU,DAT}}$	100			ns	数据建立时间
$t_{\text{HD,DAT}}$	0		0.9	$\mu\text{s}$	数据保持时间 <sup>1</sup>
$t_{\text{SU,STA}}$	0.6			$\mu\text{s}$	重复起始建立时间
$t_{\text{HD,STA}}$	0.6			$\mu\text{s}$	起始或重复起始保持时间
$t_{\text{BUF}}$	1.3			$\mu\text{s}$	一个结束条件和起始条件之间的总线空闲时间
$t_{\text{SU,STO}}$	0.6			$\mu\text{s}$	停止条件的建立时间
$t_{\text{R}}$	$20 + 0.1 \times C_{\text{B}}^2$		300	ns	SCL和SDA的上升时间
$t_{\text{F}}$	$20 + 0.1 \times C_{\text{B}}^2$		300	ns	SCL和SDA的下降时间
$t_{\text{SP}}$	0		50	ns	抑制尖峰的脉冲宽度
$C_{\text{B}}^2$			400	pF	各条总线的容性负载

<sup>1</sup> 主器件必须为SDA信号(参考SCL信号的 $V_{\text{IH}}$ 最小值)提供至少300 ns的保持时间，以便桥接SCL下降沿的未定义区域。

<sup>2</sup>  $C_{\text{B}}$ 是一条总线的总电容(单位：pF)。

## 时序图

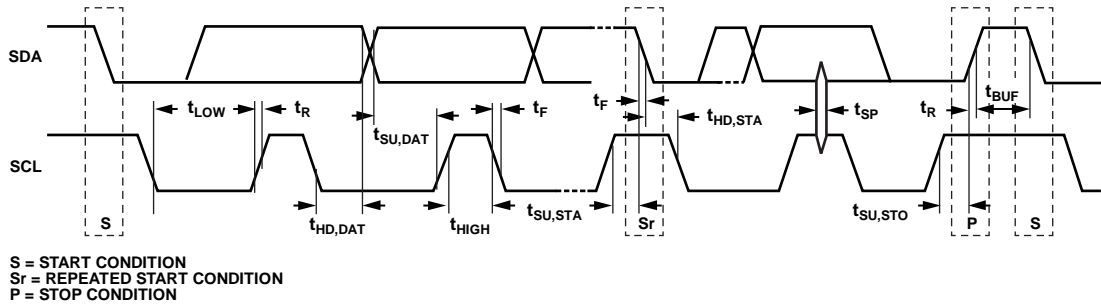


图2. I<sup>2</sup>C接口时序图

11639-002



## 绝对最大额定值

表6.

参数	评分
VBATT至GND	-0.3 V至+18 V
VDDIO至GND	-0.3 V至+4.0 V
VISW1至GND	-0.3 V至+6.5 V
VISW2至GND	-0.3 V至+4.0 V
VREG1至GND	-0.3 V至+6.5 V
VREG2至GND	-0.3 V至+4.0 V
EN至GND	-0.3 V至+18 V
EN34至GND	-0.3 V至+6.5 V
FAULT至GND	-0.3 V至+4.0 V
BSTCP至PVINCP	-0.3 V至+6.5 V
BSTCP至GND	-0.3 V至+23 V
C+至PVINCP	-0.3 V至( $V_{VDR5} + 0.3 \text{ V}$ )
C-至PGND5	-0.3 V至( $V_{VDR5} + 0.3 \text{ V}$ )
PVINx至PGNDx	-0.3 V至+18 V
VDRx至PGNDx	-0.3 V至+6.5 V
BST16、BST23、BST45至PVINx	-0.3 V至+6.5 V
FB1、FB2、FB3至GND	-0.3 V至+4.0 V
FB4、FB5、FB6至GND	-0.3 V至+6.5 V
VOUT6至PGND6	-0.3 V至+6.5 V
SW1A、SW1B至PGND1	-2.0 V至+18 V
SW2至PGND2	-2.0 V至+18 V
SW3至PGND3	-2.0 V至+18 V
SW4至PGND4	-2.0 V至+18 V
SW5至PGND5	-2.0 V至+18 V
SW6A至PGND6	-2.0 V至+18 V
SW6B至PGND6	-0.5 V至( $V_{VOUT6} + 2.0 \text{ V}$ ) 或+6.5 V(取较小者)
PGNDx至GND	-0.3 V至+0.3 V
VILDO7至GND	-0.3 V至+28 V
VOLDO7至GND	-0.3 V至+18 V
FREQ至GND	-0.3 V至( $V_{VREG2} + 0.3 \text{ V}$ )
SYNC至GND	-0.3 V至+4.0 V
CLKO至GND	-0.3 V至( $V_{VREG2} + 0.3 \text{ V}$ )
SCL至GND	-0.3 V至+4.0 V
SDA至GND	-0.3 V至+4.0 V
存储温度范围	-65°C至+150°C
工作环境温度范围	-25°C至+85°C
工作结温范围	-25°C至+125°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其他超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

### 热阻

$\theta_{JA}$  针对最差条件，即器件焊接在电路板上以实现表贴封装。注意，实际 $\theta_{JA}$ 取决于应用环境。

表7. 热阻

PCB典型值 <sup>1</sup>	$\theta_{JA}$ <sup>2</sup>	$\theta_{JB}$ <sup>2</sup>	单位
1S0P	60.6	7.3	°C/W
2S2P	26.9	4.5	°C/W

<sup>1</sup> PCB符合JEDEC JESD51-9标准。

<sup>2</sup> 零气流时的功耗为1.25 W。

### ESD警告



#### ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

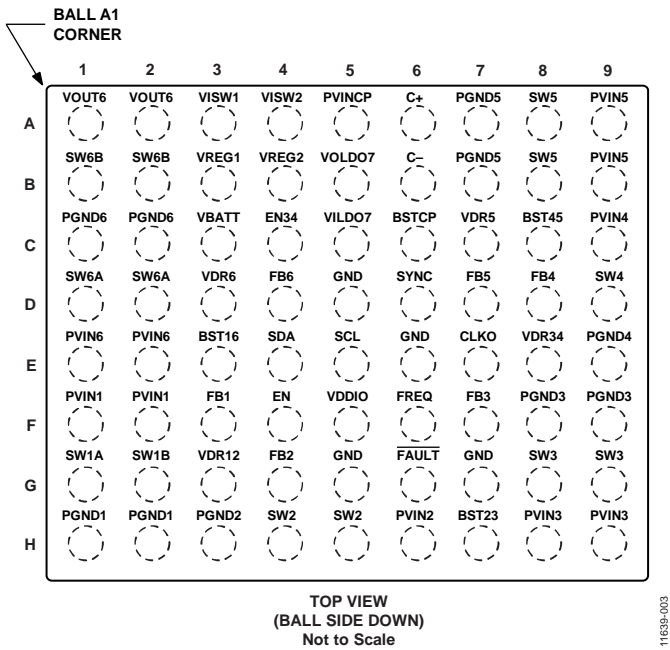


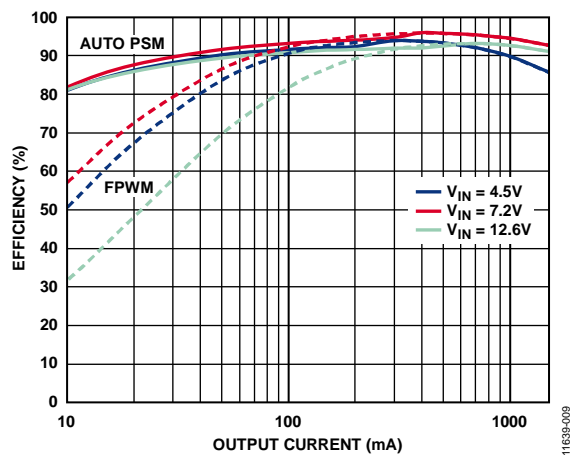
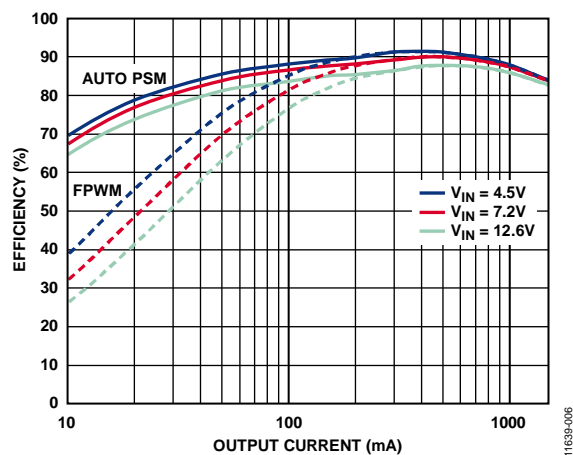
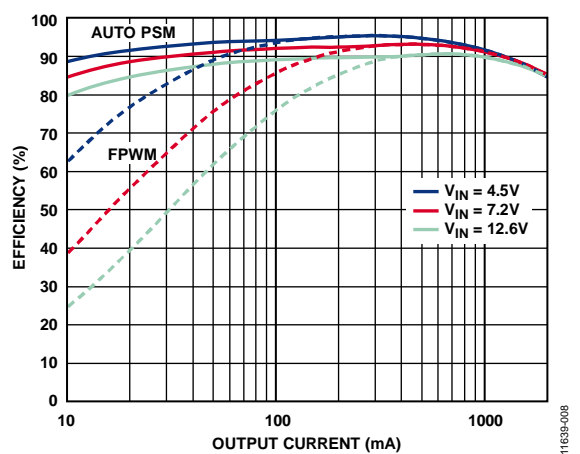
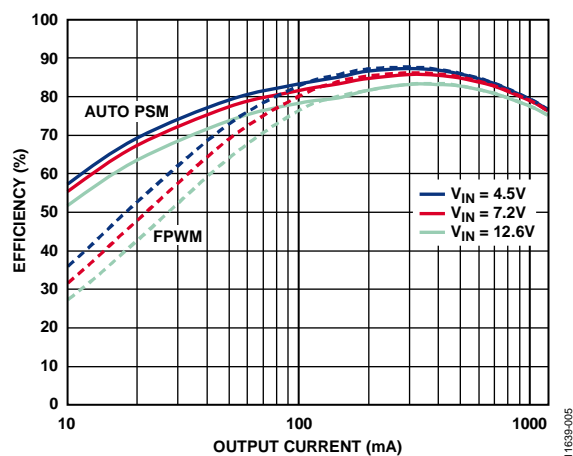
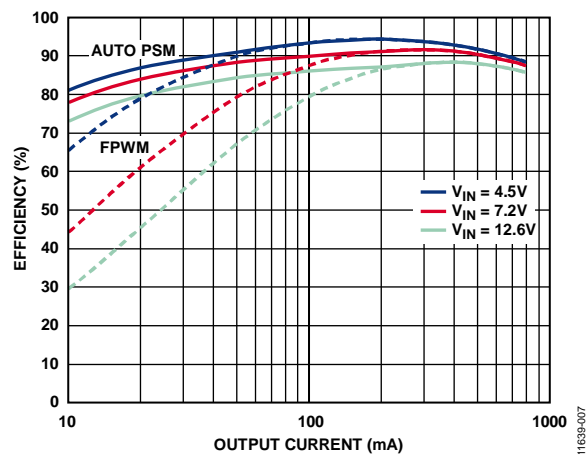
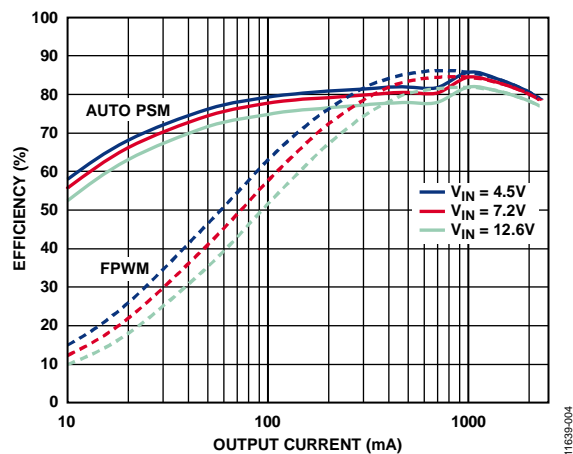
图3. 引脚配置

表8. 引脚功能描述

引脚编号	引脚名称	说明
1A	VOUT6	通道6的输出电压。
2A	VOUT6	通道6的输出电压。
3A	VISW1	输入：外部调节器的输出。连接至VISW1引脚的5.0 V至5.5 V调节器可从LDO1获得电源，为ADP5080的内部电路和VREG1负载供电。若此引脚未使用，则将其连接GND。
4A	VISW2	输入：外部调节器的输出。连接至VISW2引脚的3.0 V至3.3 V调节器可从LDO2获得电源，为ADP5080内部电路和VREG2负载供电。若此引脚未使用，则将其连接GND。
5A	PVINCP	电荷泵的输入电源。
6A	C+	电荷泵的飞跨电容端子。
7A	PGND5	通道5的电源地。
8A	SW5	通道5的开关节点。
9A	PVIN5	通道5的输入电源。
1B	SW6B	通道6的副边升压开关节点。
2B	SW6B	通道6的副边升压开关节点。
3B	VREG1	LDO1的输出电压。
4B	VREG2	LDO2的输出电压。
5B	VOLDO7	通道7的输出电压。若未使用，则将此引脚断开。
6B	C-	电荷泵的飞跨电容端子。
7B	PGND5	通道5的电源地。
8B	SW5	通道5的开关节点。
9B	PVIN5	通道5的输入电源。
1C	PGND6	通道6的电源地。
2C	PGND6	通道6的电源地。
3C	VBATT	内部电路的电源输入。将该引脚连接至电池。
4C	EN34	通道3和通道4的独立使能输入。若此引脚未使用，则将其连接GND。
5C	VILDO7	通道7的输入电源。若此引脚未使用，则将其连接VBATT。
6C	BSTCP	电荷泵的输出电压。
7C	VDR5	通道5的低端FET驱动器电源。将此引脚连接至VREG1。
8C	BST45	通道4和通道5的高端FET驱动器电源。

引脚编号	引脚名称	说明
9C	PVIN4	通道4的输入电源。
1D	SW6A	通道6的原边开关节点。
2D	SW6A	通道6的原边开关节点。
3D	VDR6	通道6的低端FET驱动器电源。将此引脚连接至VREG1。
4D	FB6	通道6的反馈节点。
5D	GND	地。必须连接所有GND引脚。
6D	SYNC	外部时钟输入(CMOS输入端口)。若此引脚未使用,则将其连接GND。
7D	FB5	通道5的反馈节点。
8D	FB4	通道4的反馈节点。
9D	SW4	通道4的开关节点。
1E	PVIN6	通道6的输入电源。
2E	PVIN6	通道6的输入电源。
3E	BST16	通道1和通道6的高端FET驱动器电源。
4E	SDA	I <sup>2</sup> C接口的数据输入/输出。开漏I/O端口。
5E	SCL	I <sup>2</sup> C接口的时钟输入。有关启动要求,请参见“I <sup>2</sup> C接口”部分。
6E	GND	地。必须连接所有GND引脚。
7E	CLKO	时钟输出(CMOS输出端口)。CLKO复制通道1开关时钟。采用外部时钟驱动SYNC引脚时,此输出不可用。若此引脚未使用,则将其断开。
8E	VDR34	通道3和通道4的低端FET驱动器电源。将此引脚连接至VREG1。
9E	PGND4	通道4的电源地。
1F	PVIN1	通道1的输入电源。
2F	PVIN1	通道1的输入电源。
3F	FB1	通道1的反馈节点。
4F	EN	使能控制输入。
5F	VDDIO	I <sup>2</sup> C接口的电源电压。通常,此引脚从外部连接至VREG2或主机I/O电压。
6F	FREQ	内部振荡器的频率引脚。如需选择内部时钟源振荡器,则可在FREQ引脚和GND之间连接一个100 k $\Omega$ 外部电阻。
7F	FB3	通道3的反馈节点。
8F	PGND3	通道3的电源地。
9F	PGND3	通道3的电源地。
1G	SW1A	通道1的开关节点。
2G	SW1B	通道1的开关节点。
3G	VDR12	通道1和通道2的低端FET驱动器电源。将此引脚连接至VREG1。
4G	FB2	通道2的反馈节点。
5G	GND	地。必须连接所有GND引脚。
6G	FAULT	故障状态输出引脚。发生故障时,此开漏输出端口变为低电平。若未使用则将其断开。
7G	GND	地。必须连接所有GND引脚。
8G	SW3	通道3的开关节点。
9G	SW3	通道3的开关节点。
1H	PGND1	通道1的电源地。
2H	PGND1	通道1的电源地。
3H	PGND2	通道2的电源地。
4H	SW2	通道2的开关节点。
5H	SW2	通道2的开关节点。
6H	PVIN2	通道2的输入电源。
7H	BST23	通道2和通道3的高端FET驱动器电源。
8H	PVIN3	通道3的输入电源。
9H	PVIN3	通道3的输入电源。

## 典型性能参数



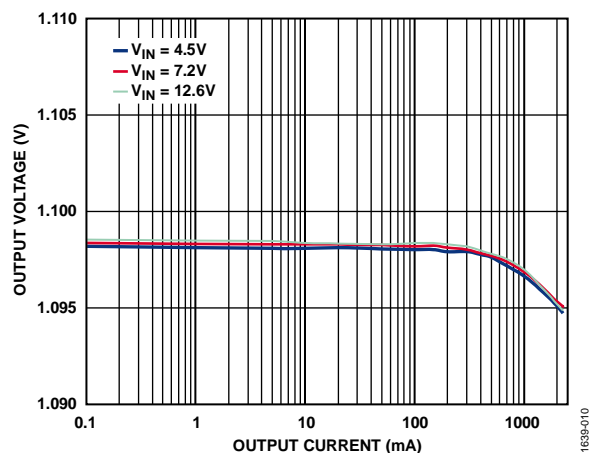


图10. 通道1负载调整率

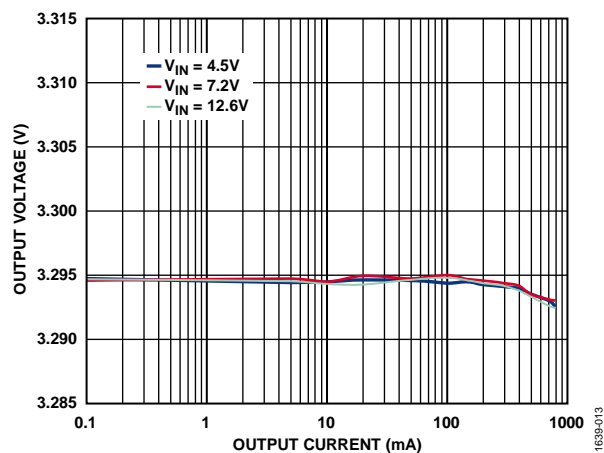


图13. 通道4负载调整率

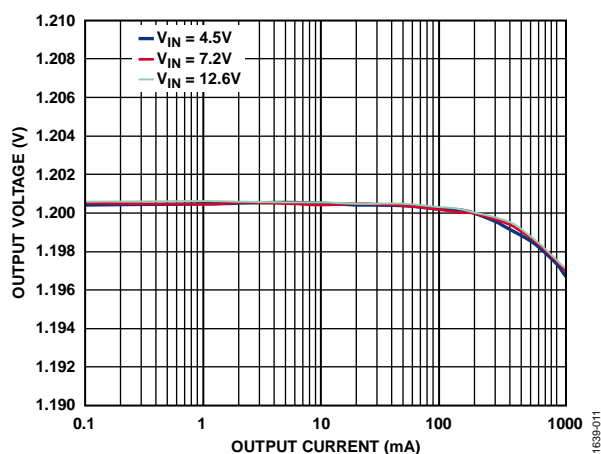


图11. 通道2负载调整率

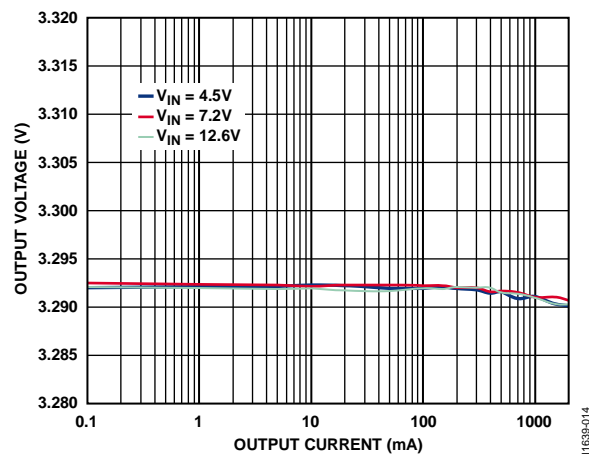


图14. 通道5负载调整率

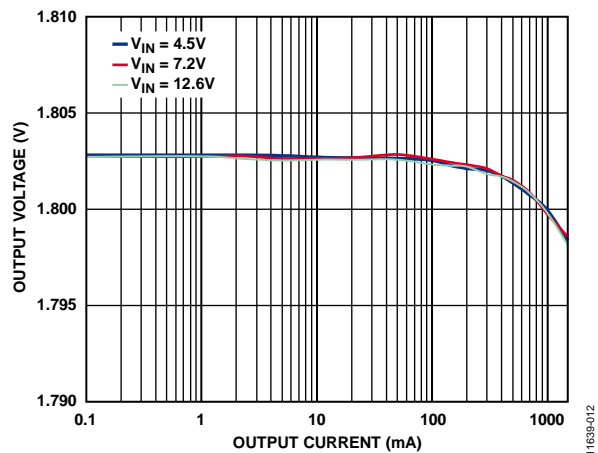


图12. 通道3负载调整率

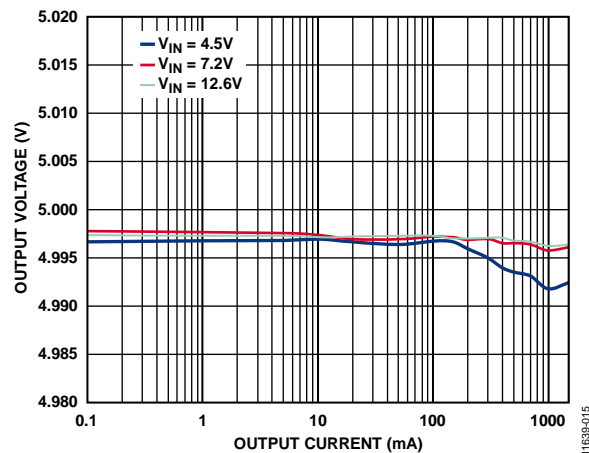


图15. 通道6负载调整率

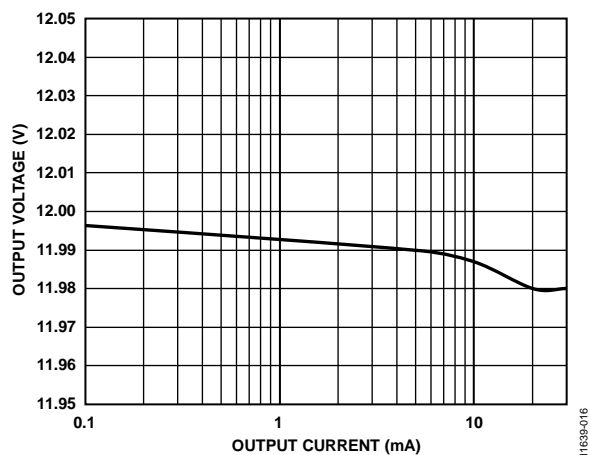


图16. 通道7负载调整率,  $V_{ILDO7} = 16\text{ V}$

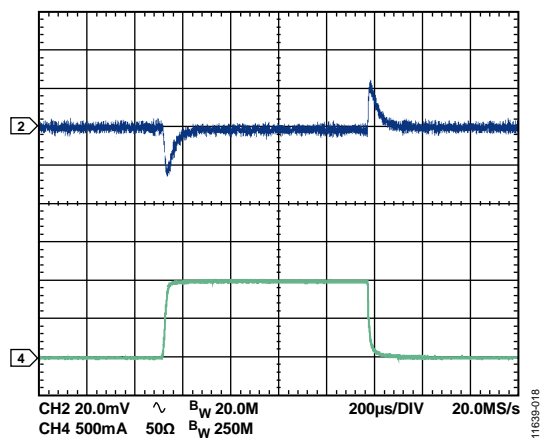


图19. 通道1负载瞬态响应,  $V_{OUT} = 1.1\text{ V}$ , FPWM模式

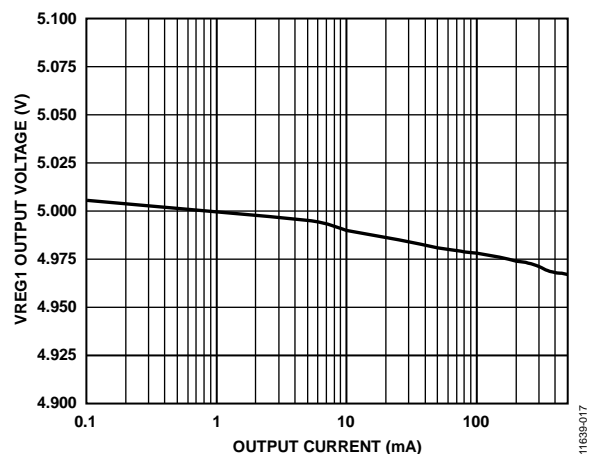


图17. VREG1负载调整率

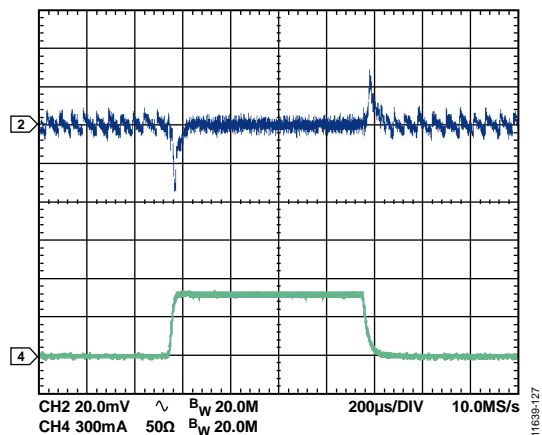


图20. 通道1负载瞬态响应,  $V_{OUT} = 1.1\text{ V}$ , 自动PSM模式

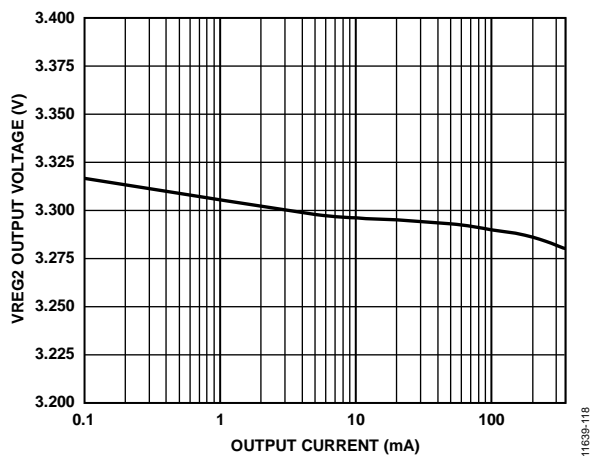


图18. VREG2负载调整率

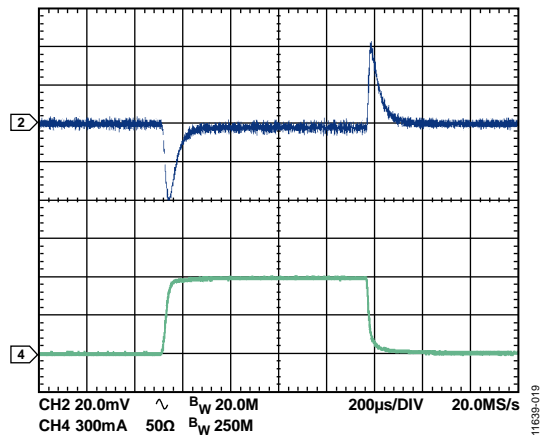
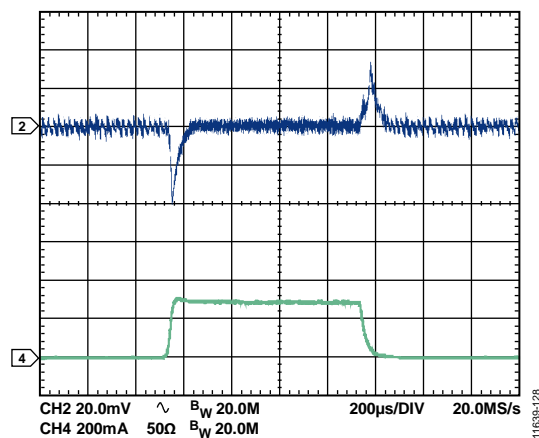
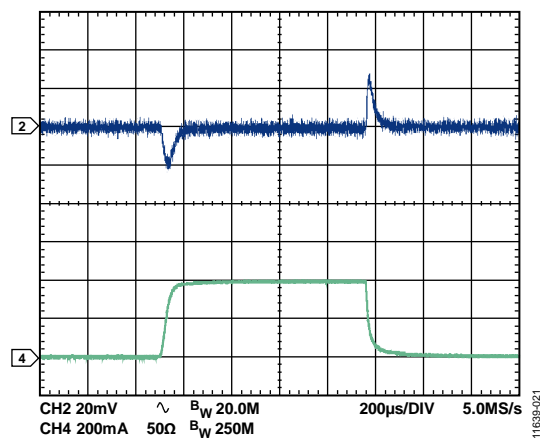
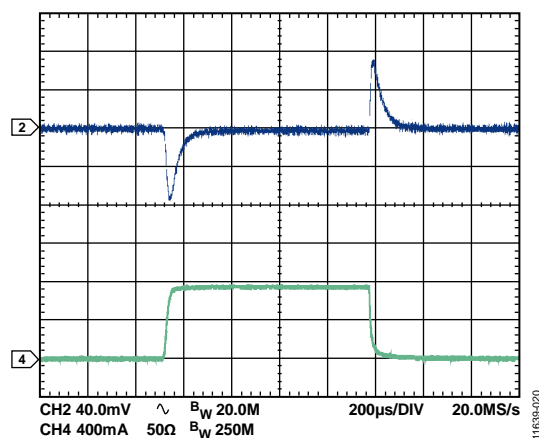
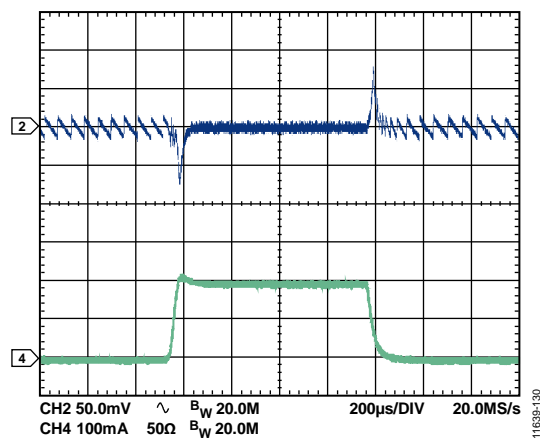
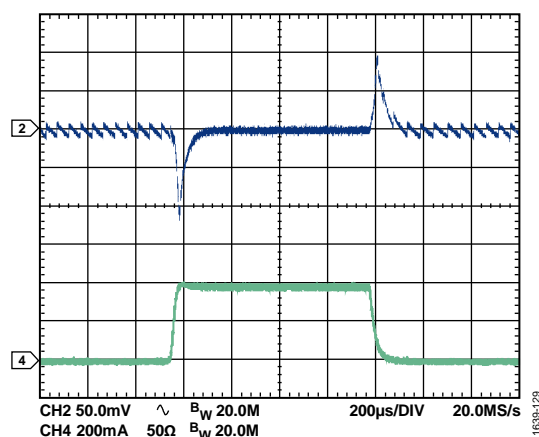
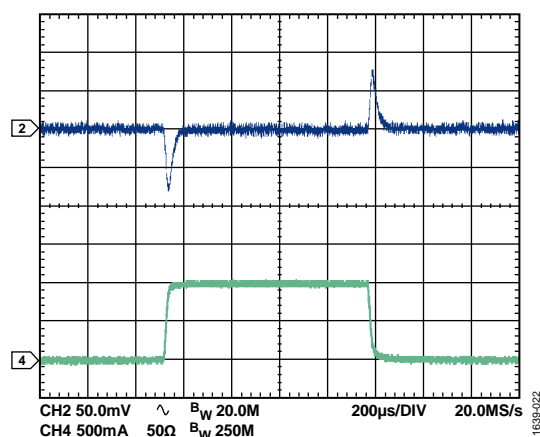


图21. 通道2负载瞬态响应,  $V_{OUT} = 1.2\text{ V}$ , FPWM模式

图22. 通道2负载瞬态响应,  $V_{OUT} = 1.2\text{ V}$ , 自动PSM模式图25. 通道4负载瞬态响应,  $V_{OUT} = 3.3\text{ V}$ , FPWM模式图23. 通道3负载瞬态响应,  $V_{OUT} = 1.8\text{ V}$ , FPWM模式图26. 通道4负载瞬态响应,  $V_{OUT} = 3.3\text{ V}$ , 自动PSM模式图24. 通道3负载瞬态响应,  $V_{OUT} = 1.8\text{ V}$ , 自动PSM模式图27. 通道5负载瞬态响应,  $V_{OUT} = 3.3\text{ V}$ , FPWM模式

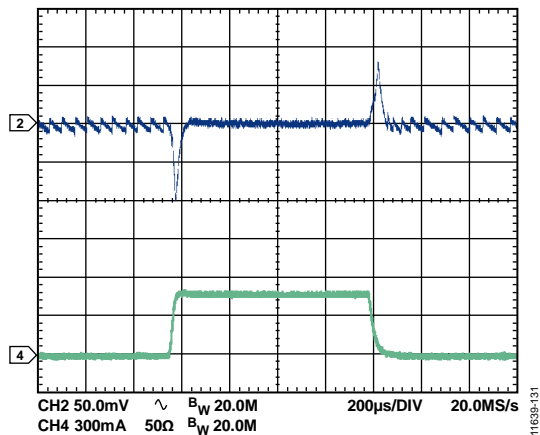


图28. 通道5负载瞬态响应,  $V_{OUT} = 3.3\text{ V}$ , 自动PSM模式

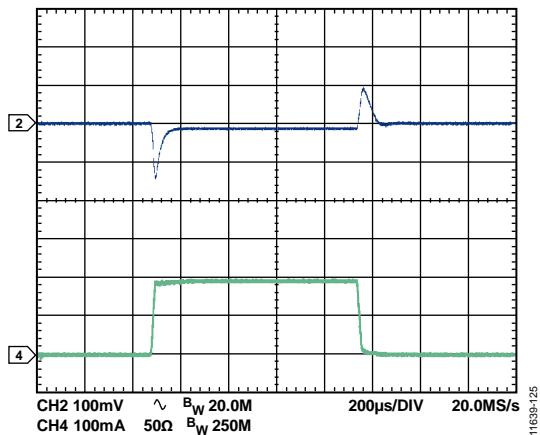


图31. VREG1负载瞬态响应,  $V_{REG1} = 5\text{ V}$

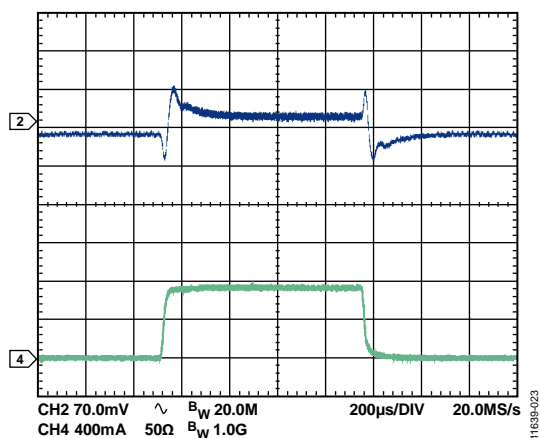


图29. 通道6负载瞬态响应,  $V_{OUT} = 5\text{ V}$ , FPWM模式

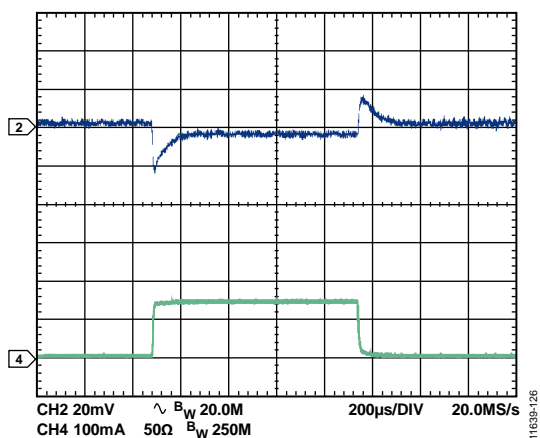


图32. VREG2负载瞬态响应,  $V_{REG2} = 3.3\text{ V}$

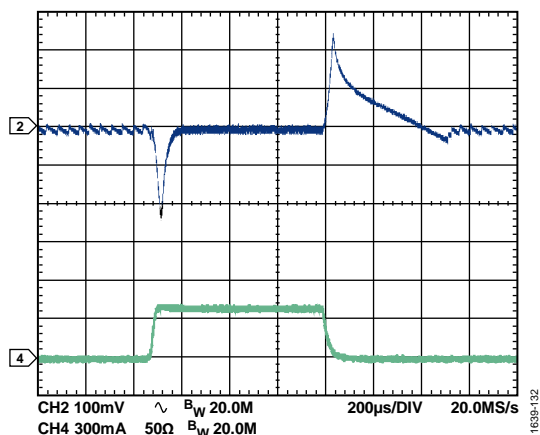


图30. 通道6负载瞬态响应,  $V_{OUT} = 5\text{ V}$ , 自动PSM模式



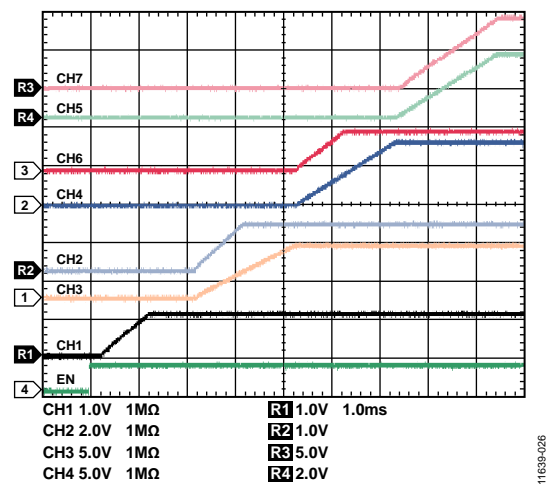


图33. 启动

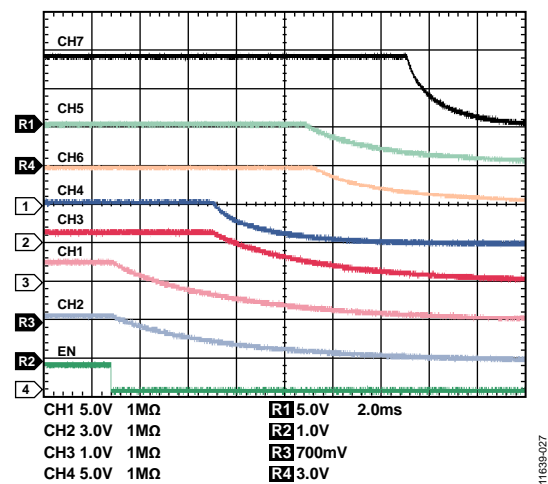


图34. 关断

## 应用电路

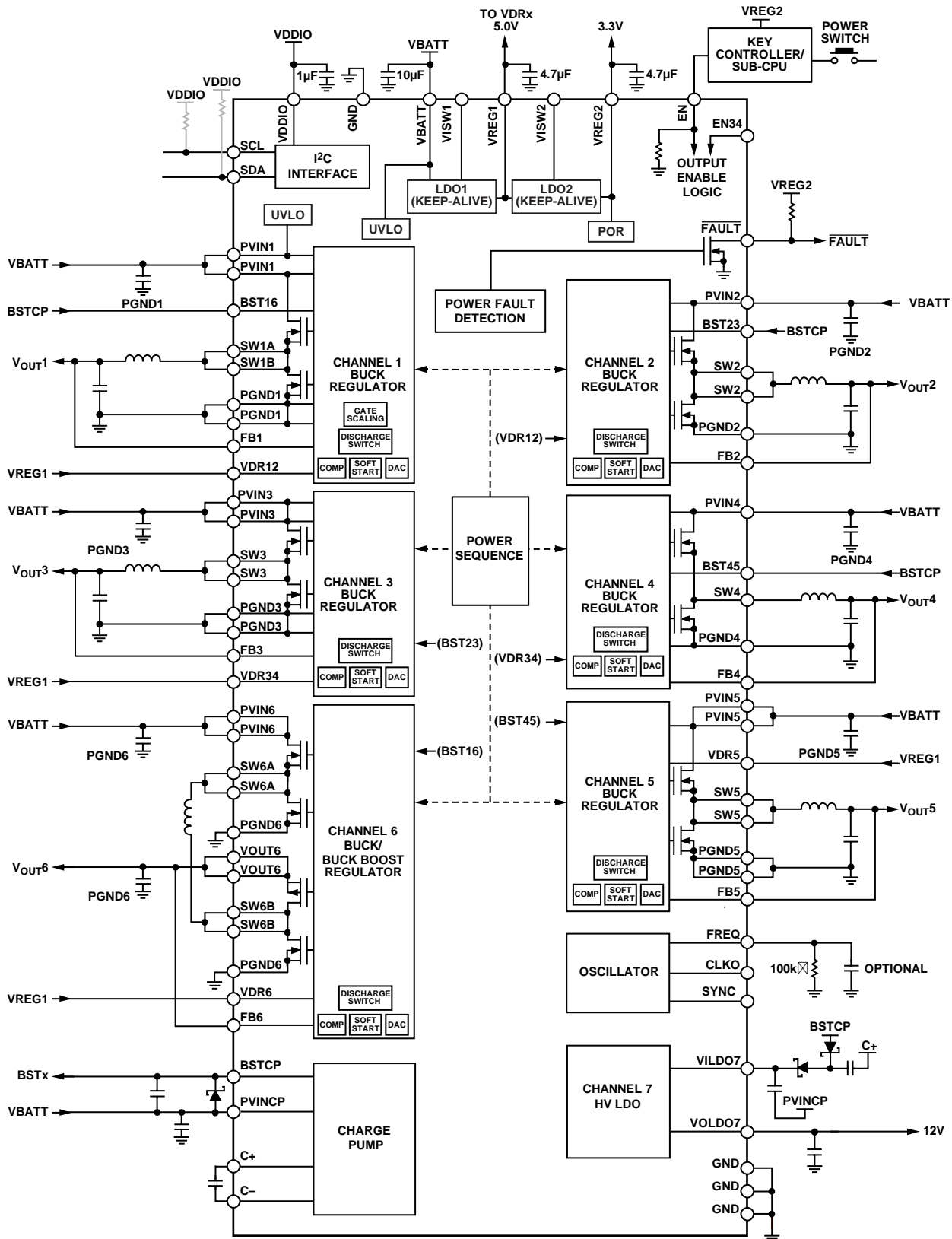


图35. 典型应用电路

## 工作原理

ADP5080是适合多单元锂电池应用的完全集成式高效电源解决方案。该器件可以直接连接到电池，无需前置调节器，从而延长了系统的电池寿命。

ADP5080集成两个“保持有效”LDO调节器、五个同步降压调节器、一个可配置降压升压调节器和一个高压LDO调节器。集成电荷泵为开关驱动器供电。除了集成功率FET和驱动器，该器件还集成补偿、软启动和FB驱动器，可最大程度减少外部元件数量和PCB布局空间，为便携式应用提供了显著的优势。

可通过工厂编程设置输出电压、故障特性、开关频率、启动时间和其他功能的默认值。这些值还可通过I<sup>2</sup>C接口编程。ADP5080内置序列器，可基于这些设置提供自动启动和关断时序。

### UVLO和POR

欠压闭锁(UVLO)和上电复位(POR)功能可防止发生异常行为，并在输入电压降至需要的最低电平时强制进行平滑关断。ADP5080在VBATT、PVIN1和VDR12上集成了UVLO功能；在VREG2上集成了POR功能。阈值足够低，能够确保VBATT上实现低至4 V的标称工作电压，同时具有足够的迟滞以避免震颤。

### 欠压闭锁(UVLO)

如果通道1的PVIN1电压降至UVLO阈值( $V_{UVLO(P)}$ )以下，则所有通道及电荷泵均关闭。然而，LDO1和LDO2仍可工作。

随着输入电压上升，调节器通道不再自动重启。UVLO事件后必须切换EN，以在序列模式或手动模式下重启通道。有关使用序列模式和手动模式使能通道的更多信息，请参见“使能与禁用输出通道”部分。

VDRx引脚向内部功率FET提供栅极驱动电压。如果VDR12电压降至2.9 V(典型值)以下，则除了LDO1和LDO2外，所有通道关断，以防止功率FET发生故障。发生PVIN UVLO事件时，必须切换EN，以重启通道操作。

### 上电复位(POR)

若VBATT电压降至UVLO阈值( $V_{UVLO(BATT)}$ )以下，则包括LDO1和LDO2在内的所有通道均关断。该事件强制进行上电复位。

VREG2是内部数字电路模块的电源电压。若VREG2电压降至上电复位阈值( $V_{UVLO(POR)}$ )的典型值2.4 V以下，则ADP5080关断，所有寄存器复位至默认值。

### 放电开关

ADP5080的通道1至通道7集成了放电开关。通道关断之后，这些开关可帮助对输出电容进行快速放电。若通过置位寄存器1中的DSCGx\_ON位(x为1到7)使能放电功能，则当EN信号变为低电平时，或者通过I<sup>2</sup>C控制手动关断通道之后，放电开关开启。放电开关的默认值由工厂熔丝编程。

### “保持有效”LDO调节器

只要在VBATT引脚上施加有效电源电压，“保持有效”LDO线性调节器(LDO1和LDO2)便会始终保持有效。LDO调节器用来为ADP5080内部控制模块供电，这样器件便可为接收使能(EN)信号做好准备。LDO1和LDO2还可通过VREG1和VREG2引脚输出至系统待机时同样保持有效的外部电路。

VBATT首次升至UVLO阈值以上时，LDO1和LDO2相继开始工作。所有UVLO阈值清零后，ADP5080便处于待机模式，使能准备就绪。若使用外部电压驱动VDDIO，则VDDIO可在VBATT之前导通；否则，LDO2通过VREG2输出为VDDIO供电。

# ADP5080

## LDO1

LDO1将施加到VBATT引脚的电源电压调节为5.0 V或5.5 V，并可提供高达400 mA的电流。LDO1从内部为LDO2供电，同时，外部电路(包括VDRx引脚)通过VREG1引脚供电。

当VBATT引脚电压升至UVLO阈值以上时，LDO1输出使能；当VBATT引脚电压降至UVLO阈值以下时，LDO1输出禁用。

## VISW1输入

连接至VISW1引脚的5.0 V至5.5 V调节器可从LDO1获得电源，为ADP5080的内部电路和VREG1的负载供电。如需使能此功能，可在VISW1引脚电压建立至4.7 V以上后设置SEL\_INP\_LDO1位(寄存器33中的位0)为高电平。

若VISW1引脚电压降至4.5 V以下，则LDO1自动恢复控制。然而，若VISW1源禁用，则建议在关断VISW1引脚源之前复位SEL\_INP\_LDO1位为0。

当系统上电工作时，允许开关电源替代LDO1线性调节器，连接VISW1引脚的外部调节器可用于实现更佳的系统效率。若VISW1输入未使用，则将其连接GND。VISW1输入无效，直到EN为高电平。

## LDO1限流

LDO1的最大额定负载电流为400 mA。若超过该水平，限流功能将限制电流以保护器件。

VISW1输入具有独立的限流电路，典型阈值为500 mA。若超过此过流阈值，VISW1输入将立即断开，并由LDO1提供VREG1电流。VISW1输入由于限流动作关断后，其复位只能通过切换EN引脚。

## LDO1放电开关

若VBATT引脚电压为低电平( $3.5\text{ V} \pm 0.1\text{ V}$ 迟滞)，VREG1引脚上的放电开关开启，从而通过1 k $\Omega$ 电阻释放外部电容的电荷。

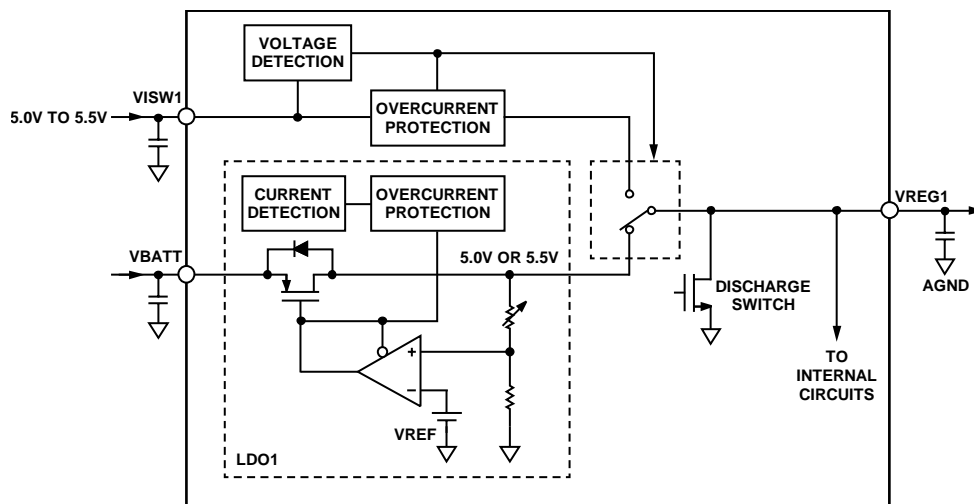


图36. VREG1、LDO1和VISW1

11635-029

## LDO2

LDO2将内部连接的VREG2引脚电压调节至3 V、3.15 V、3.2 V或3.3 V，并可提供高达300 mA的电流。LDO2在内部为ADP5080的控制模块供电；同时，外部电路通过VREG2引脚供电。

当VBATT引脚电压升至超过UVLO阈值时，LDO2输出使能；当VBATT引脚电压降至UVLO阈值以下时，LDO2输出禁用。

## VISW2输入

连接至VISW2引脚的3.0 V至3.3 V调节器可从LDO2获得电源，为ADP5080的内部电路和VREG2的负载供电。如需使能此功能，可在VISW2引脚电压建立至2.7 V以上后设置SEL\_INP\_LDO2位(寄存器33中的位4)为高电平。

若VISW2引脚电压降至2.55 V以下，则LDO2自动恢复控制。然而，如果VISW2源禁用，则建议在关断VISW2引脚源之前复位SEL\_INP\_LDO2位为0。

当系统上电工作时，允许开关电源替代LDO2线性调节器，连接VISW2引脚的外部调节器可用于实现更佳的系统功效。若VISW2输入未使用，则将其连接GND。VISW2输入无效，直到EN为高电平。

由于VISW2输入为VREG2供电且无调节，施加在VISW2上的最大电压可为3.3 V。相比LDO2路径，VISW2输入具有相对较高的电阻。因此，VISW2调节可能不足以为较高负载供电。

## LDO2限流

LDO2最大额定负载电流为300 mA。若超过该水平，限流功能将限制电流以保护器件。

VISW2输入具有独立的限流电路，典型阈值为300 mA。若超过此过流阈值，VISW2输入将立即断开，并由LDO2提供VREG2电流。VISW2输入由于限流事件关断后，只能通过切换EN引脚复位。

## LDO2放电开关

VBATT引脚电压低电平( $3.5\text{ V} \pm 0.1\text{ V}$ 迟滞)期间，VREG2引脚上的放电开关开启，从而通过12 k $\Omega$ 电阻释放外部电容的残余电荷。

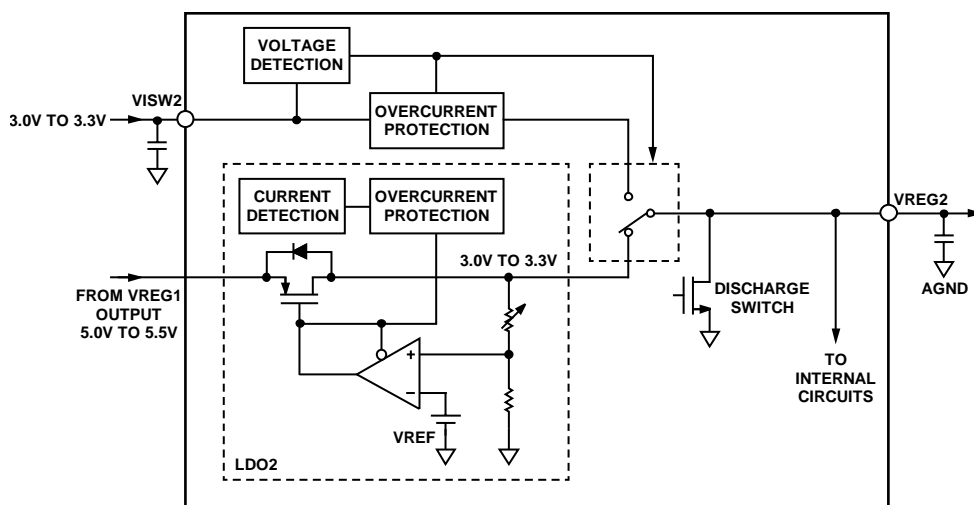


图37. VREG2、LDO2和VISW2

# ADP5080

## DC-DC转换器通道

ADP5080集成五个降压调节器和一个可配置仅降压/降压升压调节器。这些调节器可配置为多种功能，包括自动PSM、自动DCM、DVS和栅极调整。每个功能只在其最有效的通道中存在(见表9)。

### 通道1、通道2和通道3：采用Flex-Mode架构的降压调节器

通道1、通道2和通道3采用Flex-Mode™电流模式控制，无最低导通时间要求，并可实现低至0%的占空比。Flex-Mode具有独特的自适应控制架构，可在宽应用条件下保持稳定的工作状态。采用Flex-Mode控制可获得极高的降压比，同时保持高效率 and 出色的瞬态性能。

### 选择输出电压(通道1至通道3)

通道1、通道2或通道3的输出电压可从VIDx位的预设值选择，其中x为1、2或3(见表39和表41)。默认输出电压值由工厂熔丝编程。

通道3具有可调节模式选项，可通过VID3位选择。选定可调节输出电压模式后，输出电压由外部反馈电阻分压器设置。选择电阻值，使所需的输出电压分压至0.8 V，并且分压节点处的并联电阻不超过25 kΩ(请参见“设置输出电压(可调节模式通道)”部分)。将VID1位设为0.8 V，并使用低于1 kΩ的外部反馈电阻，还可在可调节输出模式下使用通道1。在可调节模式下使用通道1或通道3时，需注意最小关断时间限制，该参数可能会限制可用输出电压的范围。

通道1、通道2和通道3设计用于极低占空比操作。然而，在占空比极高的情况下，由于最低关断时间限制，这些通道的范围受限(见表3)。给定输出电压条件下的最小输入电压能力可由下式确定：

$$V_{IN\_MIN} = V_{OUT}/(1 - t_{OFF\_MIN} \times f_{SW})$$

若输入电压降至该水平以下，则输出电压降至标称值以下。

### 限流保护(通道1至通道3)

通道1、通道2和通道3采用谷值模式限流(见图38)。在谷值模式限流保护期间，可在高端FET开启前的低端导通周期期间检测电感电流。若此时电感电流高于限流阈值，则跳过下一个开关脉冲。

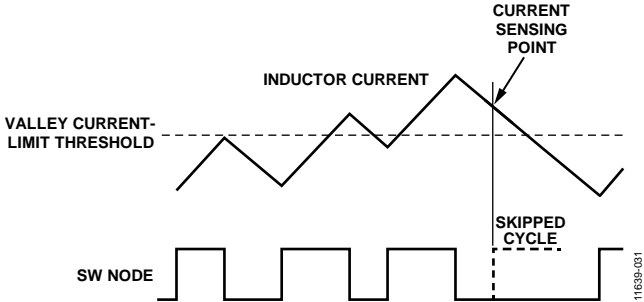


图38. 谷值模式限流

只有在电流降至限流阈值以下时才会恢复开关动作。该特性产生固有频率折返现象，使其可针对电感电流失控提供非常稳定的谷值模式限流保护。由于这类限流可在开关之前检测电流，因此，具有相对的抗噪能力。

表3给出了谷值电流阈值规格。实际负载限流阈值随电感值、频率、输入和输出电压的变化而改变。

超过限流阈值时，不允许负载电流进一步上升。因此，随着负载阻抗降低，限流迫使输出电压下降，进而切换PWRGx、UVx和FAULT错误标志。

在输出电压短路的极端情况下，UVP功能可保护器件在导通周期免受过大电流的损害(请参见“欠压保护(UVP)”部分)。

表9. DC-DC转换器规格和功能

通道	调节器类型	V <sub>IN</sub> 范围(V)	V <sub>OUT</sub> 范围(V)	可调节模式 (V)	I <sub>OUT</sub> (A)	自动 PSM	自动 DCM	DVS	栅极 调整
1	降压	4至15	0.8至1.2 <sup>1</sup>	0.8至1.2	3	有	不适用	有	有
2	降压	4至15	1.0至3.3	不适用	1.15	有	不适用	有	不适用
3	降压	4至15	1.2至1.8	0.8至3.6	1.5	有	不适用	不适用	不适用
4	降压	4至15	1.8至3.55	1.0至5.0	0.8	有	不适用	不适用	不适用
5	降压	4至15	3.0至5.0	不适用	2	有	有	不适用	不适用
6	降压或 降压升压	4至15	3.5至5.5	1.0至5.0	2(降压) 1.5(降压 升压)	有	有	不适用	不适用

<sup>1</sup> 通道1具有两个可用电压范围。

### 放电开关(通道1至通道3)

每个通道均集成了一个放电开关。通道1和通道2的放电开关分别位于FB1和FB2引脚；通道3的放电开关位于SW3引脚。当对应的通道输出关断后，放电开关开启，从而通过125  $\Omega$ 电阻释放外部电容的残余电荷。可通过置位寄存器1中适当的DSCGx\_ON位使能放电开关。

### 栅极调整(仅通道1)

通道1具有栅极调整功能，可提高轻载条件下的效率。通过置位寄存器32中的GATE\_SCAL1位使能后，栅极调整将使通道1开关FET的尺寸减半，从而降低栅极充电电流-----这在轻载条件下是一个无法忽略的损耗因素，同时允许增加 $R_{DS(on)}$ ，它的损耗效果在此条件下不是很明显。栅极调整使能之后，仅SW1A用于通道1开关节点，因为假定负载电流较低。

### 动态电压调节(DVS)功能

通道1和通道2集成了动态电压调节(DVS)功能。对输出电压预设值进行即时编程之后，DVS可提供阶梯式输出电压跃迁(见图39)。

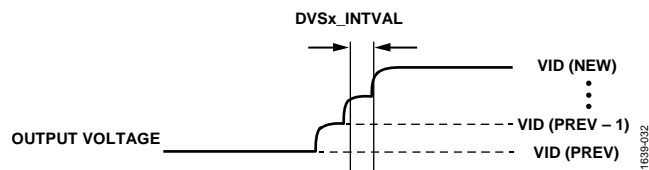


图39. DVS操作

通道1的输出电压采用寄存器12中的VID1位编程；通道2的输出电压采用寄存器13中的VID2位编程。DVS功能使能时，电压将根据VID1或VID2位设置的步进跃变(见表39和表41)。从某一级到下一级的跃迁时间由间隔指定，间隔使用DVSx\_INTERVAL位(其中，x为1或2)在寄存器17中编程。通过置位寄存器17中的EN\_DVSx位使能DVS功能。

通道2的DVS操作限制为1.0 V至1.25 V输出电压范围。

通道1或通道2配置为DVS操作时，将EN切换为低电平不会立即复位VID码至其初始状态。相反，通道1或通道2根据VID1或VID2位设置的步进返回其配置的输出电压(请分别参见表39和表41)。

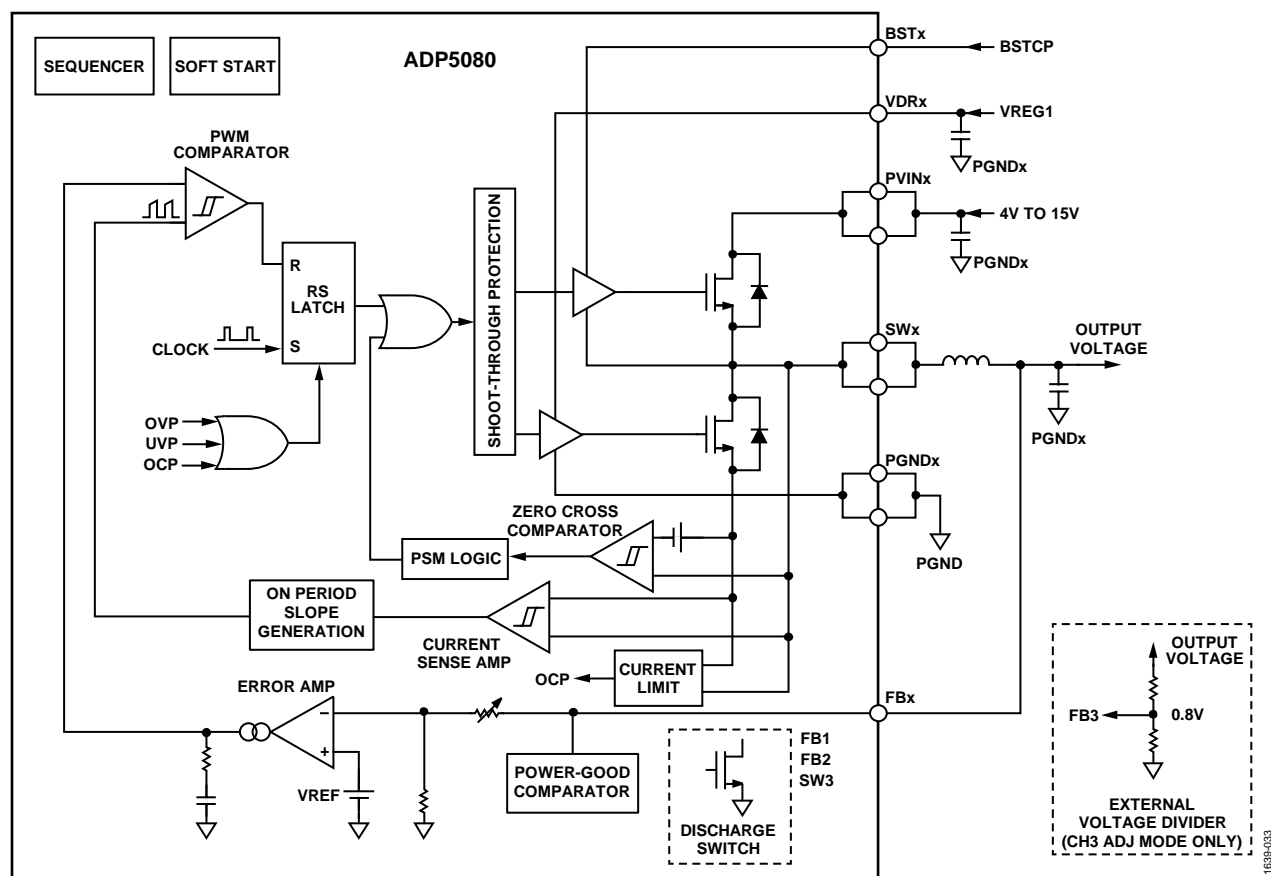


图40. 降压调节器框图：通道1、通道2和通道3



### 通道4和通道5：电流模式降压调节器

通道4和通道5为内部补偿电流模式控制降压调节器(见图41)。这些通道与集成式电荷泵一起使用可在高达100%的高占空比下工作。

#### 选择输出电压(通道4和通道5)

通道4或通道5的输出电压可从VIDx位的预设值选择，其中x为4或5(见表43)。默认输出电压值由工厂熔丝编程。

通道4具有可调节模式选项，可通过VID4位选择。选定可调节输出电压模式后，输出电压由外部反馈电阻分压器设置。选择电阻值，使所需的输出电压分压至0.8 V，并且分压

节点处的并联电阻不超过25 kΩ(请参见“设置输出电压(可调节模式通道)”部分)。在可调节模式下使用通道4时，需注意最小开启时间限制，该参数可能会限制可用输出电压的范围。

通道4和通道5设计用于极高占空比操作。然而，在占空比极低的情况下，由于电流模式控制本身具有最低导通时间限制(典型值为75 ns)，这些通道的范围受限。给定输出电压条件下的最大输入电压能力可由下式确定：

$$V_{IN\_MAX} = V_{OUT} / (t_{ON\_MIN} \times f_{SW})$$

若输入电压升至该水平以上，则继续调节输出电压；然而，开关脉冲将被跳过，可能会增加输出电压纹波。

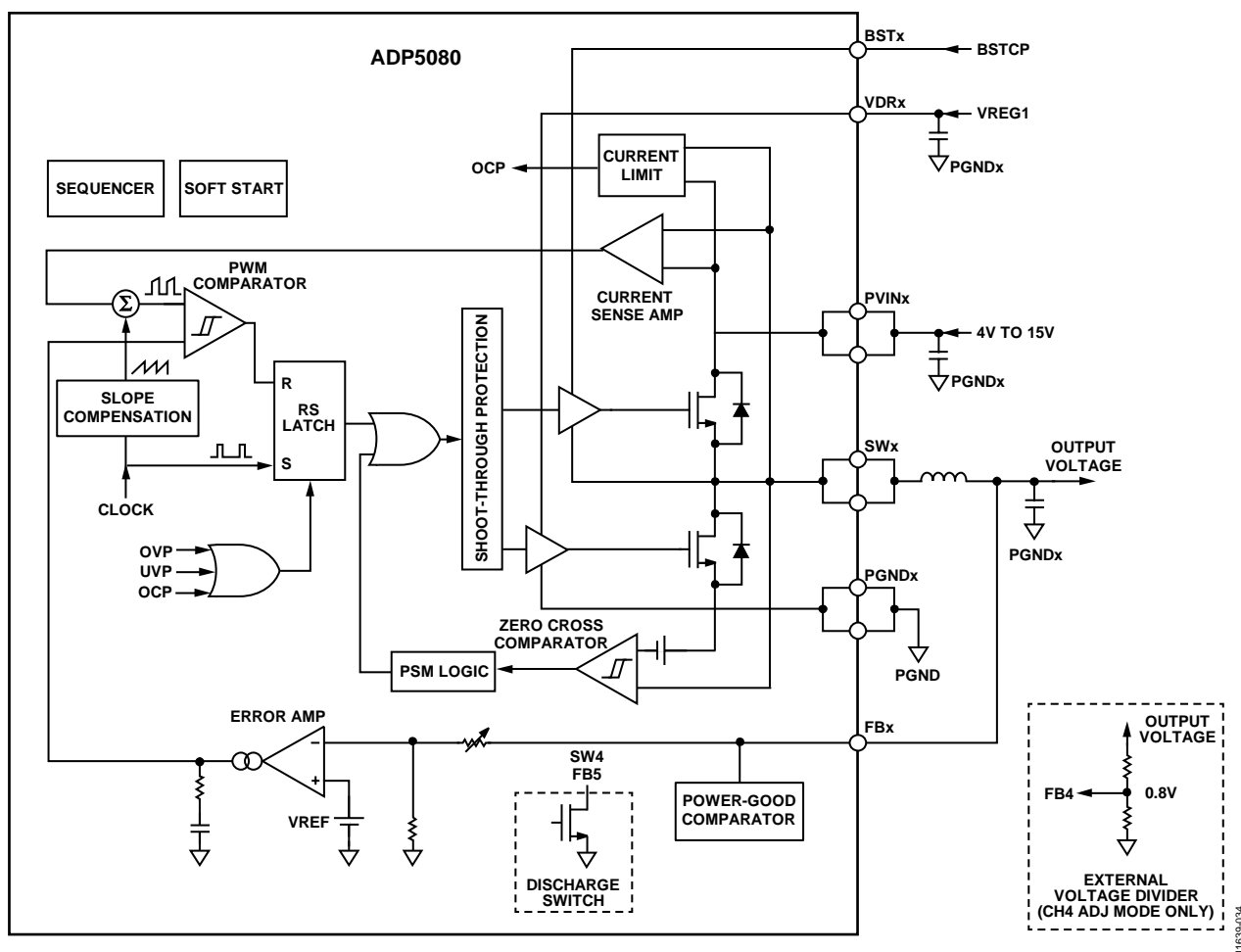


图41. 降压调节器框图：通道4和通道5



### 限流保护(通道4和通道5)

通道4和通道5集成了逐周期限流保护功能。在此类限流保护期间，整个高端导通周期内均可检测电感电流。若电感电流在此期间升至限流阈值以上，则立即终止开关脉冲，直到下一个周期。此特性使占空比下降，导致输出电压也随之下降，进而切换PWRGx、UVx和FAULT错误标志。由于高端开关的上升沿具有大量寄生噪声，因此需要一定消隐时间以防止限流误触发。所需消隐时间决定通道的最短导通时间。

与谷值模式限流保护不同，峰值模式限流保护无固有的频率折返现象。在极端条件下，比如短路或电感饱和，峰值模式限流易受电感电流失控影响。为了防止这种情况，ADP5080提供通道4、通道5和通道6的频率折返。当输出电压降至约为其标称值的80%以下时，开关频率减半。若输出电压降至约为其标称值的40%以下，频率再次减半。频率折返功能为电感电流提供了更多的衰减时间，消除了电流失控的可能性。

表3给出了峰值限流阈值规格。实际负载限流阈值随电感值、频率、输入和输出电压的变化而改变。

### 放电开关(通道4和通道5)

每个通道均集成了一个放电开关。通道4的放电开关位于SW4引脚；通道5的放电开关位于FB5引脚。对应的通道输出关断之后，放电开关开启，通过125  $\Omega$ 电阻释放外部电容的残余电荷。可通过置位寄存器1中适当的DSCGx\_ON位使能放电开关。

### 通道6：降压或升降压调节器

通道6采用电流模式控制，四开关降压升压调节器可配置为仅降压调节器。在一个输入电压绝不会降至通道6输出电压以下的系统中，使用仅降压配置可减少升压侧开关FET造成的损耗。仅降压配置不仅具有更佳的能效，还具有更低的输出纹波和噪声。

### 仅降压配置

对于仅降压配置，可将BUCK6\_ONLY位(寄存器30中的位4)置位1。该位的默认值由工厂熔丝编程。通道6配置为仅降压模式时，连接SW6A和VOUT6引脚之间的电感，并保持SW6B引脚开路(见图42)。此配置可旁路开关FET的升压侧。

### 升降压配置

对于降压升压配置，可将BUCK6\_ONLY位(寄存器30中的位4)置位0。该位的默认值由工厂熔丝编程。对于升降压配置，连接SW6A和SW6B引脚之间的电感(见图42)。确保SW6B引脚不连接任何电容。

采用降压升压工作时，通道6随着输入电压的变化自动在降压和升压模式之间切换。

- 在降压模式下，原边FET (SW6A)以100%占空比随SW6B高端FET的工作而进行切换。
- 在升压模式下，原边高端FET的占空比可达100%，但通常所有四个FET都会切换。

输入电压接近输出电压时，通道6在降压升压模式下工作，并在所有四个功率FET之间切换。无论输入电压条件如何，该四开关工作模式均可确保实现平滑过渡和出色的调节。

BOOST6\_VTH位(寄存器30中的位[1:0])设置升压FET开始切换的输入电压阈值。阈值越低，可提供的效率就越高，因为四个开关均处于工作状态的区域更小。这些位的最低设置(11)确定输入电压阈值，该值仍足以防止在大部分情况下出现压差。然而，在最低阈值设置的重载电流情况下，降压侧可能达到100%占空比，并可能出现部分输出降压。建议在重载应用中采用这些位的第二低设置(00)。这些位的默认值由工厂熔丝编程。

### 选择输出电压(通道6)

从VID6位中的预设值中选择通道6的输出电压(见表45)。默认输出电压值由工厂熔丝编程。

通道6具有可调节模式选项，可通过VID6位选择。选定可调节输出电压模式后，输出电压由外部反馈电阻分压器设置。选择电阻值，使所需的输出电压分压至0.8 V，并且分压节点处的并联电阻不超过25 k $\Omega$ (请参见“设置输出电压(可调节模式通道)”部分)。

由于通道6可在升压模式下工作，因此除了最大额定值外，无其它实际输出电压限制。在仅降压模式下使用可调节输出电压时，需注意最小导通时间限制，该参数可能会限制可用输出电压的范围。通道4和通道5的最小导通时间限制基本相同(见“选择输出电压(通道4和通道5)”部分)。

# ADP5080

## 限流保护(通道6)

与通道4和通道5一样，通道6也集成了逐周期限流保护功能。在此类限流保护期间，整个高端导通周期内均可检测电感电流。在原边高端FET (SW6A)进行通道6限流检测。更多信息请参见“限流保护(通道4和通道5)”部分。

## 放电开关(通道6)

每个通道均集成了一个放电开关。通道6的放电开关位于VOUT6引脚。当通道6输出关断时，可开启放电开关，从而通过110  $\Omega$ 电阻释放外部电容的残余电荷。可通过置位寄存器1中的DSCG6\_ON位使能放电开关。

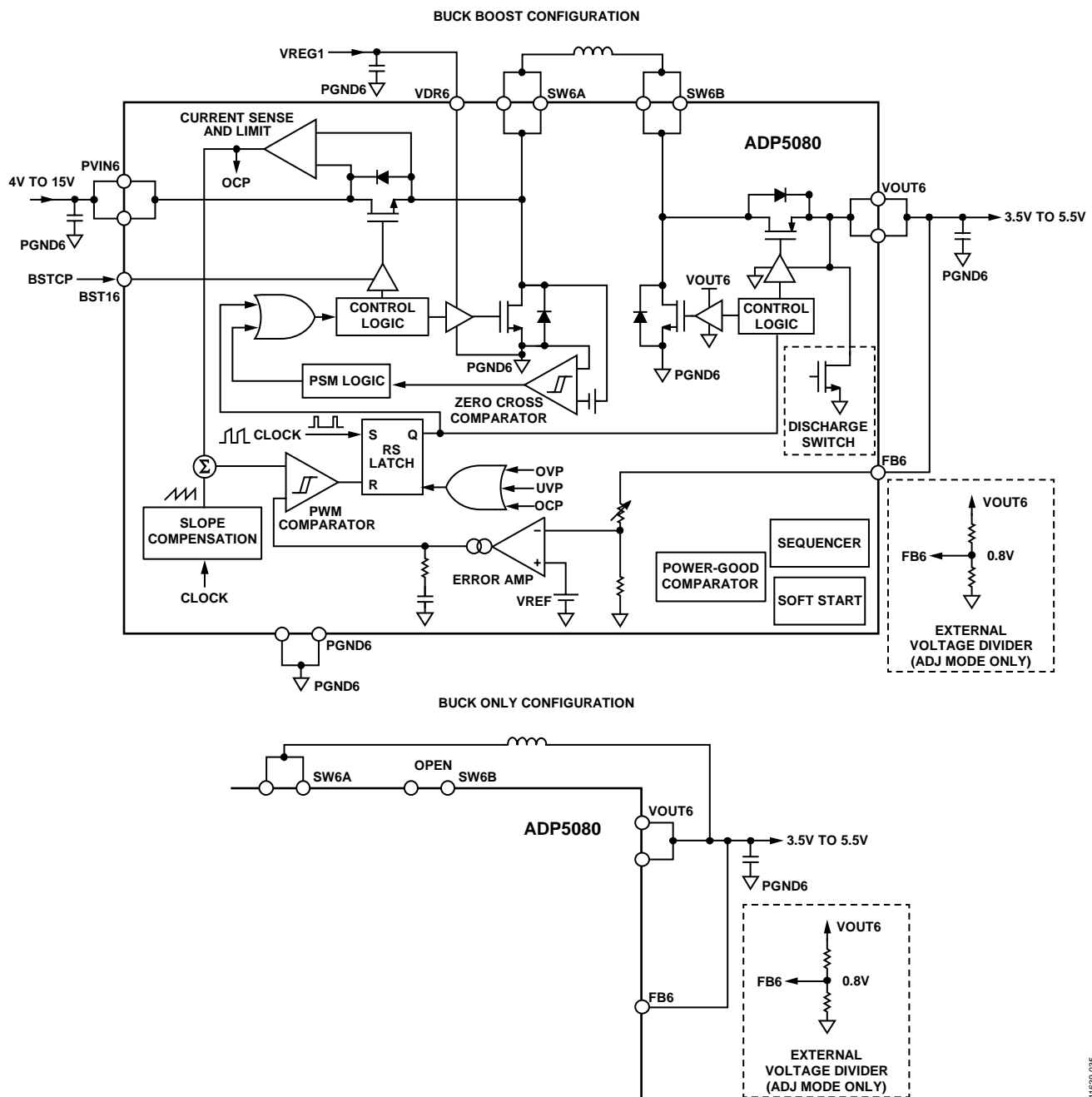


图42. 通道6降压或降压升压调节器框图

## DC-DC转换器通道的轻载和其他工作模式

ADP5080中的所有DC-DC转换器通道均提供两个或三个选项来处理轻载条件，而异步DC-DC转换器只是简单地过渡到断续导通模式(DCM)。虽然轻载模式具有更高的效率和更长的电池寿命，但也会产生更大的纹波和噪声。此权衡取舍通常要求用户逐通道作出最适合应用的选择(见表9)。其工作模式见图43，该图显示了自动PSM、自动DCM和FPWM模式下的电感电流和开关节点。

### 压摆率调节

每个通道具有一个压摆率调节选项，可通过OPT\_SR\_ADJ寄存器(寄存器31)中的ADJ\_SRx位(其中，x为1至6)进行设置。置位ADJ\_SRx位后，通道的开关节点压摆率下降，进而降低高频噪声尖峰。然而，由于开关损耗增加，使能该功能会降低通道的效率。因此，只有在低输出噪声性能十分重要时才使用压摆率调节功能。

### 强制PWM (FPWM)模式

虽然在轻载条件下，但强制脉冲宽度调制(FPWM)模式仍可保持PWM工作状态，允许负电流从电感流出并流经低端开关FET。此模式亦称为连续导通模式(CCM)。FPWM选项具有最低的效率，但在必须具有恒定频率和低纹波而无需考虑负载的情况下可以选择该选项。

### 自动DCM

通道5和通道6可使用自动断续导通模式(自动DCM)。当电感电流在 $t_{OFF}$ 期间降至零时，自动DCM关闭低端开关FET，防止负电流流过低端FET。该操作与传统飞轮二极管PWM调节器相同。自动DCM的效率比FPWM模式高，因为它不允许出现负电感电流，其将流至输入端。在自动DCM模式的极轻载条件下，会发生部分脉冲跳跃的情况，因此开关频率不恒定。

### 自动PSM

自动省电模式(自动PSM)与自动DCM类似，但前者有意以固定周期(约为标称 $t_{ON}$ 的80%)开启高端FET。此操作迫使调节器跳过数个PWM周期。与自动DCM相比，自动PSM跳过的周期数更多，并在更高的负载电流下开始周期跳跃。自动PSM可大幅降低开关损耗并提高效率，如图44所示。然而，在轻载条件下，可能会产生更大的输出电压纹波。

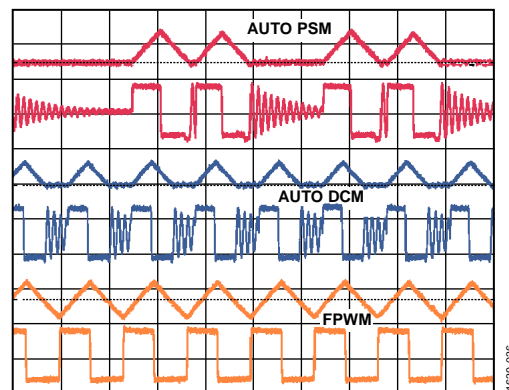


图43. 自动PSM、自动DCM和FPWM操作  
(显示开关节点和电感电流，虚线表示0 A)

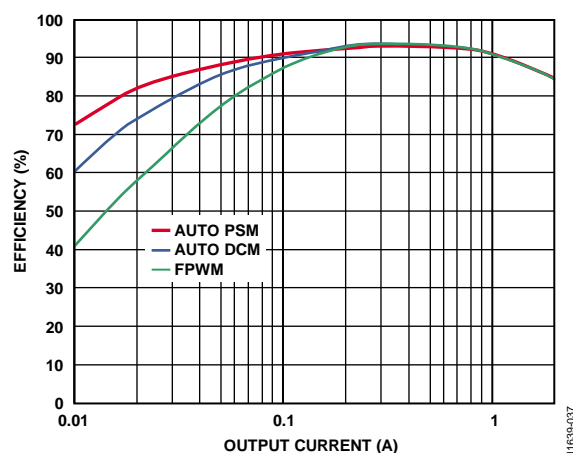


图44. 自动PSM、自动DCM和FPWM的工作效率

### 选择轻载开关模式

每个DC-DC转换器通道均可利用寄存器28中的AUTO-PSMx位配置为各自的轻载开关模式；对于通道5和通道6，则为寄存器32中的DCM56位(见表10和表11)。

表10. 轻载开关模式(通道1至通道4)

AUTO-PSMx位	轻载开关模式
0	FPWM
1	自动PSM

表11. 轻载开关模式(通道5和通道6)

AUTO-PSMx位	DCM56位	轻载开关模式
0	X <sup>1</sup>	FPWM
1	0	自动PSM
1	1	自动DCM

<sup>1</sup> X = 无关位。

## 开关时钟

ADP5080集成高精度开关时钟，用于DC-DC转换器和电荷泵。如图45所示，可以旁路内部时钟，并将系统与外部时钟同步。当使用内部时钟源时，可配置各DC-DC转换器和电荷泵的开关频率。

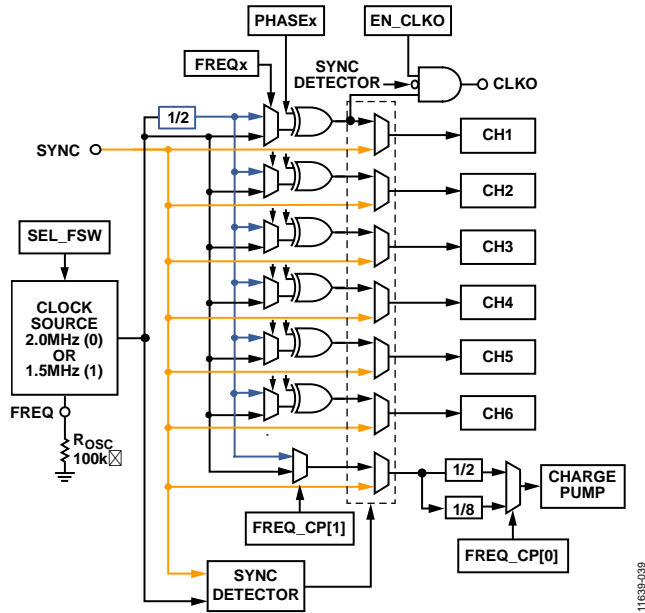


图45. 开关时钟分配

## 外部同步模式

当SYNC引脚处安装了外部时钟时，所有DC-DC转换器和电荷泵自动使用该时钟作为主开关时钟；寄存器18中的FREQx位设置则被忽略。当使用外部同步模式时，确保在置位EN信号之前外部时钟的稳定性，以避免转换器异常。当使用外部时钟时，时钟必须在表1中所列的规格范围内工作。

## 选择内部时钟频率

若SYNC引脚被拉高或拉低，器件使用内部时钟。内部振荡器产生频率为2.0 MHz或1.5 MHz的主时钟，具体由寄存器18中的SEL\_FSW位指定。当EN为高电平时，内部时钟激活。

主时钟经半分频处理，这样每个DC-DC转换器都能选择 $1 \times$ 或 $1/2 \times$ 主时钟频率。每个通道的频率都由寄存器18中的FREQx位(其中x为1至6)设置。例如，若主时钟设为1.5 MHz，则通道1至通道6可配置为在750 kHz或1.5 MHz下工作，但不可配置为1 MHz或2 MHz。

对于电荷泵而言，FREQ\_CP位可用来设置开关频率(参见“电荷泵开关频率”部分)。

## 选择外部电阻

内部时钟源振荡器需在FREQ引脚至GND之间使用100 kΩ外部电阻。为了获得精确的时钟频率，应选择温度系数低的高精度电阻。通常建议在FREQ引脚上采用1 nF旁路电容。

## 相移

通过置位寄存器20中的PHASEx位(其中，x为1至6)，每个DC-DC转换器都可配置为主时钟的反相位。将通道设置为反相有助于减少输入电容上的有效电流应力，并将开关能量扩展到2个周期以上。相移可降低系统中输入供电轨上的开关噪声而可能引起的干扰。

当任何通道工作频率为 $1/2 \times f_{sw}$ 时，必须将频率较高的通道设置为反相，低频通道相会被影响(见图46)。

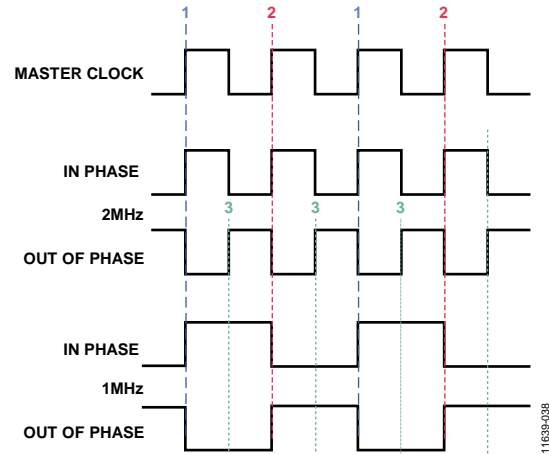


图46. 开关相位关系

频率为 $1 \times f_{sw}$ 的任意通道与主时钟之间均存在预期的设定相位关系。然而，当通道工作频率为 $1/2 \times f_{sw}$ 时，将始终与主时钟以及任意工作频率为 $1 \times f_{sw}$ 的通道同相。这一关系在图46中直线1和2可看出；无论相位设置如何，直线1和直线2始终与上升沿对齐。

若要将工作频率为 $1/2 \times f_{sw}$ 的通道设为反相，则必须将工作频率最高的通道设为反相。参考图46中的直线3，无论相位设置如何，工作频率为 $1/2 \times f_{sw}$ 的通道现与工作频率为 $1 \times f_{sw}$ 的通道反相。

## CLKO引脚

时钟输出(CLKO)引脚可输出通道1的内部开关时钟。该输出通过将寄存器19中的EN\_CLKO位置位1使能。使用外部时钟或EN\_CLKO位置位0时，CLKO输出保持低电平。

## 软启动功能

为了在启动时提供可控的输出电压斜坡，ADP5080为每个DC-DC转换器集成了软启动控制。利用寄存器2或寄存器3中的SSx位(其中，x为1至6)，可将到达目标电压的斜升周期设为1 ms、2 ms、4 ms或8 ms。默认的软启动值由工厂熔丝编程。不建议将ADP5080启动至满载条件。

## 通道7：高压LDO调节器

ADP5080集成了高压LDO线性调节器，允许高达25 V的输入电压(见图47)。LDO调节器输出四个预设调节电压的其中之一，并能够提供高达30 mA的电流。

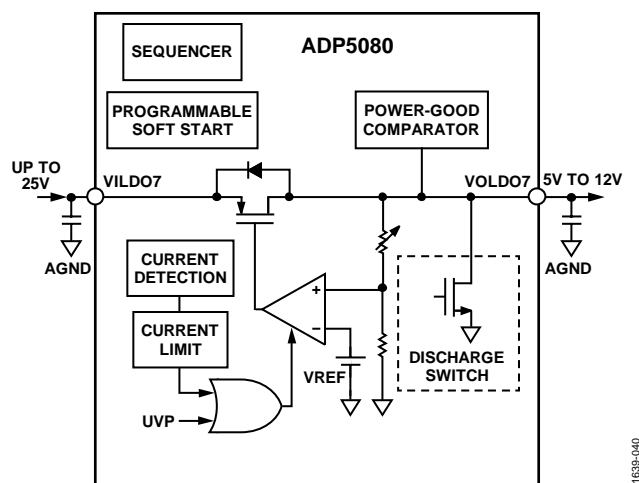


图47. 高压LDO(通道7)

### 选择输出电压(通道7)

使用寄存器16的VID7位可从预设值(12 V、9 V、6 V或5 V)中选择通道7的输出电压。默认值由工厂熔丝编程。

### 放电开关(通道7)

每个通道均集成了一个放电开关。通道7的放电开关位于VOUT7引脚。当通道7关断时，可开启放电开关，从而通过1 kΩ内部电阻释放外部电容的残余电荷。可通过置位寄存器1中的DSCG7\_ON位使能放电开关。

## 电荷泵

ADP5080集成了一个电荷泵，可向高端开关NMOS FET驱动器供电(见图48)。电荷泵利用VDR5引脚电压提升施加到PVINCP引脚上的电压，使电压可用于BSTCP引脚。在典型应用中，PVINCP引脚由电池供电(VBATT)，而VDR5引脚由VREG1供电(5 V或5.5 V)。因此，BSTCP引脚上的输出电压为VBATT + 5 V或5.5 V，适用于驱动所有通道的高端FET驱动器电源引脚、BSTx。

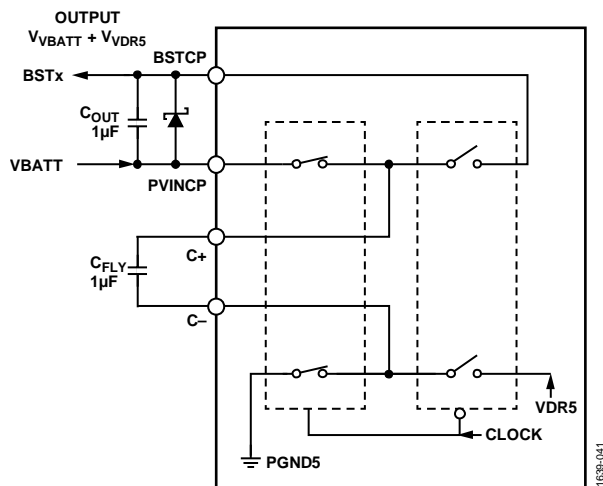


图48. BSTx电源的电荷泵

电荷泵要求达到VBATT最低电压才能启动。

在某些情况下，启动阈值(典型值为4 V)可能高于上升UVLO阈值。

若BSTCP电压降至比标称值低大约2.5 V，ADP5080关断以防止异常开关。在这种情况下，不指示OVP或UVP故障。

### 电荷泵开关频率

内部时钟源产生2.0 MHz或1.5 MHz频率，由寄存器18中的SEL\_FSW位设置。该主频率寄存器19中的FREQ\_CP位进一步分频为1/2、1/4、1/8或1/16(见表53)。若主时钟频率设为2.0 MHz，则电荷泵开关时钟频率可以为1.0 MHz、500 kHz、250 kHz或125 kHz。若主时钟频率设为1.5 MHz，则电荷泵开关时钟频率可以为750 kHz、375 kHz、188 kHz或94 kHz。通常，为实现最高效率，建议采用1/4(1.5 MHz主时钟频率)或1/8(2 MHz主时钟频率)设置。当所有通道均在负载条件下工作时，较低的设置可能无法提供足够的升压。

若使用外部时钟，则电荷泵频率可使用FREQ\_CP位设置为外部频率的1/4或1/8。电荷泵效率会略受外部时钟占空比的影响；50%占空比是最优工作点。

### 电容选择

每个电荷泵使用1 μF电容( $C_{FLY}$ 和 $C_{OUT}$ ，见图48)。这些电容的电压额定值必须满足充电电压(即 $C_{FLY}$ 上的PVINCP引脚电压和 $C_{OUT}$ 上的VDR5引脚电压)的要求。

### 保护二极管

强烈建议按照图48所示安装保护二极管，以避免启动期间BSTCP电压充电时发生故障。使用可耐受1 A峰值电流的肖特基二极管。



## 使用电荷泵作为通道7输入电源

电荷泵还可用于产生通道7输入的高压。将图49所示的电路与BSTx并联连接(形成如图48所示电路)可能使该配置。

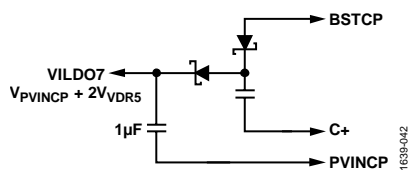


图49. 用作通道7高压电源的电荷泵

图49所示电路产生VILDO7，其电压值为 $V_{PVINCP} + 2 \times V_{VDR5}$ 。在典型应用中，该电压等于 $V_{VBATT} + 10\text{ V}$ 至 $11\text{ V}$  ( $PVINCP = V_{BATT}$ ； $VDR5 = VREG1 = 5.5\text{ V}$ 或 $5\text{ V}$ )。

## 使能和禁用输出通道

每个通道(通道1至通道7)均可使用序列模式或手动模式开启或关闭。通过置位和解除置位EN引脚，可自动开启或关闭配置为序列器模式的通道，延迟时间可单独编程。配置为手动模式的通道不会在EN变为高电平时自动开启，但根据需要可通过I<sup>2</sup>C控制开启或关闭。

## 序列模式

置位寄存器29中的MODE\_ENx位(x为1至7)后，指定通道在内部序列器的控制下开启和关闭，内部序列器由EN引脚触发(见图50)。

EN引脚变为高电平后，由序列控制的所有通道将于EN\_DLYx位指定的延迟时间过后开始软启动(见表23、表25、表27和表29)。类似地，当EN引脚变为低电平，通道将在DIS\_DLYx位指定的延迟时间过后关闭(见表31、表33、表35和表37)。

注意，图50显示了每个通道的逻辑状态；图中未显示软启动和放电斜坡。所有通道的禁用延迟时间可通过置位寄存器35中的DIS\_DLY\_EXTEND位增加到其配置值的四倍。

当序列控制的所有通道开启时，每个通道都可通过寄存器48中的CHx\_ON位(x为1至7)手动关闭或开启。当采用CHx\_ON位开启或关闭时，通道的使能状态将立即改变，无论EN\_DLYx和DIS\_DLYx位如何置位。

使用序列模式时，需注意以下几点：

- 在序列开启其控制的所有通道且软启动周期结束前，无法关闭序列控制的通道。此就绪状态可通过读取寄存器24中的PWRGx位(x为1至7)加以识别。
- 置位EN引脚后，内部序列工作期间禁止写入VIDx位，以防止异常行为。从置位EN引脚到寄存器24中的PWRGx位变为高电平期间，内部序列器均处于工作状态。

## 手动模式

清零寄存器29中的MODE\_ENx位(x为1至7)后，指定通道的开关由I<sup>2</sup>C控制。所有未配置为序列器模式的通道均可使用PCTRL寄存器(寄存器48)中的CHx\_ON位(x为1至7)手动开启或关闭。只有在EN引脚为逻辑高电平时，向CHx\_ON位写入1才会使能通道。

当EN引脚被拉低时，所有配置为手动模式的通道立即关闭，且所有CHx\_ON位复位为0。当EN引脚为低电平时，写入CHx\_ON位或从CHx\_ON位读出的任何数据均无效。

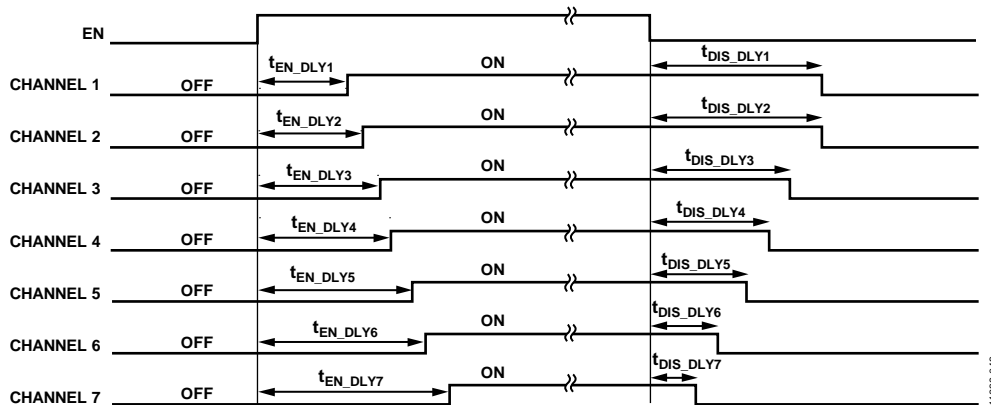


图50. 使用序列器模式的上电/掉电序列示例

## EN功能

EN引脚具有内部下拉电阻，可将ADP5080保持在待机模式下，直到引脚被主动拉高。EN功能在器件准备就绪之后才起作用，也就是说，满足下列所有条件时才起作用：

- VBATT引脚电压( $V_{UVLO(BATT)}$ )高于3.3 V。
- VREG1引脚电压在额定值范围内。
- VREG2引脚电压( $V_{UVLO(POR)}$ )在额定值范围内。
- 器件未处于热关断状态。
- 内部振荡器稳定(典型值为250  $\mu$ s)。
- PVIN1引脚电压( $V_{UVLO(R)}$ )高于3.7 V。
- VDR12引脚电压高于2.95 V。

如果工作期间未满足这些条件中的任意一条，ADP5080关断，参见“UVLO和POR”部分。

## EN34功能

EN34引脚允许通道3、通道4、或全部两个通道通过EN34引脚单独使能和禁用。该功能可使用寄存器35中的DIS\_EN34\_CHx位(x为3或4)在任一通道或两个通道上使能。

当DIS\_EN34\_CHx位设为低电平时，通道不会开启，直至EN和EN34引脚均为高电平。若通道3或通道4处于序列器模式，EN34必须在EN变为高电平以前处于高电平状态，以便保持通道的使能延迟时序(见“序列器模式”部分)。若拉高EN34引脚时EN也为高电平，则立即使能或禁用通道3或通道4，无论通道配置为手动模式或序列器模式。

DIS\_EN34\_CHx位设为高电平时，采用与器件中的其它所有通道相同的方式使能和禁用通道3或通道4，同时EN34引脚不会影响通道的工作。

无论DIS\_EN34\_CHx位的状态如何，禁用通道3和通道4不会导致FAULT变为低电平(见“故障功能”部分)。这意味着，无需标记通道3和通道4的电源良好标志。只有在使用CH3\_ON or CH4\_ON位使能通道3和通道4，且PWRG3或PWRG4位随后变为低电平时，FAULT才会变为低电平。

## 电源良好功能

各通道的电源良好状态(PWRGx位)可通过PWRG寄存器(寄存器24)回读。PWRGx位的值为1表示通道x的调节输出电压在其标称值的85%至125%范围内。若某通道的调节输出电压降至该电平以下，PWRGx位置位0。如图51所示，迟滞施加在上限和下限，以最大程度降低电源良好震颤。

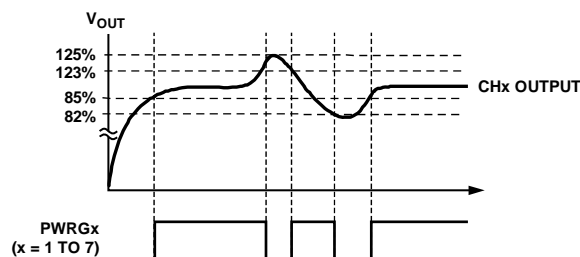


图51. 电源良好状态位

## 故障功能

FAULT引脚是一个开漏输出，表示所有通道PWRGx位的逻辑“或”状态。当任意PWRGx位为0时，FAULT引脚变为低电平。如图52所示，EN置位后，FAULT有大约70 ms的消隐时间，以使能延迟和软启动时间。消隐周期结束后，PWRGx低电平位使FAULT立即变为低电平。FAULT保持为低电平，直到EN引脚被切换或执行电源周期。如果在FAULT消隐周期结束前，启动时的OVP或UVP条件迫使发生关断，则FAULT不会变为低电平。

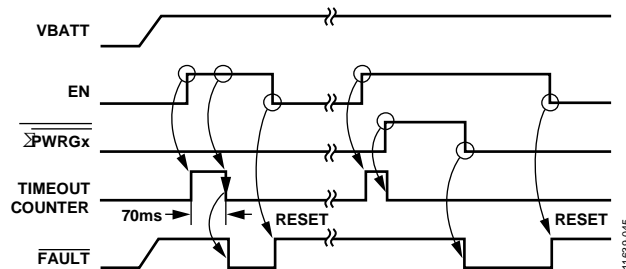


图52. FAULT功能

如果通道未手动使能或通过序列器使能，则PWRGx位保持低电平。这样会迫使FAULT变为低电平，除非通道被寄存器25中的MASK\_PWRGx位屏蔽。这不适用于通道3和通道4，参见“EN34功能”部分。

# ADP5080

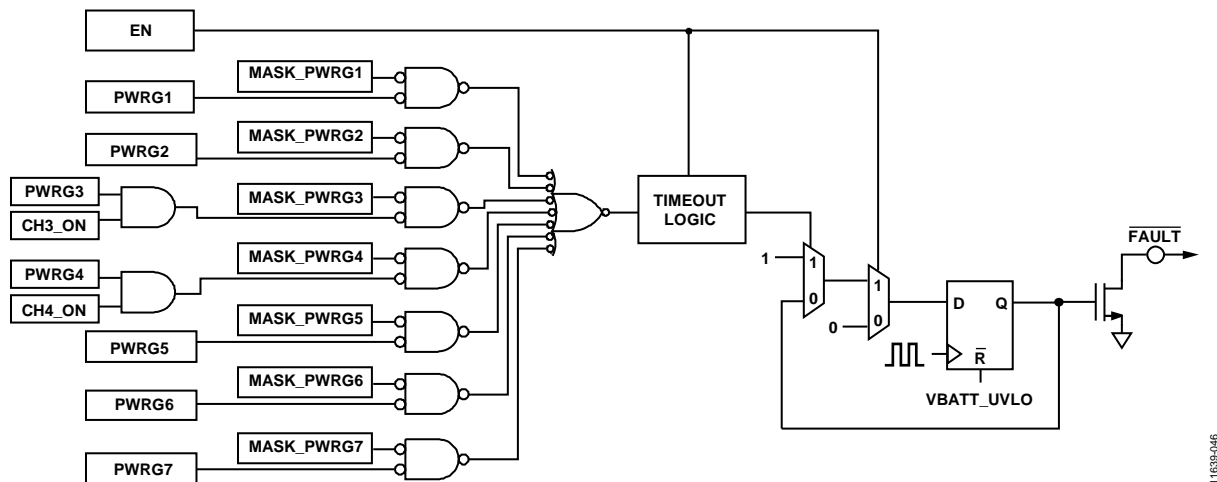


图53. 故障功能逻辑图

**表12. 通道5独立欠压检测选项**

SEL_IND_UV5位	欠压检测		输出
	除通道5之外的任意通道	通道5	
0	有 有 无 无	有 无 有 无	所有通道关断 所有通道关断 所有通道关断 所有通道关断
1	有 有 无 无	有 无 有 无	所有通道关断 所有通道关断 通道5关断；所有其他通道均工作 所有通道均工作

### 欠压保护(UVP)

**ADP5080**在通道1至通道7上集成了欠压保护(UVP)。当任意通道的输出降至指定电压的65%以下时, UVP通过内部复位寄存器48中的CHx\_ON位关断所有7个通道。通道5可配置为独立欠压保护(见“通道5独立欠压检测选项”部分)。

## UVP检测延迟

欠压检测包括去抖延迟，在寄存器23中配置(见表57)。欠压条件只有在其持续了一定的时间(由寄存器23中UV\_DLY位指定)后才能被识别(见图54)。将UV\_DLY位置位11可禁用UVP。

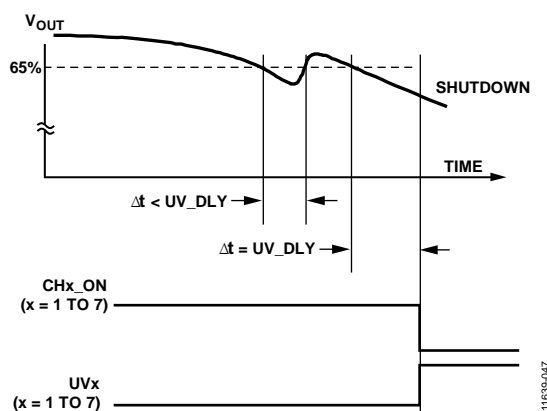


图54. 欠压检测延迟

### 通道5独立欠压检测选项

如果需要，通道5上的欠压保护可与所有其他通道上的UVP隔离。当寄存器34中的SEL\_IND\_UV5位设为高电平时，通道5上的欠压条件只会使通道5关断(见表12)。若选择此选项，寄存器34中的UV\_DLY5位可用来设置仅针对通道5的UVP检测延迟。



### 从UVP恢复

消除导致欠压条件的因素后，可通过将EN从低电平切换到高电平的方式恢复输出。如果使能通道5独立欠压关断(置位寄存器34中的SEL\_IND\_UV5位)，将寄存器48中的CH5\_ON位置位1可恢复通道5。

关断后，通道的欠压状态保存在UVPST寄存器中(寄存器26)，并可通过寄存器26中的UVx位回读。向UVx位写入1可将其清零。

### 过压保护(OVP)

ADP5080的通道1至通道6集成了过压保护(OVP)。若任意通道的输出升至额定电压的125%以上，OVP将通过内部复位寄存器48中的CHx\_ON位关断所有6个通道。

### OVP检测延迟

过压检测包括去抖延迟，在寄存器23中配置(见表57)。过压条件只有在其持续了一定的时间(由寄存器23中OV\_DLY位指定)后才能被识别(见图55)。将OV\_DLY位置位为11可禁用OVP。

### 从OVP恢复

消除导致过压条件的因素后，可通过将EN从低电平切换到高电平的方式恢复输出。关断后，通道的过压状态保存在OVPST寄存器中(寄存器27)，并可通过寄存器27中的OVx位回读。向OVx位写入1可将其清零。

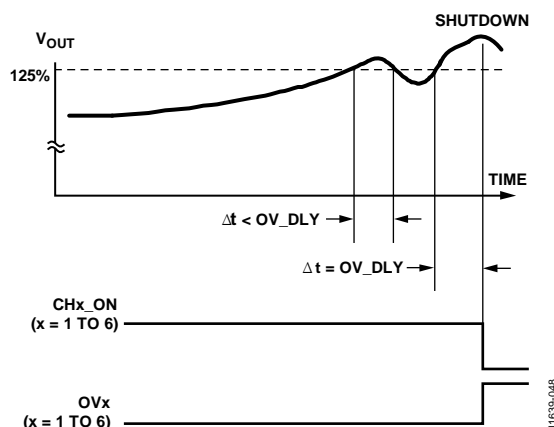


图55. 过压检测延迟

## 应用信息

本节提供元件和PCB布局指南，确保器件具有最佳性能、效率、稳定性以及最小开关噪声和串扰。

### 降压和降压升压调节器元件选择

#### 设置输出电压(可调节模式通道)

通道3、通道4和通道6可配置为可调节输出电压。表9给出了这些通道的可调节输出电压范围。当这些通道中的任意一个通道配置为可调节模式时，将电阻分压器连接至V<sub>OUT</sub>和GND之间的FBx引脚，如图56所示。

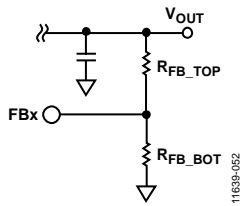


图56. 可调节输出的反馈电阻

电阻值可由下式求出，其中0.8 V是典型FB电压值，20 kΩ是R<sub>FB\_BOT</sub>的良好典型值。

$$R_{FB\_TOP} = \frac{(V_{OUT} - 0.8V) \times R_{FB\_BOT}}{0.8V}$$

注意，改变输出电压通常需要改变电感(L)和输出电容(C<sub>OUT</sub>)值。选定V<sub>OUT</sub>值后，计算并测试L和C<sub>OUT</sub>值(见“选择电感”部分和“选择输出电容”部分)。

#### 选择电感

所需的电感值可由输入和输出电压、开关频率和纹波电流决定，如公式1所示。

$$L = \frac{V_{IN} - V_{OUT}}{I_{RIPPLE}} \times \frac{1}{f_{SW}} \times \frac{V_{OUT}}{V_{IN}} \quad (1)$$

其中：

L为电感值。

f<sub>SW</sub>为开关频率。

I<sub>RIPPLE</sub>为纹波电流峰峰值。

一般而言，建议纹波电流为最大负载电流的30%。因此，公式1可改写为：

$$L = \frac{V_{IN} - V_{OUT}}{0.3 \times I_{LOAD}} \times \frac{1}{f_{SW}} \times \frac{V_{OUT}}{V_{IN}} \quad (2)$$

注意，纹波电流随输入电压变化而改变。典型输入电压可用来确定电感值。然而，为了避免电感饱和和限流，还应计算最差输入电压(V<sub>IN</sub>取最大值)时的电感值。

选定电感的最大额定值(有效电流和饱和电流)必须大于最大负载电流时的峰值电感电流(I<sub>PEAK</sub>)。若电感额定值不够大，电感可能因为电感值下降而饱和，从而导致其达到电流限值，甚至在负载条件低于预期时。

峰值电流可以使用公式3估算。

$$I_{PEAK} = I_{LOAD} + (I_{RIPPLE}/2) \quad (3)$$

若遵循30%纹波电流指导标准，典型峰值电流则可简化如下：

$$I_{PEAK} = (I_{LOAD} + 0.15) \times I_{LOAD} = 1.15 \times I_{LOAD} \quad (4)$$

另一个需要考虑的重要规格是电感中的寄生串联电阻：直流电阻(DCR)。较高的DCR会降低效率，但尺寸较大的电感通常具有较低的DCR。因此，必须仔细权衡PCB可用面积和器件性能。

公式1至公式4适用于降压调节器。虽然通道6是一个降压升压调节器，其电感值可使用降压调节器工作模式确定，前提是可用降压比相比，升压模式中的可用升压比相对较小(PVIN6引脚的4 V比VOUT6引脚的5.5 V)。因此，用于降压调节器模式的电感值通常也适用于升压调节器模式。

表13列出了电压和频率范围内推荐的电感值。这些数值基于宽工作范围，并假设每个通道具有最大负载电流。在实际应用中，较大或者较小的数值可能更为适用。一般而言，电感值可在建议的30%纹波电流指导标准上增加或减少一个标准值。电感越大，则效率越高，而电感越小，则瞬态响应更佳且尺寸也更小。注意，电感值远远小于或大于表13中的建议值可能会导致控制环路不稳定。

必须说明，由于限流保护会监控峰值或谷值电流，选定的电感对触发限流的负载电流水平会有影响。

表13. 建议电感

通道	V <sub>OUT</sub> (V)	频率(kHz)	电感值(μH)	产品型号
1	<1.0	750或1000 1500或2000	1 0.47	Toko FDSD0420-H-1R0 Toko FDSD0420-H-R47
	1.0至1.2	750或1000 1500或2000	1.5 0.68	Toko FDSD0420-H-1R5 Toko FDSD0420-H-R68
2	<1.8	750或1000 1500或2000	4.7 2.2	Toko FDSD0420-H-4R7 Toko FDSD0420-H-2R2
	1.8至3.3	750或1000 1500或2000	6.8 3.3	Taiyo Yuden NRS4018T6R8M Toko FDSD0420-H-3R3
3	<1.5	750或1000 1500或2000	3.3 1.5	Toko FDSD0420-H-3R3 Toko FDSD0420-H-1R5
	1.5至1.8	750或1000 1500或2000	3.3 1.5	Toko FDSD0420-H-3R3 Toko FDSD0420-H-1R5
4	<2.5	750或1000 1500或2000	6.8 3.3	Taiyo Yuden NRS4018T6R8M Toko FDSD0420-H-3R3
	2.5至3.55	750或1000 1500或2000	10 4.7	Taiyo Yuden NRS4018T100M Toko FDSD0420-H-4R7
5	<4	750或1000 1500或2000	3.3 2.2	Toko FDSD0420-H-3R3 Toko FDSD0420-H-2R2
	4至5	750或1000 1500或2000	3.3 1.5	Toko FDSD0420-H-3R3 Toko FDSD0420-H-1R5
6	<4.5	750或1000 1500或2000	4.7 2.2	Toko FDSD0420-H-4R7 Toko FDSD0420-H-2R2
	4.5至5.5	750或1000 1500或2000	4.7 3.3	Toko FDSD0420-H-4R7 Toko FDSD0420-H-3R3

### 选择输入电容

降压开关调节器以上升和下降时间极快的脉冲形式从输入电源汲取电流。要求使用低ESR陶瓷输入电容降低输入电压纹波，并为高频开关噪声提供旁路。若旁路不佳，则输入噪声可能会导致器件性能不佳和不稳定性，并增加传导噪声和电磁辐射(EMI)。

每一个开关通道的输入旁路电容约为10 μF。尽可能靠近PVIN<sub>x</sub>和PGND<sub>x</sub>引脚放置输入电容。在VBATT处放置额外的陶瓷输入电容。使用多个并联电容通常比使用单个高容值电容更有利。

注意，陶瓷电容具有非常强的直流偏置特性，并在额定电压条件下可能会损失多达80%的电容值。此外，由于输入电容中的有效电流影响，降压调节器输入端的壳温上升幅度可能相当高。因此，建议使用X5R型和X7R型或更好的电容。采用下式可以较好地估算单个通道输入电容中的有效电流：

$$I_{RMS} = \frac{I_{LOAD} \times \sqrt{V_{OUT} \times (V_{IN} - V_{OUT})}}{V_{IN}}$$

### 选择输出电容

由于输出电容会影响环路稳定性、输出电压纹波和负载瞬态响应，因此对于调节器而言非常重要。

ADP5080设计为采用低ESR陶瓷输出电容。较高的输出电容值减少输出电压纹波并改善负载瞬态阶跃响应。选择输出电容值时，必须考虑由输出电压直流偏置所引起的电容损耗。

表14列出了每个通道的建议最小电容值。注意，表14中的电容值为标称值，而非降容值。表中列出的电容适用于所有的工作频率和负载范围。

可在较高的频率或较低的负载电流条件下使用较低的数值。然而，采用比建议最小值还低的数值时应谨慎；输出电容值过小会导致工作不稳定。一般而言，可在实际条件允许且不会产生稳定性问题的情况下，增加输出电容。较大的电容可改善纹波和瞬态性能。

表14. 建议的最小输出电容

通道	输出电容(μF)
1	44
2	44
3	44
4	33
5	44
6	44

陶瓷电容采用各种各样的电介质制造，温度和所施加的电压不同，其特性也不相同。电容必须采用足以在必要的温度范围和直流偏置条件下确保最小电容的电介质。建议使用电压额定值至少为  $2 \times V_{OUT}$  的X5R或X7R电介质，以实现最佳性能。

选定输出电容和电感值的峰峰值输出电压纹波可通过公式5计算。

$$V_{RIPPLE} = \frac{V_{IN}}{(2\pi \times f_{SW}) \times 2 \times L \times C_{OUT}} = \frac{I_{RIPPLE}}{8 \times f_{SW} \times C_{OUT}} \quad (5)$$

不建议使用高ESR电容，因为它们会增加输出纹波，并会导致环路不稳定。公式5假定使用陶瓷电容，并不包括ESR。

为实现最佳性能，可放置一个输出电容以最大程度减少PCB寄生效应。将电容焊盘直接连接至输出和GND电源路径，而非通过独立走线连接。使用多个并联电容而非单个高容值电容有助于降低高频噪声。

由于通道6在降压升压模式下工作，输出电容将接收大开关电流。因此，需额外注意输出电容的位置。确保尽可能靠近通道6的VOUT6和PGND6引脚放置输出电容。

**LDO调节器元件选择**  
**选择电容**

所有LDO输入和输出电容都应采用低ESR电容。低ESR电容可降低输出阻抗和纹波电压。不建议使用高ESR电容，因为会使LDO控制环路产生纹波和稳定性问题。因此，建议使用表贴封装陶瓷电容。具有适当性能的X5R型和X7R型电容为首选。

VREG2应使用数值为2.2 μF至10 μF的输出电容。建议VREG1使用4.7 μF至10 μF输出电容；出于稳定性方面的考虑，4.7 μF为最低要求。

对于通道7高压LDO调节器，要求VOLDO7引脚的输出电容最低为1 μF。由于通道7为高压输出，应确保考虑了电容偏置电压降额。若电荷泵倍频器电路用作通道7的输入电源，则通道7输出电容的建议最大值为3.3 μF。这样可以避免电荷泵在启动时过载。

**PCB布局建议**

为了获得最佳器件性能和散热性能，以及最大程度降低开关噪声和电磁干扰(EMI)，良好的印刷电路板(PCB)布局至关重要。下面几节给出了一些关键的布局指南。

**敏感信号的处理**

必须隔离敏感信号走线与嘈杂的开关走线。FBx引脚和FREQ引脚对噪声耦合敏感，应远离噪声源进行路由。具有高dV/dt的任意节点(比如SWx、BSTx和SCL)均视为噪声源。

其他需要避免的噪声电路区域为高开关电流的主要区域：主要为输入电容和PGNDx连接。最后，切勿在电感的后方或附近路由敏感节点。若某个敏感信号走线必须穿过噪声源，建议在这些信号走线之间至少放置一层PCB接地层，作为屏蔽体。

**接地**

建议将模拟接地层(AGND)与电源接地层(PGND)分离。AGND层用于器件基准电压；因此，应尽可能减少该层噪声，并不得将其用作电流通路。PGND层用作调节器的电流返回路径。由于电流的流动以及开关噪声，PGND可能会非常嘈杂。因此，连接AGND和PGND层时必须小心谨慎，以便流过PGND层的电流不会影响AGND区域。将AGND和PGND层连接到同一点上，最好是同一个器件。

PGNDx节点是每个开关调节器调节环路的一部分，快速开关电流流经此路。因此，隔离每个开关调节器的PGNDx区域，并在输出电容接地处连接PGND层很重要。这样可以防止邻道干扰，并有助于限制开关噪声。建议在PGNDx区域和PGND层之间的连接处使用多个过孔。

为改善热性能和噪声抵抗力，每个AGND或PGND层都应具有尽可能多的铜覆盖面积。

### 外部元器件放置和信号布线

关键开关调节器引脚的主要部分位于器件的外围，这样便于布线和连接外部元器件。一般而言，处理大电流的走线应尽可能宽和短。该考虑因素适用于PVINx、SWxA、SWxB、SWx、PGNDx和VOUT6的走线。

处理开关电流的走线应当尽可能短。这些重点区域为PVINx、SW6B、VOUT6和PGNDx。缩短这些节点的走线长度有助于减少噪声耦合。这些连接应避免使用过孔，因为过孔会增加电流路径中的寄生电感。若由于路由限制而必须使用过孔，则建议将多个过孔并排排列。

对于降压调节器，应优先放置输入电容。采用宽走线连接，尽可能靠近PVINx和PGNDx引脚放置输入电容。对于通道6，关键元器件连接是输入电容和输出电容。应尽可能靠近PVIN6、VOUT6和PGND6引脚连接这些元器件。

对于所有通道，SWx引脚到电感的连接应尽可能短，以最大程度减少电容耦合。由于SWx节点搭载高电流，这条走线必须足够宽。

### 散热考虑

ADP5080是一款高效率电源转换器。然而，对于高环境温度( $T_A$ )中的重载应用而言，器件散发的热量可能超过125°C最大结温。若结温( $T_J$ )超过165°C，ADP5080进入热关断状态(TSD)，所有输出禁用。当结温降至大约150°C以下时，TSD清零。TSD事件后，ADP5080不会自动重启，必须通过EN引脚重新使能。

结温可采用公式6计算。

$$T_J = T_A + T_R \quad (6)$$

其中， $T_R$ 为功耗引起的器件结温升幅。

结温升幅与器件功耗直接成比例，如公式7所示。

$$T_R = PD_{LOSS} \times \theta_{JA} \quad (7)$$

其中：

$PD_{LOSS}$ 为ADP5080内的功耗。

$\theta_{JA}$ 为安装在PCB上的封装的结至环境热阻。

表7中给出的 $\theta_{JA}$ 值可用于JEDEC标准电路板。但该数值仅仅只是一个测试数据，不一定与实际PCB的热性能相关。

WLCSP封装自身的热性能由 $\theta_{JB}$ 值确定(见表7)。该数值为结点到焊料球的热阻，且几乎不受PCB设计的影响。

为确定结温，建议测量最差情况下的ADP5080壳温。壳温( $T_C$ )定义为器件顶部表面的温度，可通过公式8计算。

$$T_C = T_A + PD_{LOSS} \times (\theta_{JA} - \theta_{JC}) \quad (8)$$

其中：

$\theta_{JC}$ 为封装的结至外壳热阻，数值为0.2°C/W。

由于 $\theta_{JC}$ 极低，从公式9可知， $T_C$ 测量值即为 $T_J$ 理想的近似值。

$$T_J = T_C + T_R = T_C + PD_{LOSS} \times \theta_{JC} \approx T_C \quad (9)$$

在最差情况下估算的结温或测得的壳温必须低于125°C最大结温。



I²C接口

ADP5080具有一个I²C兼容串行接口，用于控制电源管理模块和回读系统状态。I²C串行接口可用来访问ADP5080的内部寄存器。有关寄存器的详细信息，参见“控制寄存器信息”部分。

利用I²C接口编程的所有寄存器均通过上电复位清零并复位至其默认值(参见“上电复位(POR)”部分)。PCTRL寄存器(寄存器48)中的CHx\_ON位通过上电复位或拉低EN引脚清零。

I²C接口工作时钟频率最高达400 kHz。ADP5080不响应广播。ADP5080支持多个主机，但如果器件处于读取模式，则只有一个主机能够访问，直到数据传输完成为止。

SDA和SCL引脚

ADP5080有两个专用I²C引脚：SDA和SCL引脚。SDA是开漏线，用于接收和传输数据。SCL是输入线，用于接收时钟信号。这些总线必须从外部上拉至VDDIO电源。

串行数据通过在SCL上升沿传输。读取模式下，读取数据在SDA引脚产生。若V<sub>VDDIO</sub>电压低于欠压阈值(典型值为950 mV)，则EN信号变为低电平，SDA和SCL保持高阻态。内部电平转换器禁用，以防止破坏接收数据。

注意，上电时SCL引脚必须拉高至VDDIO，以便在上电复位(POR)期间编程熔丝设置能够正确载入I²C寄存器。只要VDDIO处于低电平，就不存在该限制。若VDDIO由VREG2供电，则SCL必须为高阻抗，直到VREG2升至POR阈值以上。若VDDIO由外部I2C主机供电，则SCL必须保持高电平，或者VDDIO电源必须处于关断状态，直到VREG2电压升至POR阈值以上。

I²C地址

ADP5080的7位I²C芯片地址为0x30 (011 0000)；子地址用来选择其中一个用户寄存器，I²C主机将通过该用户寄存器与ADP5080通信。

自清零寄存器位

寄存器26和寄存器27是包含自清零寄存器位的状态寄存器。将1写入状态位时，这些位自动清零。因此，无需将0写入状态位以清除它。

I²C接口时序图

图57是I²C写操作的时序图。图58和图59是I²C读操作的时序图。寄存器48(PCTRL寄存器)的位7具有特殊状态标志，表示该寄存器内存在有效数据(见图59)。若位7 = 0，则数据尚未变为有效，并且必须重复读操作，直到状态位变为1。

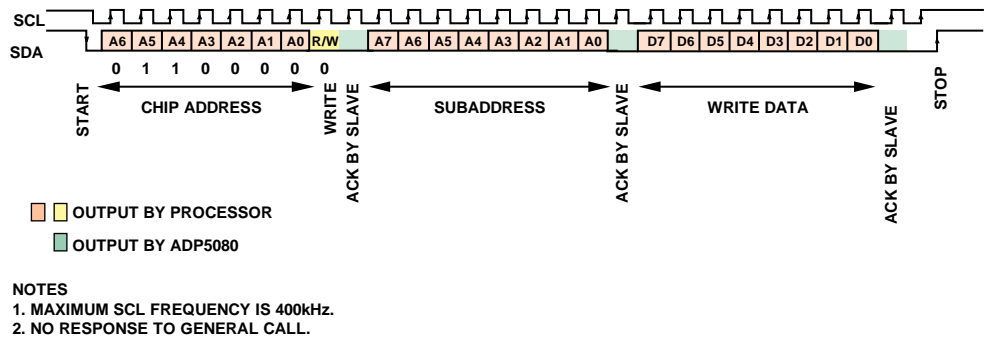


图57. 寄存器的I²C写操作

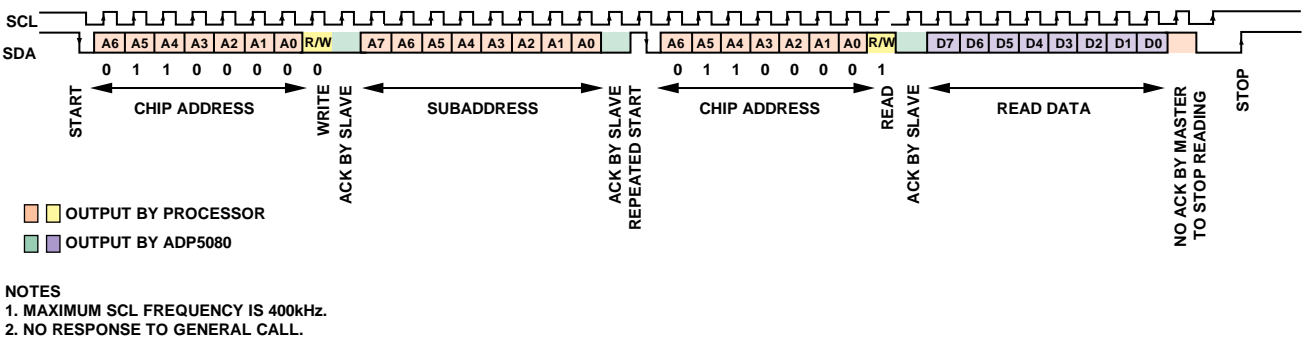
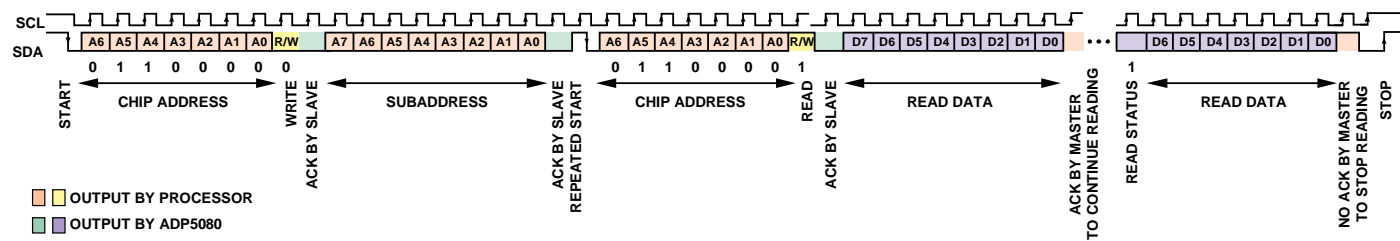


图58. 寄存器的I²C读操作，无读取状态位(除PCTRL外的所有寄存器)



NOTES  
1. MAXIMUM SCL FREQUENCY IS 400kHz.  
2. NO RESPONSE TO GENERAL CALL.

图59. 寄存器的I<sup>2</sup>C读操作，无读取状态位(PCTRL寄存器)

11639-051

# ADP5080

## 控制寄存器信息

### 控制寄存器映射

表15列出了ADP5080的全部控制寄存器。所有空白位均保留。

表15：控制寄存器映射

寄存器	寄存器地址	寄存器名称	位7	位6	位5	位4	位3	位2	位1	位0
0	0x00	保留	保留							
1	0x01	DSCG		DSCG7_ON	DSCG6_ON	DSCG5_ON	DSCG4_ON	DSCG3_ON	DSCG2_ON	DSCG1_ON
2	0x02	SFTTIM1234	SS4[1:0]		SS3[1:0]		SS2[1:0]		SS1[1:0]	
3	0x03	SFTTIM567				SS7	SS6[1:0]		SS5[1:0]	
4	0x04	EN_DLY12		EN_DLY2[2:0]				EN_DLY1[2:0]		
5	0x05	EN_DLY34		EN_DLY4[2:0]				EN_DLY3[2:0]		
6	0x06	EN_DLY56		EN_DLY6[2:0]				EN_DLY5[2:0]		
7	0x07	EN_DLY7						EN_DLY7[2:0]		
8	0x08	DIS_DLY12		DIS_DLY2[2:0]				DIS_DLY1[2:0]		
9	0x09	DIS_DLY34		DIS_DLY4[2:0]				DIS_DLY3[2:0]		
10	0x0A	DIS_DLY56		DIS_DLY6[2:0]				DIS_DLY5[2:0]		
11	0x0B	DIS_DLY7						DIS_DLY7[2:0]		
12	0x0C	VID1				VID1[4:0]				
13	0x0D	VID23		VID3[2:0]			VID2[3:0]			
14	0x0E	VID45		VID5[2:0]				VID4[2:0]		
15	0x0F	VID6					VID6[3:0]			
16	0x10	VID7_LDO12		VID_LDO2[1:0]		VID_LDO1			VID7[1:0]	
17	0x11	DVS12			DVS2_INTVL	DVS1_INTVL			EN_DVS2	EN_DVS1
18	0x12	SEL_FREQ	SEL_FSW		FREQ6	FREQ5	FREQ4	FREQ3	FREQ2	FREQ1
19	0x13	SEL_FREQ_CP				EN_CLKO			FREQ_CP[1:0]	
20	0x14	SEL_PHASE			PHASE6	PHASE5	PHASE4	PHASE3	PHASE2	PHASE1
23	0x17	PROT_DLY			UV_DLY[1:0]				OV_DLY[1:0]	
24	0x18	PWRG	EN	PWRG7	PWRG6	PWRG5	PWRG4	PWRG3	PWRG2	PWRG1
25	0x19	MASK_PWRG		MASK_PWRG7	MASK_PWRG6	MASK_PWRG5	MASK_PWRG4	MASK_PWRG3	MASK_PWRG2	MASK_PWRG1
26	0x1A	UVPST		UV7	UV6	UV5	UV4	UV3	UV2	UV1
27	0x1B	OVPST			OV6	OV5	OV4	OV3	OV2	OV1
28	0x1C	AUTO-PSM			AUTO-PSM6	AUTO-PSM5	AUTO-PSM4	AUTO-PSM3	AUTO-PSM2	AUTO-PSM1
29	0x1D	SEQ_MODE		MODE_EN7	MODE_EN6	MODE_EN5	MODE_EN4	MODE_EN3	MODE_EN2	MODE_EN1
30	0x1E	ADJ_BST_VTH6				BUCK6_ONLY			BOOST6_VTH[1:0]	
31	0x1F	OPT_SR_ADJ			ADJ_SR6	ADJ_SR5	ADJ_SR4	ADJ_SR3	ADJ_SR2	ADJ_SR1
32	0x20	DCM56_GSCAL1				DCM56				GATE_SCAL1
33	0x21	SEL_INP_LDO12				SEL_INP_LDO2				SEL_INP_LDO1
34	0x22	SEL_IND_UV5			UV_DLY5[1:0]					SEL_IND_UV5
35	0x23	OPTION_SEL					REDUCE_VOUT1	DIS_DLY_EXTEND	DIS_EN34_CH4	DIS_EN34_CH3
48	0x30	PCTRL	RDST_PCTRL	CH7_ON	CH6_ON	CH5_ON	CH4_ON	CH3_ON	CH2_ON	CH1_ON



**控制寄存器详解**

本部分介绍ADP5080所用各寄存器的位功能。

**寄存器1：DSCG(放电开关控制)，地址0x01**

寄存器1禁用和使能通道1至通道7的放电开关。默认值由熔丝选项定义。

**表16. 寄存器1位分配**

位7	位6	位5	位4	位3	位2	位1	位0
	DSCG7_ON	DSCG6_ON	DSCG5_ON	DSCG4_ON	DSCG3_ON	DSCG2_ON	DSCG1_ON

**表17. DSCG寄存器的位功能描述**

位	位名称	访问类型	说明
6	DSCG7_ON	R/W	0 = 禁用通道7的输出放电开关。 1 = 使能通道7的输出放电开关。
5	DSCG6_ON	R/W	0 = 禁用通道6的输出放电开关。 1 = 使能通道6的输出放电开关。
4	DSCG5_ON	R/W	0 = 禁用通道5的输出放电开关。 1 = 使能通道5的输出放电开关。
3	DSCG4_ON	R/W	0 = 禁用通道4的输出放电开关。 1 = 使能通道4的输出放电开关。
2	DSCG3_ON	R/W	0 = 禁用通道3的输出放电开关。 1 = 使能通道3的输出放电开关。
1	DSCG2_ON	R/W	0 = 禁用通道2的输出放电开关。 1 = 使能通道2的输出放电开关。
0	DSCG1_ON	R/W	0 = 禁用通道1的输出放电开关。 1 = 使能通道1的输出放电开关。

**寄存器2：SFTTIM1234(通道1、通道2、通道3和通道4的软启动时间)，地址0x02**

寄存器2设置通道1至通道4的软启动时间。默认值由熔丝选项定义。

**表18. 寄存器2位分配**

位7	位6	位5	位4	位3	位2	位1	位0
SS4		SS3		SS2		SS1	

**表19. SFTTIM1234寄存器的位功能描述**

位	位名称	访问类型	说明
[7:6]	SS4	R/W	通道4的软启动时间。 00 = 1 ms 01 = 2 ms 10 = 4 ms 11 = 8 ms
[5:4]	SS3	R/W	通道3的软启动时间。 00 = 1 ms 01 = 2 ms 10 = 4 ms 11 = 8 ms
[3:2]	SS2	R/W	通道2的软启动时间。 00 = 1 ms 01 = 2 ms 10 = 4 ms 11 = 8 ms
[1:0]	SS1	R/W	通道1的软启动时间。 00 = 1 ms 01 = 2 ms 10 = 4 ms 11 = 8 ms

# ADP5080

## 寄存器3：SFTTIM567(通道5、通道6和通道7的软启动时间)，地址0x03

寄存器3设置通道5至通道7的软启动时间。默认值由熔丝选项定义。

表20. 寄存器3位分配

位7	位6	位5	位4	位3	位2	位1	位0
			SS7		SS6		SS5

表21. SFTTIM567寄存器的位功能描述

位	位名称	访问类型	说明
4	SS7	R/W	通道7的软启动时间。 0 = 2 ms 1 = 4 ms
[3:2]	SS6	R/W	通道6的软启动时间。 00 = 1 ms 01 = 2 ms 10 = 4 ms 11 = 8 ms
[1:0]	SS5	R/W	通道5的软启动时间。 00 = 1 ms 01 = 2 ms 10 = 4 ms 11 = 8 ms

## 寄存器4：EN\_DLY12(通道1和通道2的使能延迟时间)，地址0x04

寄存器4设置通道1和通道2的使能延迟时间。默认值由熔丝选项定义。

表22. 寄存器4位分配

位7	位6	位5	位4	位3	位2	位1	位0
			EN_DLY2			EN_DLY1	

表23. EN\_DLY12寄存器的位功能描述

位	位名称	访问类型	说明
[6:4]	EN_DLY2	R/W	通道2的使能延迟时间。 000 = 0 ms 001 = 2 ms 010 = 4 ms 011 = 6 ms 100 = 8 ms 101 = 10 ms 110 = 12 ms 111 = 14 ms
[2:0]	EN_DLY1	R/W	通道1的使能延迟时间。 000 = 0 ms 001 = 2 ms 010 = 4 ms 011 = 6 ms 100 = 8 ms 101 = 10 ms 110 = 12 ms 111 = 14 ms

**寄存器5：EN\_DLY34(通道3和通道4的使能延迟时间)，地址0x05**

寄存器5设置通道3和通道4的使能延迟时间。默认值由熔丝选项定义。

**表24. 寄存器5位分配**

位7	位6	位5	位4	位3	位2	位1	位0
	EN_DLY4				EN_DLY3		

**表25. EN\_DLY34寄存器的位功能描述**

位	位名称	访问类型	说明
[6:4]	EN_DLY4	R/W	通道4的使能延迟时间。 000 = 0 ms 001 = 2 ms 010 = 4 ms 011 = 6 ms 100 = 8 ms 101 = 10 ms 110 = 12 ms 111 = 14 ms
[2:0]	EN_DLY3	R/W	通道3的使能延迟时间。 000 = 0 ms 001 = 2 ms 010 = 4 ms 011 = 6 ms 100 = 8 ms 101 = 10 ms 110 = 12 ms 111 = 14 ms

**寄存器6：EN\_DLY56(通道5和通道6的使能延迟时间)，地址0x06**

寄存器6设置通道5和通道6的使能延迟时间。默认值由熔丝选项定义。

**表26. 寄存器6位分配**

位7	位6	位5	位4	位3	位2	位1	位0
	EN_DLY6				EN_DLY5		

**表27. EN\_DLY56寄存器的位功能描述**

位	位名称	访问类型	说明
[6:4]	EN_DLY6	R/W	通道6的使能延迟时间。 000 = 0 ms 001 = 2 ms 010 = 4 ms 011 = 6 ms 100 = 8 ms 101 = 10 ms 110 = 12 ms 111 = 14 ms
[2:0]	EN_DLY5	R/W	通道5的使能延迟时间。 000 = 0 ms 001 = 2 ms 010 = 4 ms 011 = 6 ms 100 = 8 ms 101 = 10 ms 110 = 12 ms 111 = 14 ms

# ADP5080

**寄存器7: EN\_DLY7(通道7的使能延迟时间), 地址0x07**

寄存器7设置通道7的使能延迟时间。默认值由熔丝选项定义。

### 表28. 寄存器7位分配

位7	位6	位5	位4	位3	位2	位1	位0
					EN_DLY7		

**表29. EN\_DLY7寄存器的位功能描述**

位	位名称	访问类型	说明
[2:0]	EN_DLY7	R/W	通道7的使能延迟时间。 000 = 0 ms 001 = 2 ms 010 = 4 ms 011 = 6 ms 100 = 8 ms 101 = 10 ms 110 = 12 ms 111 = 14 ms

**寄存器8: DIS\_DLY12(通道1和通道2的禁用延迟时间), 地址0x08**

寄存器8设置通道1和通道2的禁用延迟时间。禁用延迟取决于寄存器35中的DIS\_DLY\_EXTEND位(地址0x23中的位2)设置。默认值由熔丝选项定义。

### 表30. 寄存器8位分配

位7	位6	位5	位4	位3	位2	位1	位0
	DIS_DLY2				DIS_DLY1		

### 表31. DIS\_DLY12寄存器的位功能描述

位	位名称	R/W	说明		
[6:4]	DIS_DLY2	R/W	这些位设置通道2的禁用延迟时间。		
			位[6:4]	DIS_DLY_EXTEND = 0	DIS_DLY_EXTEND = 1
			000	0 ms	0 ms
			001	4 ms	16 ms
			010	8 ms	32 ms
			011	12 ms	48 ms
			100	16 ms	64 ms
			101	20 ms	80 ms
			110	24 ms	96 ms
			111	28 ms	112 ms
[2:0]	DIS_DLY1	R/W	这些位设置通道1的禁用延迟时间。		
			位[2:0]	DIS_DLY_EXTEND = 0	DIS_DLY_EXTEND = 1
			000	0 ms	0 ms
			001	4 ms	16 ms
			010	8 ms	32 ms
			011	12 ms	48 ms
			100	16 ms	64 ms
			101	20 ms	80 ms
			110	24 ms	96 ms
			111	28 ms	112 ms

寄存器9：DIS\_DLY34(通道3和通道4的禁用延迟时间)，地址0x09

寄存器9设置通道3和通道4的禁用延迟时间。禁用延迟取决于寄存器35中的DIS\_DLY\_EXTEND位(地址0x23中的位2)设置。默认值由熔丝选项定义。

表32. 寄存器9位分配

位7	位6	位5	位4	位3	位2	位1	位0
DIS_DLY4				DIS_DLY3			

表33. DIS\_DLY34寄存器的位功能描述

位	位名称	R/W	说明		
[6:4]	DIS_DLY4	R/W	这些位设置通道4的禁用延迟时间。		
			位[6:4]	DIS_DLY_EXTEND = 0	DIS_DLY_EXTEND = 1
			000	0 ms	0 ms
			001	4 ms	16 ms
			010	8 ms	32 ms
			011	12 ms	48 ms
			100	16 ms	64 ms
			101	20 ms	80 ms
			110	24 ms	96 ms
			111	28 ms	112 ms
[2:0]	DIS_DLY3	R/W	这些位设置通道3的禁用延迟时间。		
			位[2:0]	DIS_DLY_EXTEND = 0	DIS_DLY_EXTEND = 1
			000	0 ms	0 ms
			001	4 ms	16 ms
			010	8 ms	32 ms
			011	12 ms	48 ms
			100	16 ms	64 ms
			101	20 ms	80 ms
			110	24 ms	96 ms
			111	28 ms	112 ms

# ADP5080

**寄存器10: DIS\_DLY56(通道5和通道6的禁用延迟时间), 地址0x0A**

寄存器10设置通道5和通道6的禁用延迟时间。禁用延迟取决于寄存器35中的DIS\_DLY\_EXTEND位(地址0x23中的位2)设置。默认值由熔丝选项定义。

### 表34. 寄存器10位分配

位7	位6	位5	位4	位3	位2	位1	位0
	DIS_DLY6				DIS_DLY5		

**表35. DIS\_DLY56寄存器的位功能描述**

位	位名称	R/W	说明		
[6:4]	DIS_DLY6	R/W	这些位设置通道6的禁用延迟时间。		
			位[6:4]	DIS_DLY_EXTEND = 0	DIS_DLY_EXTEND = 1
			000	0 ms	0 ms
			001	4 ms	16 ms
			010	8 ms	32 ms
			011	12 ms	48 ms
			100	16 ms	64 ms
			101	20 ms	80 ms
			110	24 ms	96 ms
			111	28 ms	112 ms
[2:0]	DIS_DLY5	R/W	这些位设置通道5的禁用延迟时间。		
			位[2:0]	DIS_DLY_EXTEND = 0	DIS_DLY_EXTEND = 1
			000	0 ms	0 ms
			001	4 ms	16 ms
			010	8 ms	32 ms
			011	12 ms	48 ms
			100	16 ms	64 ms
			101	20 ms	80 ms
			110	24 ms	96 ms
			111	28 ms	112 ms

**寄存器11: DIS\_DLY7(通道7的禁用延迟时间), 地址0x0B**

寄存器11设置通道7的禁用延迟时间。禁用延迟取决于寄存器35中的DIS\_DLY\_EXTEND位(地址0x23中的位2)设置。默认值由熔丝选项定义。

### 表36. 寄存器11位分配

位7	位6	位5	位4	位3	位2	位1	位0
					DIS_DLY7		

**表37. DIS\_DLY7寄存器的位功能描述**

位	位名称	R/W	说明		
[2:0]	DIS_DLY7	R/W	这些位设置通道7的禁用延迟时间。		
			位[2:0]	DIS_DLY_EXTEND = 0	DIS_DLY_EXTEND = 1
			000	0 ms	0 ms
			001	4 ms	16 ms
			010	8 ms	32 ms
			011	12 ms	48 ms
			100	16 ms	64 ms
			101	20 ms	80 ms
			110	24 ms	96 ms
			111	28 ms	112 ms

寄存器12：VID1(通道1的输出电压)，地址0x0C

寄存器12设置通道1的输出电压。输出电压取决于寄存器35中的REDUCE\_VOUT1位(地址0x23中的位3)设置。默认值由熔丝选项定义。

表38. 寄存器12位分配

位7	位6	位5	位4	位3	位2	位1	位0
							VID1

表39. VID1寄存器的位功能描述

位	位名称	R/W	说明		
[4:0]	VID1	R/W	这些位设置通道1的输出电压。		
			位[4:0]	REDUCE_VOUT1 = 0	REDUCE_VOUT1 = 1
			00000	1.20 V	1.11 V
			00001	1.19 V	1.10 V
			00010	1.18 V	1.09 V
			00011	1.17 V	1.08 V
			00100	1.16 V	1.07 V
			00101	1.15 V	1.06 V
			00110	1.14 V	1.05 V
			00111	1.13 V	1.04 V
			01000	1.12 V	1.03 V
			01001	1.11 V	1.02 V
			01010	1.10 V	1.01 V
			01011	1.09 V	1.00 V
			01100	1.08 V	0.99 V
			01101	1.07 V	0.98 V
			01110	1.06 V	0.97 V
			01111	1.05 V	0.96 V
			10000	1.04 V	0.95 V
			10001	1.03 V	0.94 V
			10010	1.02 V	0.93 V
			10011	1.01 V	0.92 V
			10100	1.00 V	0.91 V
			10101	0.99 V	0.90 V
			10110	0.98 V	0.89 V
			10111	0.97 V	0.88 V
			11000	0.96 V	0.87 V
			11001	0.95 V	0.86 V
			11010	0.94 V	0.85 V
			11011	0.93 V	0.84 V
			11100	0.92 V	0.83 V
			11101	0.91 V	0.82 V
			11110	0.90 V	0.81 V
			11111	0.89 V	0.80 V



# ADP5080

## 寄存器13：VID23(通道2和通道3的输出电压)，地址0x0D

寄存器13设置通道2和通道3的输出电压。默认值由熔丝选项定义。

表40. 寄存器13位分配

位7	位6	位5	位4	位3	位2	位1	位0
VID3				VID2			

表41. VID23寄存器的位功能描述

位	位名称	访问类型	说明
[6:4]	VID3	R/W	这些位设置通道3的输出电压。 000 = 1.8 V 001 = 1.5 V 010 = 1.35 V 011 = 1.3 V 100 = 1.25 V 101 = 1.225 V 110 = 1.2 V 111 = 可调节模式
[3:0]	VID2	R/W	这些位设置通道2的输出电压。 0000 = 3.3 V 0001 = 3.2 V 0010 = 3.15 V 0011 = 3.00 V 0100 = 1.8 V 0101 = 1.25 V 0110 = 1.225 V 0111 = 1.2 V 1000 = 1.175 V 1001 = 1.15 V 1010 = 1.125 V 1011 = 1.1 V 1100 = 1.075 V 1101 = 1.05 V 1110 = 1.025 V 1111 = 1.0 V

**寄存器14：VID45(通道4和通道5的输出电压)，地址0x0E**

寄存器14设置通道4和通道5的输出电压。默认值由熔丝选项定义。

**表42. 寄存器14位分配**

位7	位6	位5	位4	位3	位2	位1	位0
		VID5				VID4	

**表43. VID45寄存器的位功能描述**

位	位名称	访问类型	说明
[6:4]	VID5	R/W	这些位设置通道5的输出电压。 000 = 5.00 V 001 = 4.30 V 010 = 4.25 V 011 = 3.30 V 100 = 3.20 V 101 = 3.15 V 110 = 3.10 V 111 = 3.00 V
[2:0]	VID4	R/W	这些位设置通道4的输出电压。 000 = 3.55 V 001 = 3.30 V 010 = 3.20 V 011 = 3.15 V 100 = 3.10 V 101 = 2.80 V 110 = 1.80 V 111 = 可调节模式

**寄存器15：VID6(通道6的输出电压)，地址0x0F**

寄存器15设置通道6的输出电压。默认值由熔丝选项定义。

**表44. 寄存器15位分配**

位7	位6	位5	位4	位3	位2	位1	位0
							VID6

**表45. VID6寄存器的位功能描述**

位	位名称	访问类型	说明
[3:0]	VID6	R/W	这些位设置通道6的输出电压。 0000 = 5.5 V 0001 = 5.4 V 0010 = 5.3 V 0011 = 5.2 V 0100 = 5.15 V 0101 = 5.1 V 0110 = 5.0 V 0111 = 4.9 V 1000 = 4.8 V 1001 = 4.7 V 1010 = 4.6 V 1011 = 4.5 V 1100 = 4.4 V 1101 = 3.8 V 1110 = 3.5 V 1111 = 可调节模式

# ADP5080

## 寄存器16: VID7\_LDO12(通道7、LDO1和LDO2的输出电压), 地址0x10

寄存器16设置通道7、LDO1和LDO2的输出电压。默认值由熔丝选项定义。

表46. 寄存器16位分配

位7	位6	位5	位4	位3	位2	位1	位0
	VID_LDO2		VID_LDO1			VID7	

表47. VID7\_LDO12寄存器的位功能描述

位	位名称	访问类型	说明
[6:5]	VID_LDO2	R/W	这些位设置LDO2的输出电压。 00 = 3.3 V 01 = 3.2 V 10 = 3.15 V 11 = 3.0 V
4	VID_LDO1	R/W	这些位设置LDO1的输出电压。 0 = 5.5 V 1 = 5.0 V
[1:0]	VID7	R/W	这些位设置通道7的输出电压。 00 = 12 V 01 = 9 V 10 = 6 V 11 = 5 V

## 寄存器17: DVS12(通道1和通道2的DVS控制), 地址0x11

寄存器17配置通道1和通道2的动态电压调节(DVS)功能。更多信息, 请参见“动态电压调节(DVS)功能”部分。

表48. 寄存器17位分配

位7	位6	位5	位4	位3	位2	位1	位0
		DVS2_INTVAL	DVS1_INTVAL			EN_DVS2	EN_DVS1

表49. DVS12寄存器的位功能描述

位	位名称	访问类型	说明
5	DVS2_INTVAL	R/W	该位配置通道2的DVS间隔。 0 = 32 $\mu$ s(默认值) 1 = 64 $\mu$ s
4	DVS1_INTVAL	R/W	该位配置通道1的DVS间隔。 0 = 16 $\mu$ s(默认值) 1 = 32 $\mu$ s
1	EN_DVS2	R/W	该位使能或禁用通道2的DVS功能。 0 = 禁用通道2的DVS功能(默认值) 1 = 使能通道2的DVS功能
0	EN_DVS1	R/W	该位使能或禁用通道1的DVS功能。 0 = 禁用通道1的DVS功能(默认值) 1 = 使能通道1的DVS功能

**寄存器18: SEL\_FREQ(通道1至通道6的开关频率), 地址0x12**

寄存器18设置主机开关频率( $f_{SW}$ )和每个通道的开关频率。默认值由熔丝选项定义。

**表50. 寄存器18位分配**

位7	位6	位5	位4	位3	位2	位1	位0
SEL_FSW		FREQ6	FREQ5	FREQ4	FREQ3	FREQ2	FREQ1

**表51. SEL\_FREQ寄存器的位功能描述**

位	位名称	访问类型	说明
7	SEL_FSW	R/W	此位选择主机开关频率( $f_{SW}$ )。 0 = $f_{SW}$ 为 2 MHz 1 = $f_{SW}$ 为 1.5 MHz
5	FREQ6	R/W	此位设置通道6的开关频率。 0 = $1 \times f_{SW}$ 1 = $1/2 \times f_{SW}$
4	FREQ5	R/W	此位设置通道5的开关频率。 0 = $1 \times f_{SW}$ 1 = $1/2 \times f_{SW}$
3	FREQ4	R/W	此位设置通道4的开关频率。 0 = $1 \times f_{SW}$ 1 = $1/2 \times f_{SW}$
2	FREQ3	R/W	此位设置通道3的开关频率。 0 = $1 \times f_{SW}$ 1 = $1/2 \times f_{SW}$
1	FREQ2	R/W	此位设置通道2的开关频率。 0 = $1 \times f_{SW}$ 1 = $1/2 \times f_{SW}$
0	FREQ1	R/W	此位设置通道1的开关频率。 0 = $1 \times f_{SW}$ 1 = $1/2 \times f_{SW}$

**寄存器19: SEL\_FREQ\_CP(电荷泵频率), 地址0x13**

寄存器19设置电荷泵的开关频率, 并配置CLKO输出。电荷泵的开关频率取决于器件是与内部时钟同步, 还是与外部时钟同步。默认值由熔丝选项定义。

**表52. 寄存器19位分配**

位7	位6	位5	位4	位3	位2	位1	位0
			EN_CLKO				FREQ_CP

**表53. SEL\_FREQ\_CP寄存器的位功能描述**

位	位名称	访问类型	说明		
4	EN_CLKO	R/W	此位配置时钟输出(CLKO)引脚。当器件配置为使用内部振荡器时，CLKO引脚可输出用于通道1的内部开关时钟。 0 = CLKO引脚无输出 1 = CLKO引脚有输出		
[1:0]	FREQ_CP	R/W	这些位设置电荷泵开关频率。		
			位[1:0]	内部时钟	外部时钟
			00	$1/2 \times f_{SW}$	$1/4 \times f_{SW}$
			01	$1/4 \times f_{SW}$	$1/8 \times f_{SW}$
			10	$1/8 \times f_{SW}$	$1/4 \times f_{SW}$
			11	$1/16 \times f_{SW}$	$1/8 \times f_{SW}$

# ADP5080

## 寄存器20：SEL\_PHASE(通道1至通道6的开关相位)，地址0x14

寄存器20用来使开关时钟反相，以便随时间扩散开关电能。通道2至通道6的默认值由熔丝选项定义。

表54. 寄存器20位分配

位7	位6	位5	位4	位3	位2	位1	位0
		PHASE6	PHASE5	PHASE4	PHASE3	PHASE2	PHASE1

表55. SEL\_PHASE寄存器的位功能描述

位	位名称	访问类型	说明
5	PHASE6	R/W	此位设置通道6的相位。 0 = 开关脉冲同相 1 = 开关脉冲反相
4	PHASE5	R/W	此位设置通道5的相位。 0 = 开关脉冲同相 1 = 开关脉冲反相
3	PHASE4	R/W	此位设置通道4的相位。 0 = 开关脉冲同相 1 = 开关脉冲反相
2	PHASE3	R/W	此位设置通道3的相位。 0 = 开关脉冲同相 1 = 开关脉冲反相
1	PHASE2	R/W	此位设置通道2的相位。 0 = 开关脉冲同相 1 = 开关脉冲反相
0	PHASE1	R/W	此位设置通道1的相位。 0 = 开关脉冲同相(默认值) 1 = 开关脉冲反相

## 寄存器23：PROT\_DLY(欠压/过压保护延迟时间)，地址0x17

寄存器23设置启动欠压保护和过压保护的延迟时间。默认值由熔丝选项定义。

表56. 寄存器23位分配

位7	位6	位5	位4	位3	位2	位1	位0
		UV_DLY				OV_DLY	

表57. PROT\_DLY寄存器的位功能描述

位	位名称	访问类型	说明
[5:4]	UV_DLY	R/W	欠压保护延迟时间。 00 = 0 ms 01 = 21 ms 10 = 45 ms 11 = 禁用欠压保护
[1:0]	OV_DLY	R/W	过压保护延迟时间。 00 = 0 ms 01 = 1.3 ms 10 = 3.4 ms 11 = 禁用过压保护

**寄存器24: PWRG(电源良好状态), 地址0x18**

寄存器24是通道1至通道7的电源良好状态只读寄存器。任意PWRGx位为1表示该通道的电源良好。使用此寄存器的位7可监控EN信号逻辑电平。

**表58. 寄存器24位分配**

位7	位6	位5	位4	位3	位2	位1	位0
EN	PWRG7	PWRG6	PWRG5	PWRG4	PWRG3	PWRG2	PWRG1

**表59. PWRG寄存器的位功能描述**

位	位名称	访问类型	说明
7	EN	R	此位显示EN引脚状态。 0 = EN引脚低电平(默认) 1 = EN引脚高电平
6	PWRG7	R	此位显示通道7的电源良好状态。 0 = 电源良好状态为低电平(默认) 1 = 电源良好状态为高电平
5	PWRG6	R	此位显示通道6的电源良好状态。 0 = 电源良好状态为低电平(默认) 1 = 电源良好状态为高电平
4	PWRG5	R	此位显示通道5的电源良好状态。 0 = 电源良好状态为低电平(默认) 1 = 电源良好状态为高电平
3	PWRG4	R	此位显示通道4的电源良好状态。 0 = 电源良好状态为低电平(默认) 1 = 电源良好状态为高电平
2	PWRG3	R	此位显示通道3的电源良好状态。 0 = 电源良好状态为低电平(默认) 1 = 电源良好状态为高电平
1	PWRG2	R	此位显示通道2的电源良好状态。 0 = 电源良好状态为低电平(默认) 1 = 电源良好状态为高电平
0	PWRG1	R	此位显示通道1的电源良好状态。 0 = 电源良好状态为低电平(默认) 1 = 电源良好状态为高电平

# ADP5080

## 寄存器25：MASK\_PWRG(电源良好屏蔽通道)，地址0x19

寄存器25屏蔽和解除屏蔽通道1至通道7的电源良好状态。默认值由熔丝选项定义。

表60. 寄存器25位分配

位7	位6	位5	位4	位3	位2	位1	位0
	MASK_PWRG7	MASK_PWRG6	MASK_PWRG5	MASK_PWRG4	MASK_PWRG3	MASK_PWRG2	MASK_PWRG1

表61. MASK\_PWRG寄存器的位功能描述

位	位名称	访问类型	说明
6	MASK_PWRG7	R/W	此位屏蔽或解除屏蔽通道7的电源良好状态。 0 = 将通道7的电源良好状态输出到FAULT引脚 1 = 屏蔽通道7的电源良好状态
5	MASK_PWRG6	R/W	此位屏蔽或解除屏蔽通道6的电源良好状态。 0 = 将通道6的电源良好状态输出到FAULT引脚 1 = 屏蔽通道6的电源良好状态
4	MASK_PWRG5	R/W	此位屏蔽或解除屏蔽通道5的电源良好状态。 0 = 将通道5的电源良好状态输出到FAULT引脚 1 = 屏蔽通道5的电源良好状态
3	MASK_PWRG4	R/W	此位屏蔽或解除屏蔽通道4的电源良好状态。 0 = 将通道4的电源良好状态输出到FAULT引脚 1 = 屏蔽通道4的电源良好状态
2	MASK_PWRG3	R/W	此位屏蔽或解除屏蔽通道3的电源良好状态。 0 = 将通道3的电源良好状态输出到FAULT引脚 1 = 屏蔽通道3的电源良好状态
1	MASK_PWRG2	R/W	此位屏蔽或解除屏蔽通道2的电源良好状态。 0 = 将通道2的电源良好状态输出到FAULT引脚 1 = 屏蔽通道2的电源良好状态
0	MASK_PWRG1	R/W	此位屏蔽或解除屏蔽通道1的电源良好状态。 0 = 将通道1的电源良好状态输出到FAULT引脚 1 = 屏蔽通道1的电源良好状态

## 寄存器26：UVPST(欠压保护状态)，地址0x1A

寄存器26表示通道1至通道7的欠压保护状态。如需清零该寄存器中的任意位，可向该位写入1。

表62. 寄存器26位分配

位7	位6	位5	位4	位3	位2	位1	位0
	UV7	UV6	UV5	UV4	UV3	UV2	UV1

表63. UVPST寄存器的位功能描述

位	位名称	访问类型	说明
6	UV7	读/自清零	0 = 通道7未检测到欠压条件(默认) 1 = 通道7检测到欠压条件
5	UV6	读/自清零	0 = 通道6未检测到欠压条件(默认) 1 = 通道6检测到欠压条件
4	UV5	读/自清零	0 = 通道5未检测到欠压条件(默认) 1 = 通道5检测到欠压条件
3	UV4	读/自清零	0 = 通道4未检测到欠压条件(默认) 1 = 通道4检测到欠压条件
2	UV3	读/自清零	0 = 通道3未检测到欠压条件(默认) 1 = 通道3检测到欠压条件
1	UV2	读/自清零	0 = 通道2未检测到欠压条件(默认) 1 = 通道2检测到欠压条件
0	UV1	读/自清零	0 = 通道1未检测到欠压条件(默认) 1 = 通道1检测到欠压条件



**寄存器27：OVPST(过压保护状态)，地址0x1B**

寄存器27表示通道1至通道6的过压保护状态。如需清零该寄存器中的任意位，可向该位写入1。

**表64. 寄存器27位分配**

位7	位6	位5	位4	位3	位2	位1	位0
		OV6	OV5	OV4	OV3	OV2	OV1

**表65. OVPST寄存器的位功能描述**

位	位名称	访问类型	说明
5	OV6	读/ 自清零	0 = 通道6未检测到过压条件(默认) 1 = 通道6检测到过压条件
4	OV5	读/ 自清零	0 = 通道5未检测到过压条件(默认) 1 = 通道5检测到过压条件
3	OV4	读/ 自清零	0 = 通道4未检测到过压条件(默认) 1 = 通道4检测到过压条件
2	OV3	读/ 自清零	0 = 通道3未检测到过压条件(默认) 1 = 通道3检测到过压条件
1	OV2	读/ 自清零	0 = 通道2未检测到过压条件(默认) 1 = 通道2检测到过压条件
0	OV1	读/ 自清零	0 = 通道1未检测到过压条件(默认) 1 = 通道1检测到过压条件

**寄存器27：OVPST(过压保护状态)，地址0x1B**

寄存器27表示通道1至通道6的过压保护状态。如需清零该寄存器中的任意位，可向该位写入1。

**表66. 寄存器28位分配**

位7	位6	位5	位4	位3	位2	位1	位0
		AUTO-PSM6	AUTO-PSM5	AUTO-PSM4	AUTO-PSM3	AUTO-PSM2	AUTO-PSM1

**表67. AUTO-PSM寄存器的位功能描述**

位	位名称	访问类型	说明
5	AUTO-PSM6	R/W	0 = 使能通道6的强制PWM模式 1 = 使能通道6的自动PWM/PSM模式
4	AUTO-PSM5	R/W	0 = 使能通道5的强制PWM模式 1 = 使能通道5的自动PWM/PSM模式
3	AUTO-PSM4	R/W	0 = 使能通道4的强制PWM模式 1 = 使能通道4的自动PWM/PSM模式
2	AUTO-PSM3	R/W	0 = 使能通道3的强制PWM模式 1 = 使能通道3的自动PWM/PSM模式
1	AUTO-PSM2	R/W	0 = 使能通道2的强制PWM模式 1 = 使能通道2的自动PWM/PSM模式
0	AUTO-PSM1	R/W	0 = 使能通道1的强制PWM模式 1 = 使能通道1的自动PWM/PSM模式

# ADP5080

## 寄存器29: SEQ\_MODE(序列器模式), 地址0x1D

寄存器29选择通道1至通道7的上电/掉电控制模式: I<sup>2</sup>C控制(手动)模式或序列器模式(更多信息, 请参见“使能与禁用输出通道”部分)。默认值由熔丝选项定义。

表68. 寄存器29位分配

位7	位6	位5	位4	位3	位2	位1	位0
	MODE_EN7	MODE_EN6	MODE_EN5	MODE_EN4	MODE_EN3	MODE_EN2	MODE_EN1

表69. SEQ\_MODE寄存器的位功能描述

位	位名称	访问类型	说明
6	MODE_EN7	R/W	此位设置通道7的上电/掉电控制模式。 0 = I <sup>2</sup> C控制模式 1 = 序列器模式
5	MODE_EN6	R/W	此位设置通道6的上电/掉电控制模式。 0 = I <sup>2</sup> C控制模式 1 = 序列器模式
4	MODE_EN5	R/W	此位设置通道5的上电/掉电控制模式。 0 = I <sup>2</sup> C控制模式 1 = 序列器模式
3	MODE_EN4	R/W	此位设置通道4的上电/掉电控制模式。 0 = I <sup>2</sup> C控制模式 1 = 序列器模式
2	MODE_EN3	R/W	此位设置通道3的上电/掉电控制模式。 0 = I <sup>2</sup> C控制模式 1 = 序列器模式
1	MODE_EN2	R/W	此位设置通道2的上电/掉电控制模式。 0 = I <sup>2</sup> C控制模式 1 = 序列器模式
0	MODE_EN1	R/W	此位设置通道1的上电/掉电控制模式。 0 = I <sup>2</sup> C控制模式 1 = 序列器模式

## 寄存器30: ADJ\_BST\_VTH6(通道6的调节升压介入阈值和调节模式), 地址0x1E

寄存器30设置通道6的调节模式(降压升压或仅降压), 并在通道6配置为降压升压调节模式时调节升压调节器的介入点阈值(更多信息, 请参见“通道6: 降压或降压升压调节器”部分)。默认值由熔丝选项定义。

表70. 寄存器30位分配

位7	位6	位5	位4	位3	位2	位1	位0
			BUCK6_ONLY			BOOST6_VTH	

表71. ADJ\_BST\_VTH6寄存器的位功能描述

位	位名称	访问类型	说明
4	BUCK6_ONLY	R/W	此位设置通道6的调节模式。 0 = 降压升压模式 1 = 仅降压调节模式
[1:0]	BOOST6_VTH	R/W	这些位设置升压FET的输入阈值电压。 00 = VOUT6/0.82 01 = VOUT6/0.79 10 = VOUT6/0.77 11 = VOUT6/0.85

**寄存器31：OPT\_SR\_ADJ(通道1至通道6的压摆率调节)，地址0x1F**

寄存器31可降低特定通道的开关压摆率，从而减少高频开关噪声。所有通道的默认值为0。

**表72. 寄存器31位分配**

位7	位6	位5	位4	位3	位2	位1	位0
		ADJ_SR6	ADJ_SR5	ADJ_SR4	ADJ_SR3	ADJ_SR2	ADJ_SR1

**表73. OPT\_SR\_ADJ寄存器的位功能描述**

位	位名称	访问类型	说明
5	ADJ_SR6	R/W	此位设置通道6的压摆率。 0 = 正常压摆率(默认值) 1 = 降低压摆率
4	ADJ_SR5	R/W	此位设置通道5的压摆率。 0 = 正常压摆率(默认值) 1 = 降低压摆率
3	ADJ_SR4	R/W	此位设置通道4的压摆率。 0 = 正常压摆率(默认值) 1 = 降低压摆率
2	ADJ_SR3	R/W	此位设置通道3的压摆率。 0 = 正常压摆率(默认值) 1 = 降低压摆率
1	ADJ_SR2	R/W	此位设置通道2的压摆率。 0 = 正常压摆率(默认值) 1 = 降低压摆率
0	ADJ_SR1	R/W	此位设置通道1的压摆率。 0 = 正常压摆率(默认值) 1 = 降低压摆率

**寄存器32：DCM56\_GSCAL1(通道5和通道6的自动DCM，通道1的栅极调整)，地址0x20**

寄存器32用于使能或禁用通道5和通道6的自动DCM模式。寄存器32还可用于设置通道1的栅极尺寸：全尺寸或尺寸减半(更多信息，请参见“栅极调整(仅通道1)”部分)。默认值由熔丝选项定义。

**表74. 寄存器32位分配**

位7	位6	位5	位4	位3	位2	位1	位0
			DCM56				GATE_SCAL1

**表75. DCM56\_GSCAL1寄存器的位功能描述**

位	位名称	访问类型	说明
4	DCM56	R/W	此位设置通道5和通道6的工作模式。当寄存器28中的AUTO-PSM6和AUTO-PSM5位置位1时，此位只能置位1。 0 = 使能通道5和通道6的自动PWM/PSM工作模式 1 = 使能通道5和通道6的自动DCM工作模式
0	GATE_SCAL1	R/W	此位使能或禁用通道1的栅极调整功能。 0 = 禁用通道1的栅极调整 1 = 使能通道1的栅极调整(栅极尺寸减半)

# ADP5080

## 寄存器33：SEL\_INP\_LDO12(LDO1和LDO2的输入选择)，地址0x21

寄存器33用来设置LDO1和LDO2的输入路径。默认值由熔丝选项定义。

表76. 寄存器33位分配

位7	位6	位5	位4	位3	位2	位1	位0
			SEL_INP_LDO2				SEL_INP_LDO1

表77. SEL\_INP\_LDO12寄存器的位功能描述

位	位名称	访问类型	说明
4	SEL_INP_LDO2	R/W	此位设置LDO2的输入路径。 0 = VREG1 1 = VISW2
0	SEL_INP_LDO1	R/W	此位设置LDO1的输入路径。 0 = VBATT 1 = VISW1

## 寄存器34：SEL\_IND\_UV5(通道5的独立UVP控制)，地址0x22

寄存器34配置通道5的独立UVP控制。当位0置位1时，通道5的UVP控制独立于其他通道的UVP控制而工作，且UV\_DLY5位可用来设置独立于寄存器23中UV\_DLY设置的延迟时间。默认值由熔丝选项定义。

表78. 寄存器34位分配

位7	位6	位5	位4	位3	位2	位1	位0
		UV_DLY5					SEL_IND_UV5

表79. SEL\_IND\_UV5寄存器的位功能描述

位	位名称	访问类型	说明
[5:4]	UV_DLY5	R/W	通道5的欠压保护延迟时间。仅当SEL_IND_UV5 = 1时这些位才有效。 00 = 0 ms 01 = 21 ms 10 = 45 ms 11 = 禁用通道5独立欠压保护
0	SEL_IND_UV5	R/W	此位使能或禁用通道5的独立UVP控制。 0 = 通道5的UVP控制同步至其他通道的UVP控制 1 = 通道5的独立UVP控制

寄存器35：OPTION\_SEL(通道1输出电压降低、增加禁用延迟时间、EN34功能)，地址0x23

寄存器35用来设置下列选项：通道1输出电压范围、全局禁用延迟时间范围以及通过EN34引脚实现的通道3和通道4独立使能功能。默认值由熔丝选项定义。

表80. 寄存器35位分配

位7	位6	位5	位4	位3	位2	位1	位0
				REDUCE_VOUT1	DIS_DLY_EXTEND	DIS_EN34_CH4	DIS_EN34_CH3

表81. OPTION\_SEL寄存器的位功能描述

位	位名称	访问类型	说明
3	REDUCE_VOUT1	R/W	此位设置通道1的输出电压范围(见表39)。 0 = 正常输出范围 1 = 缩小输出范围
2	DIS_DLY_EXTEND	R/W	此位设置禁用延迟时间(见表31、表33、表35和表37)。 0 = 正常禁用延迟时间 1 = 扩展禁用延迟时间(正常时间的4倍)
1	DIS_EN34_CH4	R/W	此位指定EN34引脚是否控制通道4的使能与禁用。 0 = EN34引脚控制通道4 1 = EN34引脚不控制通道4
0	DIS_EN34_CH3	R/W	此位指定EN34引脚是否控制通道3的使能与禁用。 0 = EN34引脚控制通道3 1 = EN34引脚不控制通道3

# ADP5080

## 寄存器48：PCTRL(通道使能控制)，地址0x30

寄存器48使能与禁用单个通道的操作(通道1至通道7)。拉低EN引脚或发生内部上电复位时，此寄存器复位。所有未在寄存器29(地址0x1D)中配置为序列器模式的通道均可使用PCTRL寄存器中的CHx\_ON位手动开启和关断。只有在EN引脚为逻辑高电平时，向CHx\_ON位写入1才有效。当EN引脚为逻辑低电平时，所有配置为手动模式的通道立即关闭，并复位适当的CHx\_ON位。当EN引脚为低电平时，写入PCTRL寄存器或从PCTRL寄存器读出的所有数据均无效。

表82. 寄存器48位分配

位7	位6	位5	位4	位3	位2	位1	位0
RDST_PCTRL	CH7_ON	CH6_ON	CH5_ON	CH4_ON	CH3_ON	CH2_ON	CH1_ON

表83. PCTRL寄存器的位功能描述

位	位名称	访问类型	
7	RDST_PCTRL	R	此位表示数据是否有效。重复读操作，直到此位变为1。此位变为1前，必须至少执行2次读操作。 0 = 数据暂时无效 1 = 数据有效
6	CH7_ON	R/W	此位使能或禁用通道7。 0 = 禁用通道7(默认) 1 = 使能通道7
5	CH6_ON	R/W	此位使能或禁用通道6。 0 = 禁用通道6(默认) 1 = 使能通道6
4	CH5_ON	R/W	此位使能或禁用通道5。 0 = 禁用通道5(默认) 1 = 使能通道5
3	CH4_ON	R/W	此位使能或禁用通道4。若寄存器35中的DIS_EN34_CH4位置位0，可屏蔽此位。 0 = 禁用通道4(默认) 1 = 使能通道4
2	CH3_ON	R/W	此位使能或禁用通道3。若寄存器35中的DIS_EN34_CH3位置位0，可屏蔽此位。 0 = 禁用通道3(默认) 1 = 使能通道3
1	CH2_ON	R/W	此位使能或禁用通道3。若寄存器35中的DIS_EN34_CH3位置位0，可屏蔽此位。 0 = 禁用通道3(默认) 1 = 使能通道3
0	CH1_ON	R/W	此位使能或禁用通道1。 0 = 禁用通道1(默认) 1 = 使能通道1

## 工厂默认选项

表84列出了订购ADP5080时写入器件的工厂默认选项(参见“订购指南”)。要订购非默认选项的器件, 请联系当地的ADI公司办事处或代理商。有关所有可用配置选项的信息, 请参见“控制寄存器详解”部分。

**表84. 工厂默认熔丝选项设置**

寄存器	寄存器地址 (十六进制)	寄存器名称	位	位名称	默认设置	二进制码	说明
1	0x01	DSCG	6	DSCG7_ON	开	1	通道7输出放电
			5	DSCG6_ON	开	1	通道6输出放电
			4	DSCG5_ON	开	1	通道5输出放电
			3	DSCG4_ON	开	1	通道4输出放电
			2	DSCG3_ON	开	1	通道3输出放电
			1	DSCG2_ON	开	1	通道2输出放电
			0	DSCG1_ON	开	1	通道1输出放电
2	0x02	SFTTIM1234	[7:6]	SS4	8 ms	11	通道4软启动时间
			[5:4]	SS3	1 ms	00	通道3软启动时间
			[3:2]	SS2	1 ms	00	通道2软启动时间
			[1:0]	SS1	1 ms	00	通道1软启动时间
3	0x03	SFTTIM567	4	SS7	2 ms	0	通道7软启动时间
			[3:2]	SS6	2 ms	01	通道6软启动时间
			[1:0]	SS5	8 ms	11	通道5软启动时间
4	0x04	EN_DLY12	[6:4]	EN_DLY2	2 ms	001	通道2使能延迟时间
			[2:0]	EN_DLY1	0 ms	000	通道1使能延迟时间
5	0x05	EN_DLY34	[6:4]	EN_DLY4	0 ms	000	通道4使能延迟时间
			[2:0]	EN_DLY3	0 ms	000	通道3使能延迟时间
6	0x06	EN_DLY56	[6:4]	EN_DLY6	4 ms	010	通道6使能延迟时间
			[2:0]	EN_DLY5	4 ms	010	通道5使能延迟时间
7	0x07	EN_DLY7	[2:0]	EN_DLY7	6 ms	011	通道7使能延迟时间
8	0x08	DIS_DLY12	[6:4]	DIS_DLY2	0 ms	000	通道2禁用延迟时间
			[2:0]	DIS_DLY1	12 ms	011	通道1禁用延迟时间
9	0x09	DIS_DLY34	[6:4]	DIS_DLY4	0 ms	000	通道4禁用延迟时间
			[2:0]	DIS_DLY3	0 ms	000	通道3禁用延迟时间
10	0x0A	DIS_DLY56	[6:4]	DIS_DLY6	0 ms	000	通道6禁用延迟时间
			[2:0]	DIS_DLY5	0 ms	000	通道5禁用延迟时间
11	0x0B	DIS_DLY7	[2:0]	DIS_DLY7	0 ms	000	通道7禁用延迟时间
12	0x0C	VID1	[4:0]	VID1	0.80 V	11111	通道1输出电压
13	0x0D	VID23	[6:4]	VID3	可调	111	通道3输出电压
			[3:0]	VID2	1.8 V	0100	通道2输出电压
14	0x0E	VID45	[6:4]	VID5	3.3 V	011	通道5输出电压
			[2:0]	VID4	可调	111	通道4输出电压
15	0x0F	VID6	[3:0]	VID6	可调	1111	通道6输出电压
16	0x10	VID7_LDO12	[6:5]	VID_LDO2	3.3 V	00	LDO2输出电压
			4	VID_LDO1	5.0 V	1	LDO1输出电压
			[1:0]	VID7	5.0 V	11	通道7输出电压
18	0x12	SEL_FREQ	7	SEL_FSW	2 MHz	0	主机时钟频率
			5	FREQ6	$1/2 \times f_{sw}$	1	通道6开关频率
			4	FREQ5	$1/2 \times f_{sw}$	1	通道5开关频率
			3	FREQ4	$1/2 \times f_{sw}$	1	通道4开关频率
			2	FREQ3	$1/2 \times f_{sw}$	1	通道3开关频率
			1	FREQ2	$1/2 \times f_{sw}$	1	通道2开关频率
			0	FREQ1	$1/2 \times f_{sw}$	1	通道1开关频率



# ADP5080

寄存器	寄存器地址 (十六进制)	寄存器名称	位	位名称	默认设置	二进制 制码	说明
19	0x13	SEL_FREQ_CP	4 [1:0]	EN_CLKO FREQ_CP	使能 $1/4 \times f_{SW}$	1 01	使能时钟输出 电荷泵频率
20	0x14	SEL_PHASE	5 4 3 2 1	PHASE6 PHASE5 PHASE4 PHASE3 PHASE2	反相 同相 反相 同相 反相	1 0 1 0 1	通道6开关相位 通道5开关相位 通道4开关相位 通道3开关相位 通道2开关相位
23	0x17	PROT_DLY	[5:4] [1:0]	UV_DLY OV_DLY	21 ms 1.3 ms	01 01	欠压延迟时间 过压延迟时间
25	0x19	MASK_PWRG	6 5 4 3 2 1 0	MASK_PWRG7 MASK_PWRG6 MASK_PWRG5 MASK_PWRG4 MASK_PWRG3 MASK_PWRG2 MASK_PWRG1	屏蔽 未屏蔽 屏蔽 未屏蔽 未屏蔽 未屏蔽 未屏蔽	1 0 1 0 0 0 0	通道7电源良好屏蔽 通道6电源良好屏蔽 通道5电源良好屏蔽 通道4电源良好屏蔽 通道3电源良好屏蔽 通道2电源良好屏蔽 通道1电源良好屏蔽
28	0x1C	AUTO-PSM	5 4 3 2 1 0	AUTO-PSM6 AUTO-PSM5 AUTO-PSM4 AUTO-PSM3 AUTO-PSM2 AUTO-PSM1	自动PSM 自动PSM 自动PSM 自动PSM 自动PSM 自动PSM	1 1 1 1 1 1	通道6自动PSM使能 通道5自动PSM使能 通道4自动PSM使能 通道3自动PSM使能 通道2自动PSM使能 通道1自动PSM使能
29	0x1D	SEQ_MODE	6 5 4 3 2 1 0	MODE_EN7 MODE_EN6 MODE_EN5 MODE_EN4 MODE_EN3 MODE_EN2 MODE_EN1	I <sup>2</sup> C模式 序列器模式 I <sup>2</sup> C模式 序列器模式 序列器模式 序列器模式 序列器模式	0 1 0 1 1 1 1	通道7序列器使能 通道6序列器使能 通道5序列器使能 通道4序列器使能 通道3序列器使能 通道2序列器使能 通道1序列器使能
30	0x1E	ADJ_BST_VTH6	4 [1:0]	BUCK6_ONLY BOOST6_VTH	降压升压 VOUT6/0.82	0 00	通道6降压或降压升压 通道6降压升压阈值
32	0x20	DCM56_GSCAL1	4 0	DCM56 GATE_SCAL1	自动PSM 禁用	0 0	通道5/通道6使能DCM模式 通道1使能栅极调整
33	0x21	SEL_INP_LDO12	4 0	SEL_INP_LDO2 SEL_INP_LDO1	VISW2 VISW1	1 1	LDO2输入选择 LDO1输入选择
34	0x22	SEL_IND_UV5	[5:4] 0	UV_DLY5 SEL_IND_UV5	45 ms 与UVP同步	10 0	通道5 UVP延迟时间 通道5独立UVP控制
35	0x23	OPTION_SEL	3 2  1 0	REDUCE_VOUT1 DIS_DLY_EXTEND  DIS_EN34_CH4 DIS_EN34_CH3	缩小VID1范围 正常禁用延迟 时间 EN34控制 EN34控制	1 0  0 0	通道1输出电压范围 扩展禁用延迟时间  通道4使能通过EN34控制 通道3使能通过EN34控制

外形尺寸

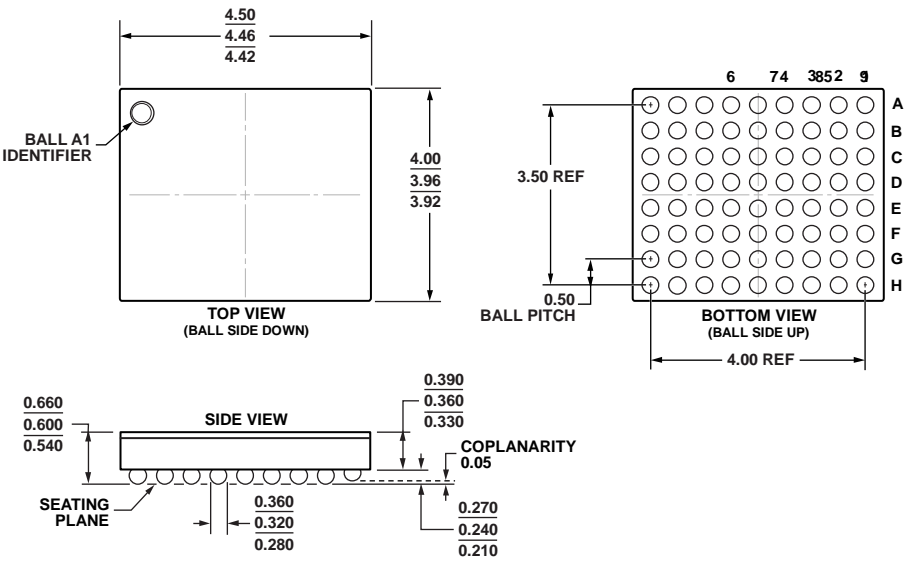


图60. 72引脚晶圆级芯片规模封装 [WLCSP]  
(CB-72-2)  
图示尺寸单位: mm

订购指南

型号 <sup>1</sup>	温度范围	封装描述	封装选项
ADP5080ACBZ-1-RL	-25°C至+85°C	72引脚晶圆级芯片规模封装[WLCSP], 0.5 mm间距	CB-72-2

<sup>1</sup> Z = 符合RoHS标准的器件。

## 注释

I<sup>2</sup>C指最初由Philips Semiconductors(现为NXP Semiconductors)开发的一种通信协议。

©2013–2014 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.  
D11639sc-0-4/14(A)



[www.analog.com](http://www.analog.com)