

特性

超低噪声：9 $\mu\text{V rms}$

无需噪声旁路电容

利用1 μF 的输入和输出陶瓷电容便可稳定工作

最大输出电流：200 mA

输入电压范围：2.2 V至5.5 V

低静态电流

空载时， $I_{\text{GND}} = 10 \mu\text{A}$

200 mA负载时， $I_{\text{GND}} = 265 \mu\text{A}$

低关断电流：<1 μA

低压差：140 mV(200 mA负载)

初始精度： $\pm 1\%$

在整个线路、负载与温度范围内的精度： $\pm 2.5\%$

16种固定输出电压选项：1.1 V至3.3 V

PSRR性能：70 dB (10 kHz)

限流和热过载保护

逻辑控制使能

EN输入引脚内置一个下拉电阻

5引脚TSOT封装

6引脚LFCSP封装

4引脚、0.4 mm间距WLCSP封装

应用

RF、VCO、PLL电源

移动电话

数码相机和音频设备

便携式和电池供电设备

后置DC-DC调节

便携式医疗设备

概述

ADP151是一款超低噪声、低压差线性调节器，采用2.2 V至5.5 V电源供电，最大输出电流为200 mA。在200 mA负载下压差仅为140 mV，不仅可提高效率，而且能使器件在很宽的输入电压范围内工作。

ADP151采用新颖的电路拓扑结构，实现了超低噪声性能，而无需旁路电容，非常适合对噪声敏感的模拟和RF应用。ADP151在提供超低噪声性能的同时，并没有牺牲其电源抑制(PSRR)或瞬态响应的线性和负载性能。200 mA负载时静态电流低至265 μA ，因此ADP151适合电池供电的便携式设备使用。

ADP151的EN输入引脚还内置一个下拉电阻。

Rev. E

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

典型应用电路

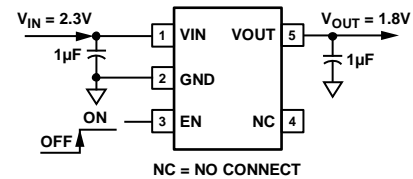


图1.提供1.8 V固定输出电压的TSOT ADP151

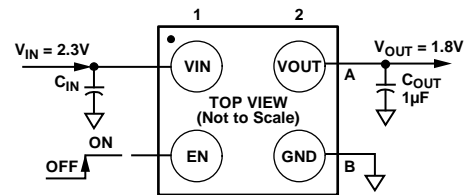


图2.提供1.8 V固定输出电压的WLCSP ADP151

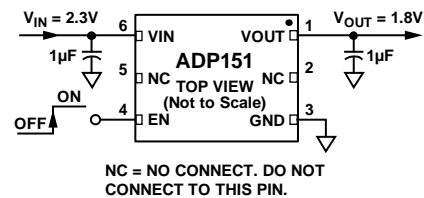


图3.提供1.8 V固定输出电压的LFCSP ADP151

ADP151经过专门设计，利用1 μF 、 $\pm 30\%$ 小型陶瓷输入和输出电容便可稳定工作，适合高性能、空间受限应用的要求。

它可提供1.1 V至3.3 V范围内的16种固定输出电压选项。

短路和热过载保护电路可以防止器件在不利条件下受损。ADP151提供5引脚TSOT、6引脚LFCSP和4引脚、0.4 mm间距、无卤素WLCSP三种小型封装，是适合各种便携式供电应用要求的业界最小尺寸解决方案。

技术规格

除非另有说明, $V_{IN} = (V_{OUT} + 0.4 V)$ 或 $2.2 V$ (取较大者), $EN = V_{IN}$, $I_{OUT} = 10 mA$, $C_{IN} = C_{OUT} = 1 \mu F$, $T_A = 25^\circ C$ 。

表1.

参数	符号	条件	最小值	典型值	最大值	单位
输入电压范围	V_{IN}	$T_J = -40^\circ C$ 至 $+125^\circ C$	2.2		5.5	V
工作电源电流	I_{GND}	$I_{OUT} = 0 \mu A$ $I_{OUT} = 0 \mu A, T_J = -40^\circ C$ 至 $+125^\circ C$ $I_{OUT} = 100 \mu A$ $I_{OUT} = 100 \mu A, T_J = -40^\circ C$ 至 $+125^\circ C$ $I_{OUT} = 10 mA$ $I_{OUT} = 10 mA, T_J = -40^\circ C$ 至 $+125^\circ C$ $I_{OUT} = 200 mA$ $I_{OUT} = 200 mA, T_J = -40^\circ C$ 至 $+125^\circ C$		10 20 20 60 265		μA μA μA μA μA μA
关断电流	I_{GND-SD}	$EN = GND$ $EN = GND, T_J = -40^\circ C$ 至 $+125^\circ C$		0.2	1.0	μA μA
输出电压精度	V_{OUT}	$I_{OUT} = 10 mA$ $T_J = -40^\circ C$ 至 $+125^\circ C$ $V_{OUT} < 1.8 V$ $100 \mu A < I_{OUT} < 200 mA, V_{IN} = (V_{OUT} + 0.4 V)$ 至 $5.5 V$ $V_{OUT} \geq 1.8 V$ $100 \mu A < I_{OUT} < 200 mA, V_{IN} = (V_{OUT} + 0.4 V)$ 至 $5.5 V$ $T_J = -40^\circ C$ 至 $+125^\circ C$ $V_{OUT} < 1.8 V$ $100 \mu A < I_{OUT} < 200 mA, V_{IN} = (V_{OUT} + 0.4 V)$ 至 $5.5 V$ $V_{OUT} \geq 1.8 V$ $100 \mu A < I_{OUT} < 200 mA, V_{IN} = (V_{OUT} + 0.4 V)$ 至 $5.5 V$	-1		+1	%
TSOT/LFCSP	V_{OUT}					%
WLCSP	V_{OUT}					%
调整率						
电压调整率	$\Delta V_{OUT}/\Delta V_{IN}$	$V_{IN} = (V_{OUT} + 0.4 V)$ 至 $5.5 V, T_J = -40^\circ C$ 至 $+125^\circ C$	-0.05		+0.05	%/V
负载调整率(TSOT/LFCSP) ¹	$\Delta V_{OUT}/\Delta I_{OUT}$	$V_{OUT} < 1.8 V$ $I_{OUT} = 100 \mu A$ 至 $200 mA$ $I_{OUT} = 100 \mu A$ 至 $200 mA, T_J = -40^\circ C$ 至 $+125^\circ C$ $V_{OUT} \geq 1.8 V$ $I_{OUT} = 100 \mu A$ 至 $200 mA$		0.006		%/mA %/mA
负载调整率(WLCSP) ¹	$\Delta V_{OUT}/\Delta I_{OUT}$	$I_{OUT} = 100 \mu A$ 至 $200 mA, T_J = -40^\circ C$ 至 $+125^\circ C$ $V_{OUT} < 1.8 V$ $I_{OUT} = 100 \mu A$ 至 $200 mA$ $I_{OUT} = 100 \mu A$ 至 $200 mA, T_J = -40^\circ C$ 至 $+125^\circ C$ $V_{OUT} \geq 1.8 V$ $I_{OUT} = 100 \mu A$ 至 $200 mA$ $I_{OUT} = 100 \mu A$ 至 $200 mA, T_J = -40^\circ C$ 至 $+125^\circ C$		0.003	0.008	%/mA %/mA %/mA
压差 ²	$V_{DROPOUT}$	$I_{OUT} = 10 mA$ $I_{OUT} = 10 mA, T_J = -40^\circ C$ 至 $+125^\circ C$ $I_{OUT} = 200 mA$ $I_{OUT} = 200 mA, T_J = -40^\circ C$ 至 $+125^\circ C$ $I_{OUT} = 200 mA$ $I_{OUT} = 200 mA, T_J = -40^\circ C$ 至 $+125^\circ C$		10 150 135		mV mV mV mV mV
TSOT/LFCSP					30	mV
WLCSP					230	mV
					200	mV

ADP151

参数	符号	条件	最小值	典型值	最大值	单位
启动时间 ³	$t_{\text{START-UP}}$	$V_{\text{OUT}} = 3.3 \text{ V}$	180			μs
限流阈值 ⁴	I_{LIMIT}	$T_{\text{J}} = 0^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$	220	300	400	mA
欠压闭锁 输入电压上升 输入电压下降 迟滞	$UVLO_{\text{RISE}}$ $UVLO_{\text{FALL}}$ $UVLO_{\text{HYS}}$	$T_{\text{J}} = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$	1.28			1.96 V mV
热关断 热关断阈值 热关断迟滞	TS_{SD} $TS_{\text{SD-HYS}}$	T_{J} 上升	150 15			$^{\circ}\text{C}$ $^{\circ}\text{C}$
EN输入 EN输入逻辑高电平 EN输入逻辑低电平 EN输入下拉电阻	V_{IH} V_{IL} R_{EN}	$2.2 \text{ V} \leq V_{\text{IN}} \leq 5.5 \text{ V}$ $2.2 \text{ V} \leq V_{\text{IN}} \leq 5.5 \text{ V}$ $V_{\text{IN}} = V_{\text{EN}} = 5.5 \text{ V}$	1.2 2.6			V V M Ω
输出噪声	OUT_{NOISE}	10 Hz至100 kHz, $V_{\text{IN}} = 5 \text{ V}$, $V_{\text{OUT}} = 3.3 \text{ V}$ 10 Hz至100 kHz, $V_{\text{IN}} = 5 \text{ V}$, $V_{\text{OUT}} = 2.5 \text{ V}$ 10 Hz至100 kHz, $V_{\text{IN}} = 5 \text{ V}$, $V_{\text{OUT}} = 1.1 \text{ V}$	9 9 9			$\mu\text{V rms}$ $\mu\text{V rms}$ $\mu\text{V rms}$
电源抑制比 $V_{\text{IN}} = V_{\text{OUT}} + 0.5 \text{ V}$ $V_{\text{IN}} = V_{\text{OUT}} + 1 \text{ V}$	电源抑制比(PSRR)	10 kHz, $V_{\text{IN}} = 3.8 \text{ V}$, $V_{\text{OUT}} = 3.3 \text{ V}$, $I_{\text{OUT}} = 10 \text{ mA}$ 100 kHz, $V_{\text{IN}} = 3.8 \text{ V}$, $V_{\text{OUT}} = 3.3 \text{ V}$, $I_{\text{OUT}} = 10 \text{ mA}$ 10 kHz, $V_{\text{IN}} = 4.3 \text{ V}$, $V_{\text{OUT}} = 3.3 \text{ V}$, $I_{\text{OUT}} = 10 \text{ mA}$ 100 kHz, $V_{\text{IN}} = 4.3 \text{ V}$, $V_{\text{OUT}} = 3.3 \text{ V}$, $I_{\text{OUT}} = 10 \text{ mA}$ 10 kHz, $V_{\text{IN}} = 2.2 \text{ V}$, $V_{\text{OUT}} = 1.1 \text{ V}$, $I_{\text{OUT}} = 10 \text{ mA}$ 100 kHz, $V_{\text{IN}} = 2.2 \text{ V}$, $V_{\text{OUT}} = 1.1 \text{ V}$, $I_{\text{OUT}} = 10 \text{ mA}$	70 55 70 55 70 55			dB dB dB dB dB dB

¹ 基于使用0.1 mA和200 mA负载的端点计算。1 mA以下负载的典型负载调整性能见图8。

² 压差定义为将输入电压设置为标称输出电压时的输入至输出电压差。仅适用于高于2.2 V的输出电压。

³ 启动时间定义为EN上升沿到VOUT达到其标称值90%的时间。

⁴ 限流阈值定义为输出电压降至额定典型值90%时的电流。例如，3.0 V输出电压的电流限值定义为引起输出电压降至3.0 V的90%(即2.7 V)的电流。

推荐规格：输入和输出电容

表2.

参数	符号	条件	最小值	典型值	最大值	单位
最小输入和输出电容 ¹	C_{MIN}	$T_{\text{A}} = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$	0.7			μF
电容ESR	R_{ESR}	$T_{\text{A}} = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$	0.001			Ω

¹ 在所有工作条件下，输入和输出电容至少应大于0.7 μF 。选择器件时必须考虑应用的所有工作条件，确保达到最小电容要求。配合任何LDO使用时，建议使用X7R型和X5R型电容，不建议使用Y5V和Z5U电容。

绝对最大额定值

表3.

参数	额定值
VIN至GND	-0.3 V至+6.5 V
VOUT至GND	-0.3 V至VIN
EN至GND	-0.3 V至+6.5V
存储温度范围	-65°C至+150°C
工作结温范围	-40°C至+125°C
工作环境温度范围	-40°C至+125°C
焊接条件	JEDEC J-STD-020

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热数据

绝对最大额定值仅适合单独应用，但不适合组合使用。结温高于限值时，会损坏ADP151。监控环境温度并不能保证 T_j 不会超出额定温度限值。在功耗高、热阻差的应用中，可能必须降低最大环境温度。

在功耗适中、PCB热阻较低的应用中，只要结温处于额定限值以内，最大环境温度可以超过最大限值。器件的结温(T_j)取决于环境温度(T_A)、器件的功耗(P_D)和封装的结至环境热阻(θ_{JA})。

最高结温(T_j)由环境温度(T_A)和功耗(P_D)通过下式计算：

$$T_j = T_A + (P_D \times \theta_{JA})$$

封装的结至环境热阻(θ_{JA})基于使用4层板的建模和计算方法，主要取决于应用和板布局。在最大功耗较高的应用中，需要特别注意热板设计。 θ_{JA} 的值可能随PCB材料、布局和环境条

件不同而异。 θ_{JA} 的额定值基于4"×3"的4层电路板。有关板结构的详细信息，请参考JESD51-7和JESD51-9。更多信息请登录www.analog.com，查阅应用笔记AN-617：“MicroCSP™晶圆级芯片规模封装”。

Ψ_{JB} 是结至板热特性参数，单位为°C/W。封装的 Ψ_{JB} 基于使用4层板的建模和计算方法。JESD51-12——“报告和使用电子封装热信息指南”中声明，热特性参数与热阻不是一回事。 Ψ_{JB} 衡量沿多条热路径流动的器件功率，而 θ_{JB} 只涉及一条路径。因此， Ψ_{JB} 热路径包括来自封装顶部的对流和封装的辐射，这些因素使得 Ψ_{JB} 在现实应用中更实用。最高结温(T_j)由板温度(T_B)和功耗(P_D)通过下式计算：

$$T_j = T_B + (P_D \times \Psi_{JB})$$

有关 Ψ_{JB} 的更详细信息，请参考JESD51-8和JESD51-12。

热阻

θ_{JA} 和 Ψ_{JB} 针对最差条件，即器件焊接在电路板上以实现表贴封装。

表4. 热阻

封装类型	θ_{JA}	Ψ_{JB}	单位
5引脚TSOT封装	170	43	°C/W
4引脚、0.4 mm间距WLCSP封装	260	58	°C/W
6引脚、2 mm×2 mm LFCSP封装	63.6	28.3	°C/W

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

ADP151

引脚配置和功能描述

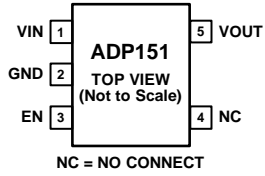


图4. 5引脚TSOT引脚配置

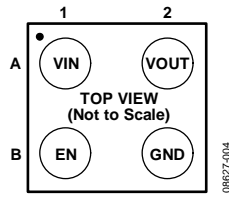
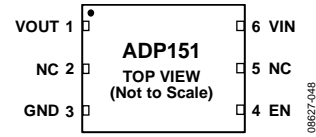


图5. 4引脚WLCSP引脚配置



NOTES

1. NC = NO CONNECT. DO NOT CONNECT TO THIS PIN.
2. THE EXPOSED PAD MUST BE CONNECTED TO GROUND.

图6. 6引脚LFCSP的引脚配置

表5. 引脚功能描述

引脚编号			引脚名称	描述
TSOT	WLCSP	LFCSP		
1	A1	6	VIN	调节器输入电源。VIN至GND接1 μF或更大的旁路电容。
2	B2	3	GND	地。
3	B1	4	EN	使能输入。将EN接到高电平，调节器启动；将EN接到低电平，调节器关闭。若要实现自动启动，请将EN接VIN。
4	不适用	2	NC	不连接。内部不连接。
5	A2	1	VOUT	调节输出电压。VOUT至GND接1 μF或更大的旁路电容。
不适用	不适用	5	NC	不连接。内部不连接。
不适用	不适用		EPAD	裸露焊盘。裸露焊盘必须接地。裸露焊盘可提高封装的热性能。

典型性能参数

除非另有说明, $V_{IN} = 5\text{ V}$, $V_{OUT} = 3.3\text{ V}$, $I_{OUT} = 1\text{ mA}$, $C_{IN} = C_{OUT} = 1\text{ }\mu\text{F}$, $T_A = 25^\circ\text{C}$ 。

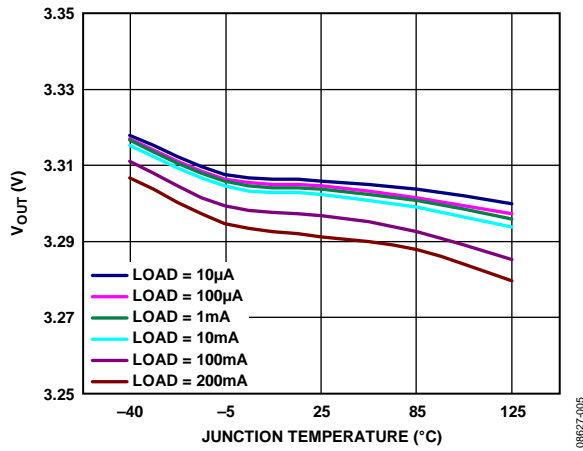


图7. 输出电压与结温的关系

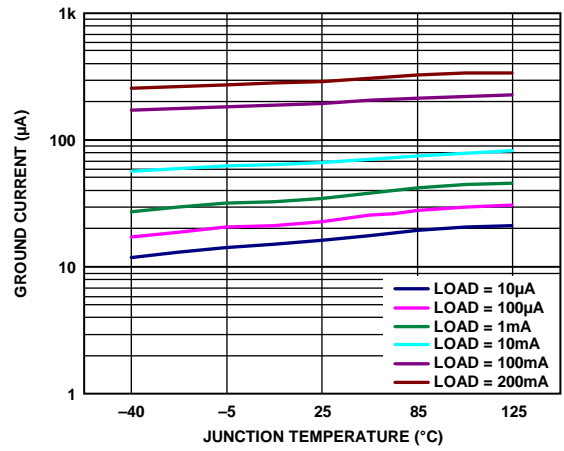


图10. 接地电流与结温的关系

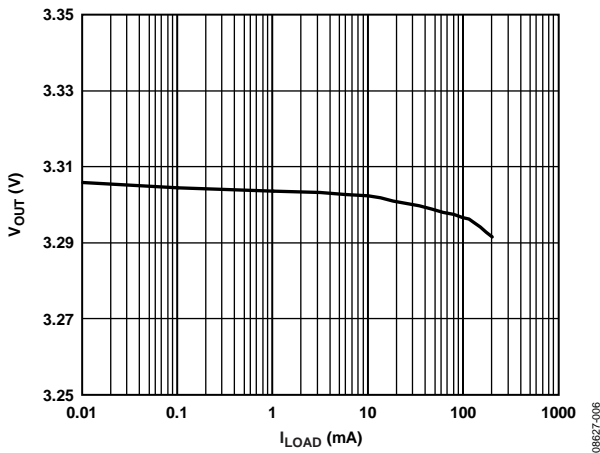


图8. 输出电压与负载电流的关系

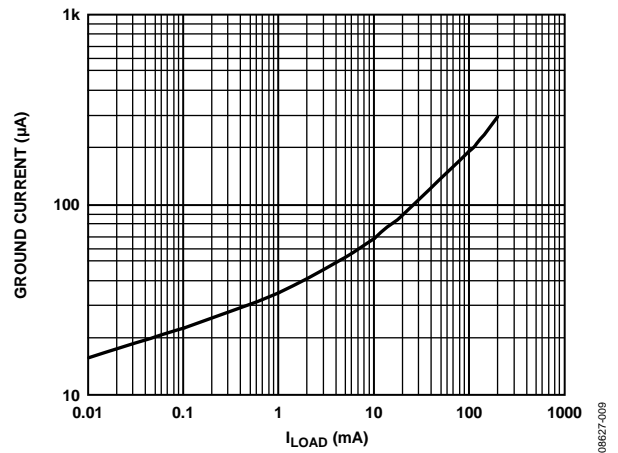


图11. 接地电流与负载电流的关系

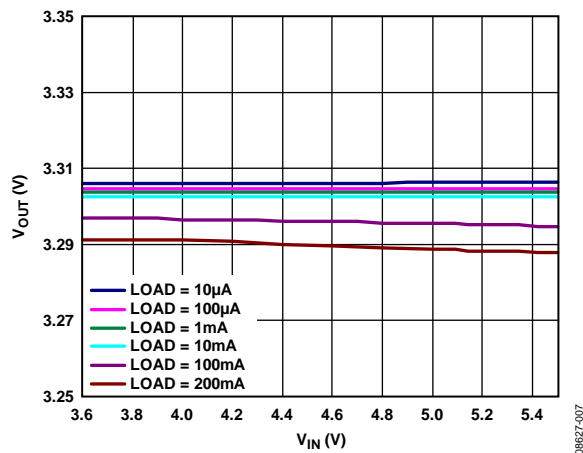


图9. 输出电压与输入电压的关系

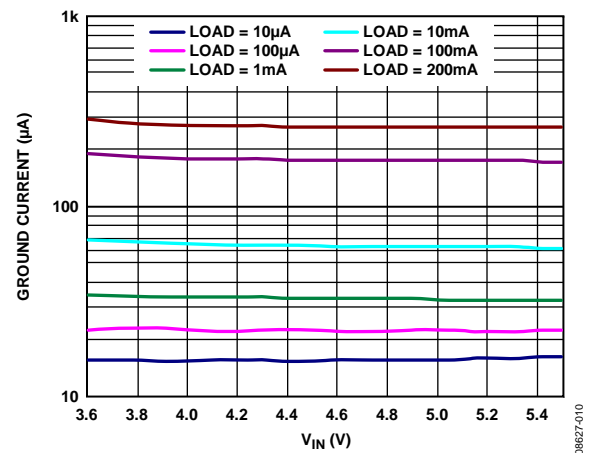


图12. 接地电流与输入电压的关系

ADP151

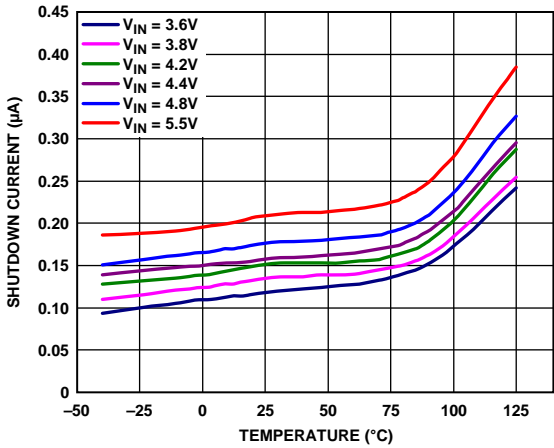


图13. 不同输入电压下关断电流与温度的关系

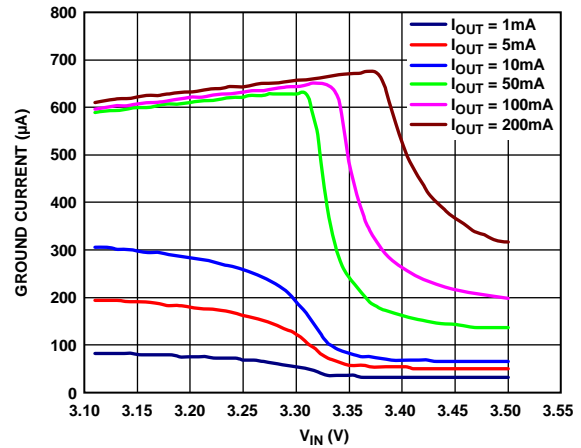


图16. 低压差下接地电流与输入电压的关系

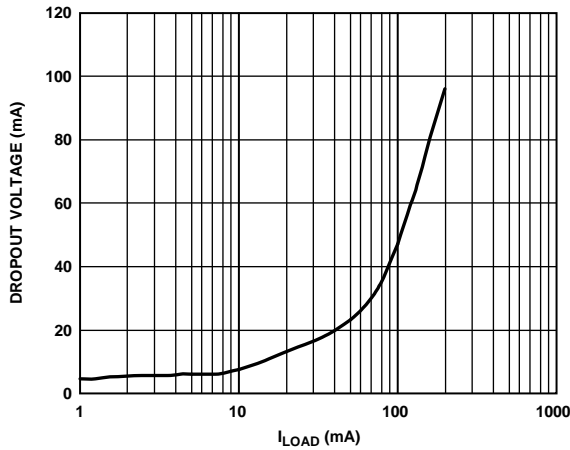


图14. 压差与负载电流的关系

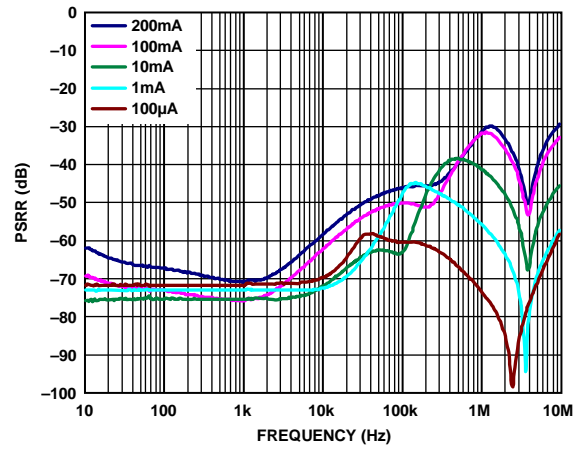


图17. 电源抑制比与频率的关系 ($V_{OUT} = 1.2V$, $V_{IN} = 2.2V$)

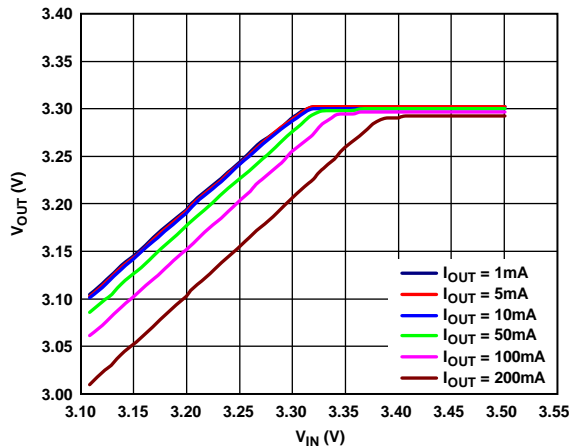


图15. 低压差下输出电压与输入电压的关系

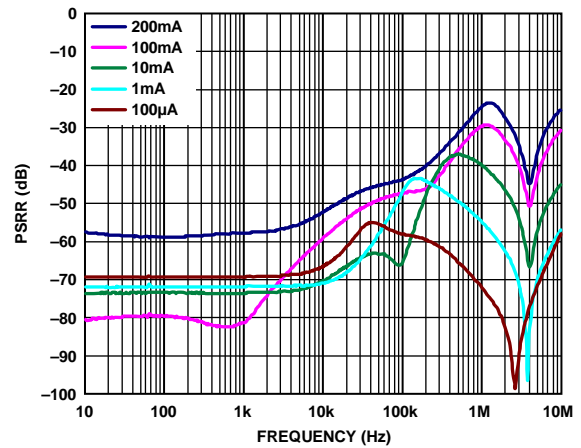


图18. 电源抑制比与频率的关系 ($V_{OUT} = 2.8V$, $V_{IN} = 3.3V$)

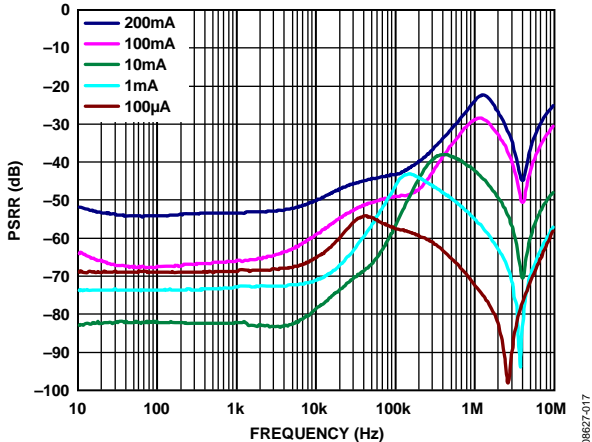


图19. 电源抑制比与频率的关系 ($V_{OUT} = 3.3\text{ V}$, $V_{IN} = 3.8\text{ V}$)

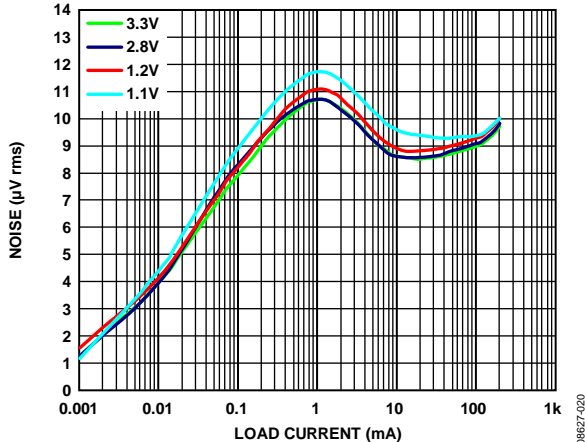


图22. 输出噪声与负载电流和输出电压的关系 ($V_{IN} = 5\text{ V}$, $C_{OUT} = 1\text{ }\mu\text{F}$)

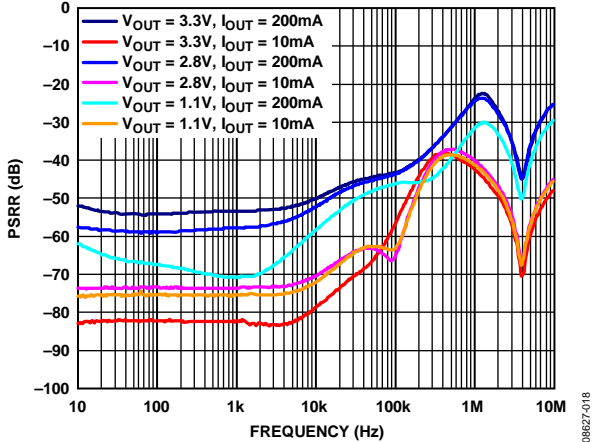


图20. 在各种输出电压与负载电流条件下, 电源抑制比与频率的关系 ($V_{OUT} - V_{IN} = 0.5\text{ V}$; $V_{OUT} = 1.1\text{ V}$, $V_{IN} = 2.2\text{ V}$ 的情况除外)

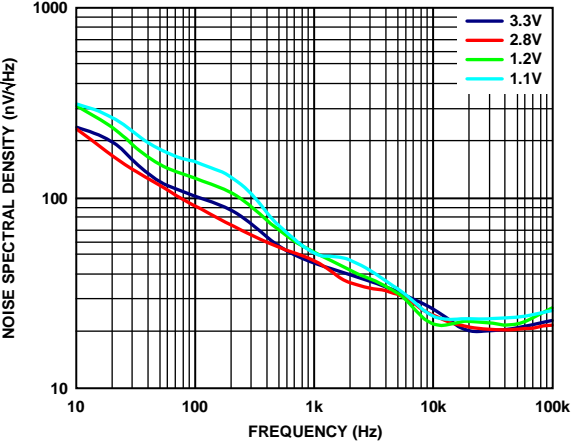


图23. 输出噪声谱密度与频率的关系 ($V_{IN} = 5\text{ V}$, $I_{LOAD} = 10\text{ mA}$, $C_{OUT} = 1\text{ }\mu\text{F}$)

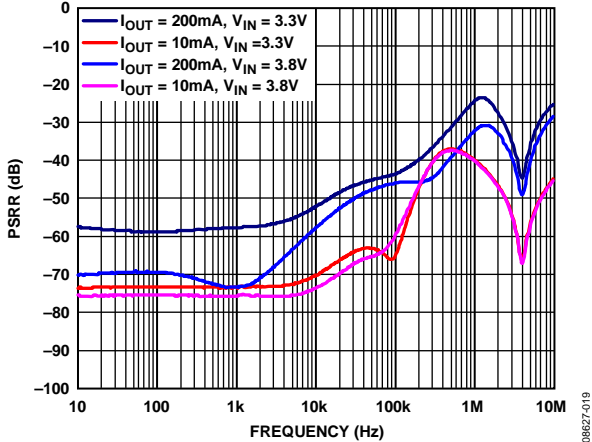


图21. 各种电压与负载电流下电源抑制比与频率的关系 ($V_{OUT} = 2.8\text{ V}$)

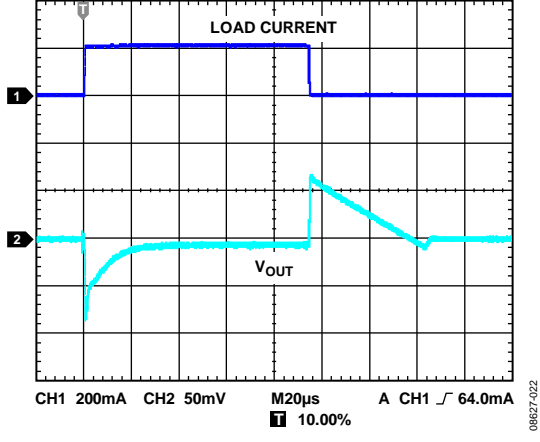


图24. 负载瞬态响应 (C_{IN} , $C_{OUT} = 1\text{ }\mu\text{F}$, $I_{LOAD} = 1\text{ mA至}200\text{ mA}$)

ADP151

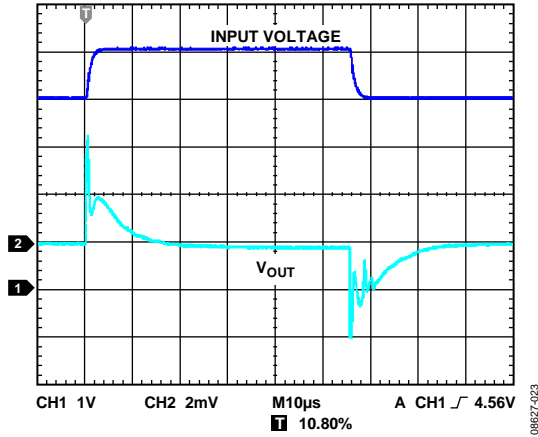


图25. 线路瞬态响应 (C_{IN} , $C_{OUT} = 1 \mu\text{F}$, $I_{LOAD} = 200 \text{ mA}$)

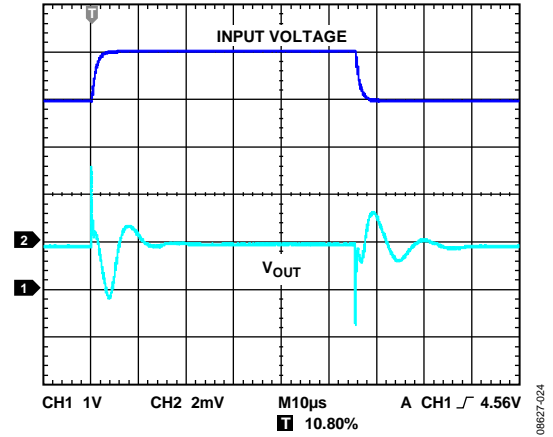


图26. 线路瞬态响应 (C_{IN} , $C_{OUT} = 1 \mu\text{F}$, $I_{LOAD} = 1 \text{ mA}$)

工作原理

ADP151是一款超低噪声、低静态电流、低压差线性调节器，采用2.2 V至5.5 V电源供电，最大输出电流为200 mA。负载时静态电流典型值低至265 μ A，因此ADP151非常适合电池供电的便携式设备使用。关断电流典型值为200 nA。

ADP151采用创新的设计技术，噪声性能出色，无需噪声旁路电容，适合对噪声敏感的模拟和RF应用。此外，ADP151经过优化，利用1 μ F陶瓷电容便可稳定工作。

ADP151内置一个基准电压源、一个误差放大器、一个反馈分压器和一个PMOS调整管。输出电流经由PMOS调整管提供，其受误差放大器控制。误差放大器比较基准电压与输出端的反馈电压，并放大该差值。如果反馈电压低于基准电压，PMOS器件的栅极将被拉低，以便通过更多电流，提高输出电压。如果反馈电压高于基准电压，PMOS器件的栅极将被拉高，以便通过较少电流，降低输出电压。

当EN输入引脚处于开路时，该引脚内置的下拉电阻可将输入信号维持在低电平状态。

ADP151提供1.1 V至3.3 V范围内的16种固定输出电压选项。在正常工作条件下，ADP151利用EN引脚使能或禁能VOUT引脚。EN为高电平时，VOUT开启；EN为低电平时，VOUT关闭。若要实现自动启动，可将EN接至VIN。

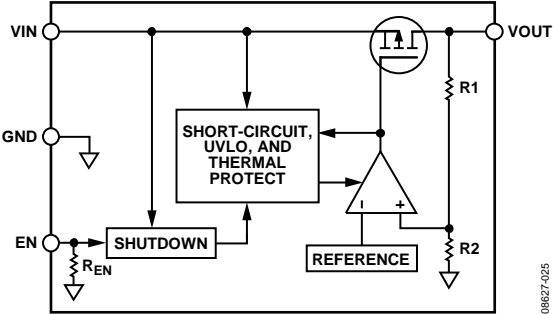


图27. 内部框图

086271025

应用信息

电容选择

输出电容

ADP151设计采用节省空间的小型陶瓷电容，不过只要注意等效串联电阻(ESR)值要求，也可以采用大多数常用电容。输出电容的ESR会影响LDO控制回路的稳定性。为了确保ADP151稳定工作，推荐使用至少1 μF、ESR为1 Ω或更小的电容。输出电容还会影响负载电流变化的瞬态响应。采用较大的输出电容值可改善ADP151对大负载电流变化的瞬态响应。图28显示输出电容值为1 μF时的瞬态响应。

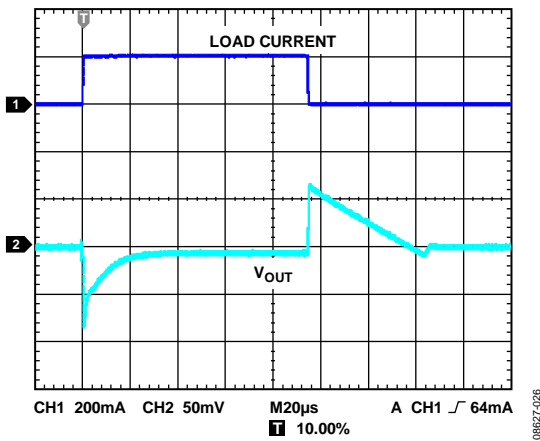


图28. 输出瞬态响应($C_{OUT} = 1 \mu F$)

输入旁路电容

在VIN和GND之间连接一个1 μF电容可以降低电路对PCB布局的敏感性，特别是在长输入走线或高源阻抗的情况下。如果要求输出电容大于1 μF，应选用更高的输入电容。

输入和输出电容特性

只要符合最小电容和最大ESR要求，ADP151可用采用任何质量优良的陶瓷电容。陶瓷电容可采用各种各样的电介质制造，温度和所施加的电压不同，其特性也不相同。电容必须具有足够的电介质，以确保在必需的温度范围和直流偏置条件下电容值最低。推荐使用额定电压为6.3 V或10 V的X5R或X7R电介质。Y5V和Z5U电介质的温度和直流偏置特性不佳，建议不要使用。

图29所示为0402、1 μF、10 V、X5R电容的电容与电压偏置特性关系图。电容的电压稳定性受电容尺寸和电压额定值影响极大。一般来说，封装较大或电压额定值较高的电容具有更好的稳定性。X5R电介质的温度变化率在-40°C至+85°C温度范围内为±15%，与封装或电压额定值没有函数关系。

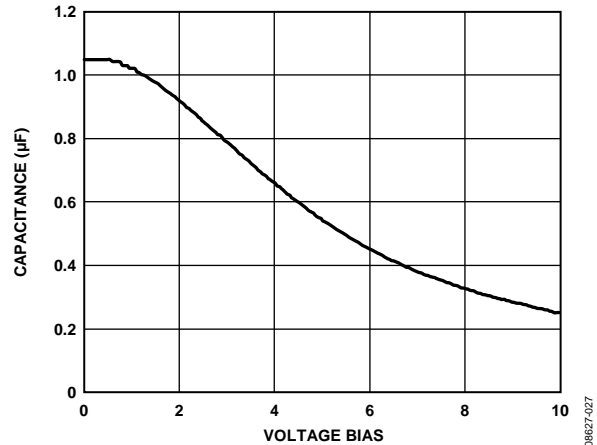


图29. 电容与电压偏置特性的关系

考虑电容随温度、元件容差和电压的变化，可以利用公式1确定最差情况下的电容。

$$C_{EFF} = C_{BIAS} \times (1 - TEMPCO) \times (1 - TOL) \quad (1)$$

其中：

C_{BIAS} 为工作电压下的有效电容。

$TEMPCO$ 为最差的电容温度系数。

TOL 为最差的元件容差。

本例中，假定X5R电介质在-40°C至+85°C范围内的最差条件温度系数(TEMPCO)为15%。如图29所示，在1.8 V电压下，假定电容容差(TOL)为10%， $C_{BIAS} = 0.94 \mu F$ 。

将这些值代入公式1中可得到：

$$C_{EFF} = 0.94 \mu F \times (1 - 0.15) \times (1 - 0.1) = 0.719 \mu F$$

因此，在选定输出电压条件下，本例中所选电容满足LDO在温度和容差方面的最小电容要求。

为确保ADP151的性能，必须针对每个应用来评估直流偏置、温度和容差对电容性能的影响。

使能特性

在正常操作条件下，ADP151利用EN引脚使能和禁能VOUT引脚。如图30所示，当EN上的上升电压越过有效阈值时，VOUT开启。当EN上的下降电压越过无效阈值时，VOUT关闭。

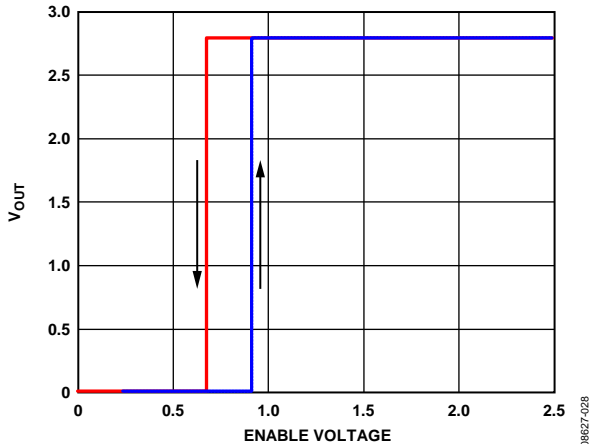


图30. ADP151典型EN引脚工作方式

如图30所示，EN引脚本身具有迟滞特性，这可防止EN引脚上的噪声在经过阈值点时引起开关振荡。

EN引脚的有效/无效阈值是从VIN电压获得。因此，这些阈值会随输入电压而变化。图31显示输入电压从2.2 V变化到5.5 V时EN引脚的典型有效/无效阈值。

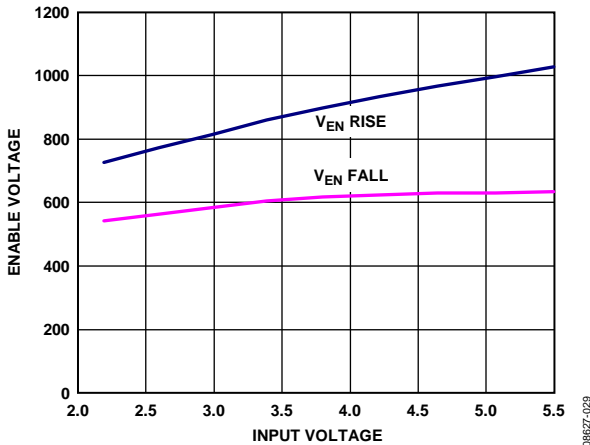


图31. EN引脚典型阈值与输入电压的关系

ADP151利用内置软启动功能，在输出使能时限制浪涌电流。当输入电压为3.3 V时，从通过EN有效阈值到输出达到其最终值90%的启动时间约为160 μs。如图32所示，启动时间取决于输出电压设置。

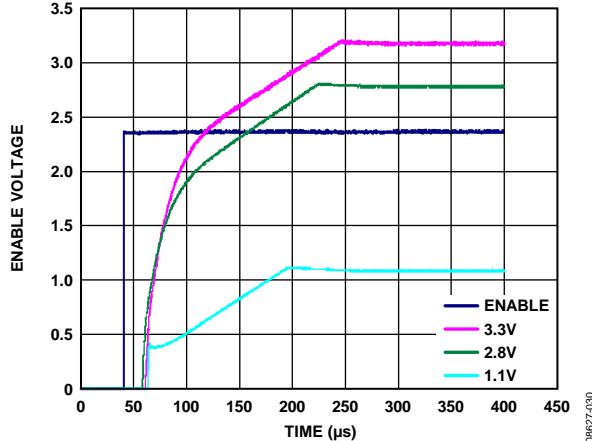


图32. 典型启动性能

可调整输出电压操作

ADP151的独特结构决定了利用硅材料实现电压调整很困难。但在提高调节器电路的静态电流的前提下，可形成一个可调调节器。

ADP151和各种类似的LDO均设计用于调节VOUT引脚相对于GND引脚的输出电压(V_{OUT})。如果GND引脚的电压不为0 V(例如：电压为V_{OFFSET})，那么，ADP151的输出电压为V_{OUT} + V_{OFFSET}。利用这一特性，可在保留绝大多数所需ADP151特性的前提下，形成一个可调ADP151电路。

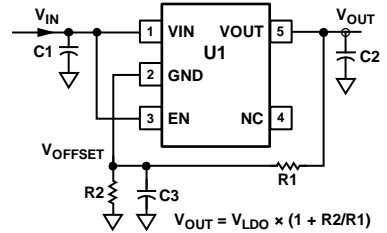


图33. 采用ADP151的可调LDO

图33所示电路为采用ADP151的可调LDO。已知电流流经R2，可产生稳定的V_{OFFSET}电压。流经R2的电流由R1两端的电压决定。由于R1两端的电压范围为V_{OUT}和GND，因此，流经R2的电流是固定的，且V_{OFFSET}保持稳定。

为尽可能地降低在负载条件下因ADP151接地电流(I_{GND})变化所造成的影响，最好采用阻值尽可能小的电阻R1。此外，最好保证流经R2的电流不低于最大期望接地电流的20倍。

为形成4 V LDO电路，采用3.3V版本的ADP151，可以将R2的值降至最低。当V_{OUT} = 4 V时，必须保证V_{OFFSET} = 0.7 V且流经R2的电流达到7 mA。因此，R1 = 3.3 V/7 mA(即471 Ω)。一个阻值为470 Ω(标准阻值)的电阻可产生不高于1%的误差。电容C3用于稳定LDO(电容值为1 μF即可)。

ADP151

图34至图38显示4 V LDO电路的典型性能。

4 V LDO电路的噪声性能仅比输出3.3 V的相同LDO差1 μV ，其原因在于电路的输出噪声几乎与外部组件无关，仅由LDO决定。二者的差别很小，可能是采用R2电阻时，LDO接地电流所产生的内部噪声有所不同。尽可能降低R2的阻值，即可降低噪声产生的影响。

由于LDO的接地电流会随输入电压略有变化，因此，4 V电路的PSRR比500 mV电压裕量的3.3 V LDO低10 dB。这进而会调节 V_{OFFSET} 并降低调节器的PSRR性能。若将电压裕量提高至1V，则PSRR性能可恢复至接近固定输出LDO的水平。

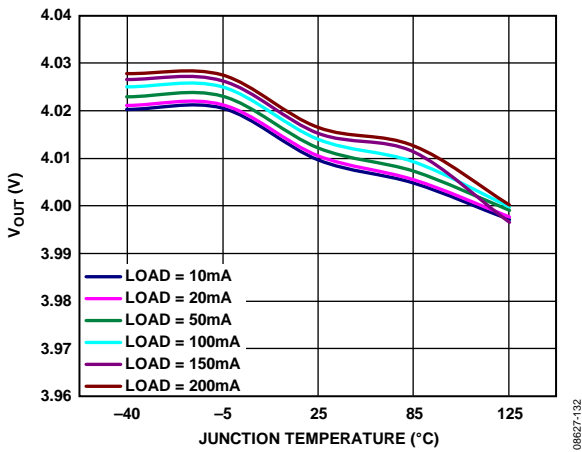


图34. 4 V LDO电路(不同温度下的典型负载调整)

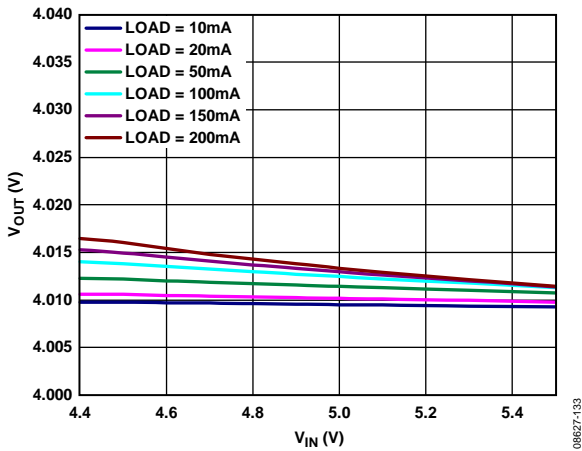


图35. 4 V LDO电路(不同负载电流下的典型线路调整)

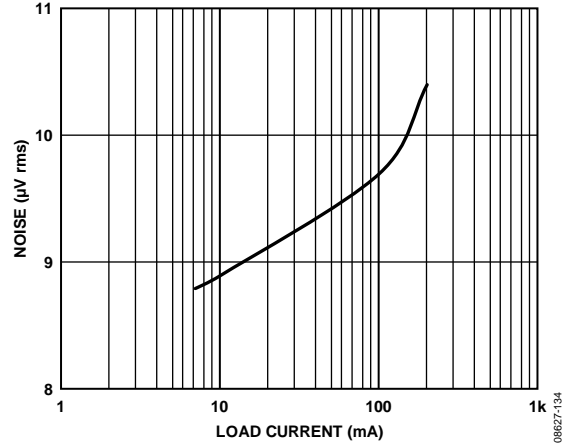


图36. 4 V LDO电路(典型RMS输出噪声, 10 Hz至100 kHz)

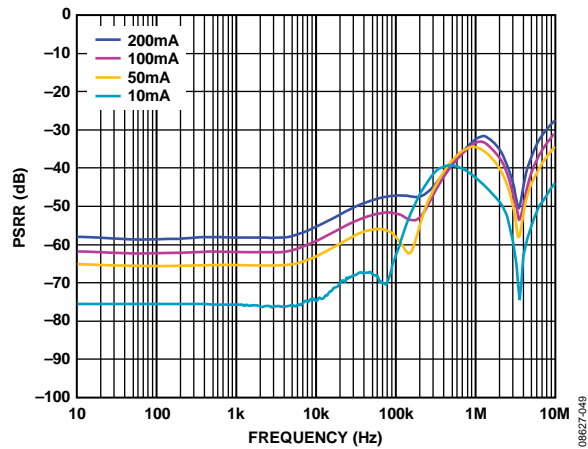


图37. 4 V LDO电路(典型PSRR与负载电流的关系, 电压裕量为1 V)

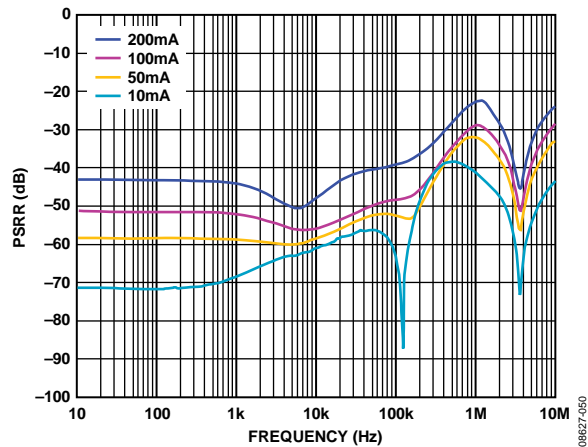


图38. 4 V LDO电路(典型PSRR与负载电流的关系, 电压裕量为500 mV)

限流和热过载保护

ADP151内置限流和热过载保护电路，可防止器件功耗过大导致受损。当输出负载达到300 mA(典型值)时，限流电路就会起作用。当输出负载超过300 mA时，输出电压会被降低，以保持恒定的电流限制。

热过载保护电路将结温限制在150°C(典型值)以下。在极端条件下(即高环境温度和高功耗)，当结温开始升至150°C以上时，输出就会关闭，从而将输出电流降至0。当结温降至135°C以下时，输出又会开启，输出电流恢复为标称值。

考虑V_{OUT}至地发生负载短路的情况。首先，ADP151的限流功能起作用，因此，仅有300 mA电流传导至短路电路。如果结的自发热量使其温度升至150°C以上时，热关断功能激活，关闭输出并将输出电流降至0。当结冷却下来，结温降至135°C以下时，输出开启，将300 mA电流传导至短路路径中，再次导致结温升至150°C以上。结温在135°C至150°C范围内的热振荡导致电流在300 mA和0 mA之间振荡；只要输出端存在短路，振荡就会持续下去。

限流和热过载保护旨在保护器件免受偶然过载条件影响。为保证器件稳定工作，必须从外部限制器件的功耗，使结温不会超过125°C。

散热考量

ADP151的效率很高，在多数应用中不会产生大量热量。然而，在环境温度高、电源电压与输出电压差很大的应用中，封装散发的热量可能导致芯片的结温超过最高结温125°C。

当结温超过150°C时，转换器进入热关断模式。只有当结温降至135°C及以下时，它才会恢复，以免永久性受损。因此，为了保证器件在所有条件下具有可靠性能，必须对具体应用进行热分析。芯片的结温为环境温度与功耗所引起的封装温升之和，如公式2所示。

为保证器件可靠工作，ADP151的结温不得超过125°C。为确保结温低于此最高结温，用户需要注意会导致结温变化的参数。这些参数包括环境温度、功率器件的功耗、结与周围空气之间的热阻(θ_{JA})。 θ_{JA} 值取决于所用的封装填充物和将封装GND引脚焊接到PCB所用的覆铜数量。

表6列出了各种PCB覆铜尺寸时5引脚TSOT、6引脚LFCSP和4引脚WLCSP封装的 θ_{JA} 典型值。表7列出了5引脚TSOT、6引脚LFCSP和4引脚WLCSP封装的 Ψ_{JB} 典型值。

表6. θ_{JA} 典型值

覆铜面积(mm ²)	θ_{JA} (°C/W)		
	TSOT	WLCSP	LFCSP
0 ¹	170	260	231.2
50	152	159	161.8
100	146	157	150.1
300	134	153	111.5
500	131	151	91.8

¹ 器件焊接在最小尺寸引脚走线上。

表7. Ψ_{JB} 典型值

型号	Ψ_{JB} (°C/W)
TSOT	43
WLCSP	58
LFCSP	28.3

ADP151的结温可通过下式计算：

$$T_J = T_A + (P_D \times \theta_{JA}) \quad (2)$$

其中：

T_A 为环境温度。

P_D 为芯片的功耗，通过下式计算：

$$P_D = [(V_{IN} - V_{OUT}) \times I_{LOAD}] + (V_{IN} \times I_{GND}) \quad (3)$$

其中：

I_{LOAD} 为负载电流。

I_{GND} 为接地电流。

V_{IN} 和 V_{OUT} 分别为输入和输出电压。

接地电流引起的功耗相当小，可忽略不计。因此，结温的计算公式可简化为：

$$T_J = T_A + \{[(V_{IN} - V_{OUT}) \times I_{LOAD}] \times \theta_{JA}\} \quad (4)$$

如等式4所示，针对给定的环境温度、输入与输出电压差和连续负载电流，需满足PCB的最小覆铜尺寸要求，以确保结温不升至125°C以上。图39至图59显示不同环境温度、负载电流、 V_{IN} 至 V_{OUT} 压差及PCB覆铜面积下的结温计算结果。

ADP151

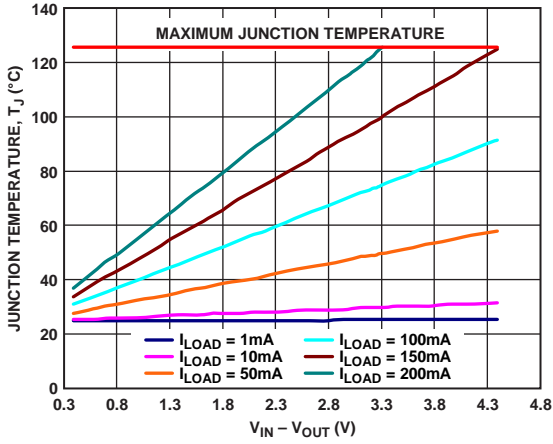


图39. WLCSP 500 mm² PCB覆铜, $T_A = 25^\circ C$

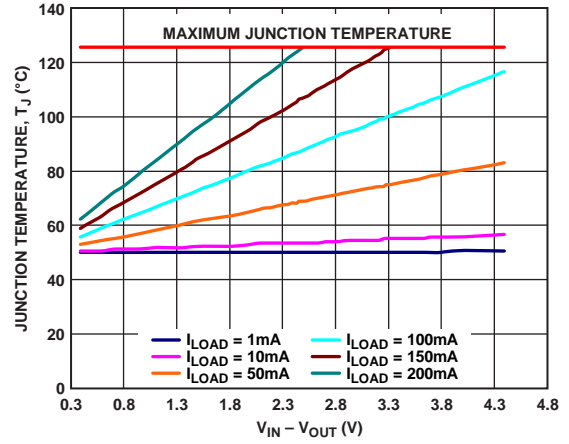


图42. WLCSP 500 mm² PCB覆铜, $T_A = 50^\circ C$

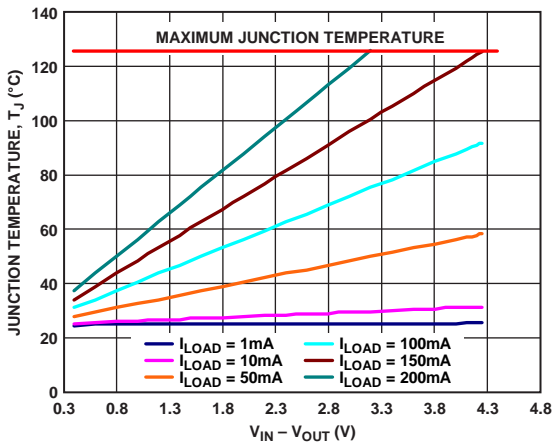


图40. WLCSP 100 mm² PCB覆铜, $T_A = 25^\circ C$

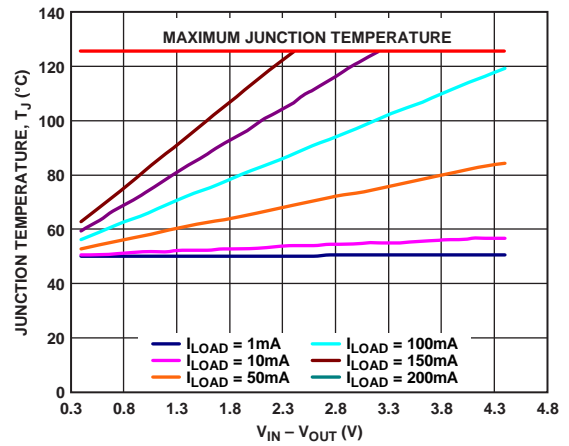


图43. WLCSP 100 mm² PCB覆铜, $T_A = 50^\circ C$

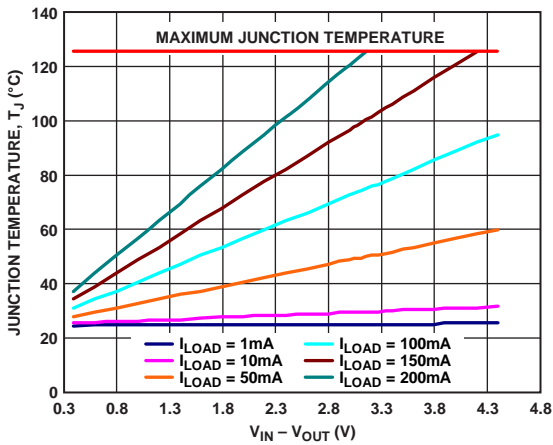


图41. WLCSP 50 mm² PCB覆铜, $T_A = 25^\circ C$

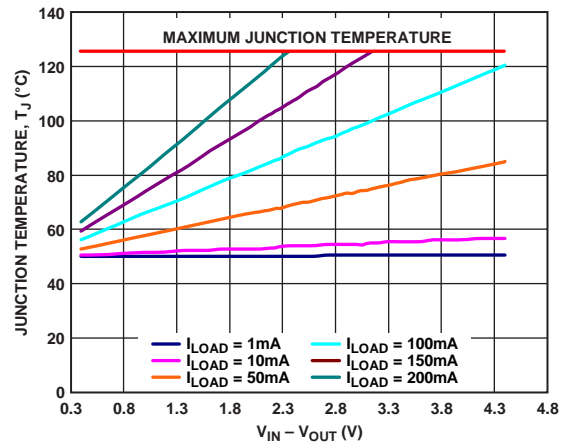


图44. WLCSP 50 mm² PCB覆铜, $T_A = 50^\circ C$

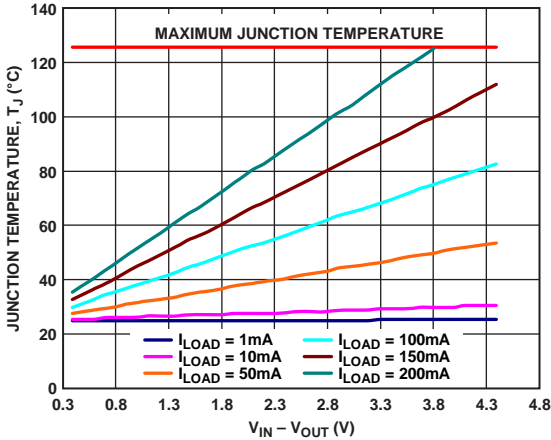


图45. TSOT 500 mm² PCB覆铜, T_A = 25°C

08627-037

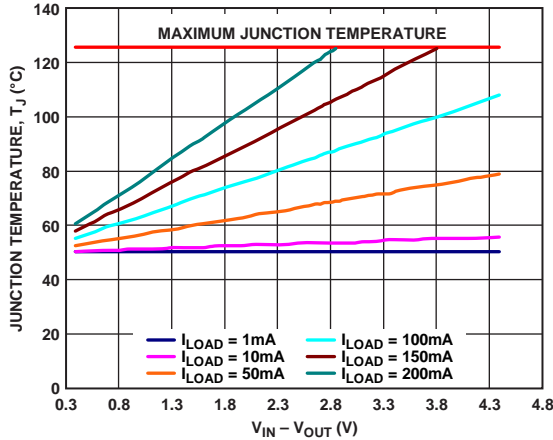


图48. TSOT 500 mm² PCB覆铜, T_A = 50°C

08627-040

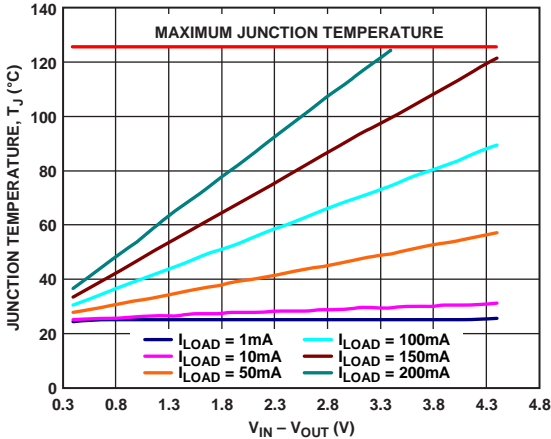


图46. TSOT 100 mm² PCB覆铜, T_A = 25°C

08627-038

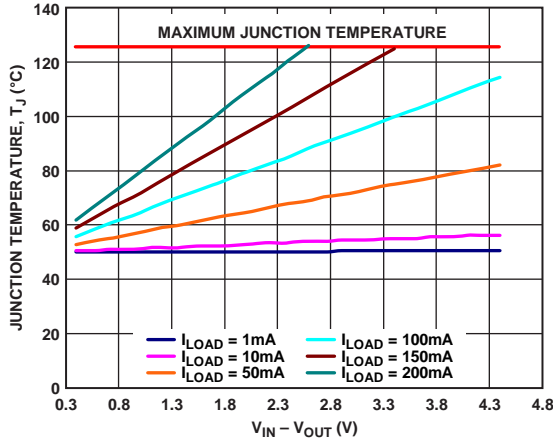


图49. TSOT 100 mm² PCB覆铜, T_A = 50°C

08627-041

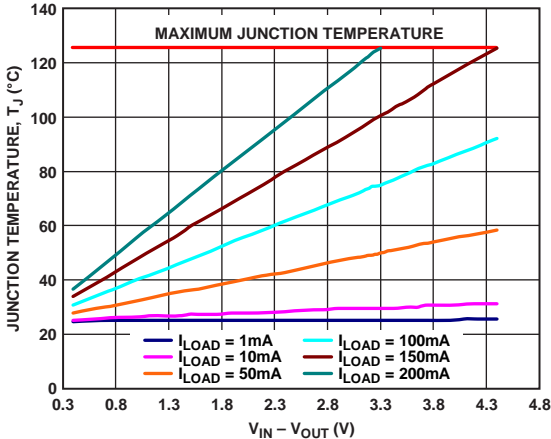


图47. TSOT 50 mm² PCB覆铜, T_A = 25°C

08627-039

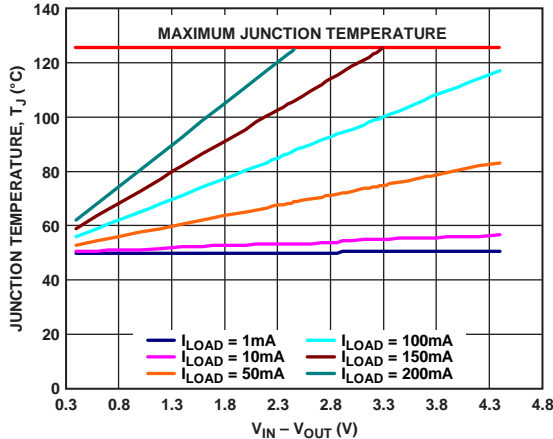


图50. TSOT 50 mm² PCB覆铜, T_A = 50°C

08627-042

ADP151

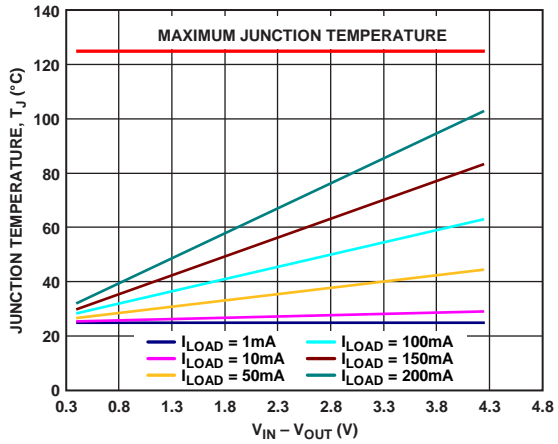


图51. LFCSP 500 mm² PCB覆铜, $T_A = 25^\circ C$

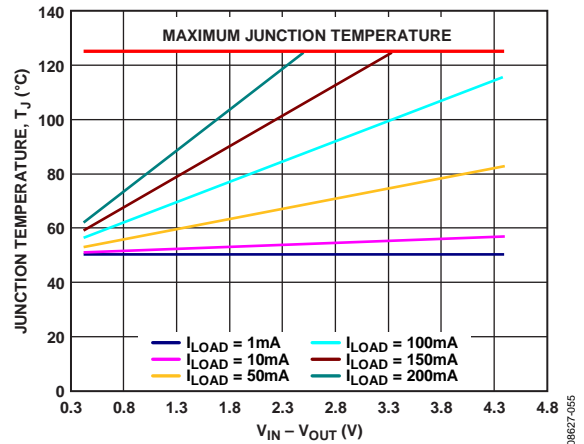


图54. LFCSP 500 mm² PCB覆铜, $T_A = 50^\circ C$

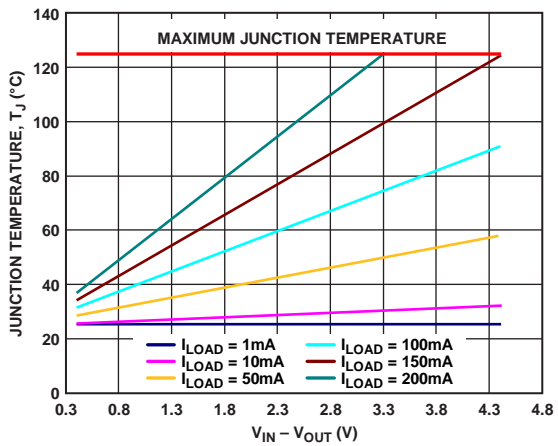


图52. LFCSP 100 mm² PCB覆铜, $T_A = 25^\circ C$

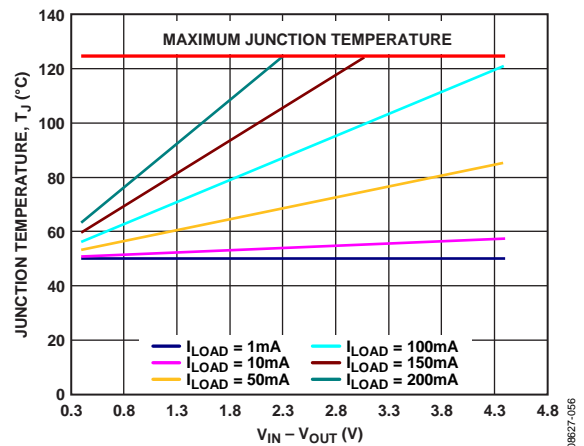


图55. LFCSP 100 mm² PCB覆铜, $T_A = 50^\circ C$

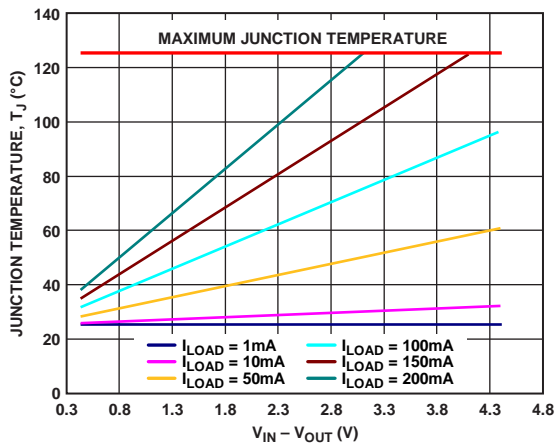


图53. LFCSP 50 mm² PCB覆铜, $T_A = 25^\circ C$

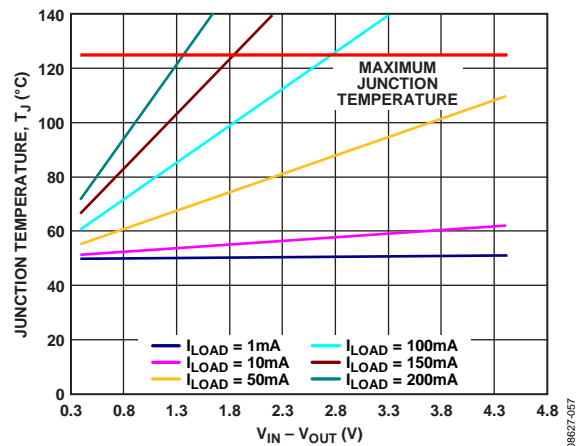


图56. LFCSP 50 mm² PCB覆铜, $T_A = 50^\circ C$

在已知板温的情况下，可以利用热特性参数(Ψ_{JB})来估算结温上升情况(见图57和图58)。最高结温(T_J)可由板温度(T_B)和功耗(P_D)通过下式计算：

$$T_J = T_B + (P_D \times \Psi_{JB}) \tag{5}$$

在4引脚 WLCSP封装、5引脚TSOT封装和6引脚LFCSP封装中， Ψ_{JB} 典型值分别为58°C/W、43°C/W和28.3°C/W。

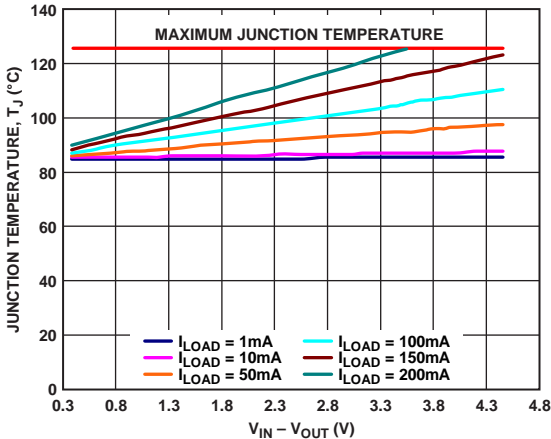


图57. WLCSP封装, $T_A = 85^\circ\text{C}$

08627-043

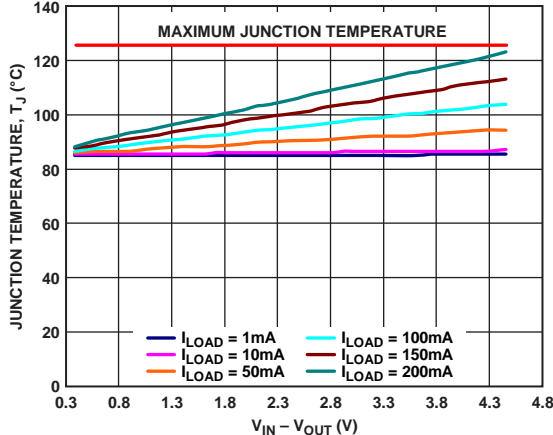


图58. TSOT封装, $T_A = 85^\circ\text{C}$

08627-044

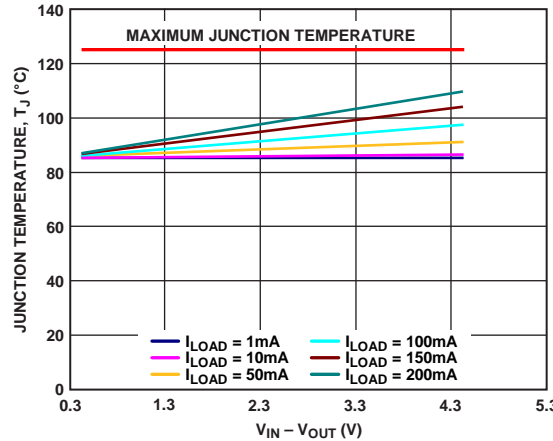


图59. LFCSP封装, $T_A = 85^\circ\text{C}$

08627-050

印刷电路板布局考量

通过增加ADP151引脚处的覆铜用量，可改善封装的散热性能。但是，如表6所示，这种增加存在效益递减的现象，当覆铜量达到某一数量点后，再继续增加覆铜的用量并不会带来明显的散热效益。

输入电容应尽可能靠近VIN和GND引脚放置。输出电容应尽可能靠近VOUT和GND引脚放置。在板面积受限的情况下，采用0402或0603电容和电阻可实现最小尺寸解决方案。

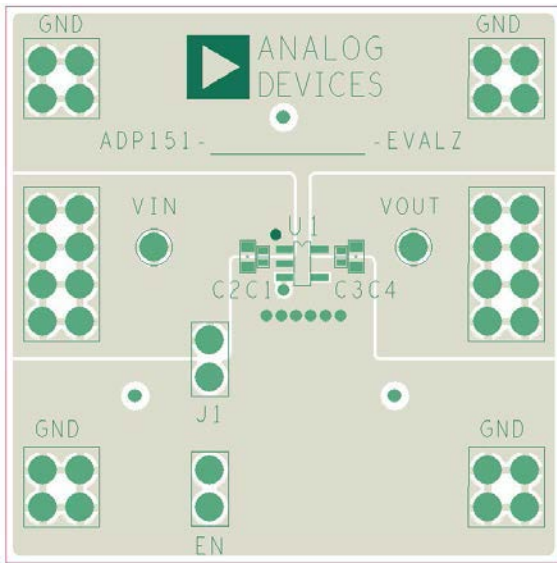


图60. TSOT PCB布局示例

08827-045

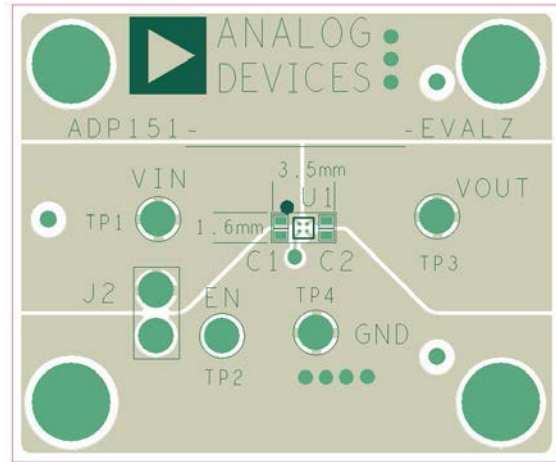


图61. WLCSP PCB布局示例

08827-046

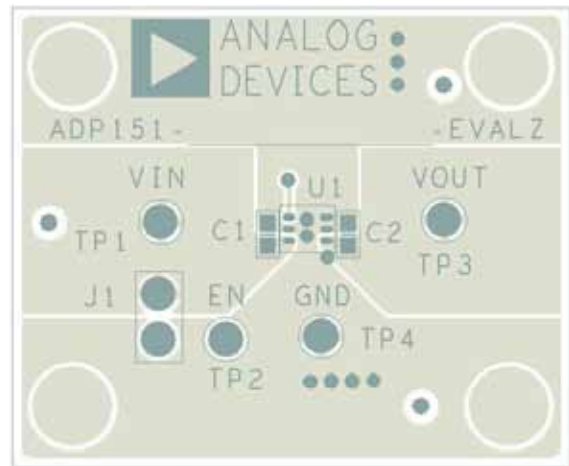
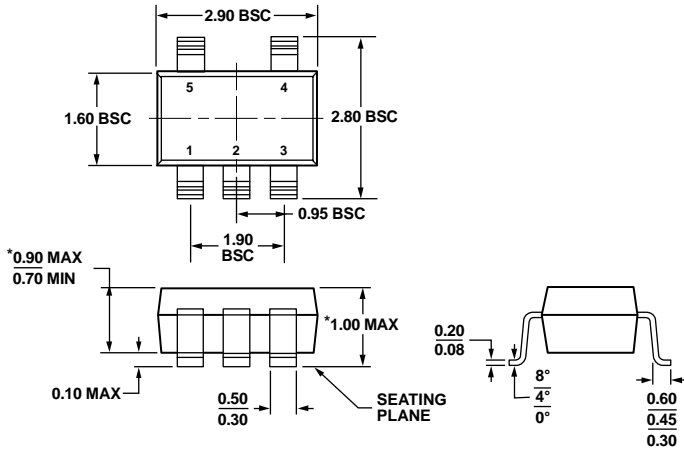


图62. LFCSP PCB布局示例

08827-054

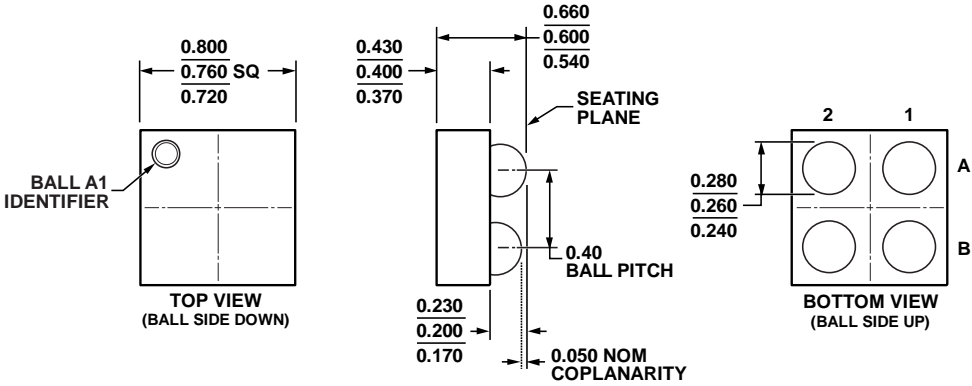
外形尺寸



*COMPLIANT TO JEDEC STANDARDS MO-193-AB WITH THE EXCEPTION OF PACKAGE HEIGHT AND THICKNESS.

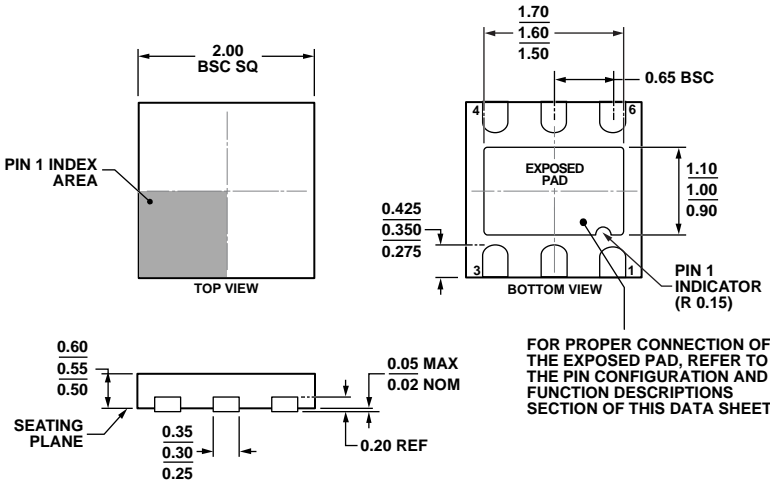
100708-A

图63. 5引脚超薄小型晶体管封装 [TSOT] (UJ-5) (尺寸单位: mm)



011505-A

图64. 4引脚晶圆级芯片封装 [WLCSFP] (CB-4-3) (尺寸单位: mm)



05-04-2010-A

图65. 6引脚引脚架构芯片级封装 [LFCSP_UD] 2.00 mm × 2.00 mm 超薄体双引脚 (CP-6-3) (尺寸单位: mm)

ADP151

订购指南

型号 ¹	温度范围	输出电压(V) ²	封装描述	封装选项 ³	标识
ADP151ACBZ-1.1-R7	-40°C至+125°C	1.1	4引脚 WLCSP封装	CB-4-1	8R
ADP151ACBZ-1.2-R7	-40°C至+125°C	1.2	4引脚 WLCSP封装	CB-4-3	4R
ADP151ACBZ-1.5-R7	-40°C至+125°C	1.5	4引脚 WLCSP封装	CB-4-3	4S
ADP151ACBZ-1.8-R7	-40°C至+125°C	1.8	4引脚 WLCSP封装	CB-4-3	4T
ADP151ACBZ-2.5-R7	-40°C至+125°C	2.5	4引脚 WLCSP封装	CB-4-3	4U
ADP151ACBZ-2.6-R7	-40°C至+125°C	2.6	4引脚 WLCSP封装	CB-4-3	8Q
ADP151ACBZ-2.75-R7	-40°C至+125°C	2.75	4引脚 WLCSP封装	CB-4-3	4V
ADP151ACBZ-2.8-R7	-40°C至+125°C	2.8	4引脚 WLCSP封装	CB-4-3	4X
ADP151ACBZ-2.85-R7	-40°C至+125°C	2.85	4引脚 WLCSP封装	CB-4-3	4Y
ADP151ACBZ-3.0-R7	-40°C至+125°C	3.0	4引脚 WLCSP封装	CB-4-3	4Z
ADP151ACBZ-3.3-R7	-40°C至+125°C	3.3	4引脚 WLCSP封装	CB-4-3	50
ADP151ACBZ-2.1-R7	-40°C至+125°C	2.1	4引脚 WLCSP封装	CB-4-3	5E
ADP151AUJZ-1.2-R7	-40°C至+125°C	1.2	5引脚 TSOT封装	UJ-5	LF6
ADP151AUJZ-1.5-R7	-40°C至+125°C	1.5	5引脚 TSOT封装	UJ-5	LF7
ADP151AUJZ-1.8-R7	-40°C至+125°C	1.8	5引脚 TSOT封装	UJ-5	LF8
ADP151AUJZ-2.5-R7	-40°C至+125°C	2.5	5引脚 TSOT封装	UJ-5	LF9
ADP151AUJZ-2.8-R7	-40°C至+125°C	2.8	5引脚 TSOT封装	UJ-5	LFG
ADP151AUJZ-3.0-R7	-40°C至+125°C	3.0	5引脚 TSOT封装	UJ-5	LFH
ADP151AUJZ-3.3-R7	-40°C至+125°C	3.3	5引脚 TSOT封装	UJ-5	LFJ
ADP151ACPZ-1.2-R7	-40°C至+125°C	1.2	6引脚 LFCSP_UD封装	CP-6-3	LF6
ADP151ACPZ-1.5-R7	-40°C至+125°C	1.5	6引脚 LFCSP_UD封装	CP-6-3	LF7
ADP151ACPZ-1.8-R7	-40°C至+125°C	1.8	6引脚 LFCSP_UD封装	CP-6-3	LF8
ADP151ACPZ-2.5-R7	-40°C至+125°C	2.5	6引脚 LFCSP_UD封装	CP-6-3	LF9
ADP151ACPZ-2.7-R7	-40°C至+125°C	2.7	6引脚 LFCSP_UD封装	CP-6-3	LKZ
ADP151ACPZ-2.8-R7	-40°C至+125°C	2.8	6引脚 LFCSP_UD封装	CP-6-3	LFG
ADP151ACPZ-3.0-R7	-40°C至+125°C	3.0	6引脚 LFCSP_UD封装	CP-6-3	LFH
ADP151ACPZ-3.3-R7	-40°C至+125°C	3.3	6引脚 LFCSP_UD封装	CP-6-3	LFJ
ADP151UJZ-REDYKIT			评估板套件		
ADP151CPZ-REDYKIT			评估板套件		
ADP151CB-3.3-EVALZ			评估板		

¹ Z = 符合RoHS标准的器件。

² 如需其它ADP151ACBZ封装选项的电压选择，请联系当地的ADI公司办事处或代理商。

³ ADP151ACBZ封装选项不含卤素。

注释

注释