

### 产品特性

- 易于使用的16位完整数据采集系统
- 可选择2/4/6/8通道同步采样
- 差分输入电压范围:  $\pm 20.48$  V(最大值)
- 高阻抗8通道输入:  $>500$   $\Omega$
- 高输入共模抑制: 95.0 dB
- 用户可编程输入范围
- 片内4.096 V基准电压源和缓冲器
- 无延迟/流水线延迟(SAR架构)
- 串行4线式1.8至5 V SPI/SPORT兼容接口
- 40引脚LFCSP封装(6 mm x 6 mm)
- 40°C至+85°C工业温度范围

### 应用

- 多通道数据采集和系统监控
- 过程控制
- 电力线路监控
- 自动测试设备
- 病人监护
- 频谱分析
- 仪器仪表

### 概述

ADAS3023是一款完整的16位逐次逼近型模数转换器数据采集系统。该器件能够以高达500 kSPS的速率同时对双通道进行采样、以250 kSPS的速率同时对四通道进行采样、以167 kSPS的速率同时对六通道进行采样，以及以125 kSPS的速率同时对八通道进行采样；采用ADI专利的iCMOS®高压工业工艺技术制造。

ADAS3023集成8通道、低泄漏、采样保持、可编程增益仪表放大器(PGIA)级，具有高共模抑制特性，提供4个差分输入范围、一个精密低漂移4.096 V基准电压源和缓冲器，以及一个16位电荷再分配逐次逼近型寄存器(SAR)模数转换器(ADC)。使用 $\pm 15$  V电源时，ADAS3023能解析的差分输入范围高达 $\pm 20.48$  V。

### 功能框图

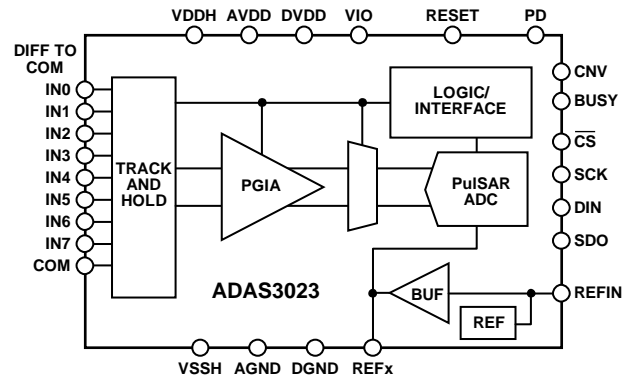


图1.

ADAS3023通过消除信号缓冲、电平转换、放大/衰减、共模抑制、建立时间简化了设计挑战，也避免了其他模拟信号调理挑战，同时实现更小的尺寸、更短的上市时间和更低的成本。

ADAS3023经工厂校准，额定温度范围为-40°C至+85°C。

表1. 典型输入范围选择

单端信号 <sup>1</sup>	输入电压 $V_{IN}$
0 V至1 V	$\pm 1.28$ V
0 V至2.5 V	$\pm 2.56$ V
0 V至5 V	$\pm 5.12$ V
0 V至10 V	$\pm 10.24$ V

<sup>1</sup> 详细信息请参见“模拟输入”部分中的图39和图40。

Rev. 0

### Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700 ©2013 Analog Devices, Inc. All rights reserved.  
Technical Support [www.analog.com](http://www.analog.com)

## 目录

产品特性 .....	1	典型应用连接图.....	21
应用.....	1	模拟输入.....	21
功能框图.....	1	基准电压输入/输出.....	22
概述.....	1	电源 .....	24
修订历史.....	2	功耗模式.....	24
技术规格.....	3	转换模式.....	25
时序规格.....	6	数字接口.....	26
绝对最大额定值.....	9	转换控制.....	26
ESD警告.....	9	复位和关断(PD)输入.....	26
引脚配置和功能描述.....	10	串行数据接口.....	27
典型工作特性.....	12	通用时序.....	28
术语.....	17	配置寄存器 .....	29
工作原理.....	19	封装和订购信息.....	30
概述 .....	19	外形尺寸.....	30
操作 .....	19	订购指南.....	30
传递函数.....	20		

## 修订历史

2013年5月—修订版0：初始版

## 技术规格

除非另有说明, VDDH = 15 V ± 5%, VSSH = -15 V ± 5%, AVDD = DVDD = 5 V ± 5%, VIO = 1.8 V至AVDD, 内部基准电压  $V_{REF} = 4.096\text{ V}$ ,  $f_s = 500\text{ kSPS}$ , 所有规格均相对于 $T_{MIN}$ 至 $T_{MAX}$ 。

表2.

参数	测试条件/注释	最小值	典型值	最大值	单位 <sup>1</sup>
分辨率		16			位
模拟输入(IN0至IN7、COM)					
输入阻抗	$Z_{IN}$	500			MΩ
工作输入电压范围 <sup>2</sup>	$V_{IN}$ , 任何单个引脚	VSSH + 2.5		VDDH - 2.5	V
差分输入电压范围, $V_{IN}$	$V_{INX} - COM$				
	PGIA增益 = 0.2, $V_{IN} = 40.96\text{ V p-p}$	-5V <sub>REF</sub>		+5V <sub>REF</sub>	V
	PGIA增益 = 0.4, $V_{IN} = 20.48\text{ V p-p}$	-2.5V <sub>REF</sub>		+2.5V <sub>REF</sub>	V
	PGIA增益 = 0.8, $V_{IN} = 10.24\text{ V p-p}$	-1.25V <sub>REF</sub>		+1.25V <sub>REF</sub>	V
	PGIA增益 = 1.6, $V_{IN} = 5.12\text{ V p-p}$	-0.625V <sub>REF</sub>		+0.625V <sub>REF</sub>	V
吞吐速率					
转换速率	2通道	0		500	kSPS
	4通道	0		250	kSPS
	6通道	0		167	kSPS
	8通道	0		125	kSPS
瞬态响应 <sup>3</sup>	满量程阶跃			820	ns
直流精度					
无失码		16			位
积分线性误差	PGIA增益 = 0.2、0.4或0.8, COM = 0 V	-2.5	±1	+2.5	LSB
	PGIA增益 = 1.6, COM = 0 V	-3	±1	+3	LSB
差分线性误差	所有PGIA增益, COM = 0 V	-0.95	±0.5	+1.25	LSB
跃迁噪声	PGIA增益 = 0.2或0.4		6		LSB
	PGIA增益 = 0.8		7		LSB
	PGIA增益 = 1.6		10		LSB
增益误差 <sup>4</sup>	外部基准电压源, 所有PGIA增益	-0.075		+0.075	%FS
增益误差匹配, 变化均值	外部基准电压源, 所有PGIA增益	-0.05		+0.05	%FS
增益误差温漂	外部基准电压源, PGIA增益 = 0.2、0.4或0.8			1	ppm/°C
	外部基准电压源, PGIA增益 = 1.6			2	ppm/°C
失调误差 <sup>4</sup>	外部基准电压源, PGIA增益 = 0.2	-65	-35	+12	LSB
	外部基准电压源, PGIA增益 = 0.4	-85	-45	+12	LSB
	外部基准电压源, PGIA增益 = 0.8	-10	0	+10	LSB
	外部基准电压源, PGIA增益 = 1.6	0	130	250	LSB
失调误差匹配, 变化均值	外部基准电压源, PGIA增益 = 0.2、0.4、0.8或1.6	-15	±1	+15	LSB
失调误差温漂	外部基准电压源, PGIA增益 = 0.2或0.4, IN0至IN7	0	0.5	2	ppm/°C
	外部基准电压源, PGIA增益 = 0.8, IN0至IN7	0	1.5	3	ppm/°C
	外部基准电压源, PGIA增益 = 1.6, IN0至IN7	0	2.5	5	ppm/°C
交流精度 <sup>5</sup>					
信噪比	内部基准电压源 $f_{IN} = 1\text{ kHz}$ , COM = 0 V				
	PGIA增益 = 0.2	90.0	91.5		dB
	PGIA增益 = 0.4	89.5	91.0		dB
	PGIA增益 = 0.8	87.5	89.0		dB
	PGIA增益 = 1.6	85.0	86.5		dB
信纳比(SINAD)	$f_{IN} = 1\text{ kHz}$ , 2、4、6和8通道				
	PGIA gain = 0.2	89.5	91.0		dB
	PGIA增益 = 0.4	89.0	90.5		dB
	PGIA增益 = 0.8	87.0	88.5		dB
	PGIA增益 = 1.6	84.0	86.0		dB

# ADAS3023

参数	测试条件/注释	最小值	典型值	最大值	单位 <sup>1</sup>
动态范围	$f_{IN} = 1 \text{ kHz}$ , $-60 \text{ dB}$ 输入 PGIA增益 = 0.2 PGIA增益 = 0.4 PGIA增益 = 0.8 PGIA增益 = 1.6	91.0 90.5 88.0 86.0	92 91.5 89.5 87.0		dB dB dB dB
总谐波失真	$f_{IN} = 1 \text{ kHz}$ , 所有PGIA增益		-100		dB
无杂散动态范围	$f_{IN} = 1 \text{ kHz}$ , 所有PGIA增益		105		dB
通道间串扰	$f_{IN} = 1 \text{ kHz}$ , 所有通道无效		95		dB
直流共模抑制比(CMRR)	所有通道 PGIA增益 = 0.2 PGIA增益 = 0.4 PGIA增益 = 0.8 PGIA增益 = 1.6		95.0 95.0 95.0 95.0		dB dB dB dB
-3 dB输入带宽	-40 dBFS		8		MHz
内部基准电压源 REFx引脚					
输出电压	$T_A = 25^\circ\text{C}$	4.088	4.096	4.104	V
输出电流	$T_A = 25^\circ\text{C}$		250		$\mu\text{A}$
温度漂移	REFEN位 = 1		$\pm 5$		ppm/ $^\circ\text{C}$
	REFEN位 = 0, REFIN引脚 = 2.5 V		$\pm 1$		ppm/ $^\circ\text{C}$
线性调整率					
内部基准电压源	AVDD = $5 \text{ V} \pm 5\%$		20		V/V
仅缓冲器	AVDD = $5 \text{ V} \pm 5\%$		4		ppm
REFIN输出电压 <sup>6</sup>	$T_A = 25^\circ\text{C}$	2.495	2.5	2.505	V
开启建立时间	$C_{REFIN}, C_{REF1}, C_{REF2} = 10 \mu\text{F}    0.1 \mu\text{F}$		100		ms
外部基准电压源	REFEN位 = 0				
电压范围	REFx输入, REFIN = 0 V REFIN输入(缓冲)	4.000	4.096	4.104	V V
耗用电流	$f_s = 500 \text{ kSPS}$		100		$\mu\text{A}$
数字输入					
逻辑电平					
$V_{IL}$	$V_{IO} > 3 \text{ V}$	-0.3		$+0.3 \times V_{IO}$	V
$V_{IH}$	$V_{IO} > 3 \text{ V}$	$0.7 \times V_{IO}$		$V_{IO} + 0.3$	V
$V_{IL}$	$V_{IO} \leq 3 \text{ V}$	-0.3		$+0.1 \times V_{IO}$	V
$V_{IH}$	$V_{IO} \leq 3 \text{ V}$	$0.9 \times V_{IO}$		$V_{IO} + 0.3$	V
$I_{IL}$		-1		+1	$\mu\text{A}$
$I_{IH}$		-1		+1	$\mu\text{A}$
数字输出 <sup>7</sup>					
数据格式		二进制补码			
$V_{OL}$	$I_{SINK} = +500 \mu\text{A}$			0.4	V
$V_{OH}$	$I_{SOURCE} = -500 \mu\text{A}$	$V_{IO} - 0.3$			V
电源					
VIO		1.8		AVDD + 0.3	V
AVDD		4.75	5	5.25	V
DVDD		4.75	5	5.25	V
VDDH	VDDH > 输入电压 + 2.5 V	14.25	15	15.75	V
VSSH	VSSH < 输入电压 - 2.5 V	-15.75	-15	-14.25	V

参数	测试条件/注释	最小值	典型值	最大值	单位 <sup>1</sup>
I <sub>VDDH</sub>	2通道		5.0	5.5	mA
	4通道		6.0	7.0	mA
	6通道		9.5	10.5	mA
	8通道		9.5	10.5	mA
	PD = 1		10.0		μA
I <sub>VSSH</sub>	2通道	-5.5	+5.0		mA
	4通道	-6.5	+5.5		mA
	6通道	-10.0	-8.5		mA
	8通道	-10.0	-8.5		mA
	所有PGIA增益, PD = 1		10.0		μA
I <sub>AVDD</sub>	所有PGIA增益, PD = 0, 基准电压缓冲器使能		16.0	17.0	mA
	所有PGIA增益, PD = 0, 基准电压缓冲器禁用			15.5	mA
I <sub>DVDD</sub>	所有PGIA增益, PD = 1		100		μA
	所有PGIA增益, PD = 0		2.5	3	mA
I <sub>VIO</sub>	所有PGIA增益, PD = 1		100		μA
	所有PGIA增益, PD = 0, V <sub>IO</sub> = 3.3 V			1.0	mA
电源灵敏度	所有PGIA增益, PD = 1		10.0		μA
	外部基准电压源, T <sub>A</sub> = 25°C				
	PGIA增益 = 0.2或0.4, V <sub>D</sub> DH/V <sub>S</sub> SH = ±15 V ± 5%		±0.1		LSB
	PGIA增益 = 0.8, V <sub>D</sub> DH/V <sub>S</sub> SH = ±15 V ± 5%		±0.2		LSB
	PGIA增益 = 1.6, V <sub>D</sub> DH/V <sub>S</sub> SH = ±15 V ± 5%		±0.4		LSB
	PGIA增益 = 0.2或0.4, AV <sub>D</sub> D、DV <sub>D</sub> D = ±5 V ± 5%		±1.0		LSB
PGIA增益 = 0.8, AV <sub>D</sub> D、DV <sub>D</sub> D = ±5 V ± 5%		±1.5		LSB	
PGIA增益 = 1.6, AV <sub>D</sub> D、DV <sub>D</sub> D = ±5 V ± 5%		±2.5		LSB	
温度范围 额定性能	T <sub>MIN</sub> 至T <sub>MAX</sub>	-40		+85	°C

<sup>1</sup> LSB单位表示最低有效位。以输入为基准的LSB权重随输入电压范围改变而改变。LSB大小见“可编程增益”部分。

<sup>2</sup> 满量程差分输入范围±2.56 V、±5.12 V、±10.24 V和±20.48 V由配置寄存器设置。

<sup>3</sup> 如果在ADAS3023之前使用外部多路复用器，它必须在CNV上升沿前至少820 ns切换。

<sup>4</sup> 参见术语部分。这些参数是在环境温度、使用外部基准电压源的情况下指定。温度和电源的所有其它影响单独测量和指定。

<sup>5</sup> 除非另有说明，所有用分贝(dB)表示的交流规格均参考满量程输入范围(FSR)，并用低于满量程0.5 dB的输入信号进行测试。

<sup>6</sup> 内部带隙基准电压源的输出。

<sup>7</sup> 无流水线延迟。转换完成后立即提供转换结果。

# ADAS3023

## 时序规格

除非另有说明，VDDH = 15 V ± 5%，VSSH = -15 V ± 5%，AVDD = DVDD = 5 V ± 5%，VIO = 1.8 V至AVDD，内部基准电压  
 $V_{REF} = 4.096\text{ V}$ ， $f_s = 500\text{ kSPS}$ ，所有规格均相对于 $T_{MIN}$ 至 $T_{MAX}$ 。<sup>1</sup>

表3.

参数	符号	最小值	典型值	最大值	单位
转换间隔时间 Warp <sup>2</sup> 模式，CMS = 0 2通道 4通道 6通道 8通道 正常模式(默认)，CMS = 1 2通道 4通道 6通道 8通道	t <sub>CYC</sub>	2.0 4.0 6.0 8.0		1000 1000 1000 1000	μs μs μs μs
转换时间：CNV上升沿至数据可用 Warp模式，CMS = 0 2通道 4通道 6通道 8通道 正常模式(默认)，CMS = 1 2通道 4通道 6通道 8通道	t <sub>CONV</sub>		1485 2850 4215 5580	1630 3340 5000 6700	ns ns ns ns
CNV 脉冲宽度 CNV高电平至保持时间(孔径延迟) CNV高电平至BUSY/SDO2延迟	t <sub>CNVH</sub> t <sub>AD</sub> t <sub>CBD</sub>	10	2	520	ns ns ns
SCK 周期 低电平时间 高电平时间 SCK下降沿至数据仍然有效 SCK下降沿至数据有效延迟时间 VIO > 4.5 V VIO > 3 V VIO > 2.7 V VIO > 2.3 V VIO > 1.8 V	t <sub>SCK</sub> t <sub>SCKL</sub> t <sub>SCKH</sub> t <sub>SDOH</sub> t <sub>SDOV</sub>	t <sub>SDOV</sub> + 3 5 5 4		12 18 24 25 37	ns ns ns ns ns
CS/RESET/PD $\overline{\text{CS}}$ /RESET/PD低电平至SDO D15 MSB有效 VIO > 4.5 V VIO > 3 V VIO > 2.7 V VIO > 2.3 V VIO > 1.8 V $\overline{\text{CS}}$ /RESET/PD高电平至SDO高阻抗 CNV上升沿至 $\overline{\text{CS}}$	t <sub>EN</sub> t <sub>DIS</sub> t <sub>CCS</sub>			7 8 10 15 20 25	ns ns ns ns ns ns
		5			ns

参数	符号	最小值	典型值	最大值	单位
DIN					
SCK下降沿至DIN有效设置时间	$t_{DINS}$	4			ns
SCK下降沿至DIN有效保持时间	$t_{DINH}$	4			ns
RESET/PD高电平脉冲	$t_{RH}$	5			ns

<sup>1</sup> 负载条件参见图2和图3。

<sup>2</sup> 超过最长时间会对转换精度产生影响(见“转换模式”部分)。

## 电路图和电压图

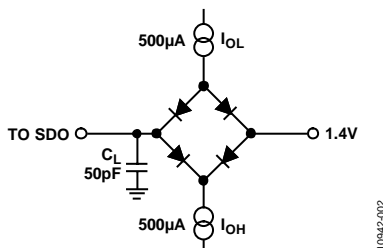
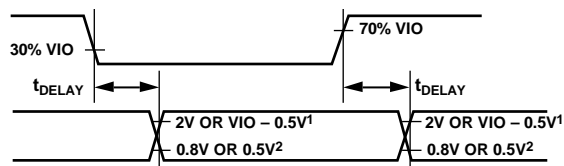


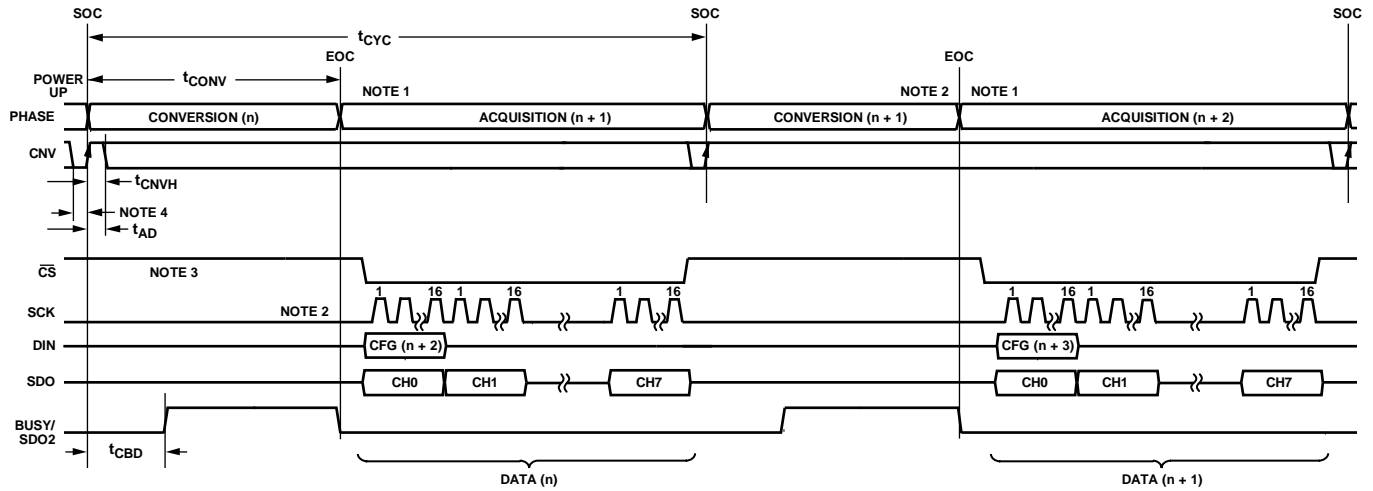
图2. 数字接口时序的负载电路



<sup>1</sup>2V IF VIO > 2.5V; VIO - 0.5V IF VIO < 2.5V.  
<sup>2</sup>0.8V IF VIO > 2.5V; 0.5V IF VIO < 2.5V.

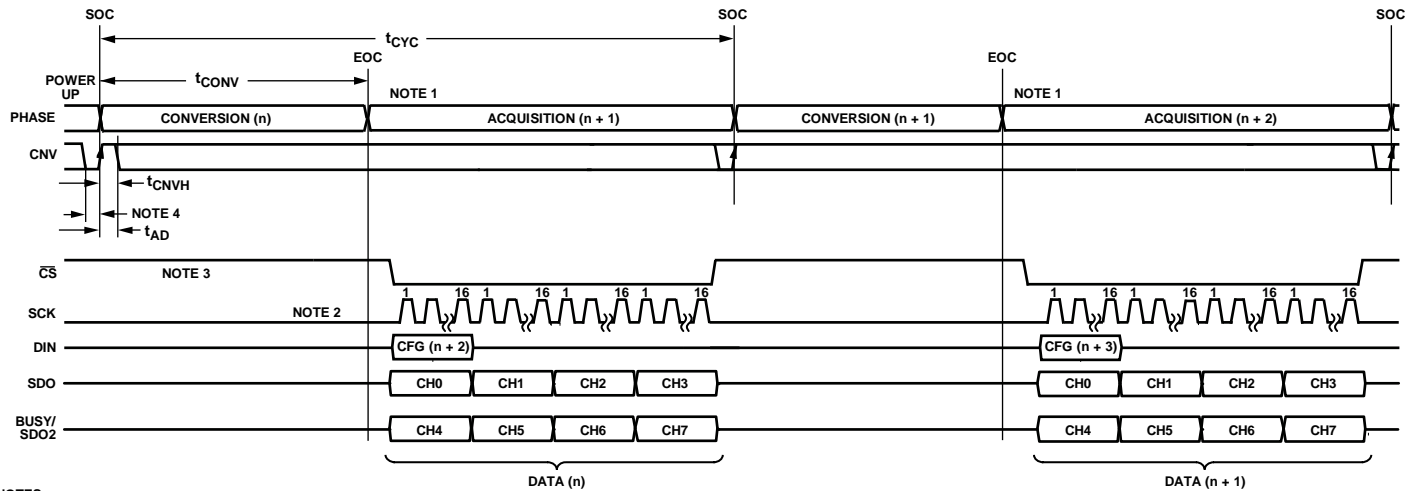
图3. 时序的电平

## 时序图



- NOTES
1. DATA ACCESS CAN ONLY OCCUR AFTER CONVERSION. BOTH CONVERSION RESULT AND THE CFG REGISTER ARE UPDATED AT THE END OF THE CONVERSION (EOC).
  2. A TOTAL OF 16 SCK FALLING EDGES ARE REQUIRED FOR CONVERSION RESULT. AN ADDITIONAL 16 EDGES AFTER THE LAST CONVERSION RESULT ON BUSY READS BACK THE CFG ASSOCIATED WITH CONVERSION.
  3.  $\overline{CS}$  CAN BE HELD LOW OR CONNECTED TO CNV.  $\overline{CS}$  IS SHOWN WITH FULL INDEPENDENT CONTROL.
  4. FOR OPTIMAL PERFORMANCE, DATA ACCESS SHOULD NOT OCCUR DURING THE SAMPLING INSTANT. A MINIMUM TIME OF AT LEAST THE APERTURE DELAY,  $t_{AD}$ , SHOULD LAPSE PRIOR TO DATA ACCESS.

图4. BUSY/SDO2禁用时的通用时序图



- NOTES
1. DATA ACCESS CAN ONLY OCCUR AFTER CONVERSION. BOTH CONVERSION RESULT AND THE CFG REGISTER ARE UPDATED AT THE END OF THE CONVERSION (EOC).
  2. A TOTAL OF 16 SCK FALLING EDGES ARE REQUIRED FOR CONVERSION RESULT. AN ADDITIONAL 16 EDGES AFTER THE LAST CONVERSION RESULT ON BUSY READS BACK THE CFG ASSOCIATED WITH CONVERSION.
  3.  $\overline{CS}$  CAN BE HELD LOW OR CONNECTED TO CNV.  $\overline{CS}$  IS SHOWN WITH FULL INDEPENDENT CONTROL.
  4. FOR OPTIMAL PERFORMANCE, DATA ACCESS SHOULD NOT OCCUR DURING THE SAMPLING INSTANT. A MINIMUM TIME OF AT LEAST THE APERTURE DELAY,  $t_{AD}$ , SHOULD LAPSE PRIOR TO DATA ACCESS.

图5. BUSY/SDO2使能时的通用时序图



绝对最大额定值

表4.

参数	额定值
模拟输入/输出	
Inx, COM至AGND	VSSH - 0.3 V至VDDH + 0.3 V
REFx至AGND	AGND - 0.3 V至AVDD + 0.3 V
REFIN至AGND	AGND - 0.3 V to +2.7 V
REFN至AGND	±0.3 V
地电压差	
AGND, RGND, DGND	±0.3 V
电源电压	
VDDH至AGND	-0.3 V至+16.5 V
VSSH至AGND	+0.3 V至-16.5 V
AVDD, DVDD, VIO至AGND	-0.3 V至+7 V
ACAP, DCAP, RCAP至AGND	-0.3 V至+2.7 V
数字输入/输出	
CNV, DIN, SCK, RESET, PD至DGND $\overline{CS}$	-0.3 V至VIO + 0.3 V
SDO, BUSY/SDO2至DGND	-0.3 V至VIO + 0.3 V
内部功耗	2 W
结温	125°C
存储温度范围	-65°C至+125°C
热阻	
$\theta_{JA}$ (LFCSP)	44.1°C/W
$\theta_{JC}$ (LFCSP)	0.28°C/W

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

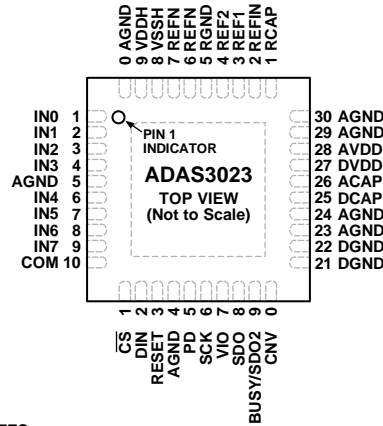
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

## 引脚配置和功能描述



NOTES  
1. CONNECT THE EXPOSED PAD TO VSSH.

10942-006

图6. 引脚配置

表5. 引脚功能描述

引脚编号	引脚名称	类型 <sup>1</sup>	说明
1至4	IN0至IN3	AI	输入通道0至输入通道3。
6至9	IN4至IN7	AI	输入通道4至输入通道7。
5, 14, 23, 24, 29, 30, 40	AGND	P	模拟地。 AGND连接到系统模拟接地层。
10	COM	AI	IN0至IN7公共通道输入。输入通道IN0至IN7以一个公共点为基准。对于所有PGIA增益, 此引脚的最大电压为±10.24 V。
11	$\overline{CS}$		片选。低电平有效信号。使能写入和读取数据的数字接口。共用串行总线时使用 $\overline{CS}$ 引脚。为实现ADAS3023专用且简化的串行接口, 可将 $\overline{CS}$ 连接至DGND或CNV。
12	DIN	DI	数据输入。DIN是串行数据输入, 用于写入16位配置(CFG)字, 该配置字在SCK上升沿输入器件。CFG是内部寄存器, 在下一个转换脉冲结束时的上升沿更新, 它与BUSY/SDO2的下降沿重合。CFG寄存器在转换结束后的前16个时钟写入器件。 为避免串行总线上的数字活动破坏转换, 请勿在转换期间写入数据。
13	RESET	DI	异步复位。低电平至高电平转换可复位ADAS3023。中断电流转换(若已激活)并复位CFG寄存器至默认状态。
15	PD	DI	关断。低电平至高电平转换可关断ADAS3023, 使器件工作电流最小。注意, PD必须保持高电平, 直到用户准备好给器件上电。器件上电后, 用户必须等待100 ms, 直到基准电压源使能, 然后等待一个伪转换完成, 之后器件可以进行转换。 注意, PD释放后, RESET引脚会保持低电平100 ns。详情参见“省电模式”部分。
16	SCK	DI	串行时钟输入。发送至ADAS3023和来自该器件的DIN以及SDO数据与SCK同步。
17	VIO	P	数字接口电源。建议VIO的标称值应与主机接口的电源电压相等: 1.8 V、2.5 V、3.3 V或5 V。
18	SDO	DO	串行数据输出。转换结果通过此引脚输出, 与SCK下降沿同步。转换结果以二进制补码格式通过此引脚输出。
19	BUSY/SDO2	DO	繁忙/串行数据输出2。当 $\overline{CS}$ 为逻辑高电平时, 转换器繁忙信号始终通过BUSY/SDO2引脚输出。当 $\overline{CS}$ 在EOC之后变为低电平时, 如果SDO2使能, 则SDO输出数据。转换结果通过此引脚输出, 与SCK下降沿同步。转换结果以二进制补码格式通过此引脚输出。
20	CNV	DI	转换输入。转换在CNV引脚的上升沿启动。
21, 22	DGND	P	数字地。将DGND连接到系统数字接地层。
25	DCAP	P	内部2.5 V数字调节器输出引脚。使用一个10 μF电容和一个0.1 μF本地电容对DCAP(内部调节输出)进行去耦。
26	ACAP	P	内部2.5 V模拟调节器输出引脚。该调节器为内部ADC内核以及所有辅助模拟电路提供电源, 但内部基准电压源除外。使用一个10 μF电容和一个0.1 μF本地电容对此内部调节输出(ACAP)进行去耦。

引脚编号	引脚名称	类型 <sup>1</sup>	说明
27	DVDD	P	5 V数字电源。使用一个10 μF电容和一个0.1 μF本地电容将DVDD电源去耦到DGND。
28	AVDD	P	5 V模拟电源。使用一个10 μF电容和一个0.1 μF本地电容将AVDD电源去耦到AGND。
31	RCAP	P	内部2.5 V模拟调节器输出引脚。RCAP为内部基准电压源提供电源。使用一个10 μF电容和一个0.1 μF本地电容对此内部调节输出(RCAP)进行去耦。
32	REFIN		内部2.5 V带隙基准电压源输出、基准电压缓冲器输入或基准电压源关断输入。REF1和REF2必须在外部连在一起。详情参见“基准电压源输入/输出”部分。
33, 34	REF1, REF2	AI/O	基准电压输入/输出。无论何种基准源，REF1和REF2都需要通过外部10 μF陶瓷电容进行单独去耦，并且陶瓷电容应尽可能靠近REF1、REF2和REFN。 详情参见“基准电压源输入/输出”部分。
35	RGND	P	基准电压源地。RGND连接到系统模拟接地层。
36, 37	REFN	P	基准电压输入/输出地。将REF1和REF2上的10 μF电容与REFN引脚相连，然后将REFN引脚与系统模拟接地层相连。
38	VSSH	P	高电压模拟负电源。VSSH的电源标称值为-15 V。 使用一个10 μF电容和一个0.1 μF本地电容对VSSH进行去耦。将裸露焊盘连接至VSSH。
39	VDDH	P	高电压模拟正电源。VDDH的电源标称值为15 V。 使用一个10 μF电容和一个0.1 μF本地电容对VDDH进行去耦。
	EP	N/A	裸露焊盘。将裸露焊盘连接至VSSH。

<sup>1</sup> AI = 模拟输入，AI/O = 模拟输入/输出，DI = 数字输入，DO = 数字输出，P = 电源，N/A表示不适用。

## 典型工作特性

除非另有说明,  $VDDH = 15\text{ V}$ ,  $VSSH = -15\text{ V}$ ,  $AVDD = DVDD = 5\text{ V}$ ,  $VIO = 1.8\text{ V}$ 至 $AVDD$ 。

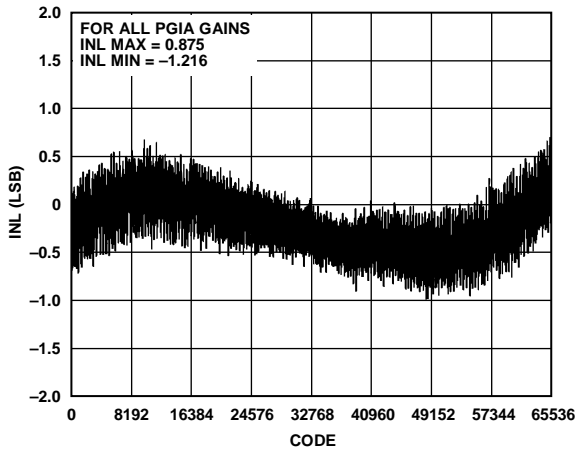


图7. 积分非线性(INL)与码的关系, 所有PGA增益

10942-101

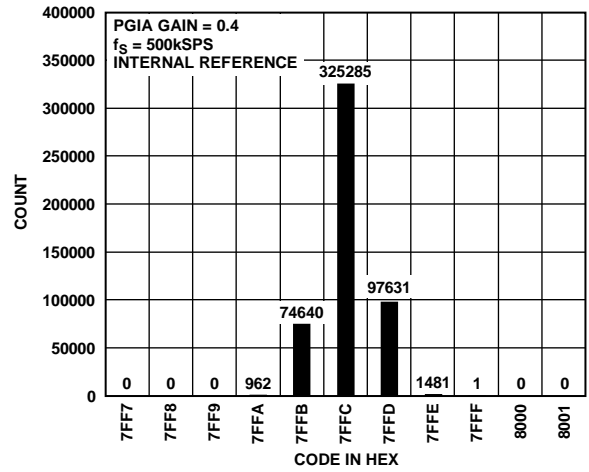


图10. 一个直流输入的直方图(码中心), PGA增益 = 0.4

10942-104

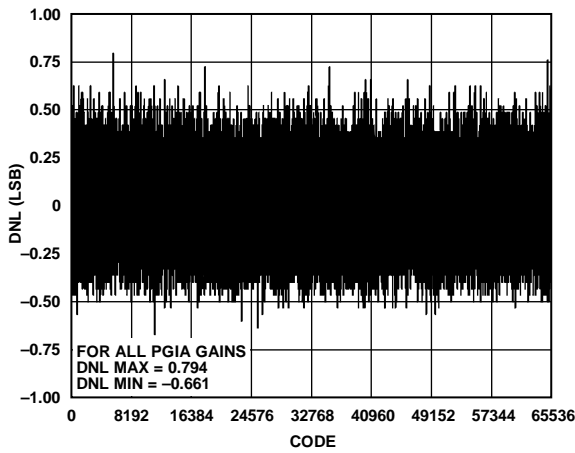


图8. 差分非线性(DNL)与码的关系, 所有PGA增益

10942-102

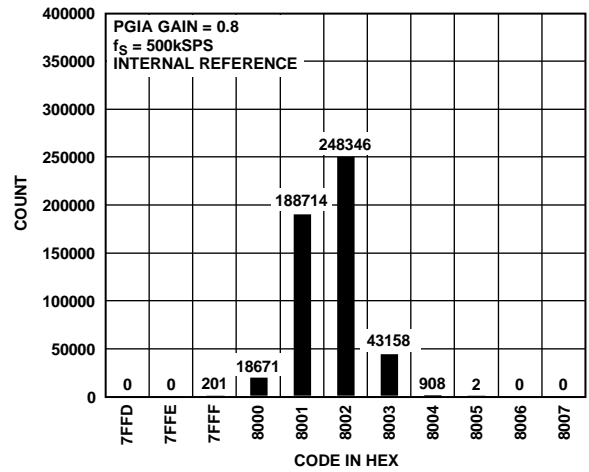


图11. 一个直流输入的直方图(码中心), PGA增益 = 0.8

10942-105

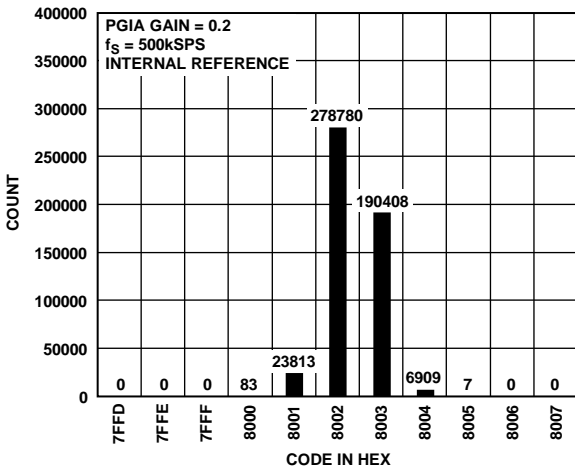


图9. 一个直流输入的直方图(码中心), PGA增益 = 0.2

10942-103

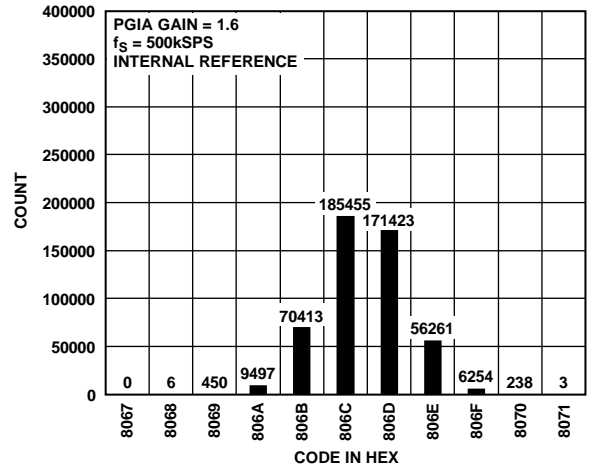


图12. 一个直流输入的直方图(码中心), PGA增益 = 1.6

10942-106

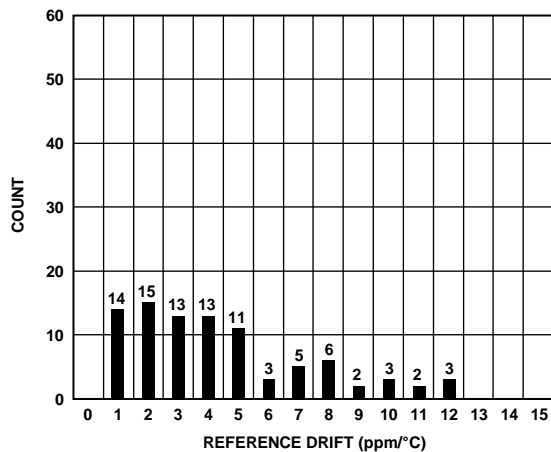


图13. 基准电压漂移, 内部基准电压源

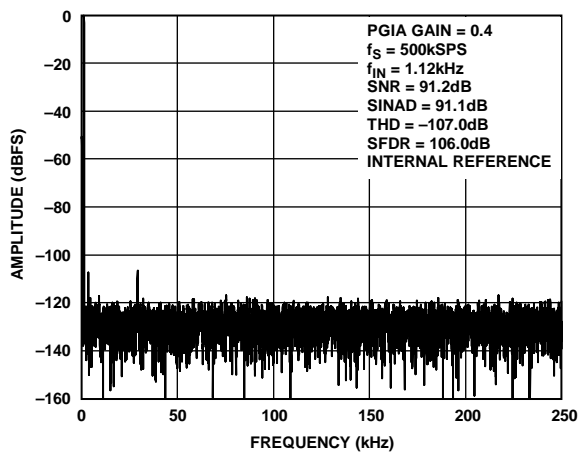


图16. 1 kHz FFT, PGIA增益 = 0.4

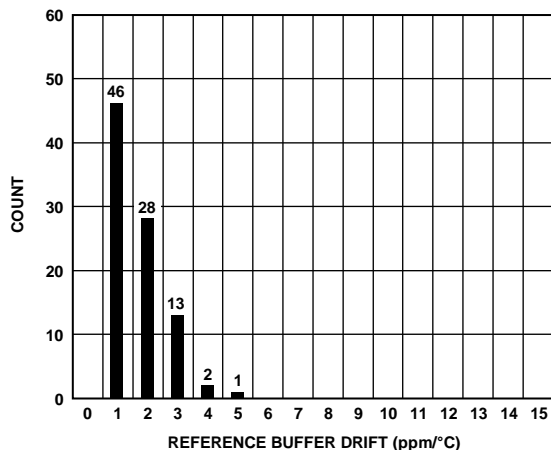


图14. 基准电压缓冲器漂移, 内部基准电压源

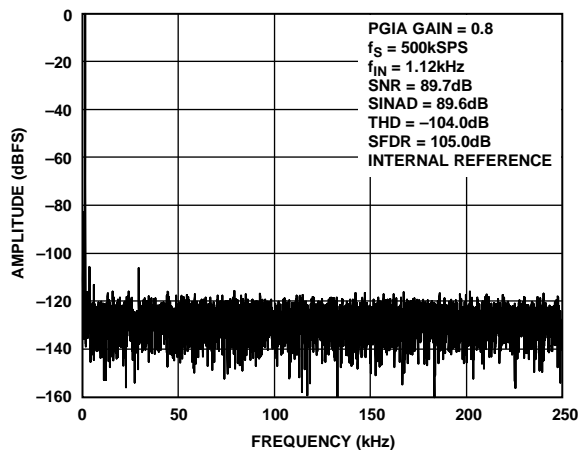


图17. 1 kHz FFT, PGIA增益 = 0.8

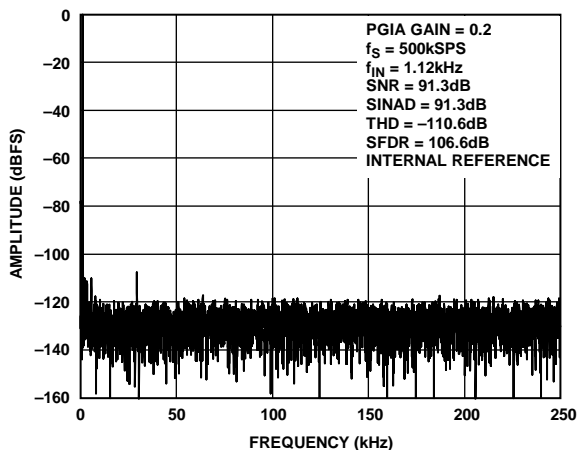


图15. 1 kHz FFT, PGIA增益 = 0.2

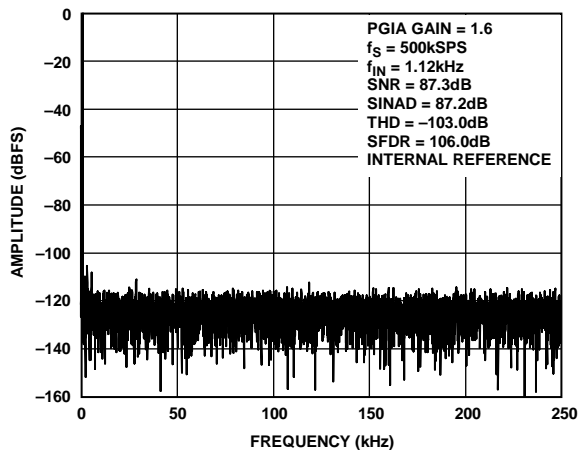


图18. 1 kHz FFT, PGIA增益 = 1.6

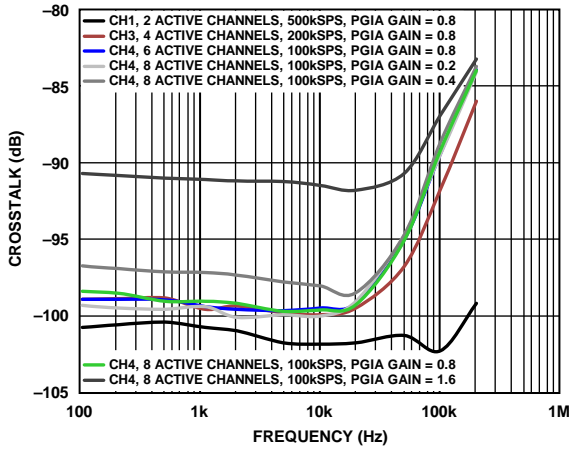


图19. 串扰与频率的关系

10942-113

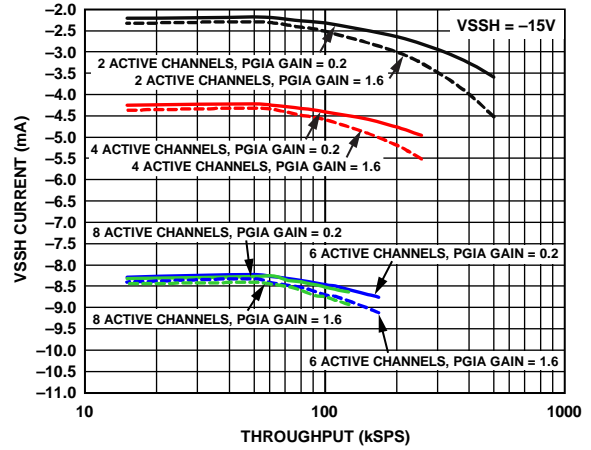


图22. VSSH电流与吞吐速率的关系

10942-118

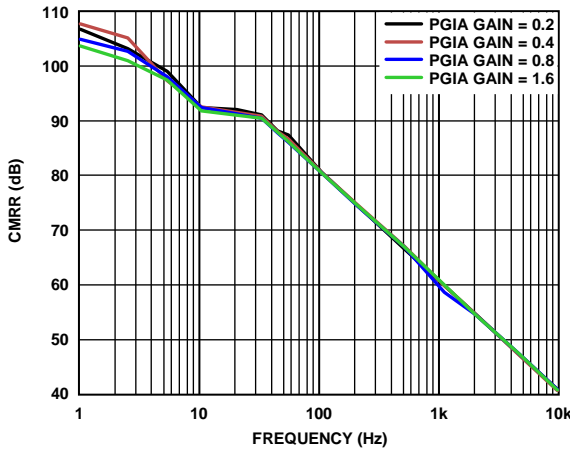


图20. CMRR与频率的关系

10942-114

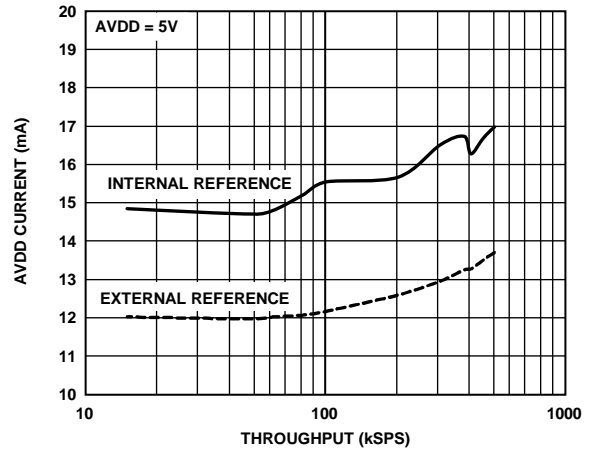


图23. AVDD电流与吞吐速率的关系

10942-119

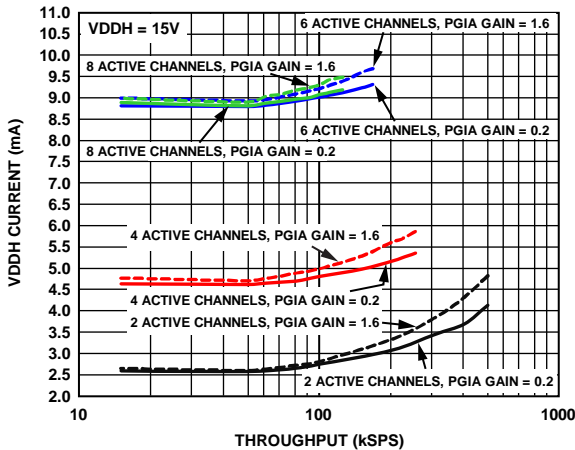


图21. VDDH电流与吞吐速率的关系

10942-115

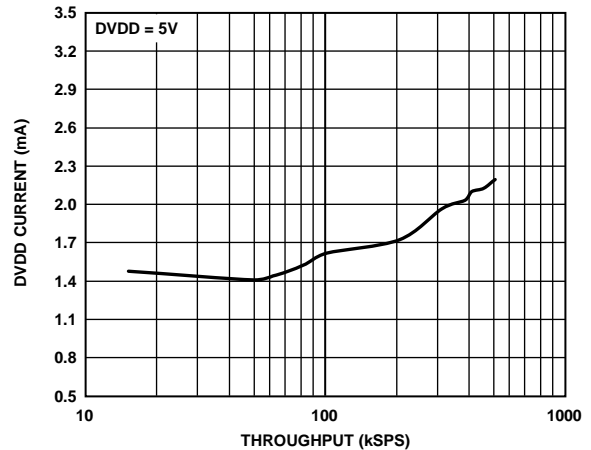


图24. DVDD电流与吞吐速率的关系

10942-120

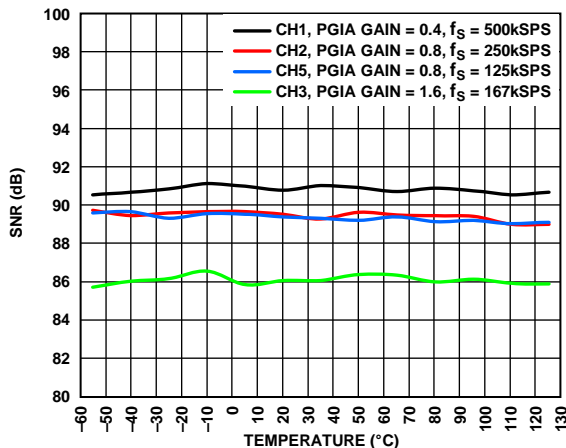


图25. SNR与温度的关系

10942-111

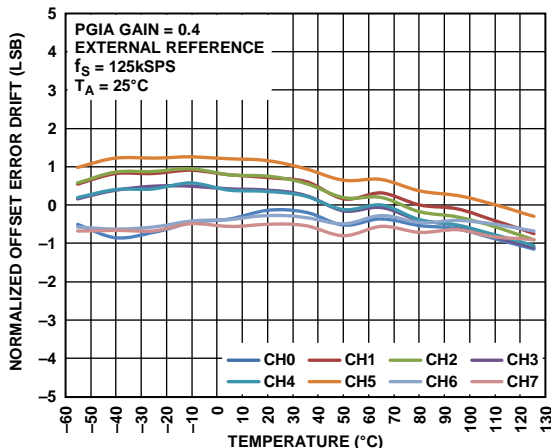


图28. 归一化失调误差漂移, PGIA增益 = 0.4

10942-122

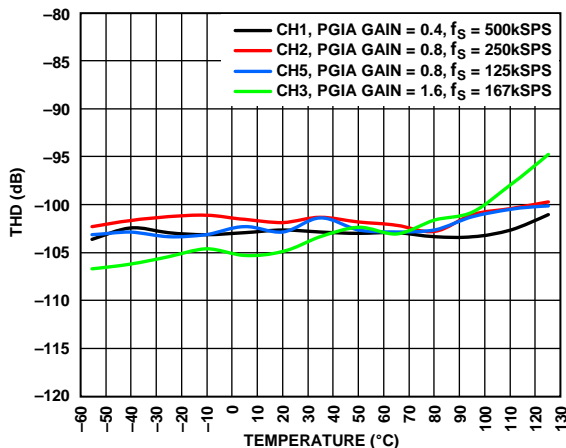


图26. THD与温度的关系

10942-112

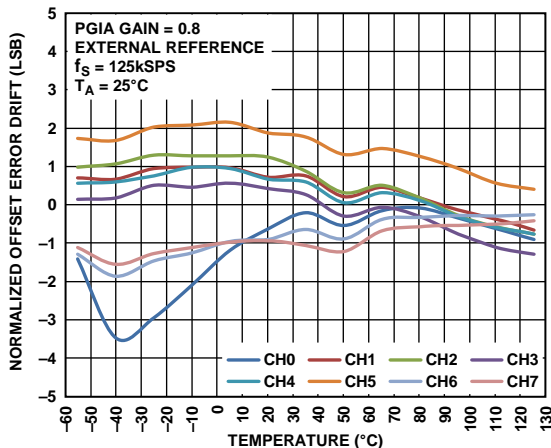


图29. 归一化失调误差漂移, PGIA增益 = 0.8

10942-123

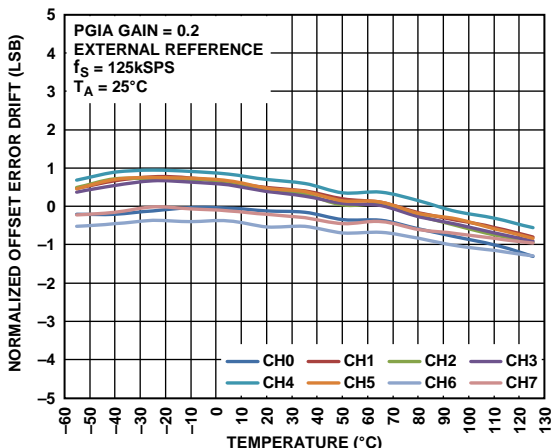


图27. 归一化失调误差漂移, PGIA增益 = 0.2

10942-121

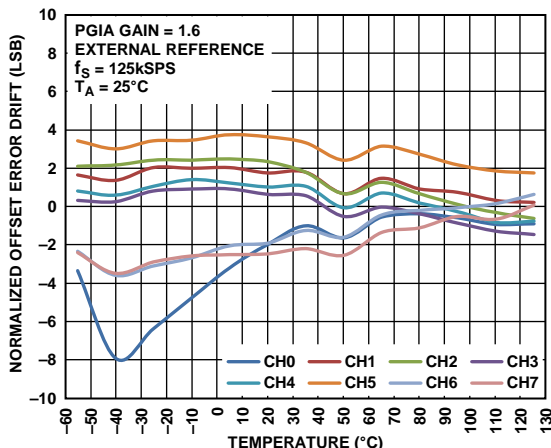


图30. 归一化失调误差漂移, PGIA增益 = 1.6

10942-124

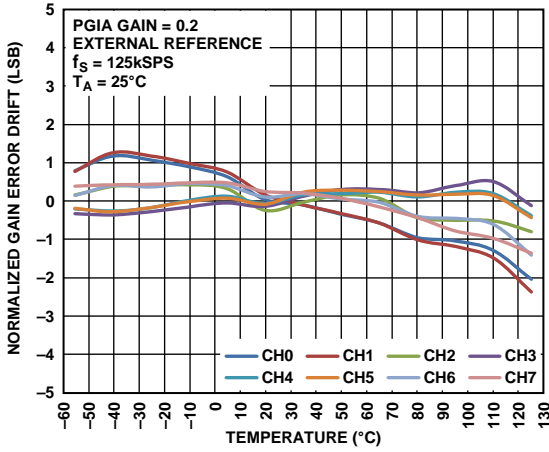


图31. 归一化增益误差漂移误差, PGIA增益 = 0.2

10942-125

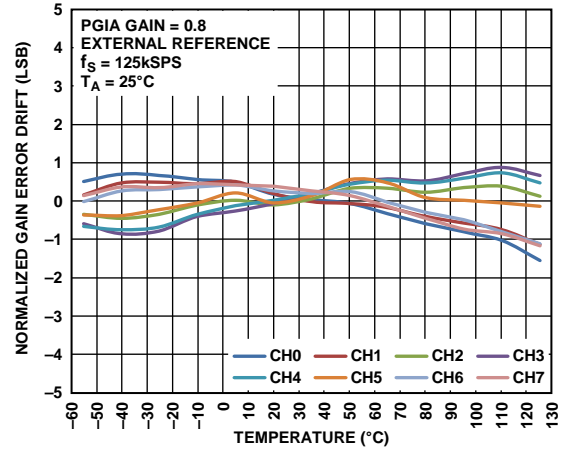


图33. 归一化增益误差漂移误差, PGIA增益 = 0.8

10942-127

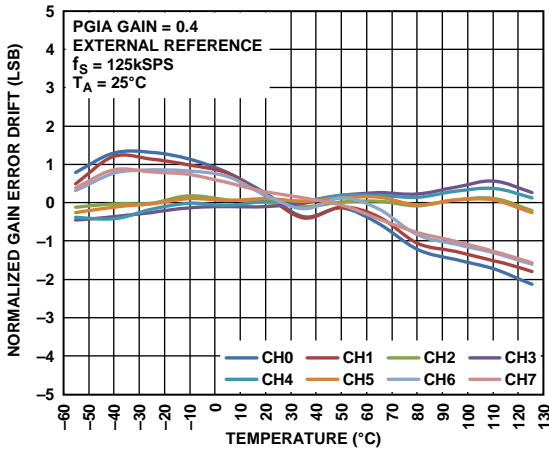


图32. 归一化增益误差漂移误差, PGIA增益 = 0.4

10942-126

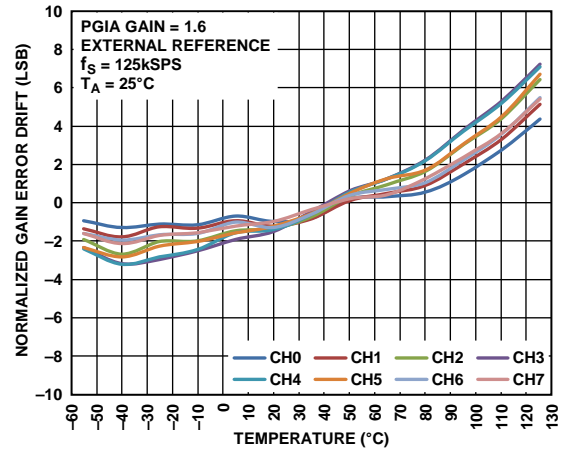


图34. 归一化增益误差漂移误差, PGIA增益 = 1.6

10942-128



## 术语

### 工作输入电压范围

工作输入电压范围是输入通道IN0至IN7和COM上可以施加的最大输入电压范围，包括共模电压。

### 差分输入电压范围

差分输入电压范围为最大差分满量程输入范围。数值随所选的可编程增益设置而改变。

### 通道关断泄漏

通道关断泄漏是通道关断时的泄漏电流。

### 通道导通泄漏

通道导通泄漏是通道导通时的泄漏电流。

### 共模抑制比(CMRR)

CMRR是转换结果中折合到输入端的信号幅度与一对输入经共模调制后的信号幅度之比，以分贝(dB)表示。CMRR衡量ADAS3023抑制噪声信号的能力，比如输入端常见的电源线噪声。此规格对所有输入通道(IN0至IN7，相对于COM)进行测试和指定。

### 瞬态响应

瞬态响应衡量系统在施加满量程阶跃信号后，ADAS3023对输入进行准确采集所需的时间。

### 最低有效位(LSB)

LSB是转换器可以表示的最小增量。对于N位分辨率的全差分输入ADC，LSB(单位：伏特)的计算公式如下：

$$LSB(V) = \frac{2V_{REF}}{2^N}$$

### 积分非线性误差(INL)

INL是指每个码与一条从负满量程画到正满量程的直线偏差。用作负满量程的该点出现在第一个码跃迁之前的 $\frac{1}{2}$  LSB处。正满量程定义为超出最后一个码跃迁 $1\frac{1}{2}$  LSB的一个电平。从各码的中心到该直线的距离即为偏差(见图37)。

### 差分非线性误差(DNL)

在一个理想ADC中，码跃迁相距1 LSB。DNL是指实际值与此理想值的最大偏差。经常用保证无失码的分辨率来描述DNL。

### 失调误差

理想情况下，MSB转换发生在比模拟地高 $\frac{1}{2}$  LSB的输入电平处。失调误差是指实际跃迁与该点的偏差。

### 增益误差

理想情况下，当一个模拟电压低于标称满量程 $1\frac{1}{2}$  LSB时，发生最后一个码跃迁(从011 ... 10到011 ... 11)。增益误差是指在消除失调误差之后，最后一个码转换的实际电平与理想电平的偏差，用LSB(或满量程范围的百分比)表示。与之非常相似的一个概念是满量程误差(也用LSB或满量程范围的百分比表示)，后者包括失调误差的影响。

### 孔径延迟

孔径延迟衡量采集性能，指从CNV输入的上升沿到输入信号可进行转换的时间。

### 动态范围

动态范围指满量程的均方根值与施加-60 dBFS输入信号时测得的总均方根噪声之比，用分贝(dB)表示。

### 信噪比(SNR)

SNR指实际输入信号的均方根值与奈奎斯特频率以下除谐波和直流以外所有其它频谱成分的均方根和之比，用分贝(dB)表示。

### 信纳比(SINAD)

SINAD指实际输入信号的均方根值与奈奎斯特频率以下包括谐波但直流除外的所有其它频谱成分的均方根和之比，用分贝(dB)表示。

### 总谐波失真(THD)

THD指前五个谐波成分的均方根和与满量程输入信号的均方根值之比，用分贝(dB)表示。

### 无杂散动态范围(SFDR)

SFDR指输入信号与峰值杂散信号的均方根幅值之差，用分贝(dB)表示。

## 通道间串扰

通道间串扰衡量任意通道之间，以及与其它所有通道之间的串扰水平，其测量方法是将一个直流输入信号施加于待测通道，并将一个满量程10 kHz正弦波信号施加于其它所有通道。泄漏进入测试通道的信号量即为串扰，用分贝(dB)表示。

## 基准电压温度系数

基准电压温度系数是在 $T_{MIN}$ 、 $T_A$  (25°C)和 $T_{MAX}$ 时测量的最大和最小基准输出电压( $V_{REF}$ )与25°C时的输出电压的典型偏移，用ppm/°C表示。

$$TCV_{REF} (\text{ppm}/^\circ\text{C}) = \frac{V_{REF} (Max) - V_{REF} (Min)}{V_{REF} (25^\circ\text{C}) \times (T_{MAX} - T_{MIN})} \times 10^6$$

其中：

$V_{REF} (Max)$ 为 $T_{MIN}$ 、 $T_A$  (25°C)或 $T_{MAX}$ 时的最大 $V_{REF}$ 。

$V_{REF} (Min)$ 为 $T_{MIN}$ 、 $T_A$  (25°C)或 $T_{MAX}$ 时的最小 $V_{REF}$ 。

$V_{REF} (25^\circ\text{C})$ 为25°C时的 $V_{REF}$ 。

$T_{MAX} = +85^\circ\text{C}$ 。

$T_{MIN} = -40^\circ\text{C}$ 。

## 工作原理

### 概述

ADAS3023是单芯片上集成典型元器件的8通道16位同步数据采集系统，易于使用且可编程。它能同时转换两个通道，吞吐速率高达500 kSPS。ADAS3023具有如下特性：

- 高阻抗输入
- 高共模抑制
- 8通道低泄漏采样保持器
- 可编程增益仪表放大器(PGIA)具有±2.56 V至±20.48 V的4个可选差分输入范围
- 16位无失码的PulSAR® ADC
- 内置精密、低漂移4.096 V基准电压源和缓冲器

ADAS3023采用ADI专利的高压iCMOS工艺，电源电压为±15 V时允许高达±20.48 V的差分输入电压范围，适合工业应用。

该器件采用小型、6 mm × 6 mm、40引脚LFCSP封装，工作温度为-40°C至+85°C工业温度范围。具有类似电路的典型分立式多通道数据采集系统所需的电路板空间多于ADAS3023。因此，ADAS3023解决方案的优势包括更小的尺寸和更简单的设计要求，因而可加快产品上市时间并降低成本。

### 操作

ADAS3023的模拟电路包括一个高阻抗、低泄漏跟踪保持PGIA，它具有高共模抑制性能，可接受±2.56 V、±5.12 V、±10.24 V和±20.48 V的满量程差分电压(见图15)。ADAS3023可配置为同时对2个、4个、6个或8个通道进行采样。

ADAS3023采用差分结构提供真正的高阻抗输入，并可抑制输入端的共模信号。这种架构不需要额外的输入缓冲器(运算放大器)，而使用基于开关电容的SAR型ADC时，常常需要输入缓冲器来实现信号缓冲、电平转换、放大、衰减和降低反冲。

各通道输入的可编程增益设置的数字控制通过配置(CFG)寄存器设置。

转换结果通过串行数据输出(SDO)和BUSY/SDO2引脚上的可选第二串行数据输出以二进制补码格式输出。数字接口采用专用的芯片选择引脚( $\overline{CS}$ )，控制数据传入/传出ADAS3023，并提供BUSY/SDO2输出、异步复位(RESET)以及掉电(PD)输入。

ADAS3023内部基准电压源使用经过内部温度补偿的2.5 V输出带隙基准电压和精密缓冲器放大器，提供4.096 V高精度系统基准电压。

所有这些元件均通过串行(兼容SPI)16位CFG寄存器进行配置。转换完成后，可读取配置和转换结果。

ADAS3023至少需要用到3个电源：+15 V、-15 V和+5 V。内部低压差调节器提供所需的2.5 V系统电压，并且必须通过专用引脚进行外部去耦(ACAP、DCAP和RCAP)。使用专用的VIO逻辑电平电压源，ADAS3023能够与1.8 V至5 V的任意数字逻辑系列器件实现接口(见表9)。

CNV引脚的上升沿发起转换，并将ADAS3023的状态从跟踪变为保持。ADAS3023在这一阶段执行模拟信号调理和转换。完成信号调理后，ADAS3023回到跟踪状态，同时对样本进行量化处理。这两部分操作满足所需的建立时间要求，同时以16位精度获得高达500 kSPS的快速吞吐速率。

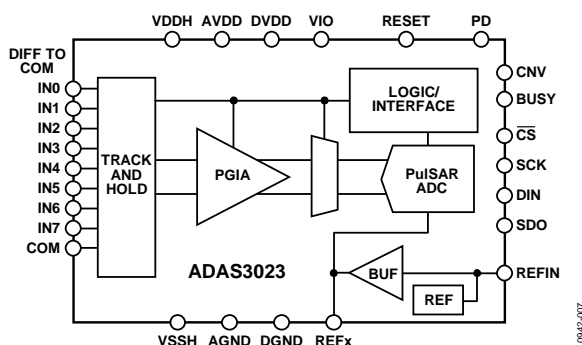
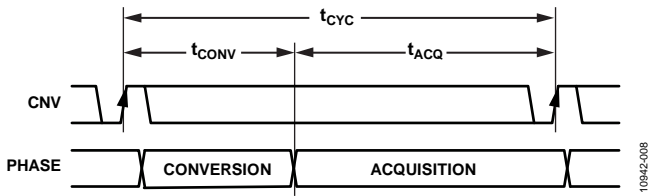


图35. 简化功能框图

# ADAS3023



无论信号的类型如何(单端对称或非对称), ADAS3023都能够像工业标准差分放大器或仪表放大器那样,以差分方式转换所有使能输入和COM引脚上的信号。

完成转换后,转换结果可在下一次转换完成前的任意时刻回读。在BUSY/SDO2为高电平有效的静止期内应避免回读数据。ADAS3023具有一个片上转换时钟,因此转换过程不需要串行时钟(SCK),只是在将结果提供给用户时需要。

## 传递函数

ADAS3023的理想传递特性如图37所示。输入配置为差分输入范围,数据输出为二进制补码形式,如表6所示。

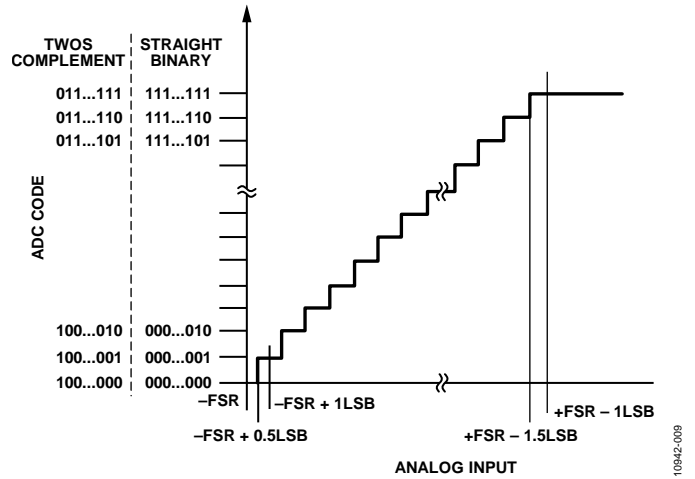


图37. ADC理想传递函数

表6. 输出码和理想输入电压

说明	差分模拟输入, $V_{REF} = 4.096 V$	数字输出码 (二进制补码, 十六进制数)
FSR - 1 LSB	$(32,767 \times V_{REF}) / (32,768 \times \text{PGIA增益})$	0x7FFF
中间电平 + 1 LSB	$(V_{REF} / (32,768 \times \text{PGIA增益}))$	0x0001
中间电平	0	0x0000
中间电平 - 1 LSB	$-(V_{REF} / (32,768 \times \text{PGIA增益}))$	0xFFFF
-FSR + 1 LSB	$-(32,767 \times V_{REF}) / (32,768 \times \text{PGIA增益})$	0x8001
-FSR	$-V_{REF} \times \text{PGIA增益}$	0x8000

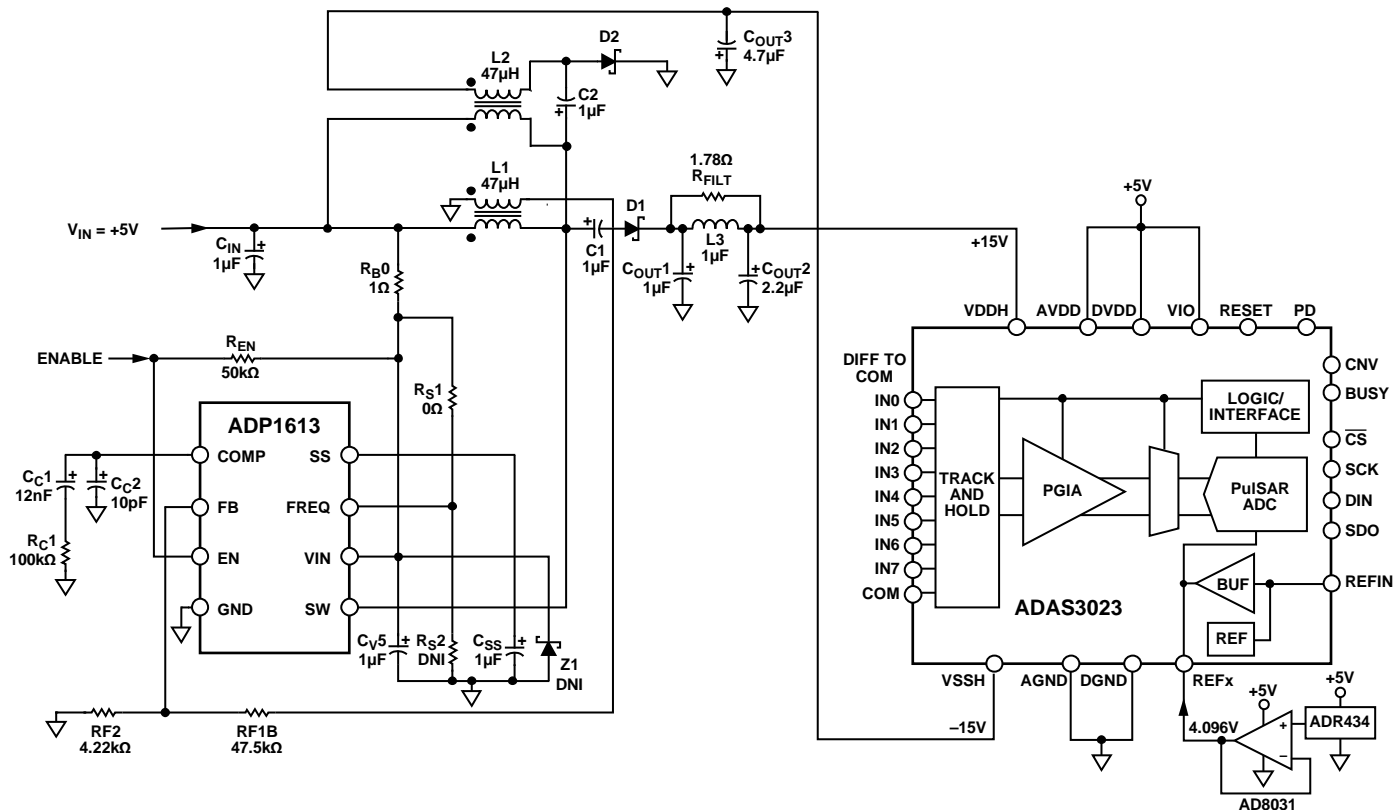


图38. 完整的5 V、单电源、8通道数据采集系统，集成PGIA

## 典型应用连接图

如图38所示，ADP1613用于低成本SEPIC-Cuk拓扑，是ADAS3023在外部5 V电源供电情况下，为其提供20 mA时所需±15 V高压稳定电源以及最大值为3 mV的低输出纹波的理想选择。ADP1613尽可能地减少了外部元器件数目，并且具有超过86%的效率，因此它能满足ADAS3023的规格要求。有关此测试设置的完整信息，请参见电路笔记CN-0201。

## 模拟输入

### 输入结构

ADAS3023在各通道输入(IN0至IN7)与公共参考(COM)之间使用差分输入结构，所有通道同时采样。

图39显示了这些输入的等效电路。二极管为模拟输入(IN0至IN7)和COM提供针对高压电源(VDDH和VSSH)的ESD保护。应确保模拟输入信号不超过供电轨0.3 V以上，否则会造成二极管正偏，并开始传导电流。超出绝对最大额定值的电压可能导致ADAS3023永久性损坏(见表4)。

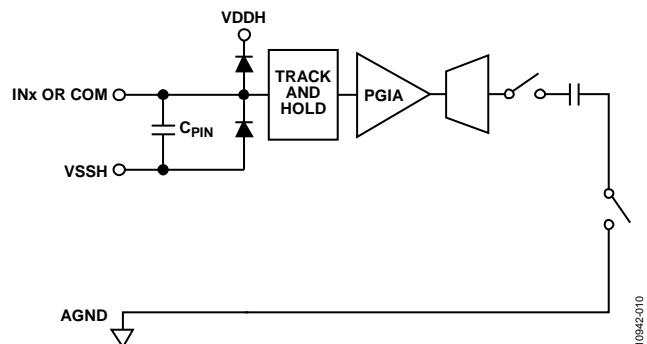


图39. 等效模拟输入电路

### 可编程增益

ADAS3023集成一个可编程增益仪表放大器(PGIA)，它具有四个可选范围。PGIA设置由一个输入引脚和COM引脚上的最大绝对差分输入电压(例如INx至COM)确定。上电与默认条件预设为±20.48 V (PGIA = 11)输入范围。

注意，由于ADAS3023能够采用任何输入类型，比如双极性单端或伪双极性，因此必须设置PGIA以充分利用器件允许的输入范围。

# ADAS3023

表7描述了每个差分输入范围和对应的LSB大小、PGIA位设置以及PGIA增益。

**表7. 差分输入范围、LSB大小和PGIA设置**

差分输入范围, INx - COM (V)	LSB (μV)	PGIA CFG	PGIA 增益 (V/V)
±20.48	625	11	0.2
±10.24	312.5	00	0.4
±5.12	156.3	01	0.8
±2.56	78.13	10	1.6

## 共模工作范围

差分输入共模范围根据给定通道所选的输入范围和高压电源的变化而改变。注意，任何输入引脚的工作输入电压(见“技术规格”部分)相对于VDDH/VSSH电源都需要具有至少2.5 V的裕量：

$$(VSSH + 2.5 V) \leq INx/COM \leq (VDDH - 2.5 V)$$

以下部分提供了针对各种输入信号进行PGIA设置的一些示例。注意，ADAS3023始终计算INx和COM信号的差值。

## 非零直流失调单端信号(非对称)

由于输入端的最大差分电压为5.12 V p-p，当具有2.56 V直流失调的5.12 V p-p信号连接其中一个输入(INx+)，同时信号的直流地检测与COM相连时，±5.12 V范围内的PGIA增益设置为01。这种情况仅使用传递函数的一半代码。

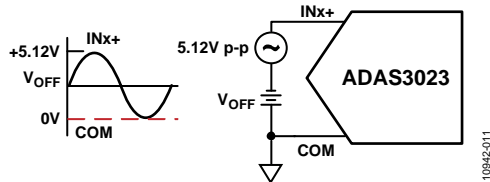


图40. 典型单端单极性输入，仅使用一半代码

## 0V直流失调单端信号(对称)

与“非零直流失调单端信号(非对称)”部分中的示例相比，如果可行的话，对于单端信号而言，更好的解决方案是消除INx和COM之间的一部分直流失调，使平均电压为0V(围绕地检测对称)。输入端的差分电压从未超过±2.56 V，并且PGIA增益配置针对±2.56 V范围进行设置(10)。这种情况使用可供传递函数使用的所有代码，充分利用了器件允许的差分输入范围。

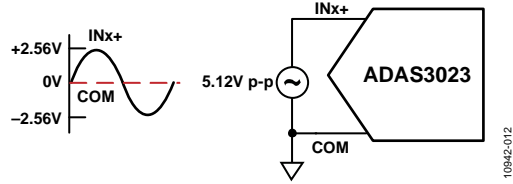


图41. 最佳单端配置，使用全部代码

注意，由于4.096 V的基准电压以及PGIA的缩放比例，例子中的电压并非整数。对于本例中的各种PGIA增益，COM输入引脚上的最大容许直流失调电压如表8所示。

**表8. COM输入上的直流失调电压和PGIA设置<sup>1</sup>**

PGIA增益(V/V)	COM上的直流失调电压(V)
0.2	0
0.4	0
0.8	±5.12
1.6	±7.68

<sup>1</sup> INx上的满量程信号。

## 基准电压输入/输出

ADAS3023允许选择内部基准电压源、使用内部缓冲器的外部基准电压源或外部基准电压源。

ADAS3023的内部基准电压源提供出色的性能，可以用于几乎所有应用。可通过内部基准电压源使能位(REFEN)和REFIN引脚设置基准电压源选择模式，如下各部分所述(“内部基准电压源”、“外部基准电压源和内部缓冲器”、“外部基准电压源”和“基准电压源去耦”)。

## 内部基准电压源

精确的内部基准电压源经过工厂调整，适合大部分应用。

将CFG寄存器中的REFEN位置1(默认值)则使能内部基准电压源，并可在REF1和REF2引脚上产生4.096 V电压；该输出电压用作主要的系统基准电压。未经缓冲的2.5 V(典型值)带隙基准电压输出至REFIN引脚，需采用外部10 μF和0.1 μF电容的并联组合以降低输出端噪声。REFIN的电流输出有限，如果后接一个适当的缓冲器，如AD8031等，则它可以用作一个源。注意，由于内部放大器使用固定增益，REFIN输出的负载过高会降低4.096 V系统的基准电压。

内部基准电压输出经过调整后达到预期的4.096 V，初始精度为±8 mV。基准电压还经过温度补偿，典型温漂为±5 ppm/°C。

使用内部基准电压源时，ADAS3023应按照图42所示进行去耦。注意，REF1和REF2连接均短接在一起，并利用REFIN输出和RCAP内部调节电源上的适当去耦电容去耦。

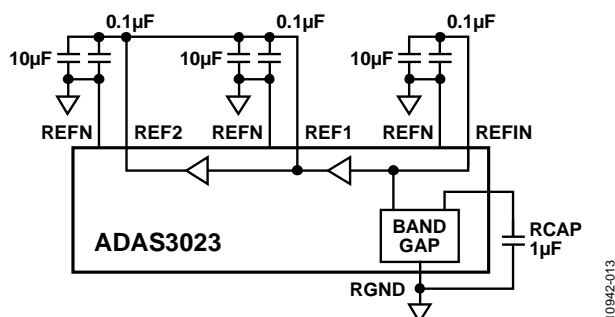


图42. 4.096V内部基准电压源连接

## 外部基准电压源和内部缓冲器

当采用通用系统基准电压源，或者要求具有更佳的漂移性能时，则需使用外部基准电压源和内部缓冲器。

将REFEN位设置为0便可禁用内部带隙基准电压源，允许用户向REFIN引脚提供外部基准电压(典型值为2.5 V)。内部缓冲器保持使能状态，因此无需使用外部缓冲器放大器，即可产生主要的系统基准电压。当REFIN = 2.5 V且REF1、REF2输出4.096 V时，这将是系统的主要基准电压。

就本配置而言，如图43所示连接外部基准电压源。由于内部缓冲器可处理ADAS3023基准电压要求的动态变化，因此任何2.5 V的基准电压(低功耗、低漂移、小尺寸封装等)均可用于此配置。

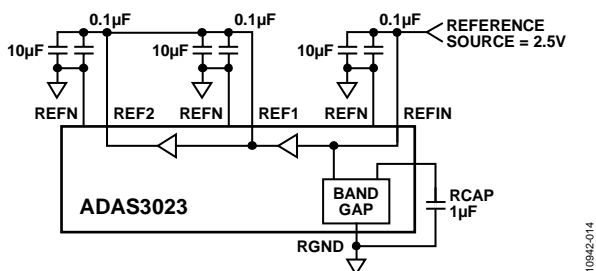


图43. 使用内部缓冲器的外部基准电压源

## 外部基准电压源

对于需要精确、低漂移、4.096 V基准电压的应用，可以使用外部基准电压源。注意，在这种模式下，禁用内部缓冲器需要将REFEN置位为0，并将REFIN驱动或连接至AGND，因此需要硬件和软件两种控制。若仅驱动REF1和REF2引脚但却没有禁用内部缓冲器，则会导致驱动放大器的输出端发生源电流/吸电流冲突。

将4.096 V精密基准电压源直接连到REF1和REF2，以作为系统的主基准电压(参见图44)；推荐两种基准电压源ADR434或ADR444。

若使用运算放大器作为外部基准电压源，则在驱动容性负载方面需多加留意。运算放大器的容性负载通常指放大器

在交流应用中勉强保持稳定的能力，但也适用于运行在直流应用中的放大器，如基准电压源。

记住，针对基准电压引脚的位判断过程对基准电压源动态可见，因此可能需要进行超出本数据手册范围的进一步分析。

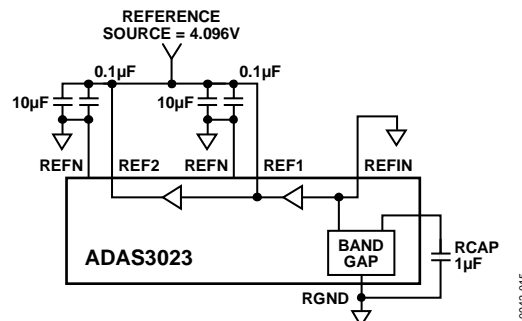


图44. 外部基准电压源

## 基准电压源去耦

对于“基准电压输入/输出”部分所描述的任何基准电压源拓扑，ADAS3023的REF1和REF2基准电压引脚具有动态阻抗，因此无论引脚用于输入或输出，都需要进行充分去耦。这种去耦通常是这样完成的：将低ESR电容分别连接REF1和REF2引脚，并与伴随的REFN回流路径相连。“基准电压输入/输出”部分描述的全部基准电压源拓扑，建议都使用陶瓷芯片电容(X5R、1206尺寸)进行去耦。

基准电压源去耦电容的位置对系统性能有很大的影响。使用粗PCB走线，去耦电容与ADAS3023应位于同一侧，并安装在REF1和REF2引脚附近。将返回路径路由至REFN输入端，进而将该输入连接至系统的模拟接地层。当需要连接内部PCB时，应利用尽可能多的过孔，以减小回路路径到地的电阻。

使用最短的距离和多个过孔，将REFN和RGND输入连接到系统的模拟接地层，最好与焊盘相邻。常见的错误是把走线路由至与系统地相连的独立走线。这可能会产生噪声，进而影响LSB灵敏度。为了不产生这类噪声，应使用带有接地层的多层PCB，而非单面或双面电路板。

可以使用低至2.2 μF的更小基准电压去耦电容，它对性能(主要是DNL和THD)的影响极小。此外，不需要额外的低值陶瓷去耦电容(如100 nF)，而这在抑制高频噪声的去耦方案中很常见。

对于使用多个ADAS3023器件或其它PulSAR ADC的应用，使用内部基准电压缓冲器缓冲外部基准电压会更有效，这样能降低SAR转换串扰。

# ADAS3023

基准电压源温度系数(TC)会直接影响系统的满量程精度，因此，在满量程精度非常重要的应用中，必须特别注意温度系数。例如，基准电压源±15 ppm/°C的温度系数将使满量程精度以±1 LSB/°C的幅度改变。

## 电源

ADAS3023使用五个电源：AVDD、DVDD、VIO、VDDH和VSSH(见表9)。注意，由于ACAP、DCAP和RCAP引脚是内部电源调节器的输出，因此有关这些引脚的信息仅供参考。

表9. 电源

引脚名称	功能	是否需要
AVDD	5 V模拟内核	需要
DVDD	5 V数字内核	需要，可连接AVDD
VIO	数字输入/输出	需要，可连接DVDD以获得5 V电平
VDDH	正高电压	需要，+15 V典型值
VSSH	负高电压	需要，-15 V典型值
ACAP	2.5 V模拟内核	不需要，片内集成
DCAP	2.5 V数字内核	不需要，片内集成
RCAP	2.5 V模拟内核	不需要，片内集成

## 内核电源

AVDD和DVDD引脚分别为ADAS3023的模拟和数字内核供电。这些电源需要足够的去耦，每个电源上至少包括一个10 μF电容和100 nF电容。100 nF电容应尽可能靠近ADAS3023。为了减少所需电源的数量，DVDD可以通过一个简单的RC滤波器(连接在AVDD与DVDD之间)从模拟电源供电，如图45所示。

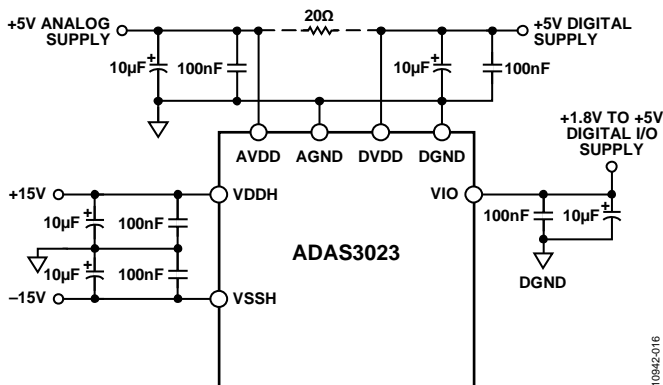


图45. 电源连接

VIO是可变数字输入/输出电源，能够与范围为1.8 V至5 V (DVDD电源最大值)的逻辑电平直接接口。为了减少所需电源数目，当DVDD通过RC滤波器从模拟电源供电时，作为替代方案，VIO可与DVDD相连。建议使用的低压差调节器有：ADP3334、ADP1715、ADP7102和ADP7104，可针对AVDD、DVDD和VIO电源使用。注意，用户必须按照如下顺序给ADAS3023电源上电：

1. VIO
2. VDDH
3. VSSH
4. DVDD
5. AVDD
6. REFx

## 高压电源

器件需要高压双极性电源VDDH和VSSH，这些电源至少应比最大工作输入电压大2.5 V。具体来说，输入引脚的任何工作输入电压(见表2的定义)相对于VDDH/VSSH电源都需要具有2.5 V的裕量：

$$(VSSH + 2.5 V) \leq INx/COM \leq (VDDH - 2.5 V)$$

这些电源还需要足够的去耦，每个电源上至少包括一个10 μF电容和100 nF电容。

## 功耗模式

ADAS3023提供两种功耗模式：完全工作模式和省电模式。

### 完全工作模式

在完全工作模式下，ADAS3023可以正常执行转换。

### 省电模式

为了尽量减少器件空闲时的工作电流，可通过拉高PD输入，将器件置于完全省电模式下。这样，ADAS3023进入深度休眠模式，CNV活动会被忽略，数字接口无效。有关时序的详细信息，请参考“复位和关断(PD)输入”部分。深度休眠模式中，内部调节器(ACAP、RCAP和DCAP)和基准电压源处于掉电状态。

若要再次进入工作模式，需要拉低PD。注意，器件在能够以额定性能工作前，基准电压源必须对外部储能电容充电，并为其分配一定的建立时间。将PD拉回低电平后必须施加RESET信号，使ADAS3023的数字内核(包括CFG寄存器)复位到默认状态。因此，在置位PD前，必须向器件重新写入需要使用的CFG内容，并且器件恢复编程配置的工作状态之前必须完成一次伪转换。注意，使用内部基准电压源时，需要等待足够长的时间以使其稳定在标称值。对于典型连接，需要100 ms以便稳定在标称值(见图41)。



### 转换模式

ADAS3023提供两种转换模式以支持不同的应用，转换模式通过CFG寄存器的转换模式选择位CMS(位1)设置。

#### Warp模式(CMS = 0)

当需要2个通道以500 kSPS的最高吞吐速率工作时，可将CMS置位为0。然而，在这种模式下，两次转换之间的最大时间间隔有所限制。如果超过了这一最大时间间隔，则可能导致转换结果损坏。因此，warp模式最适合连续采样的应用。

#### 正常模式(CMS = 1, 默认值)

对于不需要最高500 kSPS采样速率的所有应用，可将CMS置位为1。这种模式下，两次转换之间不存在最大时间间隔限制。置位异步复位后，默认以此模式工作。正常模式和Warp模式的主要区别在于BUSY/SDO2时间 $t_{\text{CONV}}$ 的不同；相比Warp模式，正常模式下的 $t_{\text{CONV}}$ 略大。

## 数字接口

ADAS3023数字接口由异步输入和用于回读转换结果和编程配置寄存器的4线式串行接口组成。

该接口使用3个异步信号(CNV、RESET和PD)，以及一个由 $\overline{CS}$ 、SDO、SCK和DIN组成的4线式串行接口。在某些应用中，还可将 $\overline{CS}$ 连接至CNV。

转换结束后，转换结果提供给串行数据输出引脚(SDO)。16位配置字CFG是在任何数据转换的前16个SCK中通过串行数据输入引脚DIN编程。CFG寄存器控制的设置包括：选择需要进行转换的通道、各通道组的可编程增益设置以及基准电压源的选择(更多信息参见“配置寄存器”部分)。

### 转换控制

CNV输入为CFG寄存器中定义的N个使能通道启动转换。ADAS3023是一款完全异步的器件，根据配置寄存器中指定的设置和系统串行时钟速率的不同，它可在直流到500 kSPS范围内的任意频率下进行转换。

### CNV上升沿—转换开始(SOC)

CNV的上升沿将ADAS3023的状态从跟踪模式改变为保持模式，并设置启动转换所需的其它条件。所有转换时钟都由内部产生。启动转换后，ADAS3023忽略CNV线路上的其它事件(由吞吐速率控制)，直至完成转换。

ADAS3023执行转换并且BUSY/SDO2输出为高电平时，该器件使用的是独特的二阶段转换过程，支持安全的数据访问和静默时间。

CNV信号在 $\overline{CS}$ 引脚上去耦，允许同一个处理器控制多个ADAS3023器件。在SNR至关重要的应用中，CNV源要求抖动非常低，使用专用振荡器或者用高频、低抖动时钟为CNV提供时钟可实现这一要求。对于抖动容差较大或使用单个器件的应用，CNV可连接 $\overline{CS}$ 。有关采样时钟抖动和孔径延迟的更多信息，请参见指南MT-007“孔径时间、孔径抖动、孔径延迟时间——正本清源”。

虽然CNV是一个数字信号，但设计时应特别注意，确保边沿快速、干净，过冲、欠冲、振铃尽可能小。此外，应避免采样时刻附近出现数字活动，因为这类活动可能降低SNR性能。

### BUSY/SDO2下降沿—转换结束(EOC)

EOC以BUSY/SDO2返回低电平的方式表示，可用于执行主机中断。此外，EOC选通进出ADAS3023的数据。若转换结果没有在下一个EOC事件之前读取，则数据丢失。另外，如果没有在EOC之前完成CFG更新，则CFG字被丢

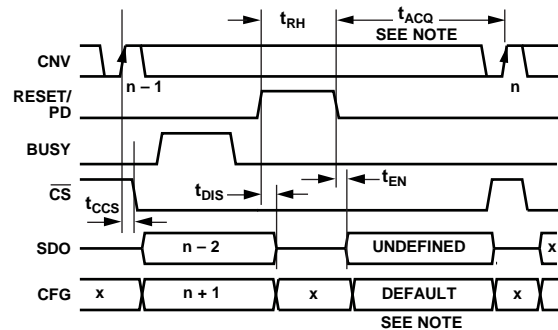
弃，当前配置对将来的转换仍然有效。这种流水线的处理方式可确保ADAS3023具有足够的时间以额定16位精度获取下一个样本。

### 寄存器流水线

CFG寄存器在EOC事件后的前16个SCK写入，并在下一个EOC事件时更新。为了保证所有CFG更新都在已知的安全时刻针对各种电路器件完成，异步数据传输将通过EOC事件被同步到ADAS3023时序引擎。这种同步过程会在更新CFG寄存器设置以及将配置应用到转换的这段时间内产生一个固有延迟。该流水线从当前转换(n)结束时开始，在CFG设置生效前，由一级深延迟组成。这意味着，两次SOC和EOC事件必须在设置(即新通道、新增益等新的设置)生效前完成。注意，下文的数字部分(“串行数据接口”、“通用时序”和“配置寄存器”)亦采用(n)、(n+1)等这种命名法，以简化叙述。不过应注意，转换结束后、数据可回读之前不存在流水线过程。

### 复位和关断(PD)输入

异步RESET和PD输入可分别用于ADAS3023器件的复位和关断。详细时序见图46。



NOTES  
1. WHEN THE PART IS RELEASED FROM RESET,  $t_{ACQ}$  MUST BE MET FOR CONVERSION n IF USING THE DEFAULT CFG SETTING FOR CHANNEL IN0. WHEN THE PART IS RELEASED FROM POWER-DOWN,  $t_{ACQ}$  IS NOT REQUIRED, AND THE FIRST TWO CONVERSIONS, n AND n + 1, ARE UNDEFINED.

10842-017

图46. RESET和PD时序

RESET或PD的上升沿可中断转换过程，并将SDO变为高阻抗，无论 $\overline{CS}$ 电平如何。注意RESET有一个最小脉宽(高电平有效)时间，用于将ADAS3023设为复位状态。有关ADAS3023从复位状态回到正常状态时的默认CFG设置，请参见“配置寄存器”部分。如果RESET解除置位(逻辑0)后采用默认设置，则为了使转换结果有效，必须经过数值等于采集时间( $t_{ACQ}$ )的间隔后，CNV才可解除置位。否则，若转换启动，结果将遭破坏。此外，复位会清除上次转换的输出数据；启动新转换前，试图访问该数据结果会产生无效结果。

若器件从关断模式或复位模式返回正常模式时未使用默认CFG，则对tACQ没有要求；由于必须满足一级深延迟的流水线要求，以便将器件重新配置为所需设置，因此上电后的头两次转换为未定义/无效转换。

### 串行数据接口

ADAS3023采用简单的四线式接口，兼容FPGA、DSP和通用串行接口，例如串行外设接口(SPI)、QSPI™和MICROWIRE®。接口使用CS、SCK、SDO和DIN信号。串

行接口的时序信号见图47。

CS置位时激活SDO。转换结果输出至SDO，并且在SCK下降沿更新。如果需要，可在串行数据输入(DIN)上同步更新16位CFG字。EOC后SDO激活时，BUSY/SDO2(位0)的状态决定MSB数据的输出格式。注意，图47的SCK为空闲高电平。SCK空闲时可以是高电平或低电平，要求系统开发人员设计一个接口，满足SDO以及DIN的建立与保持时间要求。

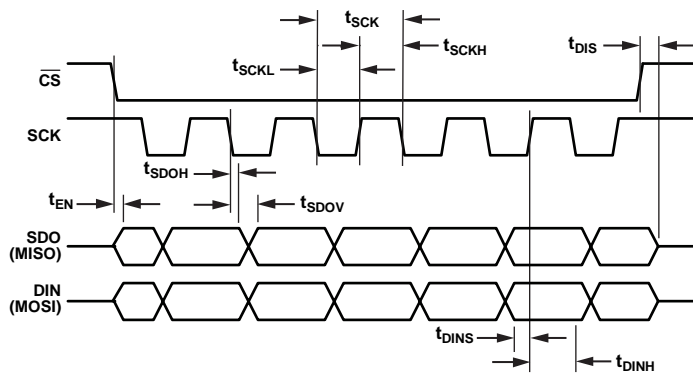


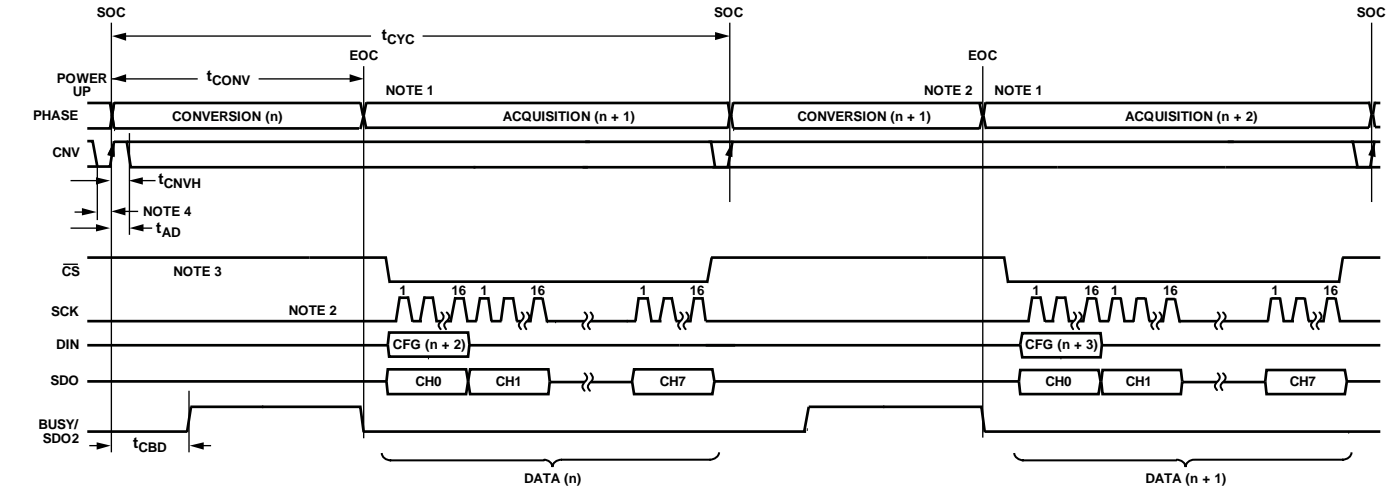
图47. 串行时序

10842-018

## 通用时序

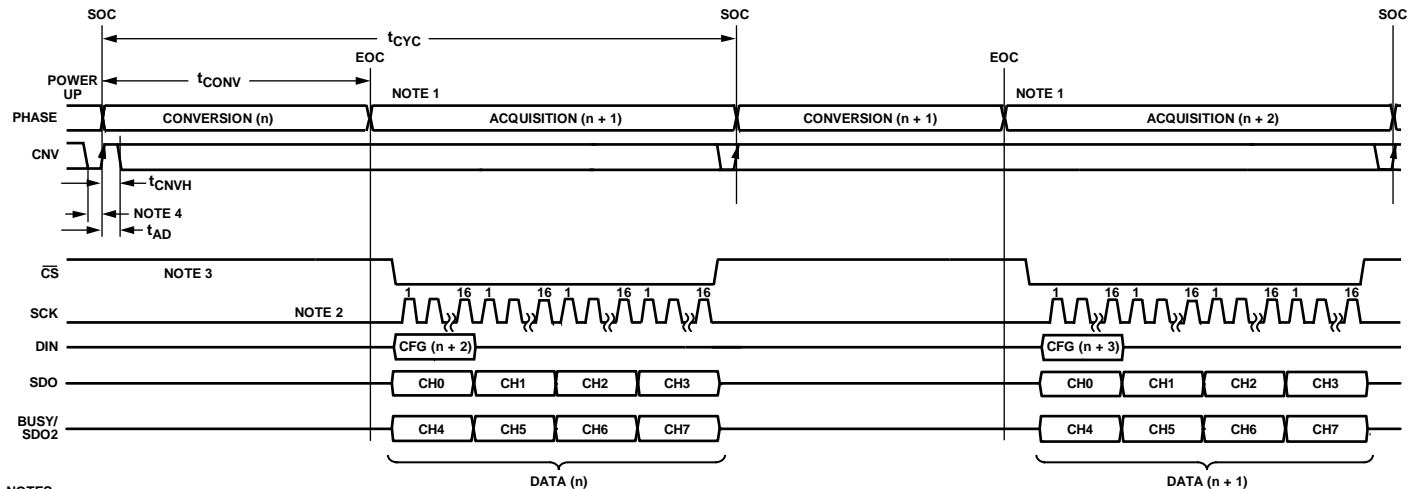
图48和图49为转换时序图，显示了特定时序参数，包括完整的转换和回读流水线延迟寄存器。这些图给出了上电后或从完全掉电状态恢复(通过PD输入)后的详细时序。EOC后BUSY/SDO2输出未使能时，SDO输出(MSB优先)的数据可在16个SCK上升沿后顺序读取(从通道0(CH0)至通道7(CH7))，如图48所示。

当 $\overline{CS}$ 为逻辑高电平时，转换器繁忙信号始终通过BUSY/SDO2引脚输出。EOC后 $\overline{CS}$ 变为低电平时，如果BUSY/SDO2输出使能，则SDO输出通道0至通道3(CH0、CH1、CH2和CH3)的数据，16个SCK上升沿后，SDO2输出通道4至通道7(CH4、CH5、CH6和CH7)的数据，如图49所示。通过BUSY/SDO2引脚输出的转换结果与SCK下降沿同步。转换结果为二进制补码格式。在静默转换期间( $t_{CONV}$ )读取或写入数据可能造成错误的位判断。



- NOTES
1. DATA ACCESS CAN ONLY OCCUR AFTER CONVERSION. BOTH CONVERSION RESULT AND THE CFG REGISTER ARE UPDATED AT THE END OF THE CONVERSION (EOC).
  2. A TOTAL OF 16 SCK FALLING EDGES ARE REQUIRED FOR CONVERSION RESULT. AN ADDITIONAL 16 EDGES AFTER THE LAST CONVERSION RESULT ON BUSY READS BACK THE CFG ASSOCIATED WITH CONVERSION.
  3.  $\overline{CS}$  CAN BE HELD LOW OR CONNECTED TO CNV.  $\overline{CS}$  IS SHOWN WITH FULL INDEPENDENT CONTROL.
  4. FOR OPTIMAL PERFORMANCE, DATA ACCESS SHOULD NOT OCCUR DURING THE SAMPLING INSTANT. A MINIMUM TIME OF AT LEAST THE APERTURE DELAY,  $t_{AD}$ , SHOULD LAPSE PRIOR TO DATA ACCESS.

图48. BUSY/SDO2禁用时的通用时序图



- NOTES
1. DATA ACCESS CAN ONLY OCCUR AFTER CONVERSION. BOTH CONVERSION RESULT AND THE CFG REGISTER ARE UPDATED AT THE END OF THE CONVERSION (EOC).
  2. A TOTAL OF 16 SCK FALLING EDGES ARE REQUIRED FOR CONVERSION RESULT. AN ADDITIONAL 16 EDGES AFTER THE LAST CONVERSION RESULT ON BUSY READS BACK THE CFG ASSOCIATED WITH CONVERSION.
  3.  $\overline{CS}$  CAN BE HELD LOW OR CONNECTED TO CNV.  $\overline{CS}$  IS SHOWN WITH FULL INDEPENDENT CONTROL.
  4. FOR OPTIMAL PERFORMANCE, DATA ACCESS SHOULD NOT OCCUR DURING THE SAMPLING INSTANT. A MINIMUM TIME OF AT LEAST THE APERTURE DELAY,  $t_{AD}$ , SHOULD LAPSE PRIOR TO DATA ACCESS.

图49. BUSY/SDO2使能时的通用时序图

## 配置寄存器

配置寄存器CFG是一个16位可编程寄存器，用于选择ADAS3023的所有用户可编程选项(见表11)。

在第一个16 SCK上升沿回读数据时，寄存器加载内容，并在下一个EOC期间更新。注意，当写入CFG和回读CFG中与当前转换有关的设置时，总是存在一级深延迟。

当ADAS3023从复位状态(RESET = 高电平)返回工作状态(RESET = 低电平)，器件采用默认的CFG设置。从全关断状态(PD = 高电平)返回使能状态(PD = 低电平)时，器件不采用默认CFG设置，并且至少需要进行一次伪转换，以便用户指定的CFG生效。为确保数字内核处于默认状态，应

在解除置位PD后施加一个外部复位信号。默认值为CFG [15:0] = 0xFFFF。要回读配置寄存器CFG的内容，应在读取所有通道后再提供16个SCK；CFG可通过SDO输出提供。默认CFG设置将ADAS3023配置为：

- 覆盖CFG寄存器内容。
- 选择8输入通道模式。
- 配置PGIA增益为0.20 (±20.48 V)。
- 使能内部基准电压源。
- 选择正常转换模式。
- 禁用SDO2读出模式。

**表10. 配置寄存器CFG位映射，默认值 = 0xFFFF (1111 1111 1111 1111)**

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CFG	INx	INx	RSV	PGIA	PGIA	PGIA	PGIA	PGIA	PGIA	PGIA	PGIA	RSV	REFEN	CMS	BUSY/SDO2

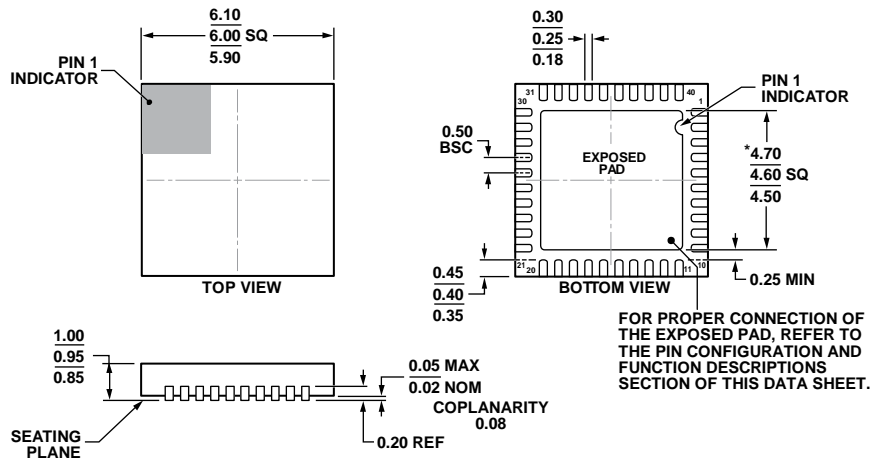
**表11. 配置寄存器描述**

位号	位的名称	说明															
15	CFG	配置更新。 0 = 保持当前的配置设置。 1 = 覆盖寄存器的内容。															
[14:13]	INx	选择要同时转换的通道数目。 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>位14</th> <th>位13</th> <th>通道</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>2</td> </tr> <tr> <td>0</td> <td>1</td> <td>4</td> </tr> <tr> <td>1</td> <td>0</td> <td>6</td> </tr> <tr> <td>1</td> <td>1</td> <td>8</td> </tr> </tbody> </table>	位14	位13	通道	0	0	2	0	1	4	1	0	6	1	1	8
位14	位13	通道															
0	0	2															
0	1	4															
1	0	6															
1	1	8															
12	RSV	保留。此位置位或清零都无影响。															
[11:4]	PGIA	可编程增益选择(见“可编程增益”部分)。 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>位(奇)</th> <th>位(偶)</th> <th>PGIA增益</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>±10.24 V</td> </tr> <tr> <td>0</td> <td>1</td> <td>±5.12 V</td> </tr> <tr> <td>1</td> <td>0</td> <td>±2.56 V</td> </tr> <tr> <td>1</td> <td>1</td> <td>±20.48 V (default)</td> </tr> </tbody> </table>	位(奇)	位(偶)	PGIA增益	0	0	±10.24 V	0	1	±5.12 V	1	0	±2.56 V	1	1	±20.48 V (default)
位(奇)	位(偶)	PGIA增益															
0	0	±10.24 V															
0	1	±5.12 V															
1	0	±2.56 V															
1	1	±20.48 V (default)															
[11:10]	PGIA	设置IN0的增益。															
[9:8]	PGIA	设置IN1的增益。															
[7:6]	PGIA	设置IN3到IN2的增益。															
[5:4]	PGIA	设置IN4到IN7的增益。															
3	RSV	保留。此位置位或清零都无影响。															
2	REFEN	内部基准电压源(参见“引脚配置和功能描述”、“基准电压输入/输出”部分)。 0 = 禁用内部基准电压源。通过将REFIN拉至地电平禁用内部基准电压源缓冲器。 1 = 使能内部基准电压源(默认值)。															
1	CMS	转换模式选择(见“转换模式”部分)。 0 = 使用转换间隔时间受限的Warp转换模式。 1 = 使用正常转换模式(默认值)。															
0	BUSY/SDO2	使用BUSY/SDO2引脚控制第二数据输出。 0 = 当CS引脚保持高电平时，使能器件繁忙状态。在CS下降沿，通道1的MSB提供给BUSY/SDO2输入，后续数据在SCK下降沿传输。 1 = 仅使能器件繁忙状态(默认值)。所有数据均在SCK下降沿通过SDO引脚传输。															

# ADAS3023

## 封装和订购信息

### 外形尺寸



\*COMPLIANT TO JEDEC STANDARDS MO-220-VJJD-5 WITH EXCEPTION TO EXPOSED PAD DIMENSION.

图50. 40引脚引线框构芯片级封装[LFCSP\_VQ]  
6 mm x 6 mm, 超薄体  
(CP-40-15)  
图示尺寸单位: mm

07-19-2012-B

### 订购指南

型号 <sup>1</sup>	温度范围	封装描述	封装选项
ADAS3023BCPZ	-40°C至+85°C	40引脚引脚架构芯片级封装[LFCSP_VQ]	CP-40-15
ADAS3023BCPZ-RL7	-40°C至+85°C	40引脚引脚架构芯片级封装[LFCSP_VQ]	CP-40-15
EVAL-ADAS3023EDZ	-40°C至+85°C	评估板	

<sup>1</sup> Z = 符合RoHS标准的器件。

注释

**注释**