

### 产品特性

12位、2.5 GSPS ADC，无失码

SFDR = 79 dBc, AIN高达1 GHz(-1 dBFS, 2.5 GSPS)

SFDR = 75 dBc, AIN高达1.8 GHz(-1 dBFS, 2.5 GSPS)

SNR = 57.6 dBFS, AIN高达1 GHz(-1 dBFS, 2.5 GSPS)

SNR = 56.7 dBFS, AIN高达1.8 GHz(-1 dBFS, 2.5 GSPS)

噪声频谱密度 = -150 dBFS/Hz (2.5 GSPS)

功耗: 3.8 W (2.5 GSPS)

差分模拟输入: 1.1 Vp-p

差分时钟输入

高速6或8通道JESD204B串行输出

Subclass 1: 6.25 Gbps (2.5 GSPS)

两个独立的1/8抽取或1/16抽取滤波器和10位NCO

电源电压: 1.3 V、2.5 V

串行端口控制

灵活的数字输出模式

内置可选数字测试码

### 应用

频谱分析仪

军用通信

雷达

高性能数字存储示波器

有源干扰/抗干扰

电子监控和对抗

### 概述

AD9625是一款12位单芯片采样模数转换器(ADC)，转换速率高达2.5 GSPS。本产品设计用于对高达第二奈奎斯特区的宽带模拟信号进行采样。AD9625集宽输入带宽、高采样速率和出色的线性度等特性于一身，非常适合于频谱分析仪、数据采集系统以及各式军工电子应用，比如雷达和干扰/抗干扰措施等。

模拟输入、时钟和SYSREF±信号均为差分输入信号。基于JESD204B的高速串行输出可采用1、2、4、6或8通道配置。额定温度范围为-40°C至+85°C工业温度范围，

### 功能框图

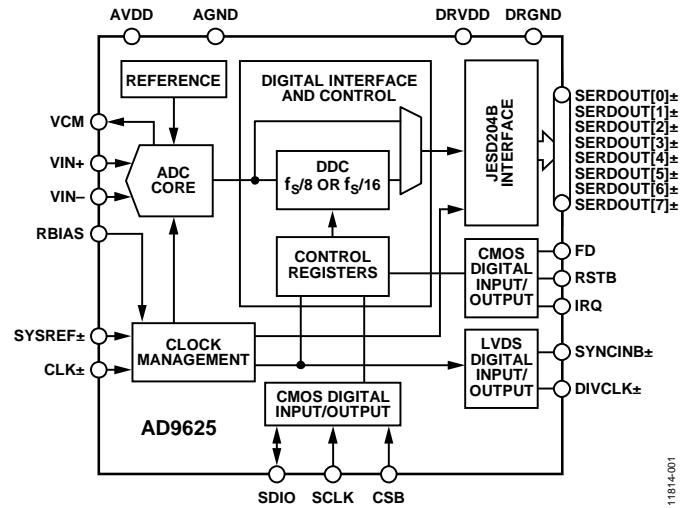


图1.

### 产品特色

1. 高性能：高采样速率应用中具有出色的SFDR性能，提供直接RF采样和片内基准电压源。
2. 基于JESD204B规范的灵活数字数据输出格式。
3. 提供控制路径SPI接口端口，支持各种产品特性和功能，比如数据格式化、增益和失调校准值。

## 目录

产品特性 .....	1	时钟输入考虑 .....	23
应用 .....	1	数字输出 .....	24
功能框图 .....	1	JESD204B接口简介 .....	24
概述 .....	1	功能概述 .....	25
技术规格 .....	3	JESD204B链路建立 .....	25
交流规格 .....	4	物理层输出 .....	29
数字规格 .....	5	加扰器 .....	29
开关规格 .....	7	结束位 .....	29
时序规格 .....	7	DDC模式(单和双) .....	29
绝对最大额定值 .....	8	校验和 .....	30
热特性 .....	8	8位/10位编码器控制 .....	30
ESD警告 .....	8	初始通道对齐序列(ILAS) .....	30
引脚配置和功能描述 .....	9	通道同步 .....	30
典型性能参数 .....	15	JESD204B应用层 .....	31
等效测试电路 .....	18	帧对齐字符插入 .....	33
工作原理 .....	19	散热考虑 .....	33
ADC架构 .....	19	电源考虑 .....	33
快速检测 .....	19	串行端口接口(SPI) .....	35
增益阈值操作 .....	19	使用SPI的配置 .....	35
测试模式 .....	20	硬件接口 .....	35
数字下变频器(DDC) .....	21	存储器映射 .....	36
频率合成器和混频器 .....	21	读取存储器映射寄存器 .....	36
高带宽抽取器 .....	21	存储器映射寄存器 .....	36
低带宽抽取器 .....	21	外形尺寸 .....	54
模拟输入考虑 .....	23	订购指南 .....	54

## 技术规格

除非另有说明，AVDD1 = DVDD1 = DRVDD1 = 1.3 V，AVDD2 = DVDD2 = DRVDD2 = 2.5 V，额定最大采样速率，1.2 V内部基准电压源，AIN = -1.0 dBFS，默认SPI设置，直流耦合输出数据。

表1.

参数	测试条件	温度 <sup>1</sup>	AD9625-2.0			AD9625-2.5			单位
			最小值	典型值	最大值	最小值	典型值	最大值	
速度等级			2.0			2.5			GSPS
分辨率			12			12			位
精度									
无失码		全		保证			保证		
失调误差		全		±0.5			±0.5		LSB
增益误差		全		±8			±8		%FSR
差分非线性(DNL)		全		±0.3			±0.5		LSB
积分非线性(INL)		全		±0.9			±1.0		LSB
模拟输入									
差分输入									
电压范围	内部V <sub>REF</sub> = 1.2 V	全		1.1			1.1		V p-p
电阻		25°C		100			100		Ω
电容		25°C		1.5			1.5		pF
内部共模电压(V <sub>CM</sub> )		全		525			525		mV
全功率模拟带宽	100 Ω差分端接	25°C		3.0			3.0		GHz
折合到输入端噪声		25°C		3			4		LSB <sub>RMS</sub>
电源									
AVDD1		全	1.26	1.3	1.32	1.26	1.3	1.32	V
AVDD2		全	2.4	2.5	2.6	2.4	2.5	2.6	V
DRVDD1		全	1.26	1.3	1.32	1.26	1.3	1.32	V
DRVDD2		全	2.4	2.5	2.6	2.4	2.5	2.6	V
DVDD1		全	1.26	1.3	1.32	1.26	1.3	1.32	V
DVDD2		全	2.4	2.5	2.6	2.4	2.5	2.6	V
DVDDIO		全	2.4	2.5	2.6	2.4	2.5	2.6	V
SPI_VDDIO		全	2.4	2.5	2.6	2.4	2.5	2.6	V
I <sub>AVDD1</sub>		全		1120			1260		mA
I <sub>AVDD2</sub>		全		383			421		mA
I <sub>DRVDD1</sub>		全		456			498		mA
I <sub>DRVDD2</sub>		全		9			9		mA
I <sub>DVDD1</sub>		全		430			459		mA
I <sub>DVDD2</sub>		全		<1			<1		mA
I <sub>DVDDIO</sub>		全		<1			<1		mA
I <sub>SPI_VDDIO</sub>		全		<1			<1		mA
功耗		全		3.48			3.8		W

<sup>1</sup> 全温度范围为外壳上测量的-40°C至+85°C(T<sub>C</sub>)。

# AD9625

## 交流规格

除非另有说明，AVDD1 = DVDD1 = DRVDD1 = 1.3 V，AVDD2 = DVDD2 = DRVDD2 = 2.5 V，额定最大采样速率，1.2 V内部基准电压源，AIN = -1.0 dBFS，采样时钟输入 = 1.65 V p-p差分，默认SPI设置。

表2.

参数	测试条件	温度	AD9625-2.0			AD9625-2.5			单位
			最小值	典型值	最大值	最小值	典型值	最大值	
速度等级			2.0			2.5			GSPS
模拟输入	满量程	全	1.1			1.1			V p-p
噪声密度		25°C	-149.5			-150			dBFS /Hz
信噪比(SNR)									
$f_{IN} = 100$ MHz		25°C	59.5			58.3			dBFS
$f_{IN} = 500$ MHz		25°C	59.4			58.0			dBFS
$f_{IN} = 1000$ MHz		25°C	59.0			57.6			dBFS
$f_{IN} = 1800$ MHz		全	58.2			56.7			dBFS
信纳比(SINAD)									
$f_{IN} = 100$ MHz		25°C	58.4			57.2			dBc
$f_{IN} = 500$ MHz		25°C	58.4			57.0			dBc
$f_{IN} = 1000$ MHz		25°C	58.0			56.5			dBc
$f_{IN} = 1800$ MHz		全	57.2			55.3			dBc
有效位数(ENOB)									
$f_{IN} = 100$ MHz		25°C	9.4			9.2			位
$f_{IN} = 500$ MHz		25°C	9.4			9.2			位
$f_{IN} = 1000$ MHz		25°C	9.3			9.1			位
$f_{IN} = 1800$ MHz		全	9.2			8.9			位
无杂散动态范围(SFDR)	包括二次和三次谐波								
$f_{IN} = 100$ MHz		25°C	80			77			dBc
$f_{IN} = 500$ MHz		25°C	81			76			dBc
$f_{IN} = 1000$ MHz		25°C	80			79			dBc
$f_{IN} = 1800$ MHz		全	76			75			dBc
最差其它杂散	不包括二次和三次谐波								
$f_{IN} = 100$ MHz		25°C	80			77			dBc
$f_{IN} = 500$ MHz		25°C	86			76			dBc
$f_{IN} = 1000$ MHz		25°C	83			82			dBc
$f_{IN} = 1800$ MHz		全	85			81			dBc
双音交调失真(IMD)	每信号音 -7 dBFS								
$f_{IN1} = 728.5$ MHz, $f_{IN2} = 731.5$ MHz		25°C	82.8			81.2			dBc
$f_{IN1} = 1805.5$ MHz, $f_{IN2} = 1808.5$ MHz		25°C	77.6			76.3			dBc

### 数字规格

除非另有说明，AVDD1 = DVDD1 = DRVDD1 = 1.3 V，AVDD2 = DVDD2 = DRVDD2 = 2.5 V，额定最大采样速率，1.2 V内部基准电压源，AIN = -1.0 dBFS，默认SPI设置。

表3.

参数	温度	最小值	典型值	最大值	单位
时钟输入(CLK+、CLK-)					
差分输入电压	全	250		1800	mV p-p
共模输入电压	全		0.88		V
输入电阻(差分)	全		57		kΩ
输入电容	全		1.5		pF
SYSREF输入(SYSREF+/SYSREF-)					
差分输入电压	全	250		1800	mV p-p
共模输入电压	全		0.88		V
输入电阻(差分)	全		100		Ω
输入电容	全		1.5		pF
逻辑输入(SDIO、SCLK、CSB)					
逻辑兼容			CMOS		
电压					
逻辑1	全	0.8 × SPI_DVDDIO			V
逻辑0	全			0.5	V
输入电阻	全		30		kΩ
输入电容	全		0.5		pF
SYNCB+/SYNCB-输入					
逻辑兼容	全		LVDS		
输入电压					
差分	全	250		1200	mV p-p
共模	全		1.2		V
输入电阻(差分)	全		20		kΩ
输入电容	全		2.5		pF
逻辑输出(SDIO)					
逻辑兼容			CMOS		
电压					
逻辑1 (I <sub>OH</sub> = 800 μA)	全		0.8 × SPI_VDDIO		V
逻辑0 (I <sub>OL</sub> = 50 μA)	全		0.3		V
数字输出(SERDOUTx)					
顺从电压	全		CML		
输出电压					
差分	全	360	700	800	mV p-p
偏移	全		DRVDD/2		mV p-p
差分回损(RL <sub>DIFF</sub> ) <sup>1</sup>	25C	8			dB
共模回损(RL <sub>CM</sub> )	25C	6			dB
差分端接阻抗	全			100	Ω
复位(RSTB)					
电压					
逻辑1	全	0.8 × DVDDIO			V
逻辑0	全			0.5	V
输入电阻(差分)	全		20		kΩ
输入电容	全		2.5		pF
快速检测(FD)和中断(IRQ)					
逻辑兼容			CMOS		

# AD9625

参数	温度	最小值	典型值	最大值	单位
电压					
逻辑1	全	0.8 × DVDDIO			V
逻辑0	全			0.5	V
输入电阻(差分)	全		20		kΩ
输入电容	全		2.5		pF

<sup>1</sup> 差分和共模回损的测量范围是100 MHz至0.75 x 波特率。

## 开关规格

除非另有说明，AVDD1 = DVDD1 = DRVDD1 = 1.3 V，AVDD2 = DVDD2 = DRVDD2 = 2.5 V，额定最大采样速率，1.2 V内部基准电压源，AIN = -1.0 dBFS，默认SPI设置。

表4.

参数	测试条件/注释	温度	最小值 典型值 最大值	单位
时钟(CLK)				
最大时钟速率		全		2500
最小时钟速率		全	330 <sup>1</sup>	MSPS
时钟高电平脉宽		全	50 ± 5	%占空比
时钟低电平脉宽		全	50 ± 5	%占空比
SYSREF (SYSREF±) <sup>2</sup>				
建立时间( $t_{SU\_SYSREF}$ )		25°C	+200	ps
保持时间( $t_{H\_SYSREF}$ )		25°C	-100	ps
快速检测输出(FD)				
延迟		全	82	时钟周期
输出参数(SERDOUT[x])				
上升时间		25°C	70	ps
下降时间		25°C	70	ps
流水线延迟	通用8通道模式	25°C	187	时钟周期
孔径				
延迟		全	180	fs
不确定(抖动)		全	55	f <sub>s</sub> rms
超范围恢复时间		全	2	时钟周期

<sup>1</sup> 针对最低采样速率，必须使用双通道、通用输出通道配置。欲了解更多信息，请参阅JESD204B规范文件中的通道表。

<sup>2</sup> SYSREF建立和保持时间相对于SYSREF±上升沿和时钟上升沿定义。正建立时间领先时钟沿。负保持时间同样领先时钟沿。

## 时序规格

表5.

参数	测试条件/注释	最小值	典型值	最大值	单位
SPI时序要求					
t <sub>DS</sub>	数据与SCLK上升沿之间的建立时间	2			ns
t <sub>DH</sub>	数据与SCLK上升沿之间的保持时间	2			ns
t <sub>CLK</sub>	SCLK周期	40			ns
t <sub>S</sub>	CSB与SCLK之间的建立时间	2			ns
t <sub>H</sub>	CSB与SCLK之间的保持时间	2			ns
t <sub>HIGH</sub>	SCLK应处于逻辑高电平状态的最短时间	10			ns
t <sub>LOW</sub>	SCLK应处于逻辑低电平状态的最短时间	10			ns
t <sub>EN_SDIO</sub>	相对于SCLK下降沿，SDIO引脚从输入状态切换到输出状态所需的时间	10			ns
t <sub>DIS_SDIO</sub>	相对于SCLK上升沿，SDIO引脚从输出状态切换到输入状态所需的时间	10			ns

# AD9625

## 时序图

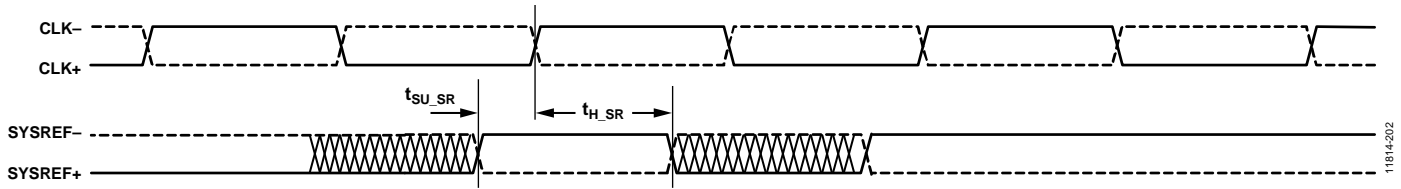


图2. SYSREF± 建立和保持时间

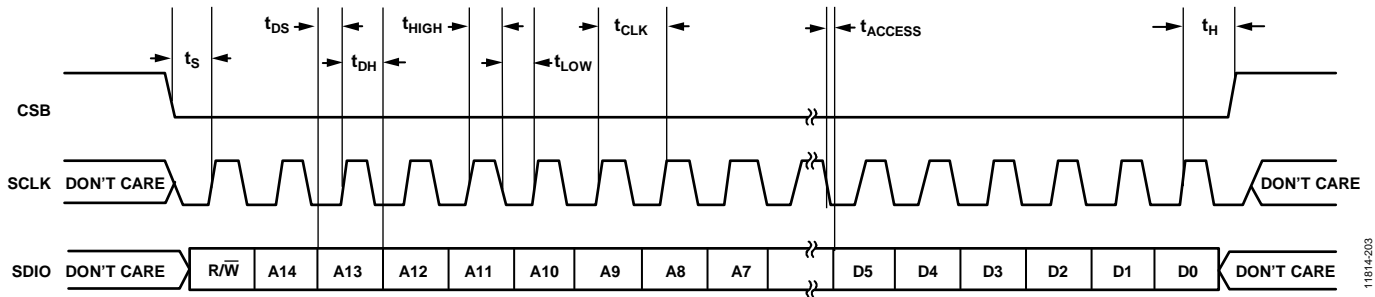


图3. 串行端口接口时序图(MSB 优先)

## 绝对最大额定值

表6.

参数	额定值
电气	
AVDD1至AGND	-0.3 V至+1.32 V
AVDD2至AGND	-0.3 V至+2.75V
DRVDD1至DRGND	-0.3 V至+1.32 V
DRVDD2至DRGND	-0.3 V至+2.75 V
DVDD1至DGND	-0.3 V至+1.32 V
DVDD2至DGND	-0.3 V至+2.75 V
DVDDIO至DGND	-0.3 V至+3.63 V
SPI_VDDIO至DGND	-0.3 V至+3.63 V
AGND至DRGND	-0.3 V至+0.3 V
VIN±至AGND	-0.3 V至AVDD1+ 0.2 V
VCM至AGND	-0.3 V至AVDD1+ 0.2 V
VMON至AGND	-0.3 V至AVDD1+ 0.2 V
CLK±至AGND	-0.3 V至AVDD1+ 0.2 V
SYSREF±至AGND	-0.3 V至AVDD1+ 0.2 V
SYNCINB±至DRGND	-0.3 V至DRVDD2 + 0.2 V
SCLK至DRGND	-0.3 V至SPI_VDDIO + 0.2 V
SDIO至DRGND	-0.3 V至SPI_VDDIO + 0.2 V
IRQ至DRGND	-0.3 V至DVDDIO + 0.2 V
RSTB至DRGND	-0.3 V至DVDDIO + 0.2 V
CSB至 DRGND	-0.3 V至SPI_VDDIO + 0.2 V
FD至DRGND	-0.3 V至DVDDIO + 0.2 V
DIVCLK±至DRGND	-0.3 V至DRVDD2 + 0.2 V
SERDOUT[x]±至DRGND	-0.3 V至DRVDD1 + 0.2 V
环境	
工作温度范围	-40°C至+85°C
最高结温	110°C

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

## 热特性

下面是4层和10层印刷电路板(PCB)的特性。

表7. 热阻

PCB	T <sub>A</sub> (°C)	θ <sub>JA</sub> (°C/W)	ψ <sub>JT</sub> (°C/W)	ψ <sub>JB</sub> (°C/W)	θ <sub>JC</sub> (°C/W)
4层	85.0	18.7	0.61	6.1	1.4
10层	85.0	11.5	0.61	4.1	N/A <sup>1</sup>

<sup>1</sup> N/A表示不适用。

## ESD警告



### ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。



# 引脚配置和功能描述

AD9625  
TOP VIEW  
(Not to Scale)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14
A	AGND	AGND	AGND	AVDD1	AGND	AVDD2	VCM	AGND	VIN+	VIN-	AGND	VM_BYP	AVDD2	AVDD2
B	AGND	AGND	AGND	AGND	AVDD1	AGND	AVDD2	AGND	AGND	AGND	AGND	AVDD2	AGND	AGND
C	AGND	AGND	AGND	AGND	AGND	AVDD1	AGND	AVDD2	AGND	AGND	AVDD2	AGND	AGND	AVDD1
D	DVDD1	DVDD1	DVDD1	DNC	AGND	AGND	AVDD1	AVDD2	AGND	AGND	AVDD2	AVDD1	AVDD1	AVDD1
E	DGND	DGND	DGND	DVDD2	VMON	AGND	AVDD1	AVDD2	AGND	AGND	AVDD2	AVDD1	AGND	AGND
F	DVDD1	DVDD1	DVDD1	SPI_VDDIO	DVDDIO	AGND	AVDD1	AVDD2	AGND	AGND	AVDD2	AVDD1	AGND	CLK+
G	DGND	DGND	DGND	CSB	DVDDIO	AGND	AVDD1	AVDD2	AGND	AGND	AVDD2	AVDD1	AGND	CLK-
H	DVDD1	DVDD1	DVDD1	SCLK	IRQ	AGND	AVDD1	AVDD2	AGND	AGND	AVDD2	AVDD1	AGND	AGND
J	DGND	DGND	DGND	SDIO	FD	REBIAS_EXT	AVDD1	AVDD2	AGND	AGND	AVDD2	AVDD1	AGND	SYSREF+
K	DVDD1	DVDD1	RSTB	PWDN	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	SYSREF-
L	DGND	DNC	SYNCIN-	SYNCIN-	DGND	DGND	DGND	DGND	DGND	DNC	DNC	DNC	AGND	AGND
M	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRGND	DRVDD1	REXT	DRGND	DRGND
N	DRVDD1	SERDOUT [7]+	SERDOUT [6]+	SERDOUT [5]+	SERDOUT [4]+	DRVDD1	SERDOUT [3]+	SERDOUT [2]+	SERDOUT [1]+	SERDOUT [0]+	DRVDD1	VP_BYP	DRVDD2	DRVDD2
P	DRVDD1	SERDOUT [7]-	SERDOUT [6]-	SERDOUT [5]-	SERDOUT [4]-	DRVDD1	SERDOUT [3]-	SERDOUT [2]-	SERDOUT [1]-	SERDOUT [0]-	DRVDD1	DRGND	DMCLK-	DMCLK+

AVDD2	AVDD1	DVDD2	DVDD1	DRVDD2	DRVDD1	DVDDIO SPI_VDDIO	AGND	DGND	DRGND	DNC OR BYPASS WITH CAP
-------	-------	-------	-------	--------	--------	---------------------	------	------	-------	---------------------------------

NOTES  
1. DNC = DO NOT CONNECT. DO NOT CONNECT TO THIS PIN. LEAVE THIS PIN FLOATING.

图4. 引脚配置

表8. 引脚功能描述(按引脚编号)

引脚编号	引脚名称	类型	描述
A1至A3	AGND	地	ADC模拟地。这些引脚连接到模拟接地层。
A4	AVDD1	电源	ADC模拟电源(1.30 V)。
A5	AGND	地	ADC模拟地。该引脚连接到模拟接地层。
A6	AVDD2	电源	ADC模拟电源(2.50 V)。
A7	VCM	输出	模拟输入共模电压(0.525 V)。
A8	AGND	地	ADC模拟地。该引脚连接到模拟接地层。
A9	VIN+	输入	差分模拟输入(+)
A10	VIN-	输入	差分模拟输入(-)
A11	AGND	地	ADC模拟地。该引脚连接到模拟接地层。
A12	VM_BYP	输入	电压旁路。
A13	AVDD2	电源	ADC模拟电源(2.50 V)。
A14	AVDD2	电源	ADC模拟电源(2.50 V)。
B1至B4	AGND	地	ADC模拟地。这些引脚连接到模拟接地层。
B5	AVDD1	电源	ADC模拟电源(1.30 V)。
B6	AGND	地	ADC模拟地。该引脚连接到模拟接地层。
B7	AVDD2	电源	ADC模拟电源(2.50 V)。
B8至B11	AGND	地	ADC模拟地。这些引脚连接到模拟接地层。
B12	AVDD2	电源	ADC模拟电源(2.50 V)。
B13、B14	AGND	地	ADC模拟地。这些引脚连接到模拟接地层。
C1至C5	AGND	地	ADC模拟地。这些引脚连接到模拟接地层。
C6	AVDD1	电源	ADC模拟电源(1.30 V)。
C7	AGND	地	ADC模拟地。该引脚连接到模拟接地层。
C8	AVDD2	电源	ADC模拟电源(2.50 V)。
C9、C10	AGND	地	ADC模拟地。这些引脚连接到模拟接地层。
C11	AVDD2	电源	ADC模拟电源(2.50 V)。
C12、C13	AGND	地	ADC模拟地。这些引脚连接到模拟接地层。
C14	AVDD1	电源	ADC模拟电源(1.30 V)。
D1至D3	DVDD1	电源	ADC数字电源(1.30 V)。
D4	DNC	不适用	不连接。请勿连接该引脚。此引脚悬空。
D5、D6	AGND	地	ADC模拟地。这些引脚连接到模拟接地层。
D7	AVDD1	电源	ADC模拟电源(1.30 V)。
D8	AVDD2	电源	ADC模拟电源(2.50 V)。
D9、D10	AGND	地	ADC模拟地。这些引脚连接到模拟接地层。
D11	AVDD2	电源	ADC模拟电源(2.50 V)。
D12至D14	AVDD1	电源	ADC模拟电源(1.30 V)。
E1至E3	DGND	地	数字控制地电源。这些引脚连接到数字接地层。
E4	DVDD2	电源	ADC数字电源(2.5 V)。
E5	VMON	输出	CTAT电压监控输出。
E6	AGND	地	ADC模拟地。该引脚连接到模拟接地层。
E7	AVDD1	电源	ADC模拟电源(1.30 V)。
E8	AVDD2	电源	ADC模拟电源(2.50 V)。
E9、E10	AGND	地	ADC模拟地。这些引脚连接到模拟接地层。
E11	AVDD2	电源	ADC模拟电源(2.50 V)。
E12	AVDD1	电源	ADC模拟电源(1.30 V)。
E13、E14	AGND	地	ADC模拟地。这些引脚连接到模拟接地层。
F1至F3	DVDD1	电源	ADC数字电源(1.30 V)。
F4	SPI_VDDIO	电源	SPI数字电源(2.50 V)。
F5	DVDDIO	电源	数字I/O电源(2.50 V)。
F6	AGND	地	ADC模拟地。该引脚连接到模拟接地层。

引脚编号	引脚名称	类型	描述
F7	AVDD1	电源	ADC模拟电源(1.30 V)。
F8	AVDD2	电源	ADC模拟电源(2.50 V)。
F9、F10	AGND	地	ADC模拟地。这些引脚连接到模拟接地层。
F11	AVDD2	电源	ADC模拟电源(2.50 V)。
F12	AVDD1	电源	ADC模拟电源(1.30 V)。
F13	AGND	地	ADC模拟地。该引脚连接到模拟接地层。
F14	CLK+	输入	ADC时钟输入(+)
G1至G3	DGND	地	数字控制地电源。这些引脚连接到数字接地层。
G4	CSB	输入	SPI片选CMOS输入。低电平有效。
G5	DVDDIO	电源	数字I/O电源(2.50 V)。
G6	AGND	地	ADC模拟地。该引脚连接到模拟接地层。
G7	AVDD1	电源	ADC模拟电源(1.30 V)。
G8	AVDD2	电源	ADC模拟电源(2.50 V)。
G9、G10	AGND	地	ADC模拟地。这些引脚连接到模拟接地层。
G11	AVDD2	电源	ADC模拟电源(2.50 V)。
G12	AVDD1	电源	ADC模拟电源(1.30 V)。
G13	AGND	地	ADC模拟地。该引脚连接到模拟接地层。
G14	CLK-	输入	ADC时钟输入(-)。
H1至H3	DVDD1	电源	ADC数字电源(1.30 V)。
H4	SCLK	输入	SPI串行时钟CMOS输入。
H5	IRQ	输出	中断请求输出信号。
H6	AGND	地	ADC模拟地。该引脚连接到模拟接地层。
H7	AVDD1	电源	ADC模拟电源(1.30 V)。
H8	AVDD2	电源	ADC模拟电源(2.50 V)。
H9、H10	AGND	地	ADC模拟地。这些引脚连接到模拟接地层。
H11	AVDD2	电源	ADC模拟电源(2.50 V)。
H12	AVDD1	电源	ADC模拟电源(1.30 V)。
H13、H14	AGND	地	ADC模拟地。这些引脚连接到模拟接地层。
J1至J3	DGND	地	数字控制地电源。这些引脚连接到数字接地层。
J4	SDIO	I/O	SPI串行数据CMOS输入/输出；扫描输出1。
J5	FD	输出	快速检测输出。该引脚需要一个外部10 k $\Omega$ 接地电阻。
J6	RBIAS_EXT	输入	基准电压旁路。该引脚需要一个外部10 k $\Omega$ 接地电阻。
J7	AVDD1	电源	ADC模拟电源(1.30 V)。
J8	AVDD2	电源	ADC模拟电源(2.50 V)。
J9、J10	AGND	地	ADC模拟地。这些引脚连接到模拟接地层。
J11	AVDD2	电源	ADC模拟电源(2.50 V)。
J12	AVDD1	电源	ADC模拟电源(1.30 V)。
J13	AGND	地	ADC模拟地。该引脚连接到模拟接地层。
J14	SYSREF+	输入	系统参考芯片同步(+)
K1至K2	DVDD1	电源	ADC数字电源(1.30 V)。
K3	RSTB	输入	芯片数字复位，低电平有效。
K4	PWDN	输入	关断
K5至K13	AGND	地	ADC模拟地。这些引脚连接到模拟接地层。
K14	SYSREF-	输入	系统参考芯片同步(-)。
L1	DGND	地	数字控制地电源。该引脚连接到数字接地层。
L2	DNC	不适用	不连接。请勿连接该引脚。此引脚悬空。
L3	SYNCINB-	输入	同步(-)。
L4	SYNCINB+	输入	同步(+)。SYNCINB LVDS输入(低电平有效，+)。
L5至L9	DGND	地	数字控制地电源。这些引脚连接到数字接地层。
L10至L12	DNC	不适用	不连接。请勿连接到这些引脚。这些引脚悬空。

# AD9625

引脚编号	引脚名称	类型	描述
L13、L14	AGND	地	ADC模拟地。这些引脚连接到模拟接地层。
M1至M10	DRGND	地	数字驱动器地电源。这些引脚连接到数字驱动器接地层。
M11	DRVDD1	电源	参考时钟分频器、VCO和合成器电源(1.3 V)。
M12	REXT	输入	外部电阻，10 kΩ接地。
M13、M14	DRGND	地	数字驱动器地电源。该引脚连接到数字驱动器接地层。
N1	DRVDD1	电源	串行数字电源(1.3 V)。
N2	SERDOUT[7]+	输出	通道7 CML输出数据(+)
N3	SERDOUT[6]+	输出	通道6 CML输出数据(+)
N4	SERDOUT[5]+	输出	通道5 CML输出数据(+)
N5	SERDOUT[4]+	输出	通道4 CML输出数据(+)
N6	DRVDD1	电源	串行数字电源(1.3 V)。
N7	SERDOUT[3]+	输出	通道3 CML输出数据(+)
N8	SERDOUT[2]+	输出	通道2 CML输出数据(+)
N9	SERDOUT[1]+	输出	通道1 CML输出数据(+)
N10	SERDOUT[0]+	输出	通道0 CML输出数据(+)
N11	DRVDD1	电源	串行数字电源(1.3 V)。
N12	VP_BYP	输入	电压旁路。
N13、N14	DRVDD2	电源	SYNCIN±, DIVCLK±的参考时钟分频器电源(2.5 V)。
P1	DRVDD1	电源	串行数字电源(1.3 V)。
P2	SERDOUT[7]-	输出	通道7 CML输出数据(-)
P3	SERDOUT[6]-	输出	通道6 CML输出数据(-)
P4	SERDOUT[5]-	输出	通道5 CML输出数据(-)
P5	SERDOUT[4]-	输出	通道4 CML输出数据(-)
P6	DRVDD1	电源	串行器数字电源(1.30 V)。
P7	SERDOUT[3]-	输出	通道3 CML输出数据(-)
P8	SERDOUT[2]-	输出	通道2 CML输出数据(-)
P9	SERDOUT[1]-	输出	通道1 CML输出数据(-)
P10	SERDOUT[0]-	输出	通道0 CML输出数据(-)
P11	DRVDD1	电源	串行器数字电源(1.30 V)。
P12	DRGND	地	数字驱动器地电源。该引脚连接到数字驱动器接地层。
P13	DIVCLK-	输出	4分频参考时钟LVDS (-)。
P14	DIVCLK+	输出	4分频参考时钟LVDS (+)。

**表9. 引脚功能描述(按功能)<sup>1</sup>**

引脚编号	引脚名称	类型	描述
通用电源和地电源引脚			
A1至A3、A5、A8、A11、B1至B4、B6、B8至B11、B13、B14、C1至C5、C7、C9、C10、C12、C13、D5、D6、D9、D10、E6、E9、E10、E13、E14、F6、F9、F10、F13、G6、G9、G10、G13、H6、H9、H10、H13、H14、J9、J10、J13、K5至K13、L13、L14	AGND	地	ADC模拟地。这些引脚连接到模拟接地层。
J6	RBIAS_EXT	输入	基准电压旁路。该引脚需要一个外部10 kΩ接地电阻。
时钟引脚			
F14	CLK+	输入	ADC时钟输入(+)
G14	CLK-	输入	ADC时钟输入(-)
ADC模拟电源和地电源引脚			
A6、A13、A14、B7、B12、C8、C11、D8、D11、E8、E11、F8、F11、G8、G11、H8、H11、J8、J11	AVDD2	电源	ADC模拟电源(2.50 V)。
A4、B5、C6、C14、D7、D12至D14、E7、E12、F7、	AVDD1	电源	ADC模拟电源(1.30 V)。

引脚编号	引脚名称	类型	描述
F12、G7、G12、H7、H12、J7、J12 A12 A1至A3、A5、A8、A11、B1至B4、B6、B8至B11、B13、B14、C1至C5、C7、C9、C10、C12、C13、D5、D6、D9、D10、E6、E9、E10、E13、E14、F6、F9、F10、F13、G6、G9、G10、G13、H6、H9、H10、H13、H14、J9、J10、J13、K5至K13、L13、L14	VM_BYP AGND	输入 地	电压旁路。 ADC模拟地。这些引脚连接到模拟接地层。
ADC模拟输入和输出引脚 A9 A10 A7 E5	VIN+ VIN- VCM VMON	输入 输入 输出 输出	差分模拟输入(+). 差分模拟输入(-). 模拟输入共模电压(0.525 V). CTAT电压监控输出(二极管温度传感器)。
JESD204B高速电源和地引脚 N1、N6、N11、P1、P6、P11 M1至M10、M13、M14、P12 N13、N14 M11 N12 L2	DRVDD1 DRGND DRVDD2 DRVDD1 VP_BYP DNC	电源 地 电源 电源 输入 N/A	串行数字电源(1.3 V). 数字驱动器地电源。这些引脚连接到数字驱动器接地层。 SYNCINB±、DIVCLK的参考时钟分频器电源(2.5 V). 参考时钟分频器、VCO和合成器电源(1.3 V). 电压旁路。 不连接。请勿连接该引脚。
JESD204B高速串行I/O引脚 J14 K14 L4 L3 N10 P10 N9 P9 N8 P8 N7 P7 N5 P5 N4 P4 N3 P3 N2 P2 P14 P13	SYSREF+ SYSREF- SYNCINB+ SYNCINB- SERDOUT[0]+ SERDOUT[0]- SERDOUT[1]+ SERDOUT[1]- SERDOUT[2]+ SERDOUT[2]- SERDOUT[3]+ SERDOUT[3]- SERDOUT[4]+ SERDOUT[4]- SERDOUT[5]+ SERDOUT[5]- SERDOUT[6]+ SERDOUT[6]- SERDOUT[7]+ SERDOUT[7]- DIVCLK+ DIVCLK-	输入 输入 输入 输入 输出 输出 输出 输出 输出 输出 输出 输出 输出 输出 输出 输出 输出 输出 输出 输出 输出	系统参考芯片同步(+). 系统参考芯片同步(-). 同步(+). SYNCINB LVDS输入(低电平有效, +). 同步(-). SYNCINB LVDS输入(低电平有效, -). 通道0 CML输出数据(+). 通道0 CML输出数据(-). 通道1 CML输出数据(+). 通道1 CML输出数据(-). 通道2 CML输出数据(+). 通道2 CML输出数据(-). 通道3 CML输出数据(+). 通道3 CML输出数据(-). 通道4 CML输出数据(+). 通道4 CML输出数据(-). 通道5 CML输出数据(+). 通道5 CML输出数据(-). 通道6 CML输出数据(+). 通道6 CML输出数据(-). 通道7 CML输出数据(+). 通道7 CML输出数据(-). 4分频参考时钟LVDS(+). 4分频参考时钟LVDS(-).
数字电源和地引脚 D1至D3、F1至F3、H1至H3、K1至K2 F5、G5 F4 E4 E1至E3、G1至G3、J1至J3、L1、L5至L9	DVDD1 DVDDIO SPI_VDDIO DVDD2 DGND	电源 电源 电源 电源 地	ADC数字电源(1.3 V). 数字I/O电源(2.5 V). SPI数字电源(2.5 V). ADC数字电源(2.5 V). 数字控制地电源。这些引脚连接到数字接地层。

# AD9625

引脚编号	引脚名称	类型	描述
D4	DNC	不适用	不连接。请勿连接该引脚。此引脚悬空。
数字控制引脚			
K3	RSTB	输入	芯片数字复位，低电平有效。
K4	PWDN	输入	AD9625关断。
M12	REXT	输入	外部电阻，10 k $\Omega$ 接地。
G4	CSB	输入	SPI片选CMOS输入。低电平有效。
H4	SCLK	输入	SPI串行时钟CMOS输入。
J4	SDIO	I/O	SPI串行数据CMOS输入/输出。
J5	FD	输出	快速检测输出。该引脚需要一个外部10 k $\Omega$ 接地电阻。
H5	IRQ	输出	中断请求输出信号。
L10至L12	DNC	不适用	不连接。请勿连接到这些引脚。这些引脚悬空。

<sup>1</sup> 注意：当引脚与多个类别相关时，表9中将其重复列出。表9中的引脚可能不是按字母数字顺序列出。

典型性能参数

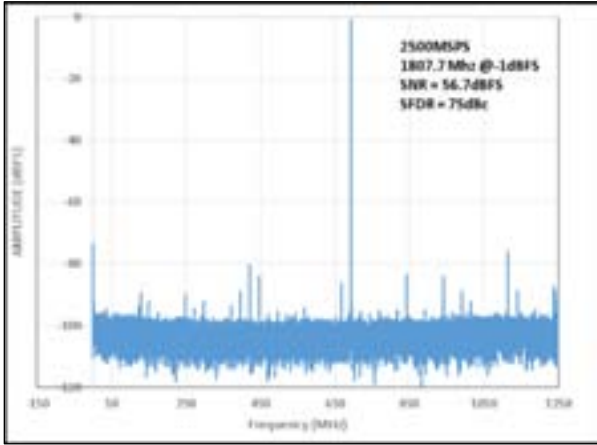


图5. FFT曲线: 2.5 GSPS, AIN的 $f_{IN} = 1807.7$  MHz (SFDR = 75.0 dBc, SNR = 56.7 dBFS)

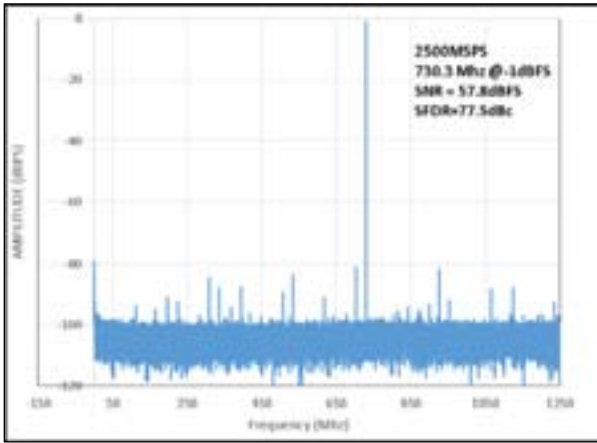


图6. FFT曲线: 2.5 GSPS, AIN的 $f_{IN} = 730.3$  MHz (SFDR = 77.5 dBc, SNR = 57.8 dBFS)

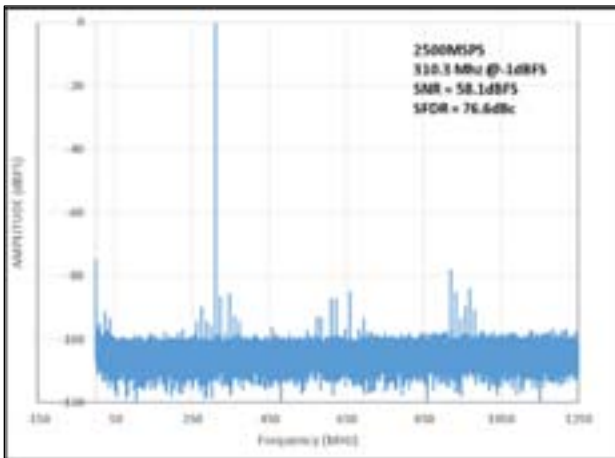


图7. FFT曲线: 2.5 GSPS, AIN的 $f_{IN} = 310.13$  MHz (SFDR = 76.6 dBc, SNR = 58.1 dBFS)

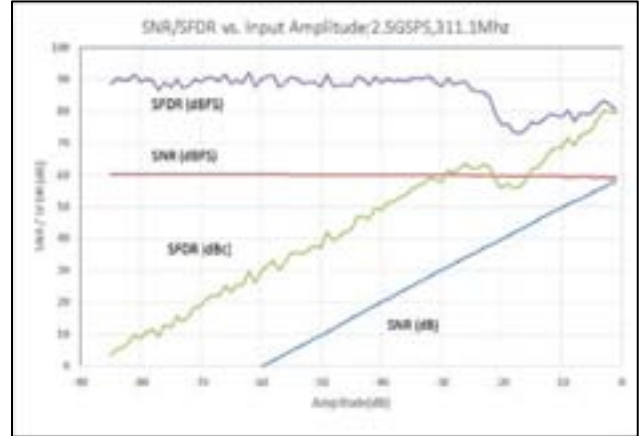


图8. SNR/SFDR与模拟输入幅度的关系: 2.5GSPS, AIN的 $f_{IN} = 311.1$  MHz

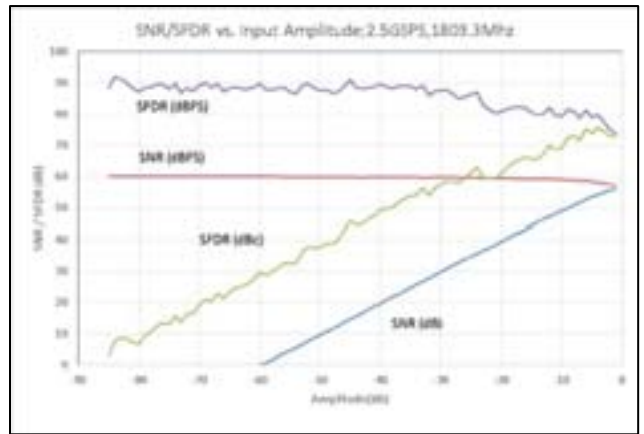


图9. SNR/SFDR与模拟输入幅度的关系: 2.5 GSPS, AIN的 $f_{IN} = 1803.3$  MHz

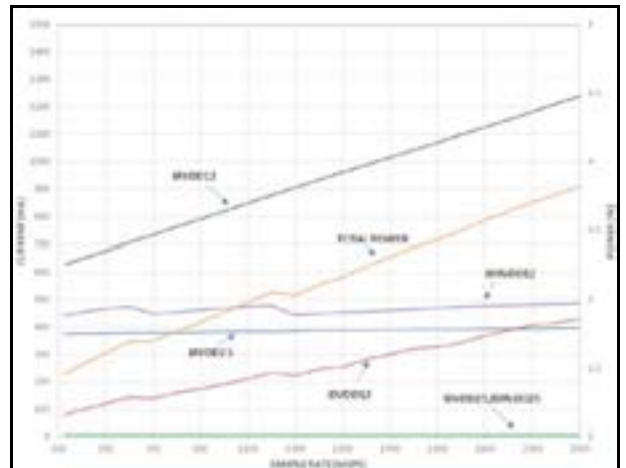


图10. 电流和功耗与采样速率的关系



# AD9625

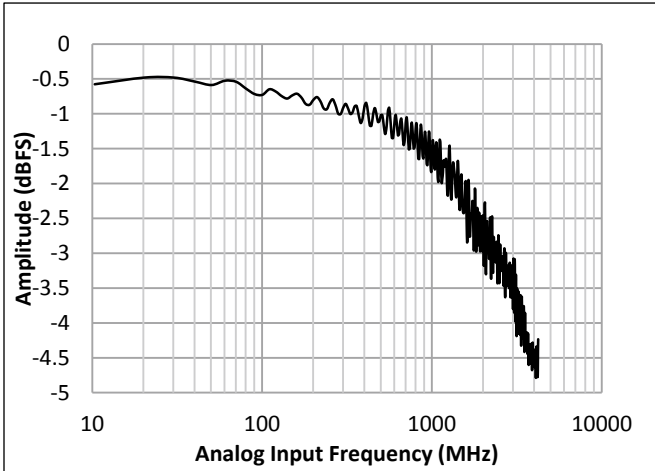


图11. 3GHz全功率带宽(2.5 GSPS)



图14. SNR/SFDR与采样速率的关系

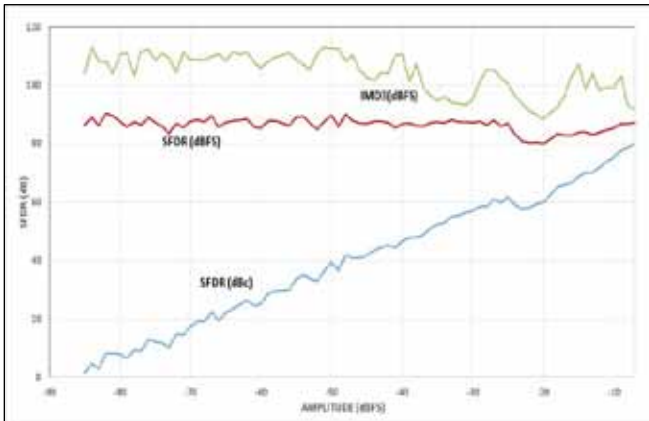


图12. 双音SFDR和IMD3与模拟输入幅度的关系: 2.5GSPS, 1800 MHz AIN

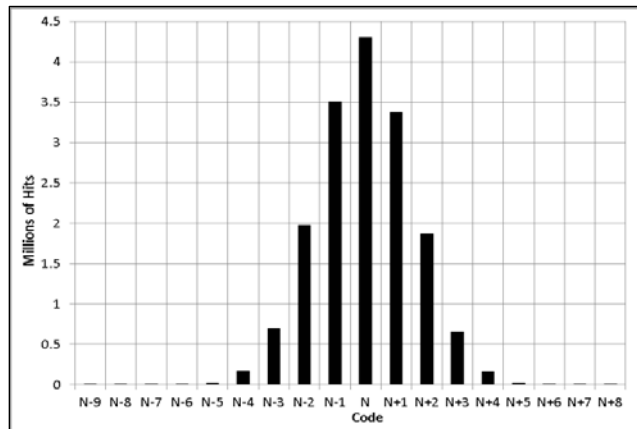


图15. 折合到输入端的噪声直方图(2.5GHz采样时钟)

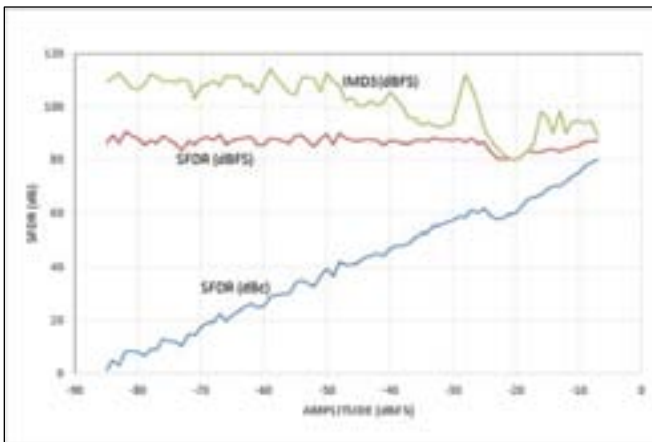


图13. 双音SFDR和IMD3与模拟输入幅度的关系: 2.5 GSPS, 230 MHz AIN



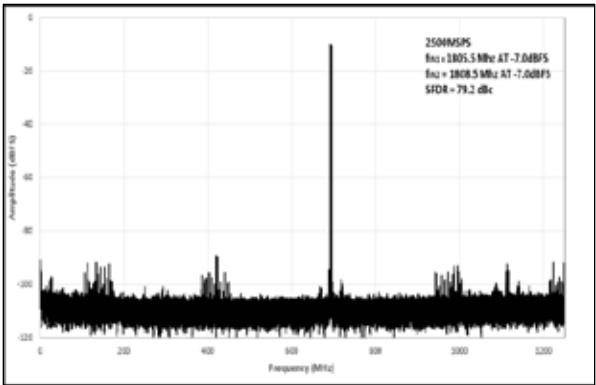


图16. 双音FFT曲线: 2.5 GSPS, AIN的 $f_{IN1} = 1805.5$  MHz且 $f_{IN2} = 1808.5$  MHz,  $-7$  dBFS (SFDR = 79.2 dBc)

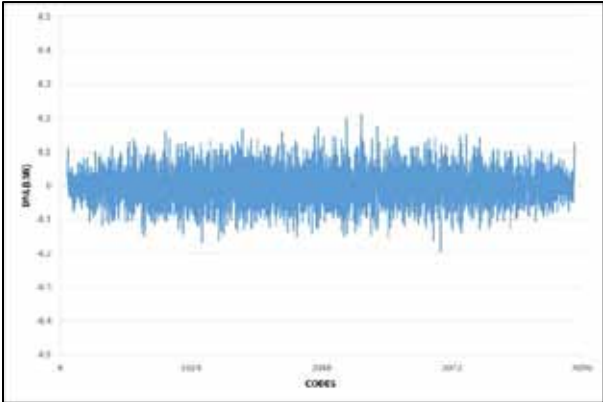


图19. 差分非线性(DNL),  $\pm 0.2$  LSB

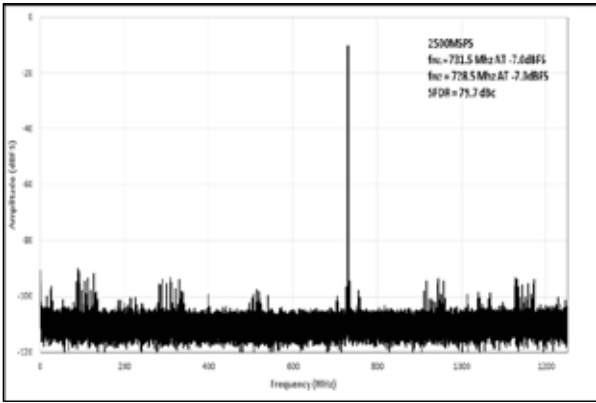


图17. 双音FFT曲线: 2.5 GSPS, AIN的 $f_{IN1} = 728.5$  MHz且 $f_{IN2} = 731.5$  MHz,  $-7$  dBFS (SFDR = 79.7 dBc)

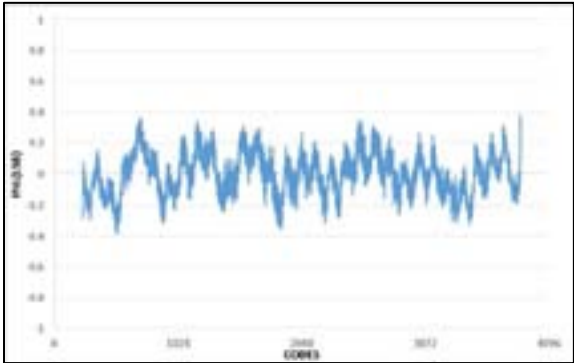


图20. 积分非线性(INL),  $\pm 0.4$  LSB

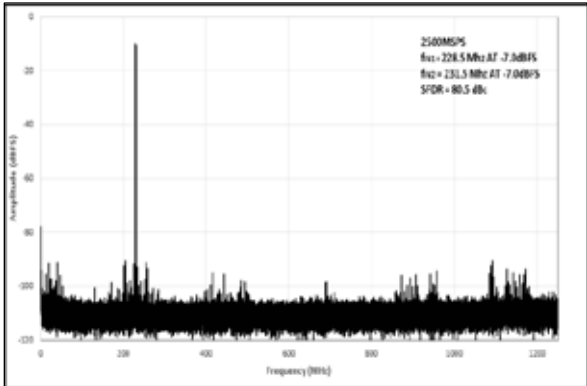


图18. 双音FFT曲线: 2.5 GSPS, AIN的 $f_{IN1} = 228.5$  MHz且 $f_{IN2} = 231.5$  MHz,  $-7$  dBFS (SFDR = 80 dBc)

## 等效测试电路

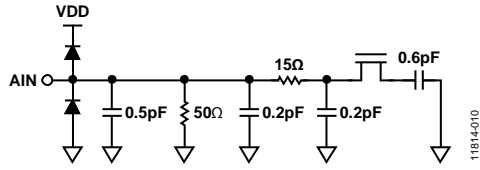


图21. 等效模拟输入电路

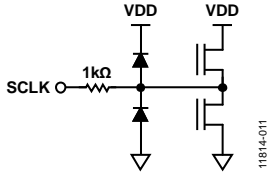


图22. 等效SCLK电路

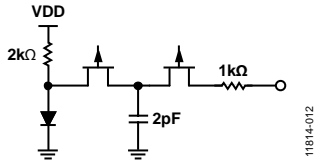


图23. 等效温度传感器电路

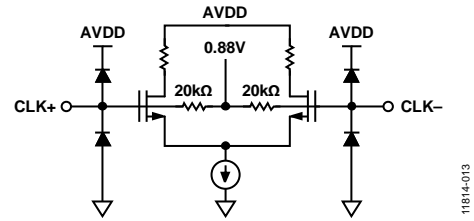


图24. 等效时钟输入电路

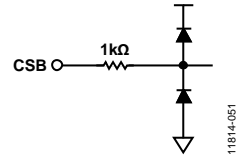


图25. 等效CSB输入电路

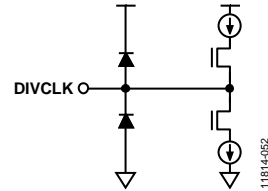


图26. 等效DIVCLK±输出电路

## 工作原理

### ADC架构

AD9625是一款流水线式ADC。流水线结构允许第一级处理新的输入采样点，而其它级继续处理之前的采样点。采样在时钟的上升沿进行。

除最后一级以外，流水线的每一级都包括一个低分辨率Flash型ADC、一个开关电容数模转换器(DAC)和一个级间余量放大器(MDAC)。余量放大器放大重构DAC输出与Flash型输入之差，以便提供给流水线的下一级。为了帮助对Flash误差进行数字校正，每一级设定了一位冗余量。最后一级仅由一个Flash型ADC组成。

输入级包含一个差分采样电路，可在差分或单端模式下完成交流耦合或直流耦合。输出级模块能够实现数据对准、错误校正，且能将数据传输到输出缓冲器。输出缓冲器需要单独供电，允许调整输出驱动电流。

同步功能用于多个器件之间的同步定时。

### 快速检测

AD9625中的快速检测模块产生快速检测位(FD)，当结合可变增益放大器前端模块使用时，它可降低增益，防止ADC输入信号电平超过转换器范围。

图27显示了检测位可利用阈值上限、阈值下限和驻留时间进行编程的快速性。

当输入信号超过可编程阈值上限时，FD位置1。只有输入信号的绝对值降至阈值下限以下，并且持续时间超过可编程驻留时间，FD位才会清0，由此提供一个迟滞，防止FD位过快切换。

### 增益阈值操作

该阈值禁止后台校准针对小信号幅度进行更新。增益校准的阈值默认使能。

### 阈值操作

每个样本的绝对值累计以产生平均电压估计值。

当校准运行了预定的采样数时，电压估计值与数据集阈值进行比较。若电压估计值大于阈值，则校准系数更新，否则不更新。

### 阈值格式

阈值寄存器都是16位寄存器，通过SPI加载，一次一个字节。阈值范围是0到16,384，对应的电压范围是0.0 V到1.1 V(满量程)。

校准阈值范围是0到16,384(0x00至0x4000，十六进制)，表示输入的平均幅度。例如，若要设置阈值，使得-6 dBFS输入正弦波恰好位于阈值，则需将阈值设置为：

$$16,384 \times 10^{\frac{-6}{20}} \times \frac{2}{\pi} \geq 5228$$

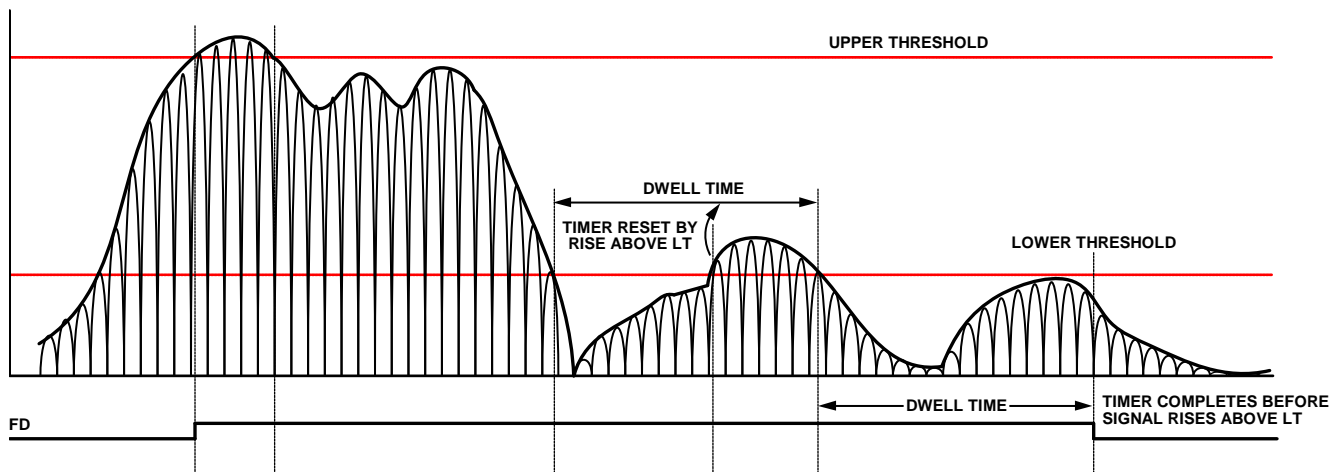


图27. 快速检测位

11814-016

## 测试模式

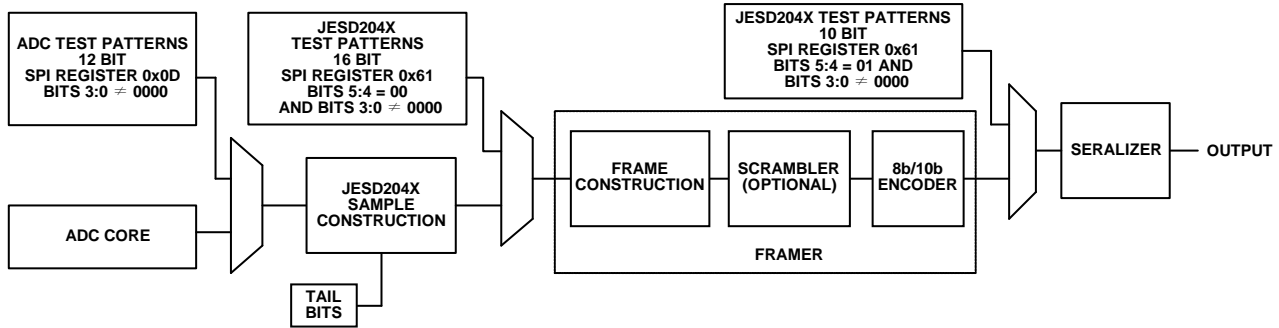


图28. 测试模式

11814-018

表10. 灵活的输出测试模式(SPI寄存器0x00D)

输出测试模式位序列	测试码名称	数字输出字1 (默认二进制补码格式)	数字输出字2(默认二进制补码格式)	接受数据格式选择
0000	关闭(默认)	不适用	不适用	是
0001	中间电平短码	0000 0000 0000	= Word1	是
0010	正满量程	0111 1111 1111	= Word1	是
0011	负满刻度	1000 0000 0000	= Word1	是
0100	交替棋盘形式	1010 1010 1010	0101 0101 0101	否
0101	PN长序列	不适用	不适用	是
0111	1/0字反转	1111 1111 1111	0000 0000 0000	否
1000	用户测试模式	寄存器0x019至寄存器0x020中的用户数据	寄存器0x019至寄存器0x020中的用户数据	是
1111	斜坡输出	N	N + 1	否

## 数字下变频器(DDC)

AD9625架构包括两个DDC，每个用于提取ADC捕捉的完整数字频谱的一部分。每个调谐器由独立的频率合成器和正交混频器组成，这些元件之后是一系列用于速率转换的低通滤波器。假设采样频率为2.500 GHz，则频率合成器(10位NCO)支持1024个离散调谐频率，从-1.2499 GHz到+1.2500 GHz，步长为 $2500/1024 = 2.44$  MHz。低通滤波器支持两种工作模式。

- 高带宽模式，240 MHz宽(-120 MHz至+120 MHz)，I和Q分支分别以 $2.5 \text{ GHz}/8 = 312.5$  MHz采样。来自I和Q分支的16位样本通过专用JESD204B接口传输。
- 低带宽模式，120 MHz宽(-60 MHz至+60 MHz)，I和Q分支分别以 $2.5 \text{ GHz}/16 = 156.25$  MHz采样。来自I和Q分支的16位样本通过专用JESD204B接口传输。

设计上，所有模块以单一时钟频率 $2.5 \text{ GHz}/8 = 312.5$  MHz工作。

每个滤波器级都包括一个可由用户编程的增益控制模块。增益范围是0 dB到18 dB，步长为6 dB，该增益在最终缩放和舍入之前应用。当调谐器滤除很强的带外干扰信号，而留下很弱的带内信号时，该增益控制特性可能很有用。

### 频率合成器和混频器

采样速率为2.500 GHz时，合成器(10位NCO)输出-1.249 GHz至+1.250 GHz的1024个可能复数频率中的一个。合成器采用直接数字合成技术，并利用查找正弦表和相位累加器。用户通过写入10位相位递增寄存器来指定调谐器频率。

### 高带宽抽取器

第一滤波器级的设计降速系数是8，产生的采样速率为 $2.500 \text{ GHz}/8 = 312.5$  MHz。为了降低复杂度并实现低时钟速率，DDC采用8倍抽取多相融合滤波器，它在每个时钟周期从混频器模块接收8个13位样本。

模块设计提供用户指定的增益控制，范围是0 dB到18 dB，步长为6 dB。该增益在最终缩放和舍入到16位之前应用。

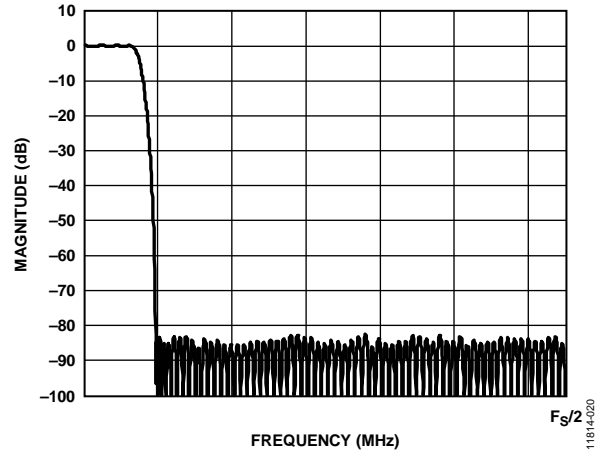


图29. 8倍抽取多相融合滤波器的幅度响应

滤波器性能如图29和图31所示。该滤波器产生120 MHz的有效带宽，过渡带为 $156.5 - 120 = 36.5$  MHz。因此，该滤波器的双边复数带宽为240 MHz。

85 dB的抑制比确保折回通带的七个混叠产生 $85 \text{ dB} - 10\log_{10}(7) = 76.5$  dB的SNR，使得混叠远低于输入信号的噪底。通带纹波为 $\pm 0.05$  dB，如图30所示。

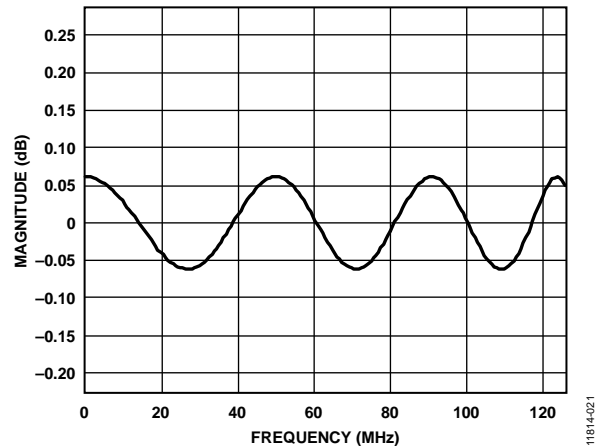


图30. 通带中的幅度纹波

### 低带宽抽取器

只能在可选的低带宽模式下使用第二滤波器级。它额外实现2倍的降速系数，产生的最终采样速率为 $2.500 \text{ GHz}/16 = 156.25$  MHz。低带宽抽取滤波器的内部结构与高带宽抽取器类似。此外，为便于物理设计，该模块以250 MHz的速率工作，因此I和Q相位可共用该滤波器引擎。

低带宽抽取滤波器的性能如图31和图32所示。该滤波器产生60 MHz的有效带宽，过渡带为 $81.25 \text{ MHz} - 60 = 21.25$  MHz。因此，该滤波器的双边复数带宽为120 MHz。85 dB的抑制比确保混叠区折回到远低于输入信号噪底的水平。

# AD9625

像高带宽滤波器一样，此模块也提供用户指定的增益控制，范围是0 dB到18 dB，步长为6 dB。该增益在低带宽抽取滤波器的输出最终量化到16位之前应用。

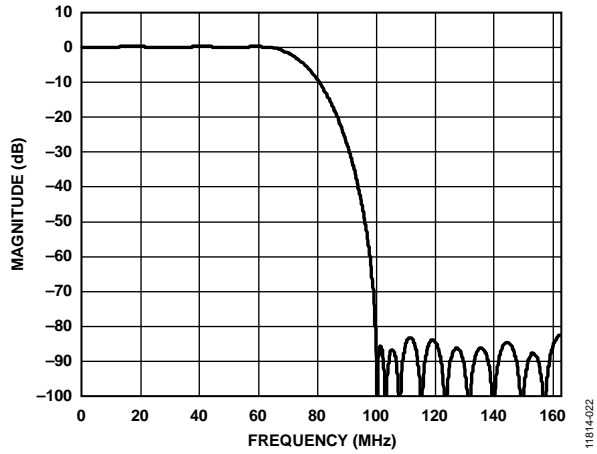


图31. 2倍抽取滤波器的幅度响应

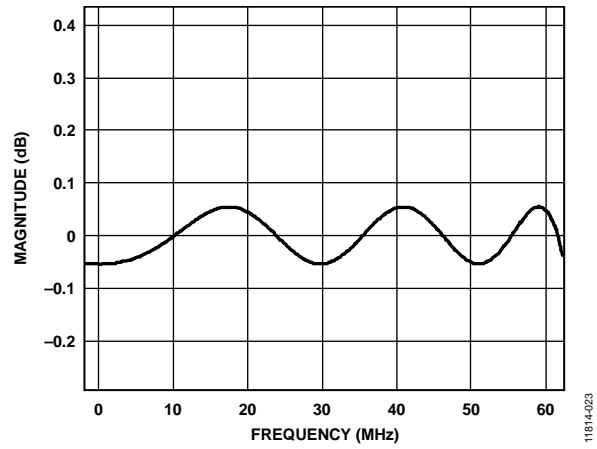


图32. 通带中的幅度纹波

## 模拟输入考虑

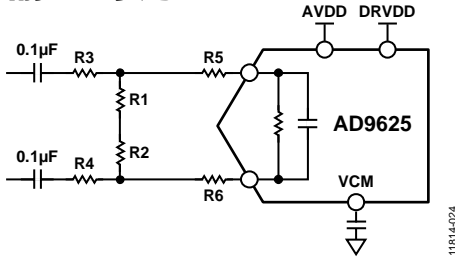


图33. 前端最低要求

建议使用串联电阻(R5和R6)来降低带宽峰化,并使ADC采样电容的反冲影响最低。小串联电阻(R3和R4)会限制带宽,但可以安装以进一步改善性能。表11列出了前端要求。

表11. 推荐前端元件

元件	元件值
R1	50 Ω(端接)
R2	50 Ω(端接)
R3	0 Ω至33 Ω
R4	0 Ω至33 Ω
R5	0 Ω至33 Ω
R6	0 Ω至33 Ω

### 直流耦合

AD9625可在直流耦合输入配置下工作。模拟输入信号需要参考AD9625的Vcm输出。

### 时钟输入考虑

为了充分发挥芯片的性能,应利用一个差分信号驱动AD9625采样时钟输入端(CLK+和CLK-)。通常,应使用一个变压器或两个电容器将该信号交流耦合到CLK+引脚和CLK-引脚内。这两个引脚有内部偏置,无需其它偏置。

### 时钟抖动考虑

高速、高分辨率ADC对时钟输入信号的质量非常敏感。在给定的输入频率( $f_A$ )下,仅由孔径抖动( $t_j$ )造成的信噪比(SNR)下降计算公式如下:

$$SNR = 20 \times \log_{10}(2 \times \pi \times f_A \times t_j)$$

公式中,均方根孔径抖动表示所有抖动源(包括时钟输入信号、模拟输入信号和ADC孔径抖动规格)的均方根。中频欠采样应用对抖动尤其敏感(见图34)。

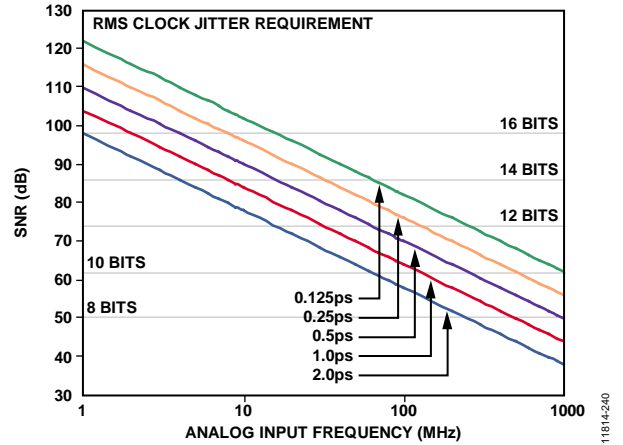


图34. 理想信噪比与模拟输入频率和抖动的关系

当孔径抖动可能影响AD9625的动态范围时,应将时钟输入信号视为模拟信号。为避免在时钟信号内混入数字噪声,时钟驱动器电源应与ADC输出驱动器电源分离。如果时钟信号来自其它类型的时钟源(通过门控、分频或其它方法),则应在最后对原始时钟进行重定时。如需深入了解与ADC相关的抖动性能信息,请参阅应用笔记AN-501和AN-756。

### 时钟占空比考虑

典型的高速ADC利用时钟的两个边沿来产生各种内部时序信号。因此,这些ADC可能对时钟占空比很敏感。通常,为保持ADC的动态性能,时钟占空比容差应为5%。



## 数字输出

### JESD204B接口简介

AD9625数字输出符合JEDEC标准(标准号: JESD204B, 数据转换器串行接口)。JESD204B是AD9625通过串行接口(最高6.5 Gbps链路速度)连接数字处理设备的协议。相比于LVDS, JESD204B接口的优势包括: 数据接口路由所需电路板空间更少, 以及转换器和逻辑器件的封装更小。AD9625支持1、2、4、6或8个输出通道。

JESD204B数据发送模块可将来自ADC的并行数据组合成数据帧, 并使用8位/10位编码以及可选数据加扰技术, 输出串行数据。在初始链路的建立过程中, 使用特殊字符可支持通道同步; 而用于维持同步的额外数据则嵌入在随后的数据流中。完整的串行链路需要一个JESD204B接收机。有关JESD204B接口的详细信息, 建议用户查阅JESD204B标准。

AD9625 JESD204B发送模块将ADC的输出通过链路映射到两个数字下变频器。一条链路最多可配置为使用8个JESD204B通道。JESD204B规范用多个参数来定义链路, JESD204B发射机(AD9625的输出)和接收机(FPGA、ASIC或逻辑器件)的这些参数必须匹配。

表12说明了JESD204B接口术语(转换器件和链路这两个术语在该规范中通用)。

表12. JESD204B接口术语

符号	说明
S	每个帧周期每个转换器发送的样本
M	每个转换器件(链路)的转换器数
L	每个转换器件(链路)的通道数
N	转换器分辨率
N'	每个样本的总位数
CF	每个转换器件(链路)每个帧时钟周期的控制字数
CS	每个转换样本的控制位数
K	每个多帧的帧数
HD	高密度模式
F	每帧的8位字数
C	控制位(超范围、时间戳)
T	结束位

AD9625遵循JESD204B规范草案, 该规范针对数据转换器和逻辑器件提供高速、串行、嵌入式时钟接口标准。该器件设计为MCDA-ML、Subclass 1器件, 利用SYSREF±输入信号实现多芯片同步和确定性延迟。此设计采用如下基本JESD204B链路配置参数:

- M = 1(单一转换器, AD9625始终如此)
- L = 1至8(最多8个通道)
- S = 4(每个JESD204B帧4个样本)
- F = 1、2、4、8(每帧最多8个8位字)
- N' = 12、16(12或16位JESD204B字大小)
- HD = 0、1(高密度模式、样本跨多个通道)

### 功能概述

图35中的框图显示了数据通过JESD204B硬件从采样输入到物理输出的流程。处理可依据OSI模型分为多层, OSI模型广泛用于描述通信系统的抽象层。它有传输层、数据链路层和物理层(串行器)。以下部分详细介绍各层。

### 传输层

传输层将数据(由样本和可选控制位组成)包装成8位字并发送至数据链路层。传输层受链路配置数据产生的规则控制。它根据规则包装数据, 需要时添加结束位以填补空隙。

### 数据链路层

数据链路层负责执行通过链路传送数据的低级功能, 包括加扰数据(可选), 处理链路上的字符、帧和通道的同步过程, 将8位数据字编码为10位字符, 以及在数据输出中插入适当的控制字符。数据链路层还负责发送初始通道对齐序列(ILAS), 它包含链路配置数据, 接收机(Rx)利用它来验证传输层的设置。

### 物理层

物理层由以串行时钟速率运行的高速电路构成, 包括串行化电路和高速驱动器。

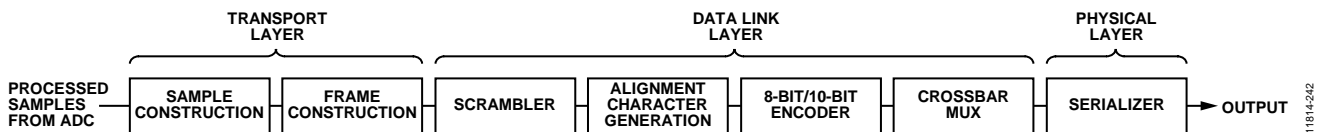


图35. 数据流



## JESD204B链路建立

**AD9625** JESD204B Tx接口按照JEDEC标准204B(2011年7月规范)的规定,以Subclass 1工作。它分为以下几步:代码组同步、初始化通道对齐序列和数据流。

### 代码组同步(CGS)和SYNCINB±

CGS是JESD204B接收机找到数据流中10位字符间边界的过程。在CGS阶段,JESD204B传送模块传送/K28.5/字符。接收机(外部逻辑器件)必须使用时钟和数据恢复(CDR)技术,在输入数据流中定位/K28.5/字符。

接收机通过激活**AD9625**的SYNCINB±引脚,发出一个同步请求。JESD204B Tx开始发送/K28.5/字符,直至下一LMFC边界。当接收机已同步时,它便等待接收机至少正确接收4个连续的/K28.5/符号,然后停用SYNCINB±。**AD9625**接着在下一LMFC边界发送一个初始通道对齐序列(ILAS)。

有关代码组同步阶段的更多信息,请参见JEDEC标准204B(2011年7月)第5.3.3.1节。

SYNCINB±引脚操作可以由SPI控制。默认情况下,SYNCINB±信号是一个差分LVDS模式信号,但也可以单端驱动。有关配置SYNCINB±引脚操作的更多信息,参见存储器映射部分。

### 初始通道对齐序列(ILAS)

CGS阶段之后是ILAS阶段,它在下一LMFC边界开始。ILAS由4个多帧组成,/R/字符表示开始,/A/字符表示结束。ILAS从发送/R/字符开始,然后发送一个多帧的0至255斜坡数据。在第二个多帧发送链路配置数据,从第三个字符开始。第二个字符是/Q/字符,用以确认随后是链路配置数据。所有未定义数据时隙都用斜坡数据填充。ILAS序列从不加扰。

ILAS序列结构如图38所示。4个多帧包括:

- 多帧1:以/R/字符(K28.0)开始,以/A/字符(K28.3)结束。
- 多帧2:以/R/字符开始,后接/Q/[K28.4]字符,然后是14个配置8位字的链路配置参数,最后以/A/字符结束。许多参数值用-1表示。

- 多帧3:与多帧1相同。
- 多帧4:与多帧1相同。

### 数据流

完成初始通道对齐序列之后便发送用户数据。在普通的一帧中,所有字符都是用户数据。然而,为了监控帧时钟和多帧时钟同步,当数据符合某些条件时,有一个机制来将字符替换为/F/或/A/对齐字符。对于未加扰和加扰的数据,这些条件是不同的。默认使能加扰操作,但可以通过SPI禁用。

对于加扰的数据,帧末尾的任何0xFC字符都用/F/替换,多帧末尾的任何0xFD字符都用/A/替换。JESD204B Rx检查接收数据流中是否有/F/和/A/字符,验证其仅出现在预期的位置。如果发现意外的/F/或/A/字符,接收机将利用动态对齐处理这种情况,或激活SYNCINB±信号并持续四帧以上的时间以启动重新同步。对于未加扰的数据,如果两个连续帧的最后字符相同,则第二个字符将被替换为/F/(若它位于一个帧的末尾)或/A/(若它位于一个多帧的末尾)。

对齐字符的插入可通过SPI修改。帧对齐字符插入默认使能。有关链路控制的更多信息,参见存储器映射部分的寄存器0x062。

### 8位/10位编码器

8位/10位编码器将8位字转换为10位字符,并在需要时将控制字符插入流中。JESD204B使用的控制字符如表13所示。8位/10位编码通过使用相同数量的1和0来支持信号达到直流平衡。

8位/10位接口的选项可通过SPI控制,包括旁路、反转和镜像。这些选项用作数字前端(DFE)验证的故障排除工具。

### 数字输出、时序和控制

**AD9625**物理层由JEDEC标准204B(2011年7月)所规定的驱动器组成。差分数字输出默认上电。驱动器利用100 Ω的动态内部端接电阻来降低反射干扰。

在每个接收机的输入端放置一个100 Ω差分端接电阻,可实现标称300 mV p-p的接收机摆幅(见图36)。也可使用单端50 Ω端接电阻。使用单端端接电阻时,终端电压为DRVDD/2;此外,还可使用0.1 μF交流耦合电容以便端接至任意单端电压。

# AD9625

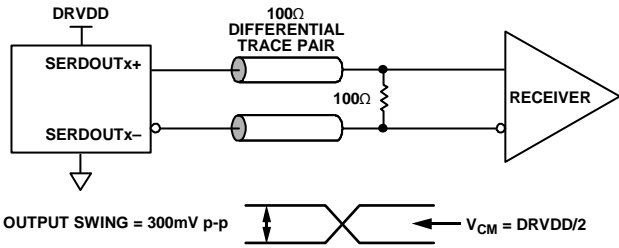


图36. 交流耦合数字输出端接示例

AD9625数字输出可与定制的ASIC和FPGA接收机接口，从而在高噪声环境中实现出色的开关性能。推荐使用单一点到点网络拓扑结构，并将单个100 Ω差分端接电阻尽可能靠近接收机输入端放置。数字输出的共模电压自动偏置到DRVDD电源的一半。图37显示输出直流耦合到接收机逻辑。

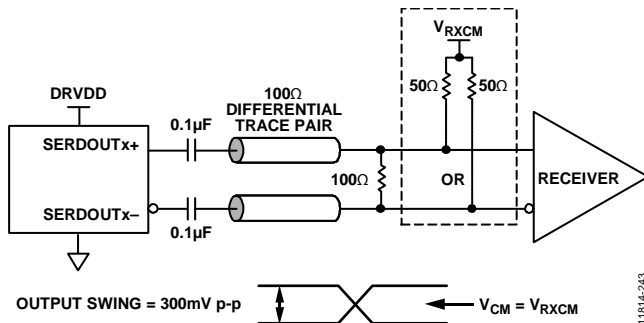


图37. 直流耦合数字输出端接示例

如果没有远端接收机端接电阻，或者差分走线布线不佳，可能会导致时序错误。为避免产生时序错误，建议走线长度不要超过6英寸，差分输出走线应尽可能彼此靠近且长度相等。

## 去加重

当互连插入损耗不符合JESD204B规范时，利用去加重可以符合接收机眼图眼罩。只能在接收机因为插入损耗过大而无法恢复时钟时使用去加重特性。一般情况下，该特性禁用以节省功耗。此外，对一个短链路使能并设置过高的去加重值，可能导致接收机眼图失效。去加重设置应慎重使用，因为它会增加电磁干扰(EMI)。详细信息见存储器映射部分。

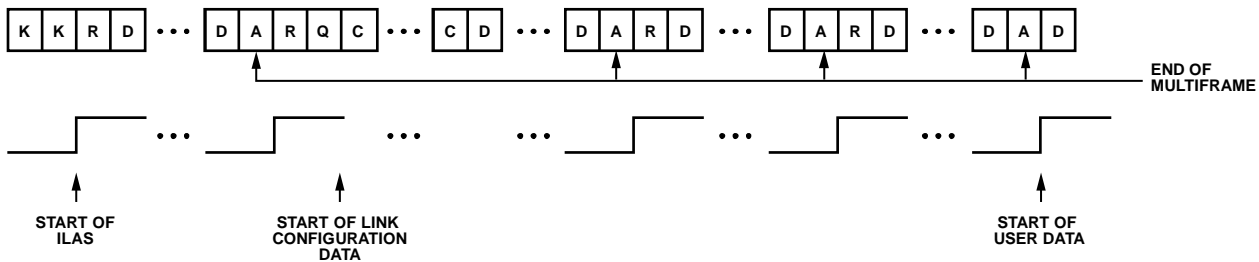


图38. 初始通道对齐序列

表13. AD9625用于JESD204B的控制字符

缩写	控制符号	8位值	10位值 RD(运行差异) = -1	10位值 RD(运行差异) = +1	说明
/R/	/K28.0/	000 11100	001111 0100	110000 1011	多帧开始
/A/	/K28.3/	011 11100	001111 0011	110000 1100	通道对齐
/Q/	/K28.4/	100 11100	001111 0100	110000 1101	链路配置数据开始
/K/	/K28.5/	101 11100	001111 1010	110000 0101	组同步
/F/	/K28.7/	111 11100	001111 1000	110000 0111	帧对齐

表14. JESD204B工作模式(除非另有说明,  $M = 1$ ,  $S = 4$ ,  $N' = 16$ )

快速配置值	说明 <sup>1</sup>	通道(L)	8位字/帧(F)	采样时钟速率		采样时钟倍频器	JESD204B通道速率	
				最小MSPS	最大MSPS		最小Mbps	最大Mbps
0x02	通用	2	4	330	650	10	3300	6500
0x04	通用	4	2	650	1300	5	3250	6500
0x06	通用 ( $N' = 12$ )	6	1	1300	2500	2.5	3250	6250
0x08	通用	8	1	1300	2500	2.5	3250	6250
0x42	$f_s \times 8$	2	4	406	813	8	3250	6500
0x44	$f_s \times 4$	4	2	813	1625	4	3250	6500
0x48	$f_s \times 2$	8	1	1625	2500	2	3250	5000
0x81	单DDC, 高带宽	1	8	650	1300	5	3250	6500
0x82	单DDC, 高带宽	2	4	1300	2500	2.5	3250	6250
0x91	单DDC, 低带宽	1	8	1300	2500	2.5	3250	6250
0xC1	双DDC, 高带宽	1	8	330	650	10	3300	6500
0xC2	双DDC, 高带宽	2	4	650	1300	5	3250	6500
0xC4	双DDC, 高带宽	4	2	1300	2500	2.5	3250	6250
0xD1	双DDC, 混合带宽	1	8	330	650	10	3300	6500
0xD2	双DDC, 混合带宽	2	4	650	1300	5	3250	6500
0xE1	双DDC, 混合带宽	4	2	1300	2500	2.5	3250	6250
0xE2	双DDC, 低带宽	1	8	650	1300	5	3250	6500
0xE4	双DDC, 低带宽	2	4	1300	2500	2.5	3250	6250

<sup>1</sup> DDC表示数字下变频器,  $f_s \times x$ 表示采样速率乘以一个整数。

表15. JESD204B逻辑通道映射

快速配置值	说明	通道(L)	逻辑通道0	逻辑通道1	逻辑通道2	逻辑通道3	逻辑通道4	逻辑通道5	逻辑通道6	逻辑通道7
0x02	通用	2	S[N], S[N + 1]	S[N + 2], S[N + 3]	关	关	关	关	关	关
0x04	通用	4	S[N]	S[N + 1]	S[N + 2]	S[N + 3]	关	关	关	关
0x06	通用 ( $N' = 12$ )	6	S <sub>Msb</sub> [N], S <sub>Lsb</sub> [N], S <sub>Msb</sub> [N + 1], S <sub>Lsb</sub> [N + 1], S <sub>Msb</sub> [N + 2], S <sub>Lsb</sub> [N + 2], S <sub>Msb</sub> [N + 3], S <sub>Lsb</sub> [N + 3]						关	关
0x08	通用	8	S <sub>Msb</sub> [N]	S <sub>Lsb</sub> [N]	S <sub>Msb</sub> [N + 1]	S <sub>Lsb</sub> [N + 1]	S <sub>Msb</sub> [N + 2]	S <sub>Lsb</sub> [N + 2]	S <sub>Msb</sub> [N + 3]	S <sub>Lsb</sub> [N + 3]
0x42	$f_s \times 8$	2	参见图43, $f_s \times 2$ 模式应用层(发送)							
0x44	$f_s \times 4$	4	参见图43, $f_s \times 2$ 模式应用层(发送)							
0x48	$f_s \times 2$	8	S <sub>Msb</sub> [N], S <sub>Lsb</sub> [N], S <sub>Msb</sub> [N + 1], S <sub>Lsb</sub> [N + 1], S <sub>Msb</sub> [N + 2], S <sub>Lsb</sub> [N + 2], S <sub>Msb</sub> [N + 3], S <sub>Lsb</sub> [N + 3], S <sub>Msb</sub> [N + 4], S <sub>Lsb</sub> [N + 4];参见图43, $f_s \times 2$ 模式应用层(发送)							
0x81	单DDC, 高带宽	1	I <sub>0</sub> [N], Q <sub>0</sub> [N], I <sub>0</sub> [N + 1], Q <sub>0</sub> [N + 1]	关	关	关	关	关	关	关
0x82	单DDC, 高带宽	2	I <sub>0</sub> [N], Q <sub>0</sub> [N]	I <sub>0</sub> [N + 1], Q <sub>0</sub> [N + 1]	关	关	关	关	关	关
0x91	单DDC, 低带宽	1	I <sub>0</sub> [N], Q <sub>0</sub> [N], I <sub>0</sub> [N + 1], Q <sub>0</sub> [N + 1]	关	关	关	关	关	关	关
0xC1	双DDC, 高带宽	1	I <sub>0</sub> [N], Q <sub>0</sub> [N], I <sub>1</sub> [N], Q <sub>1</sub> [N]	关	关	关	关	关	关	关
0xC2	双DDC, 高带宽	2	I <sub>0</sub> [N], Q <sub>0</sub> [N]	I <sub>1</sub> [N], Q <sub>1</sub> [N]	关	关	关	关	关	关
0xC4	双DDC, 高带宽	4	I <sub>0</sub> [N]	Q <sub>0</sub> [N]	I <sub>1</sub> [N]	Q <sub>1</sub> [N]	关	关	关	关
0xD1	双DDC, 混合带宽	1	I <sub>0</sub> [N], Q <sub>0</sub> [N], I <sub>1</sub> [N],	关	关	关	关	关	关	关

# AD9625

快速配置值	说明	通道 (L)	逻辑通道0	逻辑通道1	逻辑通道2	逻辑通道3	逻辑通道4	逻辑通道5	逻辑通道6	逻辑通道7
			Q <sub>1</sub> [N]							
0xD2	双DDC, 混合带宽	2	I <sub>0</sub> [N], Q <sub>0</sub> [N]	I <sub>1</sub> [N], Q <sub>1</sub> [N]	关	关	关	关	关	关
0xE1	双DDC, 混合带宽	4	I <sub>0</sub> [N]	Q <sub>0</sub> [N]	I <sub>1</sub> [N]	Q <sub>1</sub> [N]	关	关	关	关
0xE2	双DDC, 低带宽	1	I <sub>0</sub> [N], Q <sub>0</sub> [N], I <sub>1</sub> [N], Q <sub>1</sub> [N]	关	关	关	关	关	关	关
0xE4	双DDC, 低带宽	2	I <sub>0</sub> [N], Q <sub>0</sub> [N]	I <sub>1</sub> [N], Q <sub>1</sub> [N]	关	关	关	关	关	关

物理层输出

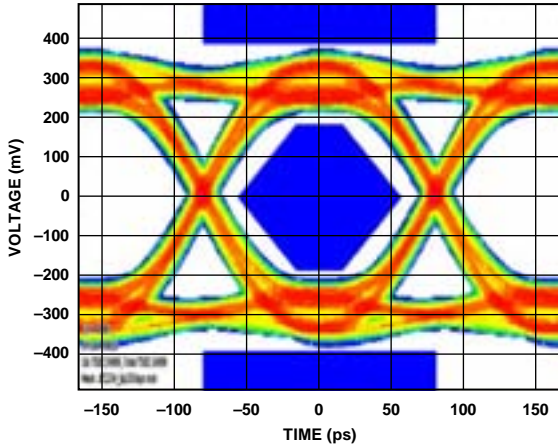


图39. JESD204B通道(6.25 Gbps)恢复的数据眼图

11814-026

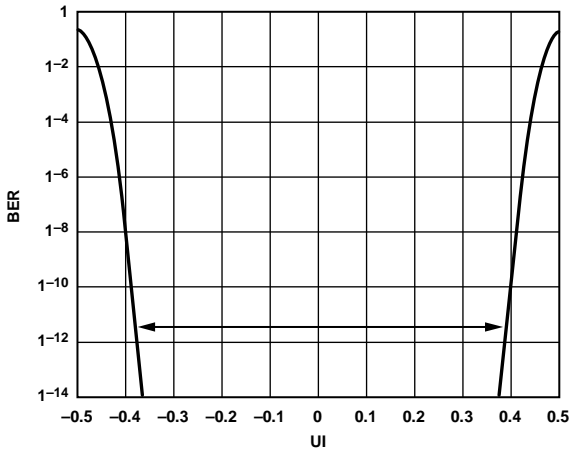


图40. JESD204B输出(6.25 Gbps)的浴盆图

11814-027

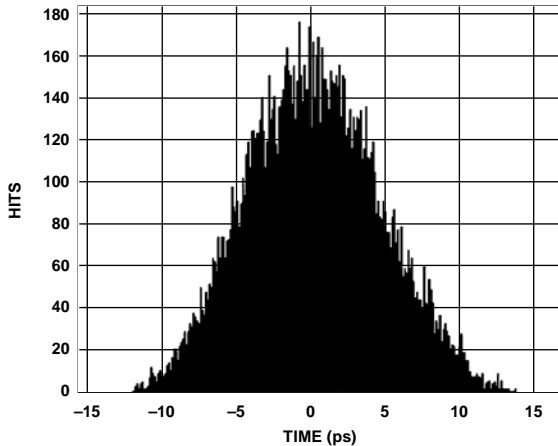


图41. JESD204B输出(6.25 Gbps)的时间间隔直方图误差

11814-028

加扰器

加扰器多项式为 $1 + x^{14} + x^{15}$ 。加扰器使能位是寄存器0x06E[7]。

- 位7设为0即禁用加扰器。
- 位7设为1即使能加扰器。

结束位

结束位(PN发生器)是寄存器0x05F[6]。

- 位6设为0即禁用结束位发生器。
- 位6设为1即使能结束位发生器。

DDC模式(单和双)

AD9625内置两个独立的DDC，它们能以较低带宽将实数ADC输出数据数字下变频为I/Q抽取数据。当不需要该2.5 GSPS转换器提供的全部带宽时，此特性很有用。

图42显示了DDC模块遍历AD9625的简化框图。所有JESD204B帧都包含4个样本(S=4)，因此DDC也必须输出4个样本。表16显示了AD9625特定的JESD204B接口的I/Q样本与转换器样本的重映射关系。

在混合带宽模式下，DDC 0始终处于高带宽模式，DDC 1始终处于低带宽模式。为了匹配高带宽模式的数据吞吐速率，混合带宽模式下的低带宽样本会重复两次。表17列出了DDC 0(高带宽模式)和DDC 1(低带宽模式)的4个数据帧。

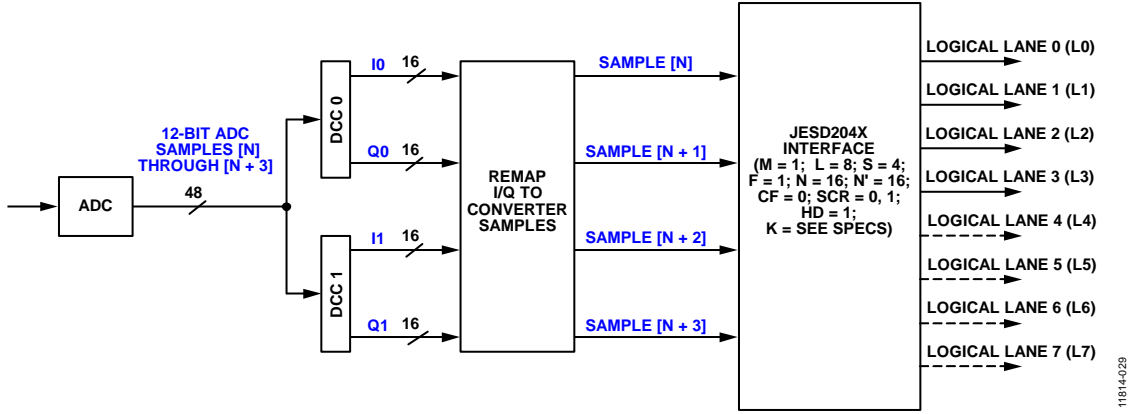


图42. DDC映射

表16. DDC将I/Q重映射到转换器样本

应用模式	样本[N]	样本[N + 1]	样本[N + 2]	样本[N + 3]
单DDC	I <sub>0</sub> [N]	Q <sub>0</sub> [N]	I <sub>0</sub> [N + 1]	Q <sub>0</sub> [N + 1]
双DDC	I <sub>0</sub> [N]	Q <sub>0</sub> [N]	I <sub>1</sub> [N]	Q <sub>1</sub> [N]

表17. DDC混合带宽模式

JESD204B	样本[N]	样本[N + 1]	样本[N + 2]	样本[N + 3]
第0帧	I <sub>0</sub> [N]	Q <sub>0</sub> [N]	I <sub>1</sub> [N]	Q <sub>1</sub> [N]
第1帧	I <sub>0</sub> [N + 1]	Q <sub>0</sub> [N + 1]	I <sub>1</sub> [N]	Q <sub>1</sub> [N]
第2帧	I <sub>0</sub> [N + 2]	Q <sub>0</sub> [N + 2]	I <sub>1</sub> [N + 1]	Q <sub>1</sub> [N + 1]
第3帧	I <sub>0</sub> [N + 3]	Q <sub>0</sub> [N + 3]	I <sub>1</sub> [N + 1]	Q <sub>1</sub> [N + 1]

## 校验和

JESD204B校验和值是在初始通道对齐序列期间与配置参数一起发送。禁用校验和主要是用于调试。

## 8位/10位编码器控制

8位/10位编码器必须通过以下方式进行控制：

- 旁路8位/10位编码器通过寄存器0x60的位2控制(0 = 使能8位/10位；1 = 禁用8位/10位)。
- 反转10位编码器通过寄存器0x060的位1控制(0 = 正常；1 = 反转)。
- 镜像10位编码器通过寄存器0x060的位0控制(0 = 正常；1 = 镜像)。

利用反转的10位值，用户可以交换电路板上交换的正/负差分引脚。有关寄存器0x060的详细信息，参见存储器映射寄存器部分。

## 初始通道对齐序列(ILAS)

AD9625必须支持三种不同的ILAS模式，这些寄存器通过寄存器0x05F的位[3:2]控制，如下所示：

- 00: 禁用
- 01: 使能

- 10: 保留
- 11: 始终开启，测试模式

使能时，器件还必须支持重复ILAS的功能，ILAS的重复次数利用寄存器0x062的位[7:0]确定(0 = 重复0次，ILAS仅运行一次；1 = 重复一次，ILAS运行两次，以此类推)。每个多帧的帧数由K值确定，因此初始通道对齐序列期间发送的总帧数为：

$$4 \times (K + 1) \times (ILAS\_COUNT + 1)$$

其中K值由寄存器0x070的位[4:0]定义。注意，只能使用可被4整除的值。

有关寄存器0x05F和寄存器0x062的详细信息，参见存储器映射寄存器部分。

## 通道同步

通道同步由寄存器0x05F的位4定义(0 = 禁用，1 = 使能)。更多信息请参见存储器映射寄存器部分。

### JESD204B样本的ADC输出控制位

当 $N' = 16$ 且ADC分辨率为12时，每个样本有4个闲置位。其中2位可用作控制位，即样本的位置2到位置1，具体取决于配置选项。控制位在寄存器0x072的位[7:6]中设置。

- 00: 每个样本发送0个控制位( $CS = 0$ )。
- 01: 每个样本发送1个控制位，超范围位使能( $CS = 1$ )。
- 10: 每个样本发送2个控制位，超范围 + 带时间戳的SYSREF控制位(标记SYSREF±引脚上看到的上升沿样本)( $CS = 2$ )。使用SYSREF控制位( $CS = 2$ )给特定模拟样本加时间戳，该样本与SYSREF±引脚上的上升信号同时出现。

寄存器0x061的位[5:4]控制JESD204B接口测试注入点。

- 00: 链路样本输入端注入的16位测试产生数据。
- 01: 8位/10位编码器输出端(PHY输入端)注入的10位测试产生数据。
- 10: 加扰器输入端注入的8位测试产生数据。
- 11: 保留。

寄存器0x061的位[3:0]决定注入的测试码类型，如下所示：

- 0000: 正常工作(测试模式禁用)。
- 0001: 交替棋盘形式。
- 0010: 1/0字交替。
- 0011: PN序列：长( $x^{23} + x^{18} + 1$ )。
- 0101: 连续/重复用户测试模式；16位用户模式码的最高有效位(1、2、3、4)置于输出端一个时钟周期，然后重复。(输出用户模式码：1、2、3、4、1、2、3、4、1、2、3、4、...)
- 0110: 单一用户测试模式；16位用户模式码的最高有效位(1、2、3、4)置于输出端一个时钟周期，然后输出全0。(输出用户模式码：1、2、3、4，然后输出全0。)
- 0111: 斜坡输出(取决于测试注入点和位数N)。
- 1000: 修改的RPAT测试序列。
- 1001: 未用
- 1010: JSPAT测试序列。
- 1011: JTSPAT测试序列。

- 1100至1111: 未用

### JESD204B应用层

AD9625通过寄存器0x063[3:0]支持以下应用层模式：

- 0100:  $f_s \times x$ 模式，它支持线路速率是采样速率的整数倍数
- 1000: 单DDC模式，高带宽模式(仅使用DDC 0)
- 1001: 单DDC模式，低带宽模式(仅使用DDC 0)
- 1010至1011: 未用
- 1100: 双DDC模式，高带宽模式(DDC 0和DDC 1均使用)
- 1101: 双DDC模式，低带宽模式(DDC 0和DDC 1均使用)
- 1110: 双DDC模式，混合带宽模式(DDC 0为高带宽模式，DDC 1为低带宽模式，样本重复)

### $f_s \times 2$ 、 $f_s \times 4$ 、 $f_s \times 8$ 模式

JESD204B低倍频器模式应用层在JESD204B发射机/接收机之上增加了速率转换，其具有如下配置参数： $M = 1$ ； $L = 8$ ； $S = 4$ ； $F = 1$ ； $N = 16$ ； $N' = 16$ ； $CS = 0$ ； $CF = 0$ ； $SCR = 0, 1$ ； $HD = 1$ ； $K =$  参考JESD204B规范。

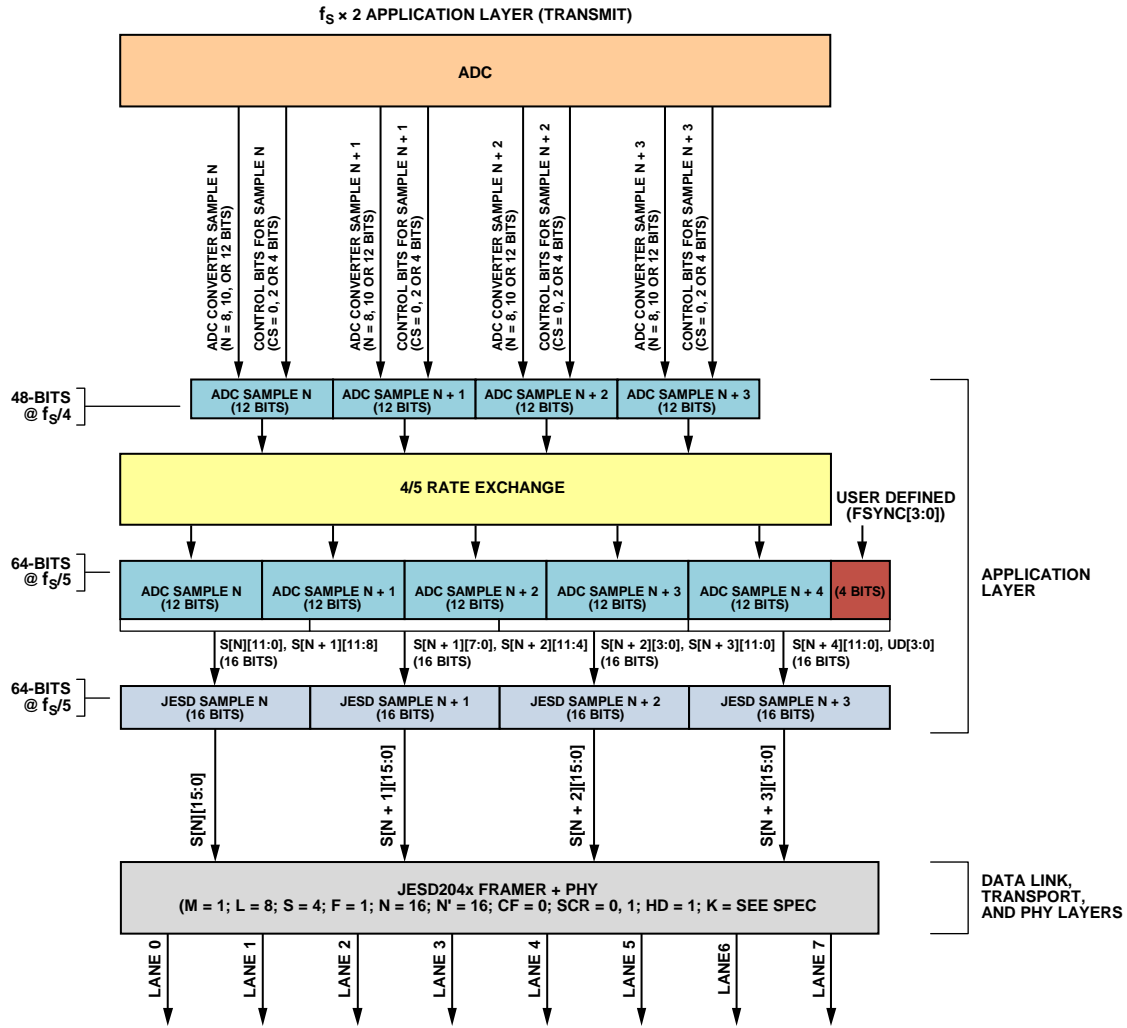
这种模式下，每帧有5个实际样本，JESD204B接口可以选择使能加扰。低倍频器模式JESD204B应用层的发送部分如图43所示。

此应用层的第一步是12位ADC样本分为6个字节。

为使JESD204B接口的线路速率能够直接映射为转换器采样速率的整数倍，需要进行4比5的速率转换，以便将12位ADC样本分组，每5个样本构成一个区块。速率转换期间，对于每5个12位ADC样本，需增加一个额外的用户自定义4位半字节，以形成一个64位帧。然后，64位低倍频器帧映射为4个16位JESD204B样本。64位低倍频器帧的最高有效16位映射为最早的16位JESD204B样本，最低有效16位映射为最新的16位JESD204B样本。

$f_s \times 2$  JESD204B应用层的接收部分如图44所示。

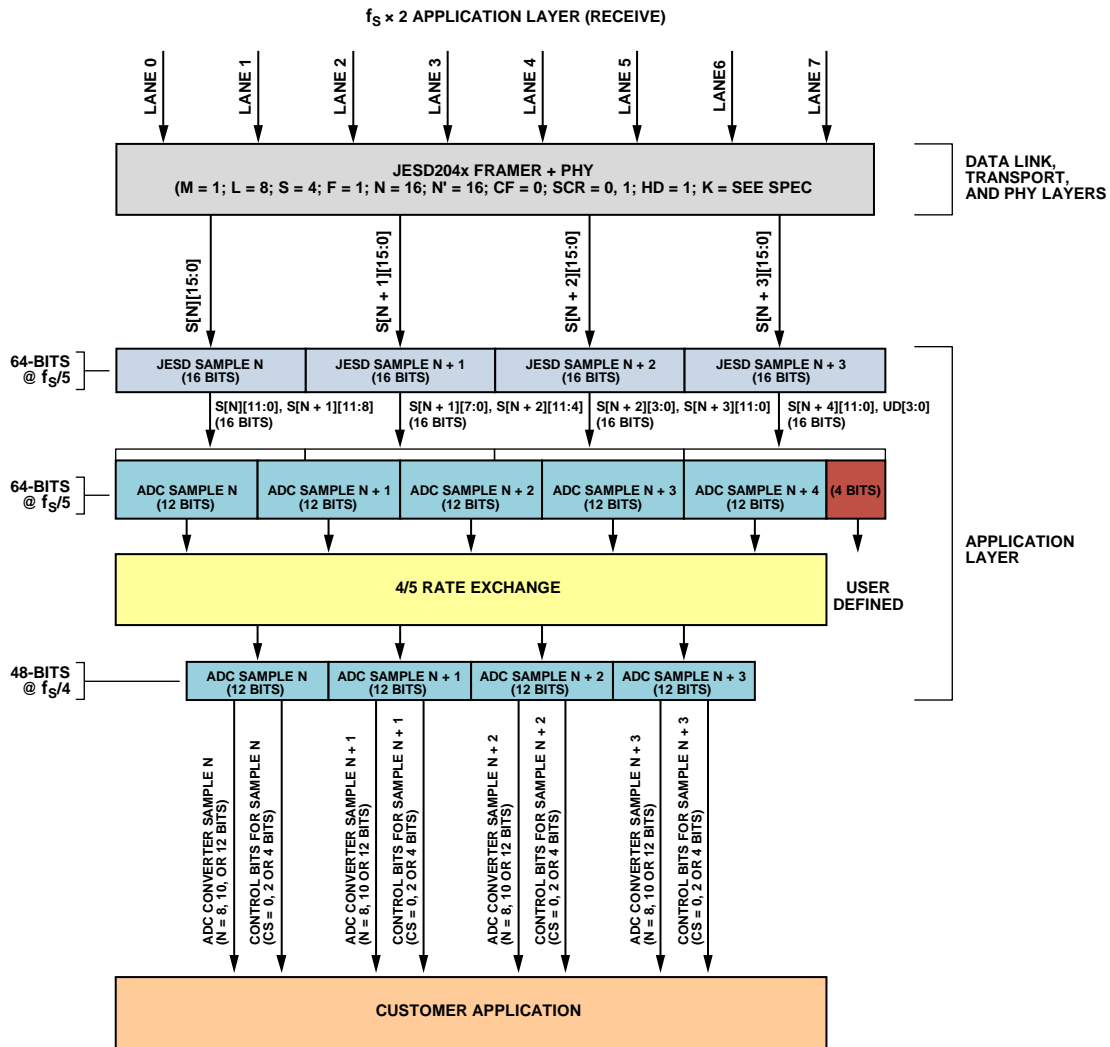




11614-032

图43.  $f_s \times 2$ 模式应用层(发送)



图44.  $f_s \times 2$ 应用层(接收)

### 帧对齐字符插入

帧对齐字符插入(FACI)在寄存器映射中定义(参见存储器映射寄存器部分)。只有FACI用作测试特性时,才能禁用它。

FACI禁用位是寄存器0x05F的位1。使用如下设置:

- 位1设为0即使能FACI。
- 位1设为1即禁用FACI。

### 散热考虑

由于该器件的功耗很高,在高温下工作时,必须提供气流和/或安装散热器,确保最大壳温不超过85°C。

### 电源考虑

AD9625必须由以下2个电源供电: AVDD1=DVDD1=DRVDD1 = 1.3 V, AVDD2=DVDD2=DRVDD2 = 2.5 V。可能还需要可选的2.5 V DVDDIO和SPI\_DVDDIO。

对于要求高电源效率和低噪声性能的应用,建议使用开关稳压器ADP2386来将12 V输入轨转换为两个中间电压轨(2.1 V和3.6 V),然后用超低噪声、低压差(LDO)稳压器(ADP1740、ADP7104和ADP125)调节这些中间电压轨。图45展示的是建议方法。

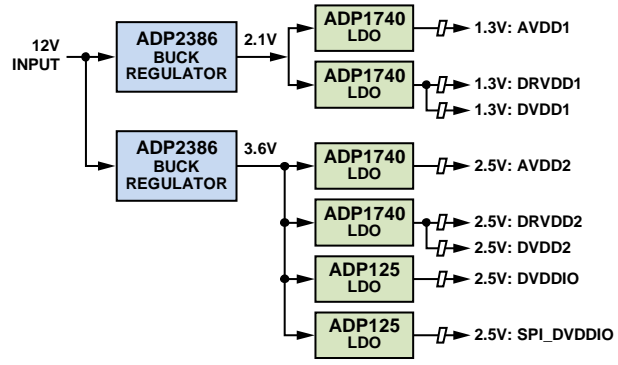


图45. 电源建议

## 串行端口接口(SPI)

AD9625 SPI允许用户利用ADC内部的一个结构化寄存器空间来配置转换器，以满足特定功能和操作的需要。SPI具有灵活性，可根据具体的应用进行定制。通过串行端口，可访问地址空间，以及对地址空间进行读写。存储空间以字节为单位进行组织，并且能进一步划分成多个区域。各个区域的说明见存储器映射部分。

### 使用SPI的配置

该ADC的SPI由三个引脚组成：SCLK引脚、SDIO引脚和CSB引脚(见表18)。SCLK(串行时钟)引脚用于同步从ADC读出的数据和写入ADC的数据。SDIO(串行数据输入/输出)引脚是一个双功能引脚，可通过此引脚将数据发送至内部ADC存储器映射寄存器或从该寄存器中读出数据。CSB(片选信号)引脚是低电平有效控制引脚，它能够使能或者禁用读写周期。

表18. 串行端口接口引脚

引脚	功能
SCLK	串行时钟。串行移位时钟输入，用来同步串行接口的读、写操作。
SDIO	串行数据输入/输出。双功能引脚；通常用作输入或输出，具体取决于发送的指令和时序帧中的相对位置。
CSB	片选信号。低电平有效控制信号，用来选通读写周期。

CSB的下降沿与SCLK的上升沿共同决定帧的开始。

CSB引脚可以在其它模式下工作。CSB引脚可始终维持在低电平状态，从而使器件一直处于使能状态；这称作流。CSB引脚可以在字节之间停留在高电平，这样可以允许其他外部时序。CSB引脚拉高时，SPI功能处于高阻抗模式。在该模式下，可以开启SPI引脚的第二功能。

所有数据均由8位字组成。串行数据的每个字节的第一位表示发出的是读命令还是写命令。这样，就能将SDIO引脚的数据传输方向从输入改为输出。

除了字长，指令周期还决定串行帧是读操作还是写操作，从而通过串行端口对芯片编程以及读取片上存储器内的数据。如果指令是回读操作，则执行回读操作会使SDIO引脚在串行帧的适当位置由输入变为输出。

数据可通过MSB优先模式或LSB优先模式发送。芯片上电后，默认采用MSB优先的方式，可以通过SPI端口配置寄存器来更改数据发送方式。

### 硬件接口

表18中所描述的引脚包括用户编程器件与AD9625的串行端口之间的物理接口。使用SPI接口时，SCLK引脚和CSB引脚用作输入引脚。SDIO引脚是双向引脚，在写入阶段，用作输入引脚；在回读阶段，用作输出引脚。

SPI接口非常灵活，FPGA或微控制器均可控制该接口。[应用笔记AN-812](#)“基于微控制器的串行接口(SPI)启动电路”中详细介绍了一种SPI配置方法。

当需要转换器充分发挥其全动态性能时，应禁用SPI端口。通常SCLK信号、CSB信号和SDIO信号与ADC时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上SPI总线，则可能需要在该总线与AD9625之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入端发生变化。

## 存储器映射

### 读取存储器映射寄存器

存储器映射寄存器的每一行有8位。存储器映射大致分为三个部分：芯片配置寄存器(地址0x000至地址0x002)；传送寄存器(地址0x0FF)；ADC功能寄存器，包括设置、控制和测试(地址0x008至地址0x13A)。

存储器映射寄存器表列出了每个十六进制地址及其十六进制默认值。

位7 (MSB) 列为给定十六进制默认值的起始位。例如，输出模式寄存器(地址0x14)的十六进制默认值为0x01。这表明，位0 = 1，其余位均为0。此设置是默认输出格式值(二进制补码)。如需了解更多关于该功能及其它功能的信息，请参阅[应用笔记AN-877](#)：“通过SPI与高速ADC接口”。

### 禁用位置和保留位置

本器件目前并不支持全部地址和位位置。有效地址中未使用的位应写为0。当一个地址仅有部分位处于禁用状态时，才需要对这些位置进行写操作。如果整个地址均禁用，则不应对该地址进行写操作。

### 默认值

AD9625复位后，关键寄存器将载入默认值。存储器映射寄存器表列出了各寄存器的默认值。

### 逻辑电平

以下是逻辑电平的术语说明：

- “置位”指将某位设置为逻辑1或向某位写入逻辑1。
- “清除位”指将某位设置为逻辑0或向某位写入逻辑0。

### 传送寄存器映射

地址0x008至地址0x020被屏蔽，向这些地址进行写操作不会影响器件运行，除非向地址0x0FF写入0x01以设置传输位，从而发出传输命令。这样，设置传输位时，就可以在内部同时更新这些寄存器。设置传输位时，内部进行更新，然后传输位自动清零。

### 存储器映射寄存器

此器件目前不支持表19至表107中未包括的地址和位。

表19. SPI配置寄存器，地址0x000(默认值 = 0x00)

位号	访问类型	位功能描述
7		未用
6	RW	SPI最低有效位(LSB)优先。 1: 对于所有SPI操作，LSB首先移位。对于多字节SPI操作，地址自动递增。 0: 对于所有SPI操作，最高有效位(MSB)首先移位。对于多字节SPI操作，地址自动递减。
5	RW	自清零软复位。 1: 复位SPI寄存器(自清零)。 0: 无操作。
4	R	使能13位寻址。
3	R	使能13位寻址。
2	RW	自清零软复位。 1: 复位SPI寄存器(自清零)。 0: 无操作。
1	RW	SPI LSB优先。 1: 对于所有SPI操作，LSB首先移位。对于多字节SPI操作，地址自动递增。 0: 对于所有SPI操作，MSB首先移位。对于多字节SPI操作，地址自动递减。
0	未用	未用

表20. 芯片ID寄存器，地址0x001(默认值 = 0x00)

位号	访问类型	位功能描述
----	------	-------

[7:0]	R	芯片ID。
-------	---	-------

表21. 芯片等级寄存器，地址0x002(默认值 = 0x00)

位号	访问类型	位功能描述
[7:6]		未用
[5:4]	R	芯片ID/速度等级。
3		未用
[2:0]	R	芯片版本。 100: 芯片版本代码。 101到111: 保留。

表22. 功耗控制模式寄存器，地址0x008(默认值 = 0x00)

位号	访问类型	位功能描述
7		未用
6		未用
5		未用
[4:2]		未用
[1:0]	RW	芯片功耗模式。 00: 普通模式(上电)。 01: 关断 10: 待机模式；数字数据路径时钟禁用，JESD204B接口使能，输出使能。 11: 数字数据路径复位模式；数字数据路径时钟使能，数字数据路径保持复位状态，JESD204B接口保持复位状态，输出使能。

表23. PLL状态寄存器，地址0x00A(默认值 = 0x00)

位号	访问类型	位功能描述
7	RO	PLL锁定状态位。 0: PLL未锁定。 1: PLL已锁定。
[6:0]		未用

表24. ADC测试控制寄存器，地址0x00D(默认值 = 0x00)

位号	访问类型	位功能描述
7	RW	ADC数据路径用户测试模式控制。注意：仅当寄存器0x00D的位[3:0]处于用户输入模式(寄存器0x00D[3:0] = 1000)时，才使用这些位，否则忽略。 0 = 连续/重复模式码模式。将每个用户模式码(1、2、3、4)置于输出端一个时钟周期，然后重复。(输出用户模式码：1、2、3、4、1、2、3、4、1、2、3、4、...)。 1 = 单一模式码模式。将每个用户模式码(1、2、3、4)置于输出端一个时钟周期，然后输出全0。(输出用户模式码：1、2、3、4，然后输出全0。)
6		未用
5	RW	ADC长伪随机数据测试发生器复位。 0: 长PN使能。 1: 长PN保持复位状态。
4	RW	未用
[3:0]	RW	ADC数据输出测试生成模式。 0000: 关闭，正常工作模式。 0001: 中间电平短路。 0010: 正满量程。 0011: 负满量程。 0100: 交替棋盘形式。 0101: PN长序列。 0110: 未用

# AD9625

0111: 1/0字反转。  
 1000: 用户测试模式。结合寄存器0x00D[7]和用户模式码(1、2、3、4)寄存器使用。  
 1001到1110: 未用  
 1111: 斜坡输出。

**表25. 数据路径客户偏移寄存器，地址0x010(默认值 = 0x00)**

位号	访问类型	位功能描述
[7:6]		未用
[5:0]	RW	数字数据路径偏移。二进制补码偏移调整与转换器最低分辨率对齐。 011111: +31 011110: +30 ... 000001: 1 000000: 0 111111: -1 ... 100001: -31 100000: -32

**表26. 输出模式寄存器，地址0x014(默认值 = 0x00)**

位号	访问类型	位功能描述
[7:5]		未用
4	RW	芯片输出禁用。位4使能和禁用ADC的数字输出。 0: 使能。 1: 禁用。
3		未用
2	RW	数字ADC样本反转。 0: ADC样本数据不反转。 1: ADC样本数据反转。
[1:0]	RW	数字ADC数据格式选择(DFS)。注意: AD9625不支持通过复用SDIO引脚控制寄存器0x014[1:0]。 00: 偏移二进制。 01: 二进制补码(默认)。 10: 保留。 11: 保留。

**表27. 串行器输出调整寄存器，地址0x015(默认值 = 0x50)**

位号	访问类型	位功能描述
7	RW	串行器输出极性选择。 0: 正常, 不反转。 1: 输出驱动器极性反转。
[6:5]	RW	串行器输出加重幅度控制。 00: 0 mV加重差分p-p。 01: 160 mV加重差分p-p。 10: 80 mV加重差分p-p。 11: 40 mV幅度差分p-p。
[4:0]	RW	保留。

**表28. 用户测试码1 LSB寄存器，地址0x019(默认值 = 0x00)**

位号	访问类型	位功能描述
[7:0]	RW	用户测试码1最低有效字节。注意: 仅当寄存器0x00D的位[3:0]处于用户输入模式(寄存器0x00D[3:0] = 1000)时, 或寄存器0x061的位[3:0]处于加扰器或10位测试模式(寄存器0x061[3:0] = 0100至0111)时, 才使用这些位。其它情况下忽略这些位。

表29. 用户测试码1 MSB寄存器, 地址0x01A(默认值 = 0x00)

位号	访问类型	位功能描述
[7:0]	RW	用户测试码1最高有效字节。注意: 仅当寄存器0x00D的位[3:0]处于用户输入模式(寄存器0x00D[3:0] = 1000)时, 才使用这些位。其它情况下忽略这些位。

表30. 用户测试码2 LSB寄存器, 地址0x01B(默认值 = 0x00)

位号	访问类型	位功能描述
[7:0]	RW	用户测试码2最低有效字节。注意: 仅当寄存器0x00D的位[3:0]处于用户输入模式(寄存器0x00D[3:0] = 1000)时, 才使用这些位。其它情况下忽略这些位。

表31. 用户测试码2 MSB寄存器, 地址0x01C(默认值 = 0x00)

位号	访问类型	位功能描述
[7:0]	RW	用户测试码2最高有效字节。注意: 仅当寄存器0x00D的位[3:0]处于用户输入模式(寄存器0x00D[3:0] = 1000)时, 才使用这些位。其它情况下忽略这些位。

表32. 用户测试码3 LSB寄存器, 地址0x01D(默认值 = 0x00)

位号	访问类型	位功能描述
[7:0]	RW	用户测试码3最低有效字节。注意: 仅当寄存器0x00D的位[3:0]处于用户输入模式(寄存器0x00D[3:0] = 1000)时, 才使用这些位。其它情况下忽略这些位。

表33. 用户测试码3 MSB寄存器, 地址0x01E(默认值 = 0x00)

位号	访问类型	位功能描述
[7:0]	RW	用户测试码3最高有效字节。注意: 仅当寄存器0x00D的位[3:0]处于用户输入模式(寄存器0x00D[3:0] = 1000)时, 才使用这些位。其它情况下忽略这些位。

表34. 用户测试码4 LSB寄存器, 地址0x01F(默认值 = 0x00)

位号	访问类型	位功能描述
[7:0]	RW	用户测试码4最低有效字节。注意: 仅当寄存器0x00D的位[3:0]处于用户输入模式(寄存器0x00D[3:0] = 1000)时, 才使用这些位。其它情况下忽略这些位。

表35. 用户测试码4 MSB寄存器, 地址0x020(默认值 = 0x00)

位号	访问类型	位功能描述
[7:0]	RW	用户测试码4最高有效字节。注意: 仅当寄存器0x00D的位[3:0]处于用户输入模式(寄存器0x00D[3:0] = 1000)时, 才使用这些位。其它情况下忽略这些位。

表36. 合成器PLL控制寄存器, 地址0x021(默认值 = 0x00)

位号	访问类型	位功能描述
[7:5]		未用
4	RW	1 = VCO LDO强制关断
3	RW	保留供未来使用。
[2:0]		未用

表37. ADC模拟输入控制寄存器, 地址0x02C(默认值 = 0x00)

位号	访问类型	位功能描述
[7:3]		未用
2	RW	设置VMON引脚的功能。 0: 未用 1: 允许客户在VMON引脚上施加外部基准电压。
[1:0]		未用

# AD9625

**表38. SYSREF控制寄存器，地址0x03A(默认值 = 0x00)**

位号	访问类型	位功能描述
7	RW	SYSREF状态位替换转换器输出的LSB。 0: 正常模式。 1: SYSREF状态位替换LSB。
6	RW	SYSREF状态位标志复位。若要使用标志，寄存器0x03A的位1必须置1。 0: 正常标志操作。 1: SYSREF状态位标志保持复位状态。
5		未用
4	RW	SYSREF±跃迁选择。 0: 使用选定的CLK边沿，SYSREF±在低电平到高电平跃迁时有效。 1: 使用选定的CLK边沿，SYSREF±在高电平到低电平跃迁时有效。
3	RW	SYSREF±捕捉边沿选择。 0: 在CLK输入的上升沿捕捉。 1: 在CLK输入的下降沿捕捉。
2	RW	SYSREF±下一模式。 0: 连续模式。 1: 下一SYSREF±模式：仅使用SYSREF±引脚的下一有效边沿。忽略SYSREF±引脚随后的边沿。找到下一系统参考时，寄存器0x03A的位1清0。
1	RW	SYSREF±引脚使能。 0: SYSREF±禁用。 1: SYSREF±使能。当寄存器0x03A的位2 = 1时，仅使用SYSREF±引脚的下一有效边沿。忽略SYSREF±引脚随后的边沿。
0		未用

**表39. 快速检测控制寄存器，地址0x045(默认值 = 0x00)**

位号	访问类型	位功能描述
[7:4]		未用
3	RW	强制驱动快速检测输出引脚。 0: 快速检测引脚正常工作。 1: 将快速检测引脚强制驱动为某一值(参见本表的位2)。
2	RW	当强制驱动输出时，快速检测输出引脚设置为该位中的值(寄存器0x045[2])。
1		未用
0	RW	使能对校正ADC数据的快速检测。 0: 禁用精密快速检测。 1: 使能精密快速检测。

**表40. 快速检测阈值上限寄存器，地址0x047(默认值 = 0x00)**

位号	访问类型	位功能描述
[7:0]	RW	这些位是快速检测阈值上限的LSB。可编程12位阈值上限的这8个LSB与精密ADC幅度进行比较。

**表41. 快速检测阈值上限寄存器，地址0x048(默认值 = 0x00)**

位号	访问类型	位功能描述
[7:4]		未用
[3:0]	RW	这些位是快速检测阈值上限的MSB。可编程12位阈值上限的这4个MSB与精密ADC幅度进行比较。

**表42. 快速检测阈值下限寄存器，地址0x049(默认值 = 0x00)**

位号	访问类型	位功能描述
[7:0]	RW	这些位是快速检测阈值下限的LSB。可编程12位阈值下限的这8个LSB与精密ADC幅度进行比较。



表43. 快速检测阈值下限寄存器，地址0x04A(默认值 = 0x00)

位号	访问类型	位功能描述
[7:4]		未用
[3:0]	RW	快速检测阈值下限的MSB。可编程12位阈值下限的这4个MSB与精密ADC幅度进行比较。

表44. 快速检测驻留时间计数器阈值寄存器，地址0x04B(默认值 = 0x00)

位号	访问类型	位功能描述
[7:0]	RW	这些位是快速检测驻留时间计数器目标的LSB。这是16位计数器的值，决定FD引脚复位到0之前ADC数据必须低于阈值下限的时长。

表45. 快速检测驻留时间计数器阈值寄存器，地址0x04C(默认值 = 0x00)

位号	访问类型	位功能描述
[7:0]	RW	这些位是快速检测驻留时间计数器目标的MSB。这是16位计数器的值，决定FD引脚复位到0之前ADC数据必须低于阈值下限的时长。 注意：在寄存器0x04C[7:0]中的值所表示的样本数内，如果ADC代码始终低于目标下限，则快速检测(FD)引脚解除置位。

表46. JESD204B快速配置寄存器，地址0x05E(默认值 = 0x00)

位号	访问类型	位功能描述
[7:0]	RW	JESD204B串行快速配置(自清零)。此寄存器自清零，并不直接控制AD9625的任何事情，仅改变其他控制芯片的JESD204B寄存器的值。由于是自清零寄存器，它在每次写入后必定恢复到000。要使用快速配置特性，首先应写入此寄存器，然后，如果需要修改以下任何寄存器，再写入其他JESD204B寄存器。 0x00：其他寄存器决定的配置。由于是自清零寄存器，它在每次写入后必定恢复为此值。 0x01：保留。 0x02：通用2通道配置寄存器0x063[3:0] = 0x0；寄存器0x06E[4:0] = 0x1；寄存器0x072[4:0] = 0xB；寄存器0x073[4:0] = 0xF。 0x04：通用4通道配置寄存器0x063[3:0] = 0x0；寄存器0x06E[4:0] = 0x3；寄存器0x072[4:0] = 0xB；寄存器0x073[4:0] = 0xF。 0x06：通用6通道配置寄存器0x063[3:0] = 0x0；寄存器0x06E[4:0] = 0x5；寄存器0x072[4:0] = 0xB；寄存器0x073[4:0] = 0xB。 0x08：通用8通道配置寄存器0x063[3:0] = 0x0；寄存器0x06E[4:0] = 0x7；寄存器0x072[4:0] = 0xB；寄存器0x073[4:0] = 0xF。 0x42：保留。 0x44：保留。 0x48： $f_s \times 2$ 模式，8通道。寄存器0x063[3:0] = 0x4；寄存器0x06E[4:0] = 0x7；寄存器0x072[4:0] = 0xF；寄存器0x073[4:0] = 0xF。 0x81：1 DDC(高带宽)，1通道。寄存器0x063[3:0] = 0x8；寄存器0x06E[4:0] = 0x0；寄存器0x072[4:0] = 0xF；寄存器0x073[4:0] = 0xF。 0x82：1 DDC(高带宽)，2通道。寄存器0x063[3:0] = 0x8；寄存器0x06E[4:0] = 0x1；寄存器0x072[4:0] = 0xF；寄存器0x073[4:0] = 0xF。 0x91：1 DDC(低带宽)，1通道。寄存器0x063[3:0] = 0x9；寄存器0x06E[4:0] = 0x0；寄存器0x072[4:0] = 0xF；寄存器0x073[4:0] = 0xF。 0xC1：2 DDC(高带宽)，1通道。寄存器0x063[3:0] = 0xC；寄存器0x06E[4:0] = 0x0；寄存器0x072[4:0] = 0xF；寄存器0x073[4:0] = 0xF。 0xC2：2 DDC(高带宽)，2通道。寄存器0x063[3:0] = 0xC；寄存器0x06E[4:0] = 0x1；寄存器0x072[4:0] = 0xF；寄存器0x073[4:0] = 0xF。 0xC4：2 DDC(高带宽)，4通道。寄存器0x063[3:0] = 0xC；寄存器0x06E[4:0] = 0x3；寄存器0x072[4:0] = 0xF；寄存器0x073[4:0] = 0xF。 0xD1：2 DDC(低带宽)，1通道。寄存器0x063[3:0] = 0xD；寄存器0x06E[4:0] = 0x0；寄存器0x072[4:0] = 0xF；寄存器0x073[4:0] = 0xF。 0xD2：2 DDC(低带宽)，2通道。寄存器0x063[3:0] = 0xD；寄存器0x06E[4:0] = 0x1；寄存器0x072[4:0] = 0xF；寄存器0x073[4:0] = 0xF。

# AD9625

位号	访问类型	位功能描述
		0xE1: 2 DDC(混合带宽), 1通道。寄存器0x063[3:0] = 0xE; 寄存器0x06E[4:0] = 0x0; 寄存器0x072[4:0] = 0xF; 寄存器0x073[4:0] = 0xF。 0xE2: 2 DDC(混合带宽), 2通道。寄存器0x063[3:0] = 0xE; 寄存器0x06E[4:0] = 0x1; 寄存器0x072[4:0] = 0xF; 寄存器0x073[4:0] = 0xF。 0xE4: 2 DDC(混合带宽), 4通道。寄存器0x063[3:0] = 0xE; 寄存器0x06E[4:0] = 0x3; 寄存器0x072[4:0] = 0xF; 寄存器0x073[4:0] = 0xF。 所有其他值无作用。

**表47. JESD204B链路控制寄存器1, 地址0x05F(默认值 = 0x00)**

位号	访问类型	位功能描述
7		未用
6	RW	JESD204B串行结束位, PN, 使能。注意: 可以利用下式来确定每个样本发送的PN位数: $N' - N - CS$ (每个样本的控制位数)。 0: 串行结束位, PN, 禁用。未用的额外结束位用0填充。 1: 串行结束位, PN, 使能。未用的额外结束位用31位LFSR产生的伪随机数序列填充(参见JESD204B 5.1.4)。
5	RW	JESD204B串行测试样本使能。 0: JESD204B测试样本禁用。 1: JESD204B测试样本使能。所有链路通道都会发送传输层测试样本序列(按照JESD204B第5.1.6.2部分的规定)。
4	RW	JESD204B串行通道同步使能。注意: 要使能通道同步, 必须使能帧字符插入(寄存器0x05F[1] = 0)。 0: 通道同步禁用。两侧均不执行通道同步; 帧对齐字符插入始终使用/K28.7/控制字符(参见JESD204B 5.3.3.4)。 1: 通道同步使能。两侧均执行通道同步; 帧对齐字符插入使用/K28.3/或/K28.7/控制字符(参见JESD204B 5.3.3.4)。
[3:2]	RW	JESD204B串行初始通道对齐序列模式。 00: 初始通道对齐序列禁用(JESD204B 5.3.3.5)。 01: 初始通道对齐序列使能(JESD204B 5.3.3.5)。 10: 保留。 11: 测试模式下初始通道对齐序列始终开启; JESD204B数据链路层测试模式, 所有通道均发送重复通道对齐序列(按照JESD204B第5.3.3.9.2部分的规定)。
1	RW	JESD204B串行帧对齐字符插入(FACI)禁用。 0: 帧对齐字符插入使能(JESD204B 5.3.3.4)。 1: 帧对齐字符插入禁用。注意, 这仅用于调试(JESD204B 5.3.3.4)。
0	RW	JESD204B串行发送链路关断(高电平有效)。注意: 更改任何链路配置位时, JESD204B发射机链路必须关断。 0: JESD204B串行发送链路使能。用于代码组同步的/K28.5/字符发送由SYNCINB±引脚控制。 1: JESD204B串行发送链路关断(保持复位状态且时钟选通)。

**表48. JESD204B链路控制寄存器2, 地址0x060(默认值 = 0x00)**

位号	访问类型	位功能描述
[7:6]	RW	JESD204B串行同步模式。 00: 正常模式。 01: 保留。 10: SYNCINB±有效模式。SYNCINB±引脚有效: 强制代码组同步。 11: SYNCINB±引脚禁用。
5	RW	JESD204B串行同步引脚反转。 0: SYNCINB±引脚不反转。 1: SYNCINB±引脚反转。
[4:3]		未用

位号	访问类型	位功能描述
2	RW	JESD204B串行8位/10位旁路(仅限测试模式)。 0: 使能8位/10位。 1: 旁路8位/10位(2个最高有效位为0)。
1	RW	JESD204B 10位串行发送位反转。注意: 如果系统板布局中的CML信号反接, 此位将使物理层的差分输出反转。 0: 正常。 1: 反转a、b、c、d、e、f、g、h、i、j位。
0	RW	JESD204B 10位串行发送位镜像。 0: 不镜像10位串行位。发送位序按字母顺序: a、b、c、d、e、f、g、h、i、j。 1: 镜像10位串行位。发送位序按字母逆序: j、i、h、g、f、e、d、c、b、a。

表49. JESD204B链路控制寄存器3, 地址0x061(默认值 = 0x00)

位号	访问类型	位功能描述
7	RW	JESD204B校验和禁用。 0: 链路配置参数使能校验和。正常工作。 1: 链路配置参数禁用校验和(设为0)。仅供测试使用。
6	RW	JESD204B校验和模式。 0: 校验和为链路配置域中所有8位寄存器之和。 1: 校验和为各链路配置域(LSB对齐)之和。
[5:4]	RW	JESD204B串行测试生成输入选择。 00: 链路样本输入端注入的16位测试产生数据。 01: 8位/10位编码器输出端(PHY输入端)注入的10位测试产生数据。 10: 加扰器输入端注入的8位测试产生数据。 11: 保留。
[3:0]	RW	JESD204B串行测试生成模式。 0000: 正常工作(测试模式禁用)。 0001: 交替棋盘形式。 0010: 1/0字交替。 0011: PN序列(长)。 0100: 未用 0101: 连续/重复用户测试模式。用户测试码的最高有效位(1、2、3、4)置于输出端一个时钟周期, 然后重复(输出用户测试码为1、2、3、4、1、2、3、4、1、2、3、4、...)。 0110: 单一用户测试模式。用户测试码的最高有效位(1、2、3、4)置于输出端一个时钟周期, 然后输出全0(输出用户测试码为1、2、3、4, 然后输出全0)。 0111: 斜坡输出。 1000: 修改的RPAT测试序列(10位值)。 1001: 未用 1010: JSPAT测试序列(10位值)。 1011: JTSPAT测试序列(10位值)。 1100到1111: 未用

表50. JESD204B链路控制寄存器4, 地址0x062(默认值 = 0x00)

位号	访问类型	位功能描述
[7:0]	RW	初始通道对齐序列重复计数。位[7:0]指定初始通道对齐序列重复的次数。对于ADC, JESD204B规范声明, 初始通道对齐序列总是横跨4个多帧(JESD204B 5.3.3.5)。寄存器0x070的位[4:0]确定每个多帧的帧数, 因此初始通道对齐序列期间发送的总帧数为 $4 \times (\text{寄存器0x070}[4:0] + 1) \times (\text{寄存器0x062}[7:0] + 1)$ 。

表51. JESD204B链路控制寄存器5, 地址0x063(默认值 = 0x00)

位号	访问类型	位功能描述
7		未用
[6:4]		未用
[3:0]	RW	JESD204B应用层模式。DDC带宽模式包括: 高带宽、8倍抽取(有效输出带宽 = $f_s/10$ )和低带宽、16倍抽取(有效带宽 = $f_s/20$ )。

# AD9625

0000: 通用(不使用应用层)。  
 0001: 未用  
 0010: 未用  
 0011: 未用  
 0100:  $f_s \times x$ 模式(其中x为整数2、4、8)。  
 0101至0111: 未用  
 1000: 单DDC模式, 高带宽模式(仅使用DDC0)。  
 1001: 单DDC模式, 低带宽模式(仅使用DDC0)。  
 1010到1011: 未用  
 1100: 双DDC模式, 高带宽模式(DDC 0和DDC 1均使用)。  
 1101: 双DDC模式, 低带宽模式(DDC 0和DDC 1均使用)。  
 1110: 双DDC模式, 混合带宽模式(DDC 0为高带宽模式, DDC 1为低带宽模式, 样本重复)。  
 1111: 未用

**表52. JESD204B配置寄存器, 地址0x064(默认值 = 0x00)**

位号	访问类型	位功能描述
[7:0]	RW	JESD204B串行器件标识(DID)号。

**表53. JESD204B配置寄存器, 地址0x065(默认值 = 0x00)**

位号	访问类型	位功能描述
[7:4]		未用
[3:0]	RW	JESD204B串行模块标识(BID)号(DID扩展)。

**表54. JESD204B配置寄存器, 地址0x066(默认值 = 0x00)**

位号	访问类型	位功能描述
[7:5]		未用
[4:0]	RW	通道0的JESD204B串行通道标识(LID)号。

**表55. JESD204B配置寄存器, 地址0x067(默认值 = 0x01)**

位号	访问类型	位功能描述
[7:5]		未用
[4:0]	RW	通道1的JESD204B串行通道标识(LID)号。

**表56. JESD204B配置寄存器, 地址0x068(默认值 = 0x02)**

位号	访问类型	位功能描述
[7:5]		未用
[4:0]	RW	通道2的JESD204B串行通道标识(LID)号。

**表57. JESD204B配置寄存器, 地址0x069(默认值 = 0x03)**

位号	访问类型	位功能描述
[7:5]		未用
[4:0]	RW	通道3的JESD204B串行通道标识(LID)号。

**表58. JESD204B配置寄存器, 地址0x06A(默认值 = 0x04)**

位号	访问类型	位功能描述
[7:5]		未用
[4:0]	RW	通道4的JESD204B串行通道标识(LID)号。

**表59. JESD204B配置寄存器, 地址0x06B(默认值 = 0x05)**

位号	访问类型	位功能描述
[7:5]		未用

[4:0]	RW	通道5的JESD204B串行通道标识(LID)号。
-------	----	---------------------------

表60. JESD204B配置寄存器, 地址0x06C(默认值 = 0x06)

位号	访问类型	位功能描述
[7:5]		未用
[4:0]	RW	通道6的JESD204B串行通道标识(LID)号。

表61. JESD204B配置寄存器, 地址0x06D(默认值 = 0x07)

位号	访问类型	位功能描述
[7:5]		未用
[4:0]	RW	通道7的JESD204B串行通道标识(LID)号。

表62. JESD204B配置寄存器, 地址0x06E(默认值 = 0x87)

位号	访问类型	位功能描述
7	RW	JESD204B串行加扰器模式。 0: JESD204B加扰器禁用(SCR = 0)。 1: JESD204B加扰器使能(SCR = 1)。
[6:5]		未用
[4:0]	RW	JESD204B串行通道控制(L = 寄存器0x06E[4:0] + 1)。 0: 每链路1个通道(L = 1)。 1: 链路2个通道(L = 2)。 2: 未用 3: 每链路4个通道(L = 4)。 4: 未用 5: 每链路6个通道(L = 6)。 6: 未用 7: 每链路8个通道(L = 8)。 8到31: 未用

表63. JESD204B配置寄存器, 地址0x06F(默认值 = 0x00)

位号	访问类型	位功能描述
[7:0]	RO	JESD204B每帧的8位字数(F = 寄存器0x06F[7:0] + 1)。这些位利用下式计算: $F = (N') / (2 \times L)$ 以下是F的有效值: M = 1, S = 4, N' = 16, L = 1, F = 8。 M = 1, S = 4, N' = 16, L = 2, F = 4。 M = 1, S = 4, N' = 16, L = 4, F = 2。 M = 1, S = 4, N' = 12, L = 6, F = 1。 M = 1, S = 4, N' = 16, L = 8, F = 1(默认)。

表64. JESD204B配置寄存器, 地址0x070(默认值 = 0x00)

位号	访问类型	位功能描述
[7:5]		未用
[4:0]	RW	JESD204B每个多帧的帧数(K = 寄存器0x070[4:0] + 1)。只能使用可被4整除的值。

表65. JESD204B配置寄存器, 地址0x071(默认值 = 0x00)

位号	访问类型	位功能描述
[7:0]	RO	JESD204B每个链路/器件的转换器数。 0: 链路连接到1个ADC (M = 1)。 1到255: 未用

# AD9625

**表66. JESD204B配置寄存器，地址0x072(默认值 = 0x0B)**

位号	访问类型	位功能描述
[7:6]	RW	JESD204B每个样本的控制位数(CS，基于JESD204B规范)。 00: 每个样本发送0个控制位(CS = 0)。 01: 每个样本发送1个控制位，超范围位使能(CS = 1)。 10: 每个样本发送2个控制位，超范围 + 时间戳SYSREF位(CS = 2)。 11: 保留。
5		未用
[4:0]	RW	JESD204B转换器分辨率(N = 寄存器0x072[4:0] + 1)。 0x00至0x06: 保留。 0x07至0x09: 保留。 0x0A: 保留。 0x0B: N = 12位ADC转换器分辨率。 0x0C至0x0E: 保留。 0x0F: N = 16位ADC转换器分辨率。 0x10至0x1F: 保留。

**表67. JESD204B配置寄存器，地址0x073(默认值 = 0x2F)**

位号	访问类型	位功能描述
[7:5]	RW	JESD204B器件Subclass版本。 0x0: Subclass 0。 0x1: Subclass 1(默认)。 0x2: Subclass 2(不支持)。 0x3: 未定义。
[4:0]	RW	JESD204B每个样本的总位数(N' = 寄存器0x073[4:0] + 1)。 0x0至0xA: 未用 0xB: N' = 12(L必须等于6)。 0xC至0xE: 未用 0xF: N' = 16(L必须等于1、2、4或8)。

**表68. JESD204B配置寄存器，地址0x074(默认值 = 0x23)**

位号	访问类型	位功能描述
[7:5]	RW	JESD204B版本。 0x0: JESD204A。SYNCINB±引脚由帧时钟内部选通。SYNCINB±必须保持低电平至少2个帧时钟周期，才能被解读为同步请求。 0x1: JESD204B。SYNCINB±引脚由局部多帧时钟内部选通。SYNCINB±必须保持低电平至少4个帧时钟周期，才能被解读为同步请求。 0x2至0x7: 未定义。
[4:0]	RO	JESD204B每个转换器帧周期的样本数(S = 寄存器0x074[4:0] + 1)。这些是只读位。对于AD9625，S必须等于4(寄存器0x074[4:0] = 3)。

**表69. JESD204B配置寄存器，地址0x075(默认值 = 0x80)**

位号	访问类型	位功能描述
7	RO	JESD204B高密度(HD)格式。这是只读位。 0: HD格式禁用。 1: HD格式使能。根据N'和L的值，高密度模式自动使能。 AD9625的HD值如下： N' = 16, L = 1, HD = 0。 N' = 16, L = 2, HD = 0。 N' = 16, L = 4, HD = 0。 N' = 12, L = 6, HD = 1。 N' = 16, L = 8, HD = 1(默认)。



[6:5]		未用
[4:0]	RO	JESD204B每个链路每个帧时钟周期的控制字数(CF)。这些是只读位。对于AD9625, CF必须等于0(寄存器0x075[4:0] = 0)。

**表70. JESD204B配置寄存器, 地址0x076(默认值 = 0x00)**

位号	访问类型	位功能描述
[7:0]	RW	JESD204B串行保留域1。

**表71. JESD204B配置寄存器, 地址0x077(默认值 = 0x00)**

位号	访问类型	位功能描述
[7:0]	RW	JESD204B串行保留域2。

**表72. JESD204B配置寄存器, 地址0x078(默认值 = 0x00)**

位号	访问类型	位功能描述
[7:0]	RO	JESD204B通道0的串行校验和值。该值自动计算, 等于通道0的所有链路配置参数之和除以256的余数。校验和通过寄存器0x061的位7使能/禁用。

**表73. JESD204B配置寄存器, 地址0x079(默认值 = 0x00)**

位号	访问类型	位功能描述
[7:0]	RO	JESD204B通道1的串行校验和值。该值自动计算, 等于通道1的所有链路配置参数之和除以256的余数。校验和通过寄存器0x061的位7使能/禁用。

**表74. JESD204B配置寄存器, 地址0x07A(默认值 = 0x00)**

位号	访问类型	位功能描述
[7:0]	RO	JESD204B通道2的串行校验和值。该值自动计算, 等于通道2的所有链路配置参数之和除以256的余数。校验和通过寄存器0x061的位7使能/禁用。

**表75. JESD204B配置寄存器, 地址0x07B(默认值 = 0x00)**

位号	访问类型	位功能描述
[7:0]	RO	JESD204B通道3的串行校验和值。该值自动计算, 等于通道3的所有链路配置参数之和除以256的余数。校验和通过寄存器0x061的位7使能/禁用。

**表76. JESD204B配置寄存器, 地址0x07C(默认值 = 0x00)**

位号	访问类型	位功能描述
[7:0]	RO	JESD204B通道4的串行校验和值。该值自动计算, 等于通道4的所有链路配置参数之和除以256的余数。校验和通过寄存器0x061的位7使能/禁用。

**表77. JESD204B配置寄存器, 地址0x07D(默认值 = 0x00)**

位号	访问类型	位功能描述
[7:0]	RO	JESD204B通道5的串行校验和值。该值自动计算, 等于通道5的所有链路配置参数之和除以256的余数。校验和通过寄存器0x061的位7使能/禁用。

**表78. JESD204B配置寄存器, 地址0x07E(默认值 = 0x00)**

位号	访问类型	位功能描述
[7:0]	RO	JESD204B通道6的串行校验和值。该值自动计算, 等于通道6的所有链路配置参数之和除以256的余数。校验和通过寄存器0x061的位7使能/禁用。

**表79. JESD204B配置寄存器, 地址0x07F(默认值 = 0x00)**

位号	访问类型	位功能描述
[7:0]	RO	JESD204B通道6的串行校验和值。该值自动计算, 等于通道6的所有链路配置参数之和除以256的余数。校验和通过寄存器0x061的位7使能/禁用。

**表80. JESD204B通道关断寄存器, 地址0x080(默认值 = 0x00)**

位号	访问类型	位功能描述
----	------	-------

# AD9625

位号	访问类型	位功能描述
7	RW	物理通道H关断。 0: 通道H使能。 1: 通道H关断。
6	RW	物理通道G关断。 0: 通道G使能。 1: 通道G关断。
5	RW	物理通道F关断。 0: 通道F使能。 1: 通道F关断。
4	RW	物理通道E关断。 0: 通道E使能。 1: 通道E关断。
3	RW	物理通道D关断。 0: 通道D使能。 1: 通道D关断。
2	RW	物理通道C关断。 0: 通道C使能。 1: 通道C关断。
1	RW	物理通道B关断。 0: 通道B使能。 1: 通道B关断。
0	RW	物理通道A关断。 0: 通道A使能。 1: 通道A关断。

**表81. JESD204B通道控制寄存器1, 地址0x082(默认值 = 0x10)**

位号	访问类型	位功能描述
7		未用
[6:4]	RW	物理通道B分配。 000: 逻辑通道0。 001: 逻辑通道1(默认)。 010: 逻辑通道2。 011: 逻辑通道3。 100: 逻辑通道4。 101: 逻辑通道5。 110: 逻辑通道6。 111: 逻辑通道7。
3		未用
[2:0]	RW	物理通道A分配。 000: 逻辑通道0(默认)。 001: 逻辑通道1。 010: 逻辑通道2。 011: 逻辑通道3。 100: 逻辑通道4。 101: 逻辑通道5。 110: 逻辑通道6。 111: 逻辑通道7。



表82. JESD204B通道控制寄存器2, 地址0x083(默认值 = 0x42)

位号	访问类型	位功能描述
7		未用
[6:4]	RW	物理通道D分配。 000: 逻辑通道0。 001: 逻辑通道1。 010: 逻辑通道2。 011: 逻辑通道3(默认)。 100: 逻辑通道4。 101: 逻辑通道5。 110: 逻辑通道6。 111: 逻辑通道7。
3		未用
[2:0]	RW	物理通道C分配。 000: 逻辑通道0。 001: 逻辑通道1。 010: 逻辑通道2(默认)。 011: 逻辑通道3。 100: 逻辑通道4。 101: 逻辑通道5。 110: 逻辑通道6。 111: 逻辑通道7。

表83. JESD204B通道控制寄存器3, 地址0x084(默认值 = 0x54)

位号	访问类型	位功能描述
7		未用
[6:4]	RW	物理通道F分配。 000: 逻辑通道0。 001: 逻辑通道1。 010: 逻辑通道2。 011: 逻辑通道3。 100: 逻辑通道4。 101: 逻辑通道5(默认)。 110: 逻辑通道6。 111: 逻辑通道7。
3		未用
[2:0]	RW	物理通道E分配。 000: 逻辑通道0。 001: 逻辑通道1。 010: 逻辑通道2。 011: 逻辑通道3。 100: 逻辑通道4(默认)。 101: 逻辑通道5。 110: 逻辑通道6。 111: 逻辑通道7。

表84. JESD204B通道控制寄存器4, 地址0x085(默认值 = 0x76)

位号	访问类型	位功能描述
7		未用
[6:4]	RW	物理通道H分配。 000: 逻辑通道0。

# AD9625

		001: 逻辑通道1。 010: 逻辑通道2。 011: 逻辑通道3。 100: 逻辑通道4。 101: 逻辑通道5。 110: 逻辑通道6。 111: 逻辑通道7(默认)。
3		未用
[2:0]	RW	物理通道G分配。 000: 逻辑通道0。 001: 逻辑通道1。 010: 逻辑通道2。 011: 逻辑通道3。 100: 逻辑通道4。 101: 逻辑通道5。 110: 逻辑通道6(默认)。 111: 逻辑通道7。

**表85. 未用, 地址0x088(默认值 = 0x00)**

位号	访问类型	位功能描述
[7:0]	RW	未用

**表86. 未用, 地址0x089(默认值 = 0x00)**

位号	访问类型	位功能描述
[7:0]	RW	未用

**表87. 未用控制寄存器, 地址0x08A(默认值 = 0x20)**

位号	访问类型	位功能描述
[7:6]		未用
[5:4]	RW	未用; 位[5:4]必须设为10。
[3:2]		未用
[1:0]	RW	未用; 位[1:0]必须设为00。

**表88. JESD204B局部多帧时钟偏移控制寄存器, 地址0x08B(默认值 = 0x00)**

位号	访问类型	位功能描述
[7:5]		未用
[4:0]	RW	局部多帧时钟(LMFC)相位偏移值。这些位提供SYSREF±引脚置位时LMFC相位计数器的复位值; 用于确定性延迟应用。

**表89. JESD204B局部帧时钟偏移控制寄存器, 地址0x08C(默认值 = 0x00)**

位号	访问类型	位功能描述
[7:0]	RW	局部帧时钟相位偏移值。SYSREF±引脚置位时帧时钟相位计数器的复位值。对于AD9625, 仅0到7的值有效。用于确定性延迟应用。

**表90. 客户备用寄存器, 地址0x0F8(默认值 = 0x00)**

位号	访问类型	位功能描述
[7:1]	RW	备用客户寄存器。
0	RW	设置ADC采样时钟与DIVCLK±之比的寄存器控制。 0 = 4分频。 1 = 未使用。

**表91. 客户备用寄存器, 地址0x0F9(默认值 = 0x00)**

位号	访问类型	位功能描述
----	------	-------

[7:0]	RW	备用客户寄存器。
-------	----	----------

**表92. 客户备用寄存器，地址0x0FF(默认值 = 0x00)**

位号	访问类型	位功能描述
[7:1]		未用
0	RW	寄存器映射主机/从机传输位。自清零位，用于同步从主机到从机寄存器的数据传输。 0: 不起作用。 1: 从主机寄存器传输数据到从机寄存器，由寄存器写入。

**表93. 中断请求(IRQ)状态寄存器，地址0x100(默认值 = 0x00)**

位号	访问类型	位功能描述
7	RO	中断请求PLL锁定错误。 1: PLL未锁定。
6		未用
5	RO	未用
4	RO	未用
3	RO	中断请求SYSREF±保持错误。 1: 收到最后SYSREF信号时发生保持错误。要清除该错误，应设置再清除寄存器0x03A的位6。
2	RO	中断请求SYSREF±建立错误。 1: 收到最后SYSREF±信号时发生建立错误。要清除该错误，应设置再清除寄存器0x03A的位6。
1		未用
0	RO	中断请求时钟错误。

**表94. 中断请求(IRQ)屏蔽控制寄存器，地址0x101(默认值 = 0xbf)**

位号	访问类型	位功能描述
7	RW	屏蔽中断请求PLL锁定错误。 1: 屏蔽PLL未锁定事件。
6		未用
5	RW	必须置1。
4	RW	必须置1。
3	RW	中断请求SYSREF±保持错误。 1: 收到最后SYSREF±信号时发生保持错误。要清除该错误，应设置再清除寄存器0x03A的位6。
2	RW	中断请求SYSREF±建立错误。 1: 收到最后SYSREF±信号时发生建立错误。要清除该错误，应设置再清除寄存器0x03A的位6。
1		未用
0	RW	屏蔽中断请求时钟错误。 1: 发生时钟错误，无法保证输出数据有效。从该错误恢复的唯一方法是复位器件。

**表95. 数字控制寄存器，地址0x105(默认值 = 0x00)**

位号	访问类型	位功能描述
[7:5]		未用
4	RW	必须置0。
3	RW	必须置0。
2	RW	必须置0。
1	RW	必须置0。
0	RW	必须置0。

**表96. 数字校准阈值控制寄存器，地址0x10A(默认值 = 0x10)**

位号	访问类型	位功能描述
[7:5]		未用

# AD9625

4	RW	使能后台增益的数据集阈值逻辑。
[0:3]		未用

**表97. 数字校准数据集阈值寄存器，地址0x10D(默认值 = 0x3D)**

位号	访问类型	位功能描述
[7:0]	RW	后台增益校准的数据集阈值。

**表98. 数字校准数据集阈值寄存器，地址0x10E(默认值 = 0x14)**

位号	访问类型	位功能描述
[7:0]	RW	后台增益校准的数据集阈值。

**表99. DIVCLK±输出控制寄存器，地址0x120(默认值 = 0x11)**

位号	访问类型	位功能描述
[7:5]		未用
4	RW	DIVCLK±输出禁用。 0: 禁用DIVCLK±输出。 1: 使能DIVCLK±输出。
3	RW	DIVCLK±输出端接选择。 0: DIVCLK±输出使用外部100 Ω阻性端接。 1: DIVCLK±输出不使用外部阻性端接。
2		未用
[1:0]	RW	控制DIVCLK±输出的差分摆幅。 00 = 100 mV p-p差分。 01 = 200 mV p-p差分。 10 = 300 mV p-p差分。 11 = 400 mV p-p差分。

**表100. 调整设置控制寄存器，地址0x121(默认值 = 0x00)**

位号	访问类型	位功能描述
[7:5]		未用
[1:0]	RW	根据采样速率选择调整设置： 00 = 调整0：用于2.5GSPS编码速率 01 = 调整1：用于2.4GSPS至2.5GSPS编码速率 10 = 调整2：用于2.2GSPS至2.4GSPS编码速率 11 = 调整3：用于330MSPS至2.2GSPS编码速率

**表101. 未用寄存器，地址0x12A(默认值 = 0x05)**

位号	访问类型	位功能描述
[7:0]	RW	保留；维持0x05的默认设置。

**表102. DDC 0增益控制寄存器，地址0x130(默认值 = 0x00)**

位号	访问类型	位功能描述
[7:6]		未用
[5:4]	RW	DDC 0多相(2倍抽取)增益，以6 dB为单位。 00: 0 dB增益。 01: 6 dB增益。 10: 12 dB增益。 11: 18 dB增益。
[3:2]		未用
[1:0]	RW	DDC 0多相(8倍抽取)增益，以6 dB为单位。 00: 0 dB增益。 01: 6 dB增益。

位号	访问类型	位功能描述
		10: 12 dB增益。 11: 18 dB增益。

表103. DDC 0相位递增最低有效位寄存器，地址0x131(默认值 = 0x00)

位号	访问类型	位功能描述
[7:0]	RW	DDC 0 NCO相位递增值。DDC 0内NCO的相位增量。输出频率 = (十进制(寄存器0x132[1:0]; 寄存器0x131[7:0]) $\times f_s$ )/1024。

表104. DDC 0相位递增最高有效位寄存器，地址0x132(默认值 = 0x00)

位号	访问类型	位功能描述
[7:2]		未用
[1:0]	RW	DDC 0 NCO相位递增值。DDC 0内NCO的相位增量。

表105. DDC 1增益控制寄存器，地址0x138(默认值 = 0x00)

位号	访问类型	位功能描述
[7:6]		未用
[5:4]	RW	DDC 1多相(2倍抽取)增益，以6 dB为单位。 00: 0 dB增益。 01: 6 dB增益。 10: 12 dB增益。 11: 18 dB增益。
[3:2]		未用
[1:0]	RW	DDC 1多相(8倍抽取)增益，以6 dB为单位。 00: 0 dB增益。 01: 6 dB增益。 10: 12 dB增益。 11: 18 dB增益。

表106. DDC 1相位递增最低有效位寄存器，地址0x139(默认值 = 0x00)

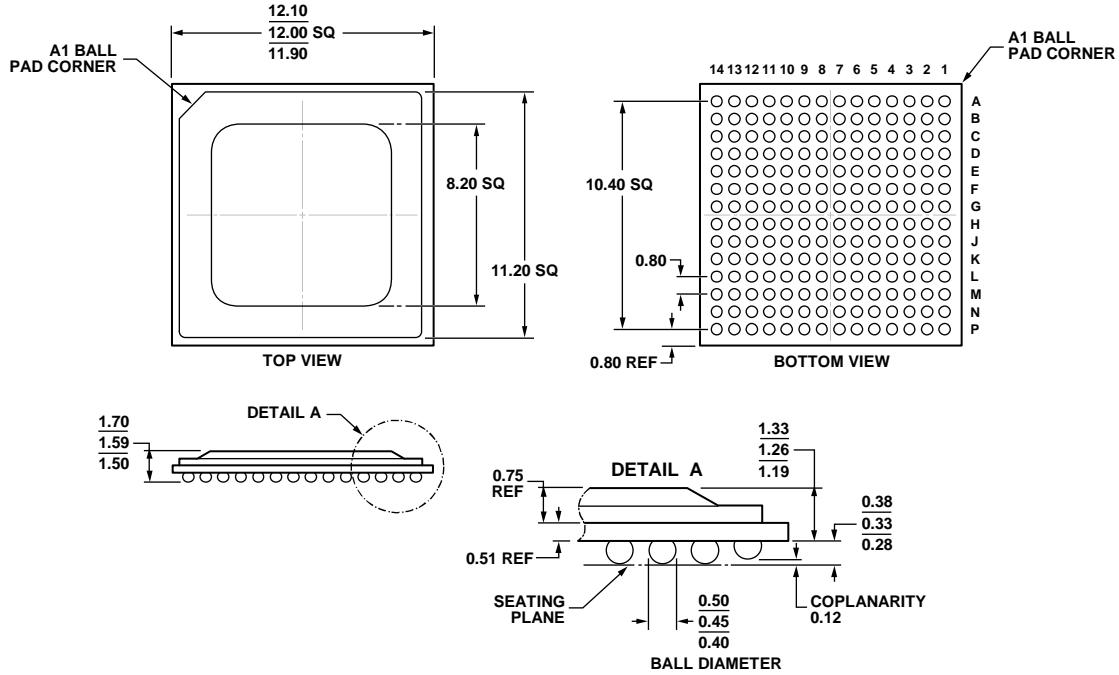
位号	访问类型	位功能描述
[7:0]	RW	DDC 1 NCO相位递增值。DDC 1内NCO的相位增量。输出频率 = (十进制(寄存器0x13A[1:0]; 寄存器0x139[7:0]) $\times f_s$ )/1024。

表107. DDC 1相位递增最高有效位寄存器，地址0x13A(默认值 = 0x00)

位号	访问类型	位功能描述
[7:2]		未用
[1:0]	RW	DDC1 NCO相位递增值。

# AD9625

## 外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-275-GGAA-1.

图46. 196引脚球栅阵列、散热增强型封装[BGA\_ED]  
(BP-196-2)

图示尺寸单位: mm

07-20-2012-A

## 订购指南

型号 <sup>1</sup>	温度范围	封装描述	封装选项
AD9625BBPZ-2.5	-40°C至+85°C	196引脚球栅阵列、散热增强型封装[BGA_ED]	BP-196-2
AD9625BBPZ-2.0	-40°C至+85°C	196引脚球栅阵列、散热增强型封装[BGA_ED]	BP-196-2
AD9625BBPZRL-2.5	-40°C至+85°C	196引脚球栅阵列、散热增强型封装[BGA_ED], 13卷带和卷盘	BP-196-2
AD9625BBPZRL-2.0	-40°C至+85°C	196引脚球栅阵列、散热增强型封装[BGA_ED], 13卷带和卷盘	BP-196-2
AD9625-2.5EBZ		含AD9625的评估板	
AD9625-2.0EBZ		含AD9625的评估板	

<sup>1</sup> Z = 符合RoHS标准的器件。

注释

**注释**