

特性

集成超低噪声频率合成器

8路差分3.6 GHz LVPECL输出和1路LVPECL SYNC输出或2路CMOS SYNC输出

2路差分参考输入和1路单端参考输入

应用

LTE和多载波GSM基站

为高速ADC、DAC提供时钟

自动测试设备(ATE)和高性能仪器仪表

40/100 Gb/s OTN线路端时钟

电缆/DOCSIS CMTS时钟

测试与测量

功能框图

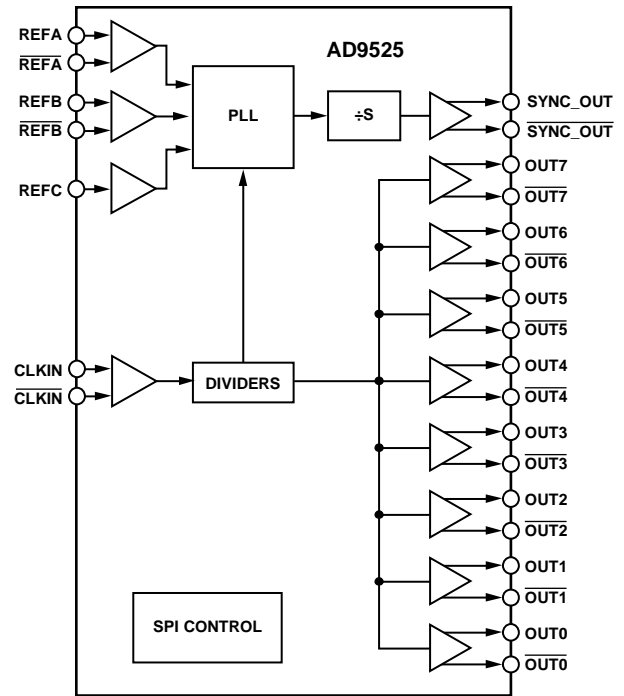


图1.

概述

AD9525旨在满足长期演进(LTE)和多载波GSM基站设计的转换器时钟要求。

AD9525提供低功耗、多路输出时钟分配功能，具有低抖动性能，并且片内集成锁相环(PLL)，可以配合外部VCO或VCXO使用。VCO输入和八路LVPECL输出最高工作频率为3.6 GHz。所有输出共用一个分频器，分频范围为1到6。

AD9525提供一路专用输出，用于提供一个用于重置或同步数据转换器的可编程信号。该输出信号可以通过一个SPI写操作激活。

AD9525提供48引脚LFCSP封装，可以采用3.3 V单电源供电。外部VCXO或VCO的工作电压最高可达5.5 V。

AD9525的工作温度范围为-40°C至+85°C的扩展工业温度范围。

Rev. A

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2011–2013 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

目录

特性.....	1
应用.....	1
功能框图.....	1
概述.....	1
修订历史.....	2
技术规格.....	3
条件.....	3
电源电流.....	3
功耗.....	3
REFA和REFB输入特性.....	4
REFC输入特性.....	4
时钟输入.....	5
PLL特性.....	5
PLL数字锁定检测.....	6
时钟输出.....	6
时序特性.....	7
时钟输出绝对时间抖动 (使用外部122.88 MHz VCXO的时钟产生).....	8
时钟输出绝对时间抖动 (使用外部1475 MHz VCO的时钟产生).....	8
时钟输出绝对时间抖动 (使用外部2.05 GHz VCO的时钟产生).....	9
时钟输出绝对时间抖动 (使用外部3 GHz VCO的时钟产生).....	9
时钟输出附加相位噪声 (仅分配; 时钟输入到分配输出, 包括VCO分频器).....	9
PD, RESET和REF_SEL引脚.....	10
STATUS和REF_MON引脚.....	10
串行控制端口.....	11

绝对最大额定值.....	12
热阻.....	12
ESD警告.....	12
引脚配置和功能描述.....	13
典型性能参数.....	15
术语.....	18
详细框图.....	19
工作原理.....	20
PLL配置.....	20
时钟分配.....	23
SYNC_OUT.....	23
复位模式.....	25
关断模式.....	26
串行控制端口.....	27
引脚描述.....	27
串行控制端口通用操作.....	27
指令字(16位).....	28
MSB/LSB优先传输.....	28
控制寄存器.....	31
控制寄存器映射概览.....	31
寄存器映射描述.....	33
应用信息.....	45
使用AD9525进行频率规划.....	45
在ADC时钟应用中使用AD9525输出.....	45
LVPECL时钟分配.....	46
SYNC_OUT分配.....	46
外形尺寸.....	47
订购指南.....	47

修订历史

2013年4月—修订版0至修订版A

更改表3的“一个通道、一个驱动器”和“一个通道、 两个驱动器”参数.....	4
更改图18.....	19
更改表28的寄存器0x01A.....	31

更改表28的寄存器0x000的Bit 6.....	33
更改表35.....	38
更改表38.....	40

2012年10月—修订版0: 初始版

技术规格

除非另有说明，典型值的测量条件为：VDD3 = 3.3 V ± 5%；VDD3 ≤ VDD_CP ≤ 5.25 V；T_A = 25°C；OUT_RSET电阻 = 4.12 kΩ；CP_RSET电阻(CPRSET) = 5.1 kΩ。最小值和最大值的测量条件为表1所列的整个VDD3和T_A(-40°C至+85°C)范围。REFA为122.88 MHz，CLKIN频率为2949.12 MHz。

条件

表1.

参数	最小值	典型值	最大值	单位	测试条件/注释
电源电压					
VDD3		3.3		V	3.3 V ± 5%
VDD_CP	VDD3		5.25	V	标称值为3.3 V至5.0 V ± 5%
OUT_RSET引脚电阻		4.12		kΩ	设置内部偏置电流；接地
CP_RSET引脚电阻(CPRSET电阻)		5.1		kΩ	设置内部电荷泵电流范围，标称值4.8 mA (CP_LSB = 600 μA)；实际电流计算如下： CP_LSB = 3.06/CPRSET，接地；CPRSET范围 = 2.7 kΩ至10 kΩ
温度范围T _A	-40	+25	+85	°C	

电源电流

表2.

参数	最小值	典型值	最大值	单位	测试条件/注释
VDD3和VDD_CP引脚的电源电流					f _{CLK} = 2949.12 MHz；REFA和REFB使能，频率为122.88 MHz；R分频器 = 2；M分频器 = 2；PFD = 61.44 MHz；8路LVPECL输出，频率为1474.56 MHz；LVPECL 780 mV模式 输出通过50 Ω电阻端接到VDD3 - 2 V
VDD3(引脚3、引脚36、引脚41、引脚46)，输出的总电源电压		310	369	mA	
VDD3(引脚9)，M分频器的电源电压，CLK输入和分配		98	107	mA	
VDD_CP(引脚13)，电荷泵的电源电压		6.6	7.6	mA	
VDD3(引脚20)，PLL的电源电压		53	63.4	mA	
VDD3(引脚32)，SYNC_OUT的电源电压		45	54	mA	

功耗

表3.

参数	最小值	典型值	最大值	单位	测试条件/注释
芯片功耗					不包括外部电阻的功耗；所有LVPECL输出通过50 Ω电阻端接到VDD3 - 2 V；LVPECL 780 mV模式
上电默认值		782	871	mW	无编程；默认寄存器值
典型操作1		1.15	1.23	W	f _{CLK} = 2949.12 MHz；REFA和REFB使能，频率为122.88 MHz；R分频器 = 2；M分频器 = 2；PFD = 61.44 MHz；8路LVPECL输出，频率为1474.56 MHz
典型操作2		1.17	1.25	W	f _{CLK} = 2949.12 MHz；PLL开启；REFA使能，频率为122.88 MHz；M分频器 = 1；PFD = 122.88 MHz；8路LVPECL输出，频率为2949.12 MHz
$\overline{\text{PD}}$ 关断		51	56.4	mW	$\overline{\text{PD}}$ 引脚拉低
$\overline{\text{PD}}$ 关断，最大休眠功耗		13.2	19.1	mW	$\overline{\text{PD}}$ 引脚拉低；关断分配参考，寄存器0x230 [1] = 1b；注意，关断分配参考会禁用安全关断模式(参见“关断模式”部分)
VDD_CP电源		22	25	mW	PLL工作；典型闭环配置

AD9525

参数	最小值	典型值	最大值	单位	测试条件/注释
各功能引起的功耗变化					使能/禁用某个功能时的功耗变化
M分频器开/关	5	8.7		mW	旁路M分频器
P分频器开/关	3	5.7		mW	旁路P分频器
B分频器开/关	16	23.1		mW	旁路B分频器
REFB开启	15	25		mW	关断REFB差分输入时的功耗变化
PLL开/关	254	300.5		mW	PLL关闭至PLL开启, 正常工作; 无参考使能
一个通道, 一个驱动器	107	132		mW	无LVPECL输出开启到一路LVPECL输出开启, 频率为2949.12 MHz; 同一输出对
一个通道, 两个驱动器	184	233		mW	无LVPECL输出开启到两路LVPECL输出开启, 频率为2949.12 MHz; 同一输出对

REFA和REFB输入特性

表4.

参数	最小值	典型值	最大值	单位	测试条件/注释
差模(REFA、REFB; REFB、REFB)					差分模式(让未使用的输入交流接地, 可以支持单端输入)
输入频率	0		500	MHz	低于约1 MHz的频率应直流耦合; 注意匹配自偏置电压
输入灵敏度	200			mV p-p	频率为122.88 MHz
自偏置电压, REFA和REFB	1.52	1.65	1.78	V	REFA和REFB输入的自偏置电压 ¹
自偏置电压, REFA和REFB	1.38	1.50	1.61	V	REFA和REFB输入的自偏置电压 ¹
输入电阻, REFA和REFB	4.5	4.7	4.9	kΩ	自偏置 ¹
输入电阻, REFA和REFB	4.9	5.2	5.4	kΩ	自偏置 ¹
占空比					占空比界限由高电平脉冲宽度和低电平脉冲宽度设置
低电平脉冲宽度	500			ps	
高电平脉冲宽度	500			ps	

¹ 差分对REFA和REFB、REFB和REFB的自偏置点略微偏移, 以免在开路输入条件下发生震颤。

REFC输入特性

表5.

参数	最小值	典型值	最大值	单位	测试条件/注释
REFC输入					
输入频率范围			300	MHz	直流耦合输入(未自偏置)
输入高电压	2.0			V	
输入低电压			0.8	V	
输入电流		1		μA	
占空比					占空比界限由高电平脉冲宽度和低电平脉冲宽度设置
低电平脉冲宽度	1			ns	
高电平脉冲宽度	1			ns	

时钟输入

表6.

参数	最小值	典型值	最大值	单位	测试条件/注释
输入频率	0		3.6	GHz	低于约1 MHz的频率应直流耦合；注意匹配自偏置电压
输入灵敏度	150			mV p-p	在3.1 GHz下测得
输入电平			2	V p-p	较大的电压摆幅可启动保护二极管，降低抖动性能
输入共模电压 V_{CM}	1.55	1.64	1.74	V	自偏置；支持交流耦合
输入共模范围 V_{CMR}	1.3		1.8	V	施加200 mV p-p信号；直流耦合
输入电阻	6.7	7	7.4	k Ω	自偏置
输入电容		2		pF	

PLL特性

表7.

参数	最小值	典型值	最大值	单位	测试条件/注释
鉴频鉴相器(PFD)					
PFD输入频率			125	MHz	防反冲脉冲宽度 = 1.3 ns、2.9 ns
			45	MHz	防反冲脉冲宽度 = 6.0 ns
电荷泵(CP)					V_{DD_CP} (引脚13)； V_{CP} 是电荷泵引脚(CP, 引脚14)的电压 可编程
I_{CP} 吸/源电流					CPRSET = 5.1 k Ω 时；更改CPRSET可以获得更高的 I_{CP} ； $V_{CP} = V_{DD_CP}/2$ V
高值	4.5	4.9	5.4	mA	
低值	0.57	0.61	0.67	mA	CPRSET = 5.1 k Ω 时；更改CPRSET可以获得更低的 I_{CP} ； $V_{CP} = V_{DD_CP}/2$ V
绝对精度		2.5		%	$V_{CP} = V_{DD_CP}/2$ V
CPRSET范围	2.7		10	k Ω	
I_{CP} 高阻抗模式漏电流		3.5		μ A	$V_{DD_CP} = 5$ V
吸电流与源电流匹配		2		%	0.5 V < V_{CP} < $V_{DD_CP} - 0.5$ V
I_{CP} 与 V_{CP}		1.5		%	0.5 V < V_{CP} < $V_{DD_CP} - 0.5$ V
I_{CP} 与温度		2		%	$V_{CP} = V_{DD_CP}/2$ V
P分频器(N分频器的一部分)					
输入频率P = 1			1500	MHz	
输入频率P = 2			3000	MHz	
输入频率P = 3			3600	MHz	
输入频率P = 4			3600	MHz	
输入频率P = 5			3600	MHz	
输入频率P = 6			3600	MHz	
B分频器(N分频器的一部分)			1500		
输入频率				MHz	B计数器输入频率(N分频器输入频率除以P)
M分频器					
输入频率			3600	MHz	
噪声特性					
电荷泵/鉴频鉴相器的带内相位噪声 (带内指在PLL的LBW内)					PLL带内相位噪声的估算方法如下：测量VCO输出端的带内相位噪声，然后减去 $20 \log(N)$ (其中N为N分频器的值)
61.44 MHz PFD频率时		-144		dBc/Hz	
122.88 MHz PFD频率时		-141		dBc/Hz	
PLL品质因数(FOM)		-222		dBc/Hz	参考压摆率大于0.25 V/ns； $FOM + 10 \log(f_{PFD})$ 为PLL环路带宽内PFD/CP带内相位噪声(平坦区域中)的近似值；闭环工作时，VCO输出端测得的相位噪声提高 $20 \log(N)$

AD9525

PLL数字锁定检测

表8.

参数	最小值	典型值	最大值	单位	测试条件/注释
PLL数字锁定检测窗口 ¹					通过适当的寄存器设置选择时，信号可在STATUS和REF_MON引脚上提供；锁定检测窗口设置可通过更改CPRSET电阻而改变
锁定阈值(边沿重合)					由寄存器0x010[1:0]和寄存器0x019[1]选择，这是从解锁转换到锁定的阈值
低范围(ABP 1.3 ns、2.9 ns)		4		ns	寄存器0x010[1:0] = 00b、01b、11b；寄存器0x019[1] = 1b
高范围(ABP 1.3 ns、2.9 ns)		7		ns	寄存器0x010[1:0] = 00b、01b、11b；寄存器0x019[1] = 0b
高范围(ABP 6.0 ns)		3.5		ns	寄存器0x010[1:0] = 10b；寄存器0x019[1] = 0b
解锁阈值(迟滞) ¹					由寄存器0x017[1:0]和寄存器0x019[1]选择，这是从解锁转换到锁定的阈值
低范围(ABP 1.3 ns、2.9 ns)		8.3		ns	寄存器0x010[1:0] = 00b、01b、11b；寄存器0x019[1] = 1b
高范围(ABP 1.3 ns、2.9 ns)		16.9		ns	寄存器0x010[1:0] = 00b、01b、11b；寄存器0x019[1] = 0b
高范围(ABP 6.0 ns)		11		ns	寄存器0x010[1:0] = 10b；寄存器0x019[1] = 0b

¹ 为使数字锁定检测可靠地工作，PFD频率的周期必须大于锁定后解锁的时间。

时钟输出

表9.

参数	最小值	典型值	最大值	单位	测试条件/注释
LVPECL时钟输出					
最大输出频率	3.6			GHz	
上升/下降时间(20%至80%)		105	162	ps	
占空比					输入占空比 = 50/50
M = 1	47	50	53	%	FOUT = 2800 MHz
	45	50	55	%	FOUT < 3000 MHz
M = 2, 4, 6	47	49	51	%	FOUT = 1400 MHz
	45	49	55	%	FOUT < 1500 MHz
M = 3, 5	32	32	33	%	FOUT = 933.33 MHz
输出差分电压幅度	750	830	984	mV	引脚上的电压，输出驱动器为静态； 终端 = 50 Ω至VDD3 - 2 V
共模输出电压	VDD3 - 1.42	VDD3 - 1.37	VDD3 - 1.32	V	输出驱动器为静态；VDD3(引脚3、引脚36、 引脚41、引脚46)； 终端 = 50 Ω至VDD3 - 2 V

时序特性

表10.

参数	最小值	典型值	最大值	单位	测试条件/注释
传播延迟 t_{PECL} , CLKIN至LVPECL输出 针对所有M分频器值 随温度的变化	461	522 388	600	ps fs/°C	端接如图35所示 高频时钟分配配置
输出偏斜, LVPECL输出 ¹ 所有LVPECL输出 温度系数 跨多个器件的所有LVPECL输出		13.5 14	25.2 144	ps fs/°C ps	每个器件的温度和VDD范围内
输出偏斜, LVPECL至SYNC_OUT ¹ SYNC_OUT LVPECL模式 所有LVPECL输出 温度系数 跨多个器件的所有LVPECL输出 SYNC_OUT CMOS模式 所有LVPECL输出 跨多个器件的所有LVPECL输出		189 543	298 417	ps fs/°C ps	每个器件的温度和VDD范围内
传播延迟, REF至LVPECL输出	267	581	924	ps	REF指REFA/REFB或REFC/REFD

¹ 输出偏斜是指在相同的电压和温度条件下, 任何两条路径之间的差异。

时序图

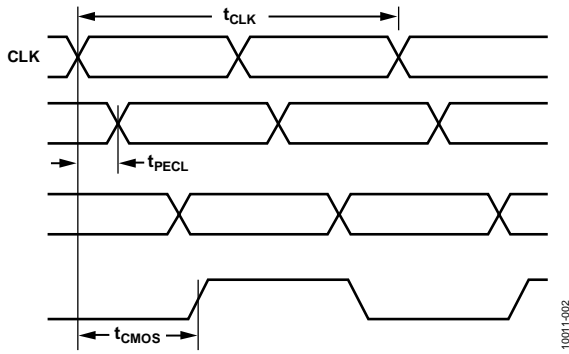


图2. CLK/ \overline{CLK} 至时钟输出时序, M分频器 = 1

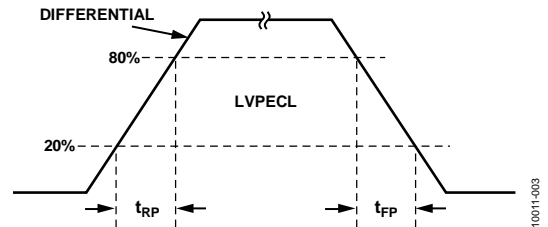


图3. LVPECL时序, 差分

AD9525

时钟输出绝对时间抖动(使用外部122.88 MHz VCXO的时钟产生)

表11.

参数	最小值	典型值	最大值	单位	测试条件/注释
LVPECL输出绝对时间抖动					应用示例基于使用外部122.88 MHz VCXO(Crystek CVHD-950)的典型设置; 参考 = 122.88 MHz; R分频器 = 1; LBW = 40 Hz
FOUT = 122.88 MHz		107		fs rms	积分带宽 = 1 kHz至40 MHz
		69		fs rms	积分带宽 = 12 kHz至20 MHz
FOUT = 61.44 MHz		108		fs rms	积分带宽 = 1 kHz至20 MHz
		107		fs rms	积分带宽 = 12 kHz至20 MHz

时钟输出绝对时间抖动(使用外部1475 MHz VCO的时钟产生)

表12.

参数	最小值	典型值	最大值	单位	测试条件/注释
LVPECL输出绝对时间抖动					应用示例基于使用外部1475 MHz VCO(Bowei Model MVCO-1475)的典型设置; 参考 = 122.88 MHz; R分频器 = 1; PLL LBW = 18 kHz
FOUT = 1474.56 MHz		99		fs rms	积分带宽 = 1 kHz至100 MHz
		77		fs rms	积分带宽 = 10 kHz至100 MHz
		74		fs rms	积分带宽 = 10 kHz至40 MHz
参考边带杂散		68		fs rms	积分带宽 = 12 kHz至20 MHz
FOUT = 245.76 MHz		-93		dBc	±122.88 MHz
		104		fs rms	积分带宽 = 1 kHz至100 MHz
		87		fs rms	积分带宽 = 10 kHz至100 MHz
		75		fs rms	积分带宽 = 12 kHz至20 MHz
参考边带杂散		-98		dBc	±122.88 MHz

表13.

参数	最小值	典型值	最大值	单位	测试条件/注释
LVPECL输出绝对时间抖动					应用示例基于使用外部1475 MHz VCO(Z-Communications CRO1474-LF)的典型设置; 参考 = 122.88 MHz; R分频器 = 1; PLL LBW = 8 kHz
FOUT = 1474.56 MHz		72		fs rms	积分带宽 = 1 kHz至100 MHz
		40		fs rms	积分带宽 = 10 kHz至100 MHz
		33		fs rms	积分带宽 = 10 kHz至40 MHz
		28		fs rms	积分带宽 = 12 kHz至20 MHz
参考边带杂散		-94		dBc	±122.88 MHz
FOUT = 245.76 MHz		83		fs rms	积分带宽 = 1 kHz至100 MHz
		61		fs rms	积分带宽 = 10 kHz至40 MHz
		46		fs rms	积分带宽 = 12 kHz至20 MHz
参考边带杂散		-93		dBc	±122.88 MHz

时钟输出绝对时间抖动(使用外部2.05 GHz VCO的时钟产生)

表14.

参数	最小值	典型值	最大值	单位	测试条件/注释
LVPECL输出绝对时间抖动					应用示例基于使用外部2.05 GHz VCO(Bowei Model MVCO-2050A)的典型设置; 参考 = 122.054215 MHz; R分频器 = 12; PLL LBW = 5 kHz
FOUT = 2048.867 MHz		19		fs rms	积分带宽 = 200 kHz至5 MHz
		21		fs rms	积分带宽 = 200 kHz至10 MHz
		87		fs rms	积分带宽 = 12 kHz至20 MHz
参考边带杂散		-105		dBc	±10.671MHz

时钟输出绝对时间抖动(使用外部3 GHz VCO的时钟产生)

表15.

参数	最小值	典型值	最大值	单位	测试条件/注释
LVPECL输出绝对时间抖动					应用示例基于使用外部2950 MHz VCO (Z-Communications Model CRO-2950)的典型设置; 参考 = 122.88 MHz; R分频器 = 1
FOUT = 2949.12 MHz; PLL LBW = 7 kHz		63		fs rms	积分带宽 = 1 kHz至100 MHz
		38		fs rms	积分带宽 = 10 kHz至100 MHz
		34		fs rms	积分带宽 = 10 kHz至40 MHz
		28		fs rms	积分带宽 = 12 kHz至20 MHz
参考边带杂散		-99		dBc	±122.88 MHz
FOUT = 1474.56 MHz; PLL LBW = 7 kHz		62		fs rms	积分带宽 = 1 kHz至100 MHz
		36		fs rms	积分带宽 = 10 kHz至100 MHz
		31		fs rms	积分带宽 = 10 kHz至40 MHz
		25		fs rms	积分带宽 = 12 kHz至20 MHz
参考边带杂散		-100		dBc	±122.88 MHz
FOUT = 491.52 MHz; PLL LBW = 7 kHz		78		fs rms	积分带宽 = 1 kHz至100 MHz
		60		fs rms	积分带宽 = 10 kHz至100 MHz
		44		fs rms	积分带宽 = 10 kHz至40 MHz
		33		fs rms	积分带宽 = 12 k
参考边带杂散		-96		dBc	±122.88 MHz

时钟输出附加相位噪声(仅分配; 时钟输入到分配输出, 包括VCO分频器)

表16.

参数	最小值	典型值	最大值	单位	测试条件/注释
CLK至LVPECL加性相位噪声					仅分配部分; 不包括PLL和VCO
CLK = 2949.12 MHz, FOUT = 2949.12 MHz					
分频比 = 1					
110 Hz偏移		-112		dBc/Hz	
1100 Hz偏移		-122		dBc/Hz	
11 kHz偏移		-133		dBc/Hz	
110 kHz偏移		-141		dBc/Hz	
1100 kHz偏移		-146		dBc/Hz	
8800 kHz偏移		-148		dBc/Hz	
11 MHz偏移		-148		dBc/Hz	
110 MHz偏移		-149		dBc/Hz	
1100 MHz偏移		-151		dBc/Hz	

AD9525

参数	最小值	典型值	最大值	单位	测试条件/注释
CLK = 1474.56 MHz, FOUT = 1474.56 MHz					
分频比 = 1					
110 Hz偏移		-114		dBc/Hz	
1100 Hz偏移		-125		dBc/Hz	
11 kHz偏移		-134		dBc/Hz	
110 kHz偏移		-144		dBc/Hz	
1100 kHz偏移		-149		dBc/Hz	
8800 kHz偏移		-151		dBc/Hz	
11 MHz偏移		-151		dBc/Hz	
110 MHz偏移		-154		dBc/Hz	
CLK = 122.88 MHz, FOUT = 122.88 MHz					
分频比 = 1					
110 Hz偏移		-134		dBc/Hz	
1100 Hz偏移		-145		dBc/Hz	
11 kHz偏移		-153		dBc/Hz	
110 kHz偏移		-159		dBc/Hz	
1100 kHz偏移		-161		dBc/Hz	
800 kHz偏移		-161		dBc/Hz	
11 MHz偏移		-161		dBc/Hz	
110 MHz偏移		-161		dBc/Hz	

PD, RESET和REF_SEL引脚

表17.

参数	最小值	典型值	最大值	单位	测试条件/注释
输入特性					
逻辑1电压	2.0			V	
逻辑0电压			0.8	V	
逻辑1电流		1		μA	
逻辑0电流 $\overline{\text{PD}}$ 、 $\overline{\text{RESET}}$		-112		μA	负值表示内部上拉电阻导致电流流出AD9525
逻辑0电流REF_SEL		1		μA	
电容		2		pF	
复位时序					
低电平脉冲宽度	50			ns	
RESET 无活动到启动寄存器编程	100			ns	

STATUS和REF_MON引脚

表18.

参数	最小值	典型值	最大值	单位	测试条件/注释
输出特性					
输出高电压 V_{OH}	2.7			V	1 mA输出负载
输出低电压 V_{OL}			0.4	V	
最大反转率		200		MHz	适用于多路复用器设置为任意分频器或计数器输出，或者设置为PFD升/降脉冲时；通常仅在调试模式下使用；注意：当任一引脚反转时，杂散可能耦合到输出

串行控制端口

表19.

参数	最小值	典型值	最大值	单位	测试条件/注释
\overline{CS} (输入)					\overline{CS} 内置一个30 k Ω 上拉电阻
输入逻辑1电压	2.0			V	
输入逻辑0电压			0.8	V	
输入逻辑1电流			2.5	μ A	
输入逻辑0电流		-112		μ A	负值表示内部上拉电阻导致电流流出AD9525
输入电容		2		pF	
SCLK(输入)					SCLK内置一个30 k Ω 上拉电阻
输入逻辑1电压	2.0			V	
输入逻辑0电压			0.8	V	
输入逻辑1电流		112		μ A	
输入逻辑0电流			1	μ A	
输入电容		2		pF	
SDIO(用作输入时)					
输入逻辑1电压	2.0			V	
输入逻辑0电压			0.8	V	
输入逻辑1电流		10		nA	
输入逻辑0电流		20		nA	
输入电容		2		pF	
SDIO、SDO(输出)					1 mA负载电流
输出逻辑1电压	2.7			V	
输出逻辑0电压			0.4	V	
定时					
时钟速率(SCLK, $1/t_{SCLK}$)			31	MHz	
高电平脉冲宽度, t_{HIGH}	16			ns	
低电平脉冲宽度, t_{LOW}	16			ns	
SDIO至SCLK建立时间, t_{DS}	2			ns	
SCLK至SDIO保持时间, t_{DH}	1.1			ns	
SCLK至有效SDIO和SDO时间, t_{DV}			12	ns	
\overline{CS} 至SCLK建立和保持时间, t_S 、 t_H	2			ns	
\overline{CS} 最短脉冲宽度(高电平), t_{PWH}	3.6			ns	

绝对最大额定值

表20.

参数	额定值
VDD3至GND	-0.3V至+3.6V
VDD_CP, CP至GND	-0.3V至+5.8V
REFA, REFA, REFB, REFB, REFC至GND	-0.3V至VDD3 + 0.3V
OUT_RSET至GND	-0.3V至VDD3 + 0.3V
CP_RSET至GND	-0.3V至VDD3 + 0.3V
CLKIN, CLKIN至GND	-0.3V至VDD3 + 0.3V
CLKIN至 CLKIN	-1.2V至+1.2V
SCLK, SDIO, SDO, CS至GND	-0.3V至VDD3 + 0.3V
OUT0, OUT0, OUT1, OUT1, OUT2, OUT2, OUT3, OUT3, OUT4, OUT4, OUT5, OUT5, OUT6, OUT6, OUT7, OUT7, SYNC_OUT, SYNC_OUT至GND	-0.3V至VDD3 + 0.3V
RESET, PD, STATUS, REF_MON至GND	-0.3V至VDD3 + 0.3V
结温 ¹	150°C
存储温度范围	-65°C至+150°C
引脚温度(10秒)	300°C

¹ θ_{JA} 见表21。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最大值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

表21. 热阻(仿真)

封装类型	气流速度 (m/s)	$\theta_{JA}^{1,2}$	$\theta_{JC}^{1,3}$	$\theta_{JB}^{1,4}$	$\Psi_{JT}^{1,2}$	单位
48引脚	0	27.3	2.1	14.7	0.2	°C/W
LFCSP	1.0	23.9			0.3	°C/W
	2.5	21.4			0.4	°C/W

¹ 按照JEDEC 51-7，加上JEDEC 51-5 2S2P测试板。

² 按照JEDEC JESD51-2(静止空气)或JEDEC JESD51-6(流动空气)。

³ 按照MIL-Std 883、方法1012.1。

⁴ 按照JEDEC JESD51-8(静止空气)。

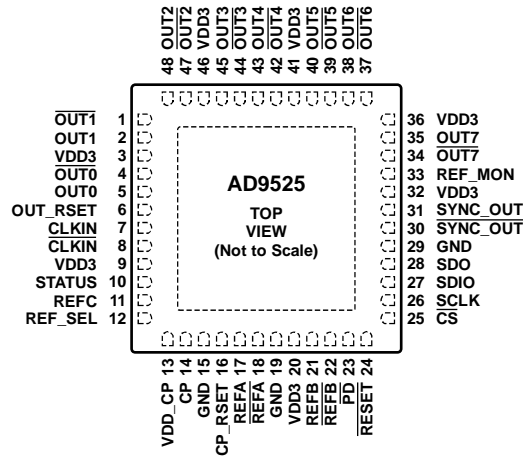
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES
 1. THE EXPOSED PAD IS A GROUND CONNECTION ON THE CHIP THAT MUST BE SOLDERED TO THE ANALOG GROUND OF THE PCB TO ENSURE PROPER FUNCTIONALITY AND HEAT DISSIPATION, NOISE, AND MECHANICAL STRENGTH BENEFITS.

1.0011-004

图4. 引脚配置

表22. 引脚功能描述

引脚编号	引脚名称	类型	描述
1	OUT1	O	LVPECL互补输出1。
2	OUT1	O	LVPECL输出1。
3	VDD3	P	通道OUT0和通道OUT1的3.3 V电源。
4	OUT0	O	LVPECL互补输出0。
5	OUT0	O	LVPECL输出0。
6	OUT_RSET	O	时钟分配电流设置电阻。应将一个4.12 kΩ电阻连接在此引脚与GND之间。
7	CLKIN	I	此引脚与CLKIN一起构成时钟分配部分的差分输入。
8	CLKIN	I	此引脚与CLKIN一起构成时钟分配部分的差分输入。如果将单端输入连接到CLKIN引脚，应在CLKIN与地之间连接一个0.1 μF旁路电容。
9	VDD3	P	CLK输入、M分频器和输出分配的3.3 V电源。
10	STATUS	O	锁定检测和其它状态信号。
11	REFC	I	参考时钟输入C。此引脚是PLL参考的CMOS输入。
12	REF_SEL	I	参考输入选择。逻辑高电平 = REFB。此引脚没有内置上拉或下拉电阻。
13	VDD_CP	P	电荷泵(CP)的电源。VDD3 < VDD_CP < 5.0 V。如果不使用PLL，VDD_CP仍须连接到3.3 V。
14	CP	O	电荷泵(输出)。此引脚连接到外部环路滤波器。如果不使用PLL，此引脚可以不连接。
15	GND	GND	电荷泵VDD_CP电源的地。连接到地。
16	CP_RSET	O	电荷泵电流设置电阻。应将一个5.1 kΩ电阻连接在此引脚与GND之间。如果不使用PLL，则无需连接该电阻。
17	REFA	I	参考时钟输入A。此引脚与REFA一起构成PLL参考的差分输入。
18	REFA	I	参考时钟输入A。此引脚与REFA一起构成PLL参考的差分输入。
19	GND	GND	PLL电源的地。连接到地。
20	VDD3	P	PLL的3.3 V电源。
21	REFB	I	参考时钟输入B。此引脚与REFB一起构成PLL参考的差分输入。
22	REFB	I	参考时钟输入B。此引脚与REFB一起构成PLL参考的差分输入。
23	PD	I	芯片关断引脚，低电平有效。此引脚内置一个30 kΩ上拉电阻。
24	RESET	I	芯片复位，低电平有效。此引脚内置一个30 kΩ上拉电阻。
25	CS	I	串行控制端口片选；低电平有效。此引脚内置一个30 kΩ上拉电阻。
26	SCLK	I	串行控制端口时钟信号。此引脚内置一个30 kΩ下拉电阻。
27	SDIO	I	串行控制端口双向串行数据输入/输出。

AD9525

引脚编号	引脚名称	类型	描述
28	SDO	I	串行控制端口单向串行数据输出。
29	GND	GND	连接到地。
30	$\overline{\text{SYNC_OUT}}$	O	可编程同步信号的LVPECL互补输出。
31	SYNC_OUT	O	可编程同步信号的LVPECL输出。
32	VDD3	P	SYNC_OUT驱动器的电源。
33	REF_MON	O	参考监控器(输出)。此引脚具有多个可选输出。
34	OUT7	O	LVPECL互补输出7。
35	OUT7	O	LVPECL输出7。
36	VDD3	P	通道OUT6和通道OUT7的3.3 V电源。
37	$\overline{\text{OUT6}}$	O	LVPECL互补输出6。
38	OUT6	O	LVPECL输出6。
39	$\overline{\text{OUT5}}$	O	LVPECL互补输出5。
40	OUT5	O	LVPECL输出5。
41	VDD3	P	通道OUT4和通道OUT5的3.3 V电源。
42	$\overline{\text{OUT4}}$	O	LVPECL互补输出4
43	OUT4	O	LVPECL输出4。
44	$\overline{\text{OUT3}}$	O	LVPECL互补输出3。
45	OUT3	O	LVPECL输出3。
46	VDD3	P	通道OUT2和通道OUT3的3.3 V电源。
47	$\overline{\text{OUT2}}$	O	LVPECL互补输出2。
48	OUT2	O	LVPECL输出2。
EP	EP, GND	GND	裸露焊盘。裸露焊盘是芯片上的接地连接，必须焊接到PCB模拟地，以确保正常工作和散热，并获得噪声和机械强度方面的好处。

典型性能参数

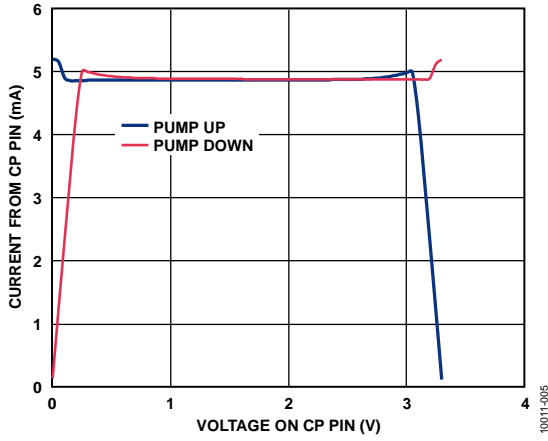


图5. 电荷泵特性(VDD_CP = 3.3 V)

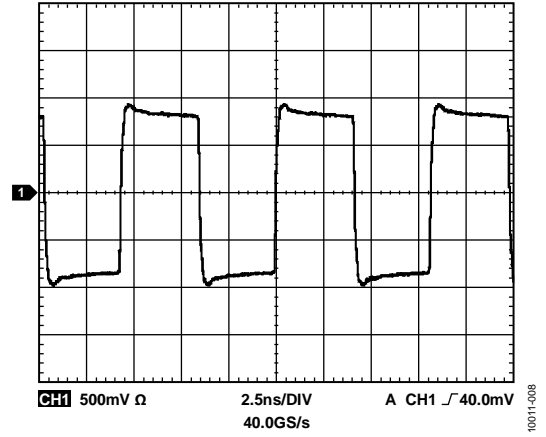


图8. LVPECL输出(差分, 122.88 MHz)

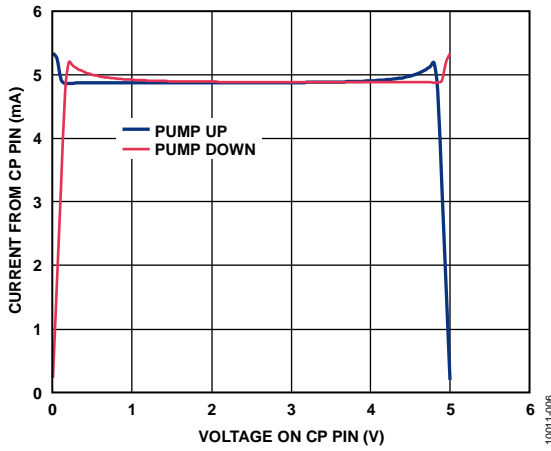


图6. 电荷泵特性(VDD_CP = 5.0 V)

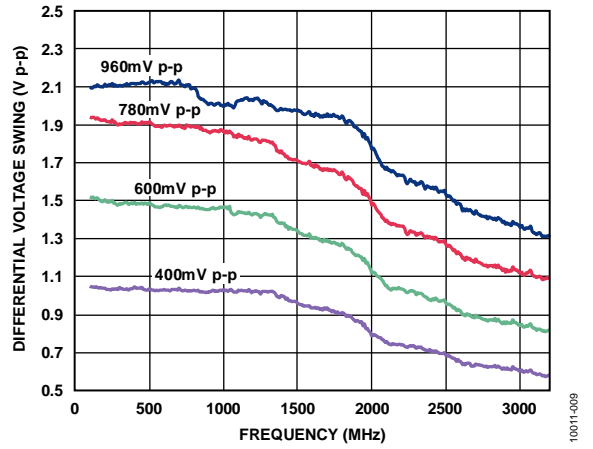


图9. LVPECL差分电压摆幅与频率的关系

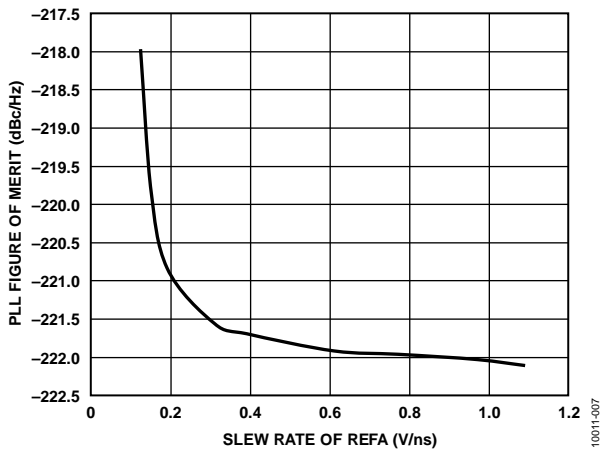


图7. PLL品质因数(FOM)与压摆率(REFA时)的关系

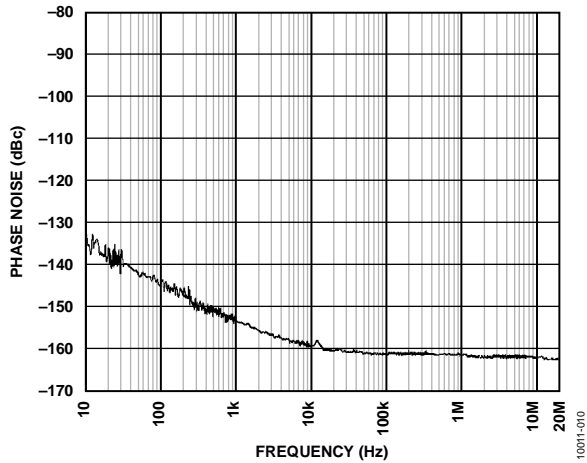


图10. 附加(残余)相位噪声, CLK至LVPECL (122.88 MHz), 1分频

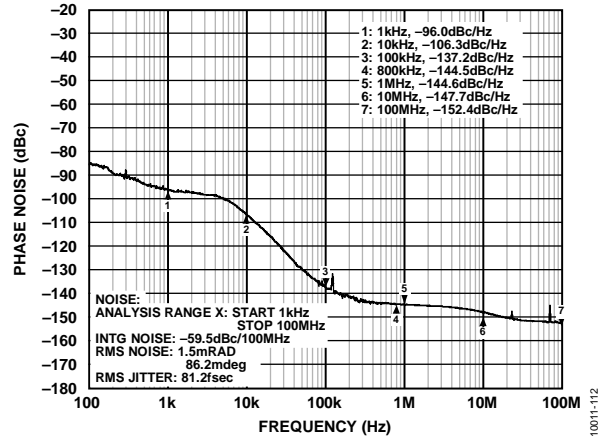


图13. 相位噪声(绝对), 外部VCO
(Z-Communications Model CRO-2950, 2949.12 MHz);
PFD = 122.88 MHz; LBW = 8 kHz; LVPECL输出 = 2949.12 MHz

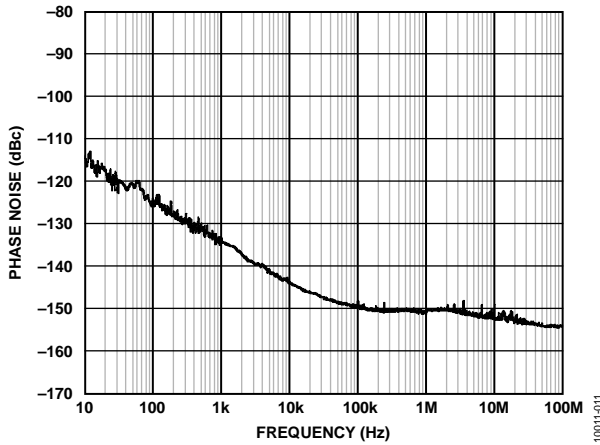


图11. 附加(残余)相位噪声, CLK至LVPECL (1500 MHz), 1分频

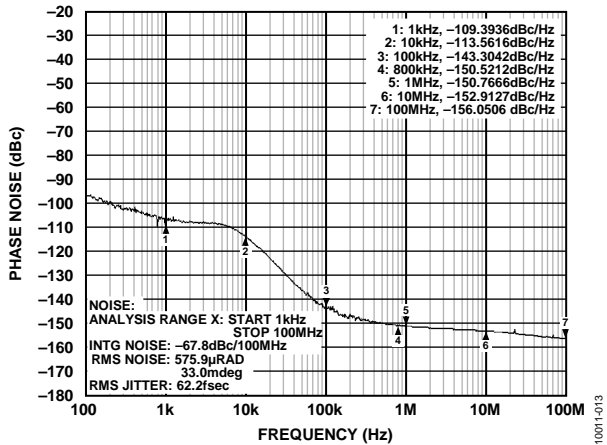


图14. 相位噪声(绝对), 外部VCO
(Z-Communications Model CRO-2950, 2949.12 MHz);
PFD = 122.88 MHz; LBW = 8 kHz; LVPECL输出 = 1474.56 MHz

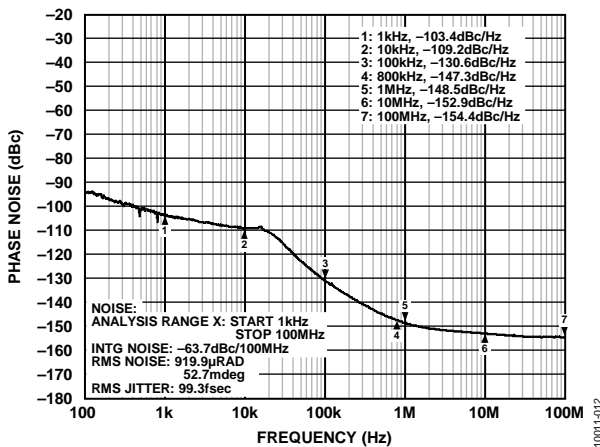


图12. 相位噪声(绝对), 外部VCO(Bowe Model MVCO-1475,
1474.56 MHz); PFD = 122.88 MHz; LBW = 18 kHz;
LVPECL输出 = 1474.56 MHz

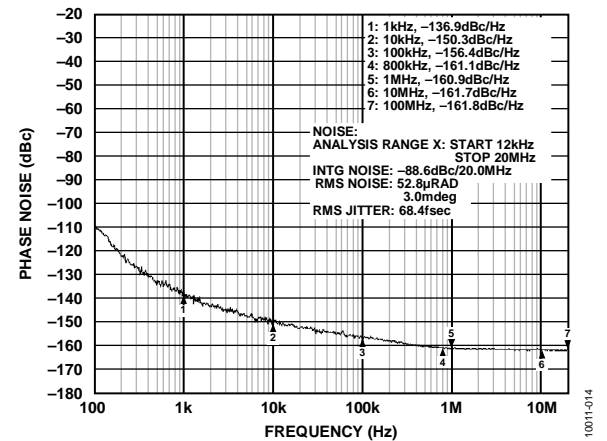


图15. 相位噪声(绝对), 外部VCXO(Crystek CVHD-950, 122.88 MHz);
参考 = 122.88 MHz; R分频器 = 1; L
BW = 40 Hz; LVPECL输出 = 122.88 MHz

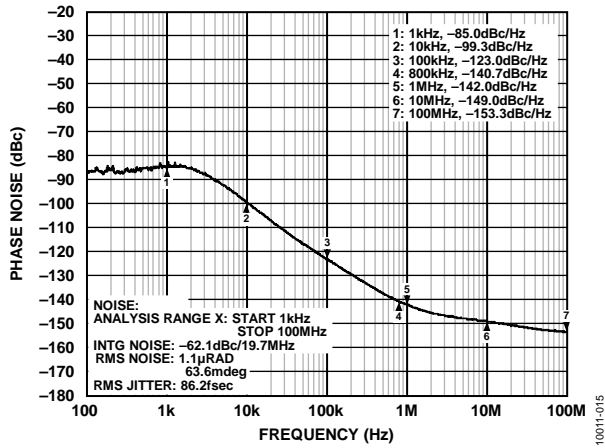


图16. 相位噪声(绝对), 外部2.05 GHz VCO
 (Bowe Model MVCO-2050A, 2050 MHz);
 参考 = 122.054215 MHz; R分频器 = 12

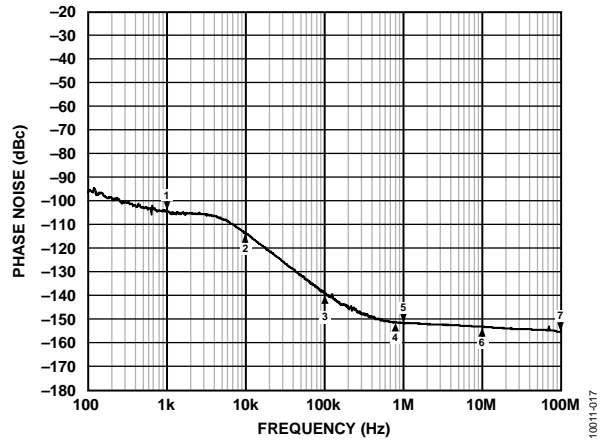


图17. 相位噪声(绝对), 外部VCO
 (Z-Communications CRO1474-LF, 1474.56 MHz);
 PFD = 122.88 MHz; LBW = 15 kHz; LVPECL输出 = 1474.56 MHz

术语

相位抖动和相位噪声

理想情况下，在正弦波的每个周期，相位都会随着时间从 0° 连续均匀地变化到 360° 。不过，实际信号的相位随时间的变化与理想情况会有一些的偏差，这种现象称为相位抖动。导致相位抖动的原因有许多，其中一个主要原因是随机噪声，其统计特征为高斯(正态)分布。

这种相位抖动导致正弦波能量在频域中扩散，产生连续的功率频谱。通常将该功率频谱报告为相对于正弦波(载波)的给定频率偏移下的一系列值，其单位为dBc/Hz。该值是1 Hz带宽内包含的功率与载波频率时的功率之比(用dB表示)。对于每次测量，还会给出相对于载波频率的偏移。

对一定偏移频率区间(例如10 kHz到10 MHz)内所含的总功率进行积分很有意义。这称为该频率偏移区间内的积分相位噪声，它与该偏移频率区间内的相位噪声所引起的时间抖动直接相关。

相位噪声对ADC、DAC和RF混频器的性能有不利影响。虽然影响方式不同，但会降低转换器和混频器可实现的动态范围。

时间抖动

相位噪声是一种频域现象。在时域内，该效应表现为时间抖动。观察正弦波时，连续过零的时间并不固定。方波中，时间抖动表现为边沿偏离其理想(规则)的出现时间。这两种情况下，实际时序与理想时序的偏差即为时间抖动。这些偏差是随机的，因此用均方根(rms)秒或高斯分布的 1σ 来规定时间抖动。

出现在DAC或ADC采样时钟上的时间抖动会降低转换器的信噪比(SNR)和动态范围。抖动最低的采样时钟可使给定转换器发挥最高性能。

附加相位噪声

附加相位噪声指可归因于受测设备或子系统的相位噪声量。所有外部振荡器或时钟源的相位抖动都会被扣除。这样，当器件结合不同的振荡器和时钟源使用时，就可以预测器件对系统总相位噪声的影响程度。各元件都会贡献一定的相位噪声，但在许多情况下，某个元件的相位噪声占居系统总相位噪声的主要部分。当有多个相位噪声源时，总相位噪声等于各噪声源的平方和的平方根。

附加时间抖动

附加时间抖动指可归因于受测设备或子系统的时间抖动量。所有外部振荡器或时钟源的时间抖动都会被扣除。这样，当器件结合不同的振荡器和时钟源使用时，就可以预测器件对系统总时间抖动的影响程度。各元件都会贡献一定的时间抖动，但在许多情况下，外部振荡器和时钟源的时间抖动占居系统时间抖动的主要部分。

详细框图

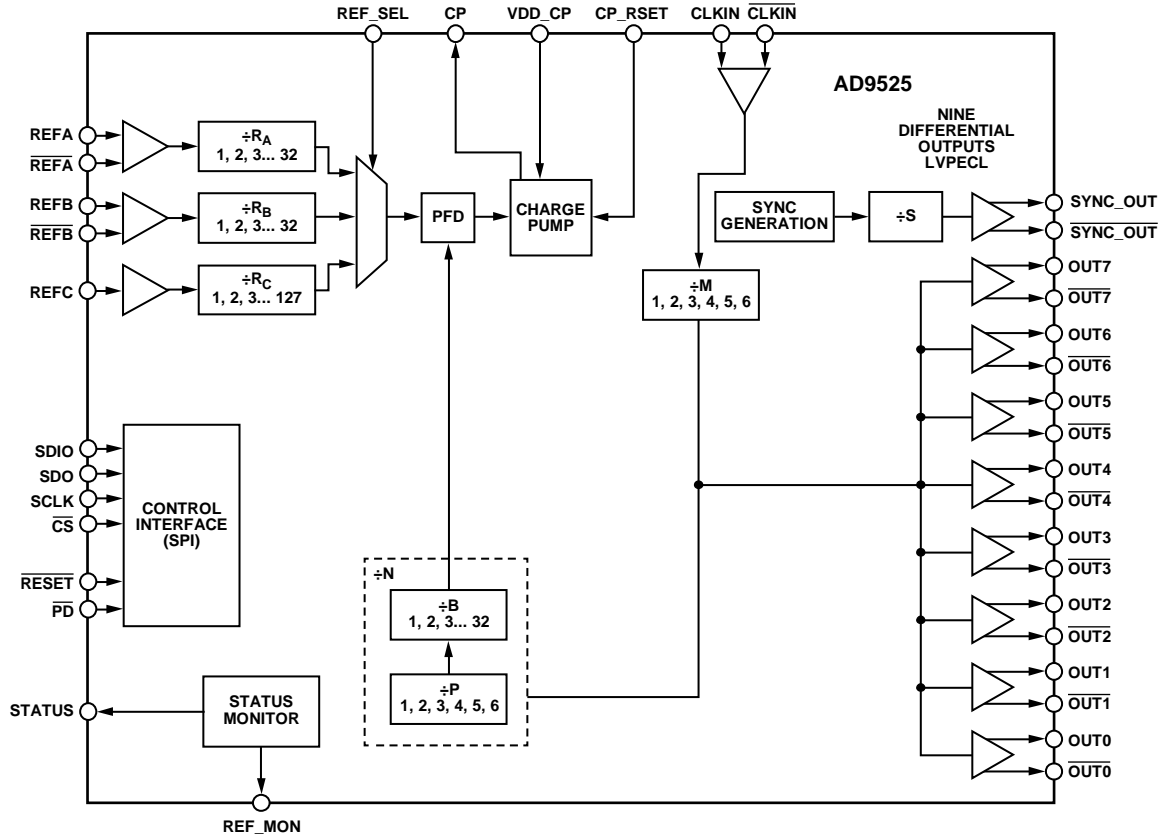


图18. 详细框图

10011-018

工作原理

AD9525 PLL可用于从提供的参考频率产生时钟频率，此外，PLL可以用来清除高噪声参考的抖动和相位噪声。PLL参数和环路动态特性的确切选择取决于具体应用。AD9525 PLL十分灵活且具深度，因而可以定制该器件以用于许多不同的应用和信号环境。

AD9525内置一个片内PLL模块，它可以结合外部VCO或VCXO使用，构成一个完整的锁相环。PLL需要一个外部环路滤波器，它通常由少量电容和电阻组成。环路滤波器的配置和元件有助于建立PLL的带宽并确保其稳定性。外部环路滤波器必须连接在CP与VCO/VCXO的调谐引脚之间。该环路滤波器决定环路带宽和PLL的稳定性。针对所用的VCO/VCXO，务必选择正确的PFD极性。

通过关断PLL并将CLKIN和 $\overline{\text{CLKIN}}$ 用作输入，也可以将AD9525配置为时钟分配模式。M分频器可用于将输入频率分频至各路LVPECL输出(共8路)需要的输出频率。

PLL配置

PLL配置是通过R分频器、N分频器、PFD极性和电荷泵电流的各种设置来完成。这些设置和环路滤波器的组合决定PLL环路带宽和PLL稳定性。这些设置通过可编程寄存器设置以及外部环路滤波器的设置进行管理。

成功的PLL运作和满意的PLL环路性能高度依赖于PLL设置的正确配置，而外部环路滤波器的设计对于PLL的正常工作至关重要。

ADIsimCLK™是一款免费程序，可帮助设计和探索AD9525的能力和特性，包括PLL环路滤波器的设计。ADIsimCLK 1.2版中的AD9516模型也可以用于AD9525环路滤波器的建模，请访问：www.analog.com/clocks。

鉴频鉴相器(PFD)

PFD接受R分频器和N分频器的输入，产生与二者的相位和频率差成比例的输出。PFD内置一个可编程延迟元件，用来控制防反冲脉冲的宽度。此脉冲可确保PFD传递函数中无死区，并使相位噪声和参考杂散最小。防反冲脉冲宽度由寄存器0x010[1:0]设置。

必须注意一项重要的限制条件，即PFD支持的最大频率。PFD的最大输入频率是防反冲脉冲设置的函数，参见表7中鉴频鉴相器(PFD)参数的规定。

电荷泵(CP)

电荷泵由PFD控制。PFD监控其两路输入之间的相位和频率关系，并告知电荷泵补充或移除电荷，从而给积分节点(环路滤波器的一部分)充电或放电。经过积分和滤波的电荷泵电流转化为电压，驱动外部VCO的调谐节点，以便提高或降低VCO频率。电荷泵可以设置为高阻抗模式(支持保持工作)、正常工作模式(尝试锁定PLL环路)、充电或放电模式(测试模式)。电荷泵电流可以分8步编程。电荷泵电流LSB的确切值由标称值为5.1 kΩ的CPRSET电阻设置。实际LSB电流可以通过下式计算： $CP_LSB = 3.06/CPRSET$ 。

PLL外部环路滤波器

图19显示了一个用于PLL的外部环路滤波器示例。环路滤波器必须针对所需的每种PLL配置进行计算。元件值取决于VCO频率、 K_{VCO} 、PFD频率、电荷泵电流、所需的环路带宽以及所需的相位裕量。环路滤波器影响相位噪声、环路建立时间和环路稳定性。要了解环路滤波器设计，关于PLL理论的基本知识是必不可少的。ADIsimCLK可以帮助用户根据应用要求计算环路滤波器。

PLL参考输入

AD9525具有两个全差分PLL参考输入电路。差分输入为自偏置，输入信号可以轻松进行交流耦合。PLL的所有参考输入在默认情况下均关闭。两端的自偏置电平略微偏移，以防输入缓冲器在参考交流耦合且较慢或丢失时发生震颤。输入偏移提高驱动器需要提供的电压摆幅，以消除偏移的影响。参考输入的输入频率范围和共模电压见表4的规定。

PLL关断时，参考输入接收器也关断。可以直流耦合到这些输入。如果以单端信号驱动差分参考输入，则未使用端(REFA或REFB)应通过适当的电容去耦到无噪声地。

AD9525提供第三个单端CMOS参考输入，称为REFC。

参考切换

AD9525支持两路独立的差分参考输入。手动切换通过寄存器0x01A或使用REF_SEL引脚在这些输入之间进行。该特性支持需要备用参考的网络和其它应用。

手动切换要求目标参考输入上存在一个时钟，或者禁用切换去毛刺特性(寄存器0x01A[4])。

参考分频器R

参考输入被送至其相应的分频器R。R可以设为1到32的任意值(R = 0和R = 1时，分频比均为1)。

分频比由R_{LOW}和R_{HIGH}的值设置。将旁路位置1可以旁路分频器(相当于1分频，分频器电路关断)。

对于各R分频器，频率分频比(R_X)由R_{LOW}和R_{HIGH}的值设置(各值均为4位，表示十进制0到15)，其中：

$$\text{低电平周期数} = R_{\text{LOW}} + 1$$

$$\text{高电平周期数} = R_{\text{HIGH}} + 1$$

高电平和低电平周期数是指当前送至R输入端的时钟信号的周期数。

当分频器被旁路时，R_X = 1。

其它情况下，R_X = (R_{HIGH} + 1) + (R_{LOW} + 1) = R_{HIGH} + R_{LOW} + 2。因此，各参考分频器的分频比可以是1到32范围内的任何整数。

R分频器的输出通过一个多路复用器，以选择PFD输入端的参考之一。施加于PFD的频率不得超过最大容许频率，最大容许频率取决于防反冲脉冲设置(见表7)。

R分频器本身可以复位。利用R和B计数器共享的复位位，也可以复位R分频器。此复位位不会自清0。

REFC路径中的R分频器具有1到127范围内可编程的分频比。

VCO/VCXO、M和N反馈分频器

反馈分频是M分频器与N分频器的乘积。N分频器由一个预分频器(P)和一个B分频器组合而成。

$$f_{\text{VCO}} = (f_{\text{REF}}/R) \times N \times M$$

其中：

M = 1, 2, 3, 4, 5, 或 6.

N = (P × B).

P = 1, 2, 3, 4, 5, 或 6.

B = 1, 2, 3, ... 或 32.

M分频器

M分频器提供分频比为1、2、3、4、5或6的固定分频(FD)功能。

M计数器的最大输入频率反映在表6规定的最大CLKIN输入频率中。

M分频器提供CLKIN输入、N反馈分频器与时钟分配输出通道之间的分频功能。

也可以将M分频器设置为静态，这在唯一需要的输出频率就是CLK输入频率的应用中很有用。

P分频器

P分频器提供分频比为1、2、3、4、5或6的固定分频(FD)功能。

P计数器的最大输入频率反映在表6规定的最大CLKIN输入频率中。

B分频器

B分频器提供分频比为1、2、3、...或32的固定分频(FD)功能。

B计数器的最大输入频率约为1500 MHz，见表7的规定。这是预分频器输入频率(外部VCO或CLKIN)除以P和M计数器的结果。例如，如果VCO频率大于1500 MHz，则不支持M = 1和P = 1模式，因为输入B分频器的频率太高。

分频比由B_{LOW}和B_{HIGH}的值设置。将旁路位置1可以旁路分频器(相当于1分频，分频器电路关断)。

频率分频比B_X由B_{LOW}和B_{HIGH}的值设置(各值均为4位，表示十进制0到15)，其中：

$$\text{低电平周期数} = B_{\text{LOW}} + 1$$

$$\text{高电平周期数} = B_{\text{HIGH}} + 1$$

高电平和低电平周期数是指当前送至B分频器输入端的时钟信号的周期数。

当分频器被旁路时，B_X = 1。

其它情况下，B_X = (B_{HIGH} + 1) + (B_{LOW} + 1) = B_{HIGH} + B_{LOW} + 2。

虽然一般不需要手动复位，但B计数器有自己的复位位。注意，此复位位不会自清0。

AD9525

数字锁定检测(DLD)

通过各引脚上的多路复用器选择适当的输出，可以在STATUS和REF_MON引脚上提供DLD功能。当PFD输入端的上升沿时间差小于规定的值(锁定阈值)时，数字锁定检测电路指示锁定。当该时间差超过规定的值(解锁阈值)时，指示失锁。注意，解锁阈值宽于锁定阈值，因而允许相位误差在一定程度上超过锁定窗口，但锁定指示器不会震颤。

锁定检测窗口时序取决于CPRSET电阻的值和以下三个设置：数字锁定检测窗口位(寄存器0x019[1])、防反冲脉冲宽度位(寄存器0x010[1:0]，见表8)和锁定检测计数器位(寄存器0x019[3:2])。表8中的锁定和解锁检测值适用于标称值CPRSET = 5.11 kΩ。如果CPRSET值增加一倍达到10 kΩ，则表8中的值也会加倍。

只有在可编程数量的连续PFD周期内，时间差一直小于锁定检测阈值，才会指示锁定。此后锁定检测电路将继续指示锁定，直到后续一个周期内的时间差大于解锁阈值。为使锁定检测正常工作，PFD频率的周期必须大于解锁阈值。锁定要求的连续PFD周期数是可编程的(寄存器0x018[6:5])。

注意，在某些低环路带宽(<500 Hz)、高相位裕量的情况下，DLD可能会在获取期间震颤。这是正常现象，发生的原因是PFD在PLL环路建立期间缓慢移入移出锁定/解锁窗口。调整锁定检测计数器设置(寄存器0x019[3:2])可以抑制这种行为。

外部VCXO/VCO时钟输入(CLKIN/CLKIN)

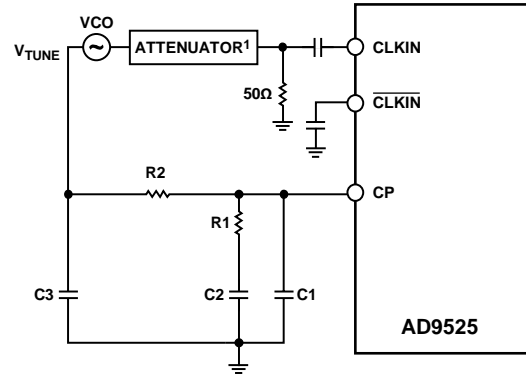
该差分输入用于驱动AD9525时钟分配部分，引脚内部自偏置，输入信号应通过电容交流耦合。

CLKIN/CLKIN输入既可以只用作分配输入(PLL关闭)，也可以用作外部VCO/VCXO的反馈输入(使用内部PLL)。配置示例如图19至图21所示。请参考制造商关于VCO端接的建议；一般推荐使用T或PI衰减器，如图19所示。

对于使用CMOS输入的操作，需要一个外部阻性分压器来限制CLKIN的摆幅(最大输入额定值参见表6)。

状态监控器

AD9525包括三个频率状态监控器，用于指示PLL参考(或单端模式下的参考)和VCO是否降到阈值以下。



¹VCO MANUFACTURERS RECOMMEND EITHER A T OR PI ATTENUATOR TO PREVENT VCO PULLING. REFER TO MANUFACTURER'S RECOMMENDATION

图19. CLKIN配置为单端VCO

10011-020

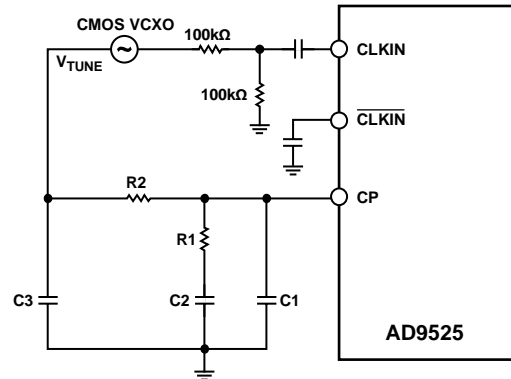
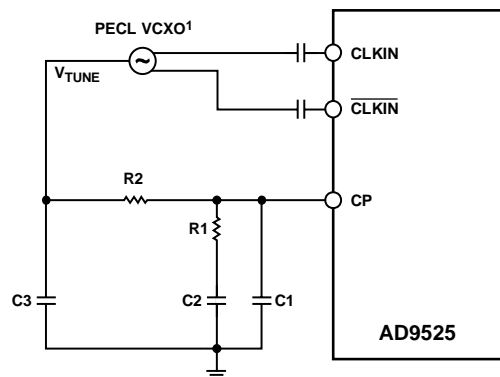


图20. CLKIN配置为单端CMOS VCXO

10011-021



¹PROVIDE THE PROPER VCXO MANUFACTURER PECL TERMINATION.

图21. CLKIN配置为差分LVPECL VCXO

10011-022

时钟分配

通过禁用时钟分配部分以外的PLL电路，AD9525可以仅用作时钟扇出缓冲器。时钟分配由8个LVPECL时钟输出驱动器组成，它们共用一个M分频器。有关公共M分频器的更多信息，参见“M分频器”部分。

占空比和占空比修正

驱动器输出端时钟信号的占空比是下列一个或两个条件的结果：

- CLKIN、 $\overline{\text{CLKIN}}$ 输入占空比。如果CLKIN、 $\overline{\text{CLKIN}}$ 输入直接路由到输出端，则输出占空比与CLKIN、 $\overline{\text{CLKIN}}$ 输入相同。
- M分频器值。M分频器值为奇数时，占空比非50%。

表23. M分频器不等于1时的典型输出占空比

M分频器	输出占空比(%)
偶数	50
奇数 = 3	33.3
奇数 = 5	40

LVPECL输出驱动器

LVPECL差分电压(V_{OD})可在约400 mV到960 mV的范围内进行选择(参见寄存器0x0F0至寄存器0x0F7的位2和位1)。

LVPECL输出极性可以设置为同相或反相，在应用中，无需更改电路板布局便可调整输出的相对极性。各路LVPECL输出可以根据需要关断或上电。LVPECL输出级的架构导致它在某些关断条件下可能会发生电气过应力和击穿问题。

因此，LVPECL输出有两种关断模式：完全关断和安全关断。主要关断模式是安全关断模式。在关断期间，这种模式仍能继续保护输出器件。激活安全关断模式有三种方法：独立地将各驱动器的关断位置1；关断各输出通道；或者激活休眠模式。

在完全关断模式下，0x0230[1] = 1(关断分配参考)。如果输出引脚上存在一个外部电压偏置网络(如戴维宁等效终端等)，则不得使用这种模式，因为它会导致关断的输出上出现直流电压。然而，当LVPECL驱动器仅采用下拉电阻端接时，则可以使用完全关断模式。

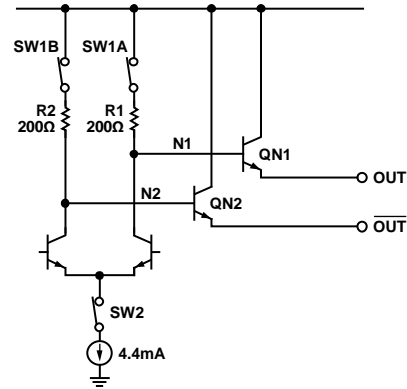


图22. 简化的LVPECL输出等效电路

SYNC_OUT

SYNC_OUT提供一路LVPECL输出或两路CMOS输出信号，可用于复位或同步转换器。SYNC_OUT功能框图如图23所示。SYNC_OUT信号产生自PLL鉴相器参考输入时钟或反馈(N分频器)时钟。一个可编程16位S分频器进一步将选定的参考时钟分频。SYNC_OUT有三种不同的工作模式：单次采样、周期或伪随机。SYNC_OUT重定时到高速时钟。

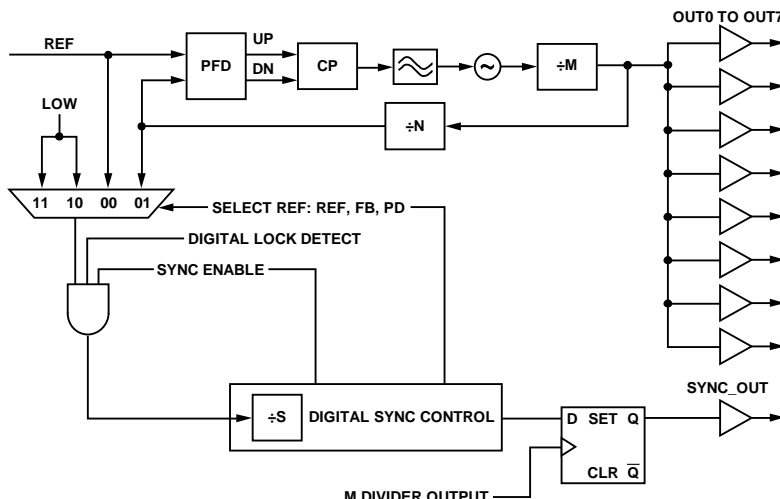


图23. SYNC_OUT功能图

单次采样模式

在单次采样模式下，写入SYNC ENABLE 0x192[4] = 1后出现一个同步脉冲。完成一次寄存器写操作需要一个IO_UPDATE信号。同步脉冲的宽度由S分频器的值决定。分频器值为0x0000时，脉冲宽度等于鉴相器速率的一个半周期。分频器值为0x0001时，脉冲宽度等于鉴相器速率的两个半周期。在单次采样模式下，同步使能位自清零后，同步电路准备接收下一个同步使能脉冲。

周期模式

在周期模式下，脉冲是连续的，直到寄存器写入SYNC ENABLE 0x192[4] = 0，将SYNC ENABLE清零为止。完成一次寄存器写操作需要一个IO_UPDATE信号。同步脉冲的宽度等于鉴相器速率的一个半周期。脉冲重复速率由S分频器的值决定。分频器值为0x0000时，脉冲速率等于鉴相器速率。分频器值为0x0001时，脉冲速率等于鉴相器速率的两个半周期。SYNC_OUT信号利用OUT时钟重新采样，确保时间对准且输出偏斜最小。在周期模式中，SYNC_OUT可能会跳过OUT时钟周期的一个半周期。

伪随机模式

伪随机模式与周期模式相似，区别在于脉冲是连续的PN17序列，直到寄存器写入SYNC ENABLE 0x192[4] = 0，将SYNC ENABLE清零为止。完成一次寄存器写操作需要一个IO_UPDATE信号。同步脉冲的宽度等于鉴相器速率的一个半周期。脉冲重复速率由S分频器的值决定。分频器值为0x0000时，脉冲速率等于鉴相器速率。分频器值为0x0001时，脉冲速率等于鉴相器速率的两个半周期。

SYNC_OUT编程

配置SYNC_OUT的程序取决于需要同步的转换器的要求。ADI公司转换器在SYNC脉冲的上升沿同步。

SYNC_OUT CMOS驱动器

用户也可以将LVPECL SYNC_OUT配置为一对CMOS输出。当该输出被配置为CMOS输出时，CMOS输出A和CMOS输出B自动开启。CMOS输出A或输出B可以分别独立开启或关闭。用户也可以选择CMOS输出的相对极性，设置反相和同相的任意组合(参见寄存器0x0F9)。用户可以根据需要关断各CMOS输出以省电。关断时，CMOS驱动器处于三态。

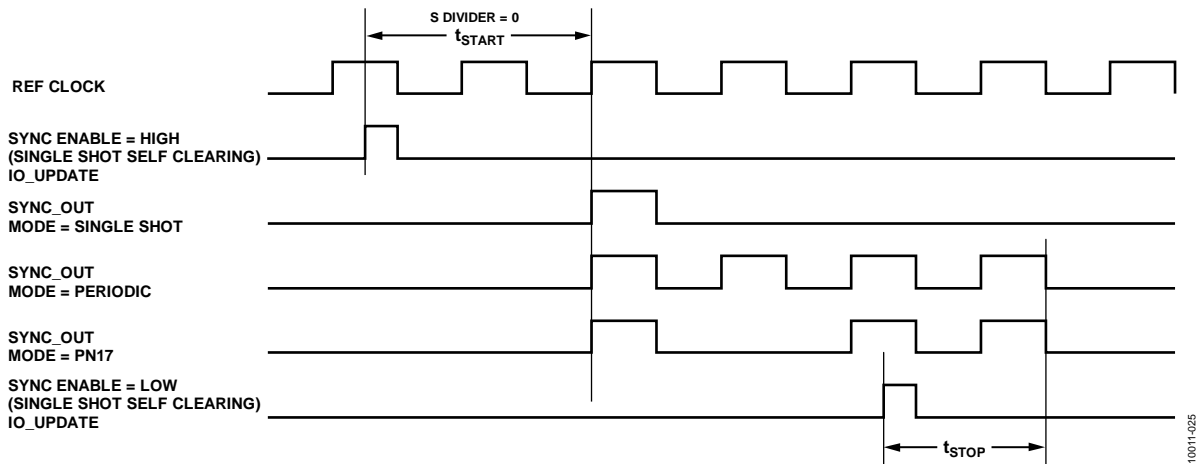


图24. SYNC输出时序

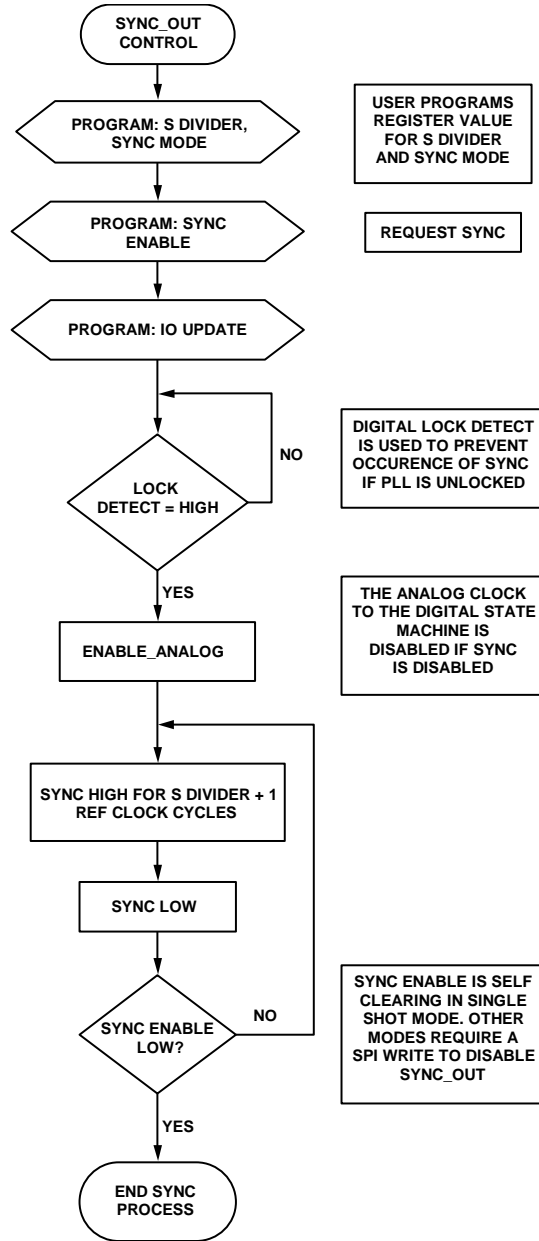


图25. SYNC_OUT流程图

复位模式

AD9525可以通过上电复位(POR)和其它几种方式使芯片复位。

上电复位

芯片上电期间，当VDD达到约2.6 V(<2.8 V)时，会发出一个上电复位脉冲，芯片恢复到默认片内设置。内部产生上电复位脉冲信号后，大约需要70 ms输出才会开始切换。AD9525的默认上电复位状态是配置为缓冲器。

通过RESET引脚进行硬件复位

RESET是硬件复位(短暂拉低RESET即可执行异步硬复位)，用于将芯片恢复为片内默认寄存器设置。发出RESET后，大约需要2 μs输出才会开始切换。

通过串行端口进行软复位

串行端口控制寄存器支持软复位，方法是寄存器0x000的位2和位5置1。当位5和位2置1时，芯片进入软复位模式，恢复到片内设置，寄存器0x000除外。除自清零位、位2和位5以外，寄存器0x000保持其复位前的值。这些位自动清0。然而，自清零操作直到再出现一个串行端口SCLK周期后才完成，在此之前，AD9525保持复位状态。

关断模式

通过 $\overline{\text{PD}}$ 关断芯片

通过拉低 $\overline{\text{PD}}$ 引脚，可以使AD9525进入关断状态，从而关闭AD9525内部的大部分功能和电流。在重新拉高 $\overline{\text{PD}}$ 引脚之前，芯片将一直处于关断状态。离开关断模式后，AD9525返回到关断前其寄存器中的设置，除非在 $\overline{\text{PD}}$ 引脚为低电平期间，寄存器被新设置更改。

关断芯片会关闭芯片上的电流，但保持LVPECL输出处于安全关断模式所需的偏置电流除外。LVPECL偏置电流用于保护LVPECL输出电路免受三态时某些终端和负载配置可能引起的损害。由于这不是完全关断，因此可称之为休眠模式。

当AD9525处于 $\overline{\text{PD}}$ 关断模式时，芯片的状态如下：

- PLL关闭。
- CLKIN输入缓冲器关闭，但CLKIN输入直流偏置电路开启。
- 参考输入缓冲器关闭，但直流偏置电路仍然开启。
- 所有分频器均关闭。
- 所有LVPECL输出处于安全关断模式。
- 串行控制端口有效，芯片可以响应命令。

PLL关断

AD9525的PLL部分可以选择性关断。这种模式下，通过将CLKIN用作时钟输入，AD9525可以用作1到8时钟缓冲器。

分配关断

通过写入寄存器0x230[4] = 1b以关闭分配部分的偏置电流，可以关断分配部分。

各时钟输出独立关断

通过写入相应的寄存器，可以关断任意时钟分配输出，使其进入安全关断模式。寄存器映射详细说明了各路输出的关断设置，参见寄存器0x0F0[0]至寄存器0x0F7[0]。

各时钟通道独立关断

通过写入相应的寄存器，可以关断任意时钟分配通道。关断一个时钟通道与关断一个驱动器相似，但前者更省电，因为有其它电路也被关断。关断时钟通道还会自动关断与之相连的驱动器。寄存器映射详细说明了各输出通道的关断设置，参见寄存器0x0F0[4]、0x0F2[4]、0x0F4[4]和0x0F6[4]。

串行控制端口

AD9525串行控制端口是一种灵活的同步串行通信端口，可以很方便地与多种工业标准微控制器和微处理器接口。该端口兼容大多数同步传输格式，包括Motorola® SPI和Intel® SSR协议。通过此串行控制端口，可以对所有配置AD9525的寄存器进行读/写操作。

引脚描述

SCLK(串行时钟)是串行移位时钟，此引脚为输入。SCLK用来使串行控制端口的读写操作同步。写入数据位记录在该时钟的上升沿，读出数据位记录在下降沿。此引脚由一个30 kΩ电阻内部下拉至地。

SDIO(串行数据输入/输出)是一个两用引脚，既可以仅用作输入(单向模式)，也可以同时用作输入和输出(双向模式)。AD9525默认采用双向I/O模式(寄存器0x000[7] = 0b)。

SDO(串行数据输出)仅用于单向I/O模式(寄存器0x000[7] = 1b)，作为回读数据的独立输出引脚。

$\overline{\text{CS}}$ (片选引脚信号)是低电平有效控制，用来选通读写周期。当 $\overline{\text{CS}}$ 为高电平时，SDO和SDIO处于高阻态。此引脚由一个30 kΩ电阻内部上拉至VS。

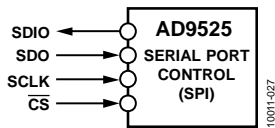


图26. 串行控制端口

串行控制端口通用操作

它支持单字节和多字节传输，以及MSB优先和LSB优先传输格式。AD9525串行控制端口可以针对一个双向I/O引脚(仅SDIO)或两个单向I/O引脚(SDIO/SDO)配置。AD9525默认采用双向模式。它不支持短指令模式(8位指令)，仅支持长指令模式(16位指令)。

要启动对AD9525的写或读操作，须将 $\overline{\text{CS}}$ 拉低。

当传输三个或更少字节的数据(加上指令数据)时(见表24)，支持 $\overline{\text{CS}}$ 空闲高电平模式。在此模式中， $\overline{\text{CS}}$ 引脚可以在任何字节边界上暂时返回高电平，使系统控制器有时间处理下一个字节。 $\overline{\text{CS}}$ 仅可以在字节边界上进入高电平，但它可以在传输的任一阶段(指令或数据)进入高电平。

在此期间，串行控制端口状态机进入等待状态，直到所有数据发送完毕。如果数据尚未发送完毕，而系统控制器决定中止传输，必须完成剩余传输，或者使 $\overline{\text{CS}}$ 返回低电平并至少保持一个完整的SCLK周期(但少于8个SCLK周期)，使状态机复位。在非字节边界上拉高 $\overline{\text{CS}}$ 引脚将终止串行传输并刷新缓冲器。

在流模式(见表25)中，可以连续流形式传输任意数量的数据字节，寄存器地址自动递增或递减(见MSB/LSB优先传输部分)。在传输最后一个字节结束时，必须拉高 $\overline{\text{CS}}$ ，从而结束流模式。

通信周期—指令加数据

AD9525的通信周期可分为两个部分。第一部分是在前16个SCLK上升沿将一个16位指令字写入AD9525。该指令字向AD9525串行控制端口提供有关数据传输(即通信周期的第二部分)的信息，明确即将发生的数据传输是读操作还是写操作，数据传输的字节数，以及数据传输中第一个字节的起始寄存器地址。

写入

如果指令字定义了一个写操作，则第二部分便是将数据传输至AD9525的串行控制端口缓冲器。数据位在SCLK的上升沿记录。

传输长度(1/2/3字节或流模式)由指令字节中的两位([W1:W0])表示。当传输1、2或3字节(但不是流模式)时，在每个8位序列之后可以拉高 $\overline{\text{CS}}$ ，使总线空闲，但最后一个字节之后除外，此时会结束通信周期。当总线空闲时，如果 $\overline{\text{CS}}$ 变为低电平，就会恢复串行传输。在非字节边界上拉高 $\overline{\text{CS}}$ 引脚将复位串行控制端口。在写操作期间，流模式不会跳过保留或空白字节，用户可以向保留寄存器地址写入0x00。

由于数据是写入串行控制端口缓冲区，而不是直接写入AD9525的实际控制寄存器，因此需要额外的操作来将串行控制端口缓冲内容传输到AD9525的实际控制寄存器，从而使其有效。更新寄存器操作(IO_UPDATE)包括设置寄存器0x232[0] = 1b(此位为自清零位)。更新寄存器之前，可以改变任意字节的数据。更新寄存器操作会同时激活上次更新以来所有已写入缓冲器的寄存器变化。

读取

AD9525仅支持长指令模式。如果指令字定义了一个读操作，在接下来的 $N \times 8$ 个SCLK周期，数据从指令字所规定的地址逐个输出，其中 N 为1至3，由[W1:W0]确定。如果 $N=4$ ，读操作将为流模式，持续至 \overline{CS} 变为高电平。流模式不会跳过保留或空白寄存器。回读数据在SCLK的下降沿有效。

AD9525串行控制端口的默认模式是双向模式。在双向模式中，发送数据和回读数据均出现在SDIO引脚上。也可以将AD9525设置为单向模式(寄存器0x000[7] = 1和寄存器0x000[0] = 1)。在单向模式中，回读数据出现在SDO引脚上。

回读请求读取串行控制端口缓冲区或有效寄存器中的数据(见图27)。对缓冲或有效寄存器的回读由寄存器0x004[0]控制。

AD9525使用寄存器地址0x000至0x232。

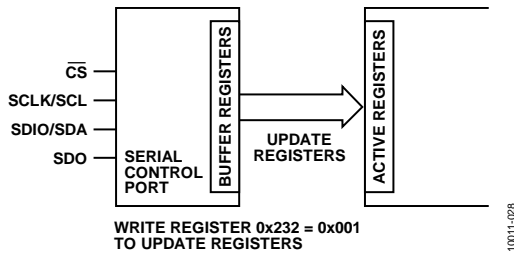


图27. 串行控制端口缓冲寄存器与有效寄存器之间的关系

指令字(16位)

指令字的MSB为 $\overline{R/W}$ ，表示该指令是读操作还是写操作。接下来的两位([W1:W0])表示传输长度，单位为字节。最后13位([A12:A0])是读或写操作的起始地址。

对于写操作，指令字之后是位[W1:W0]所代表的数据字节数(见表24)。

表24. 字节传输计数

W1	W0	传输字节数
0	0	1
0	1	2
1	0	3
1	1	流模式

位[A12:A0]选择通信周期数据传输阶段写入或读取的寄存器地址(寄存器映射范围内)。只需使用位[A9:A0]就能涵盖AD9525所用的全部0x232寄存器。位[A12:A10]必须始终为0b。对于多字节传输，此地址是起始字节地址。在MSB优先模式中，后续字节会递减该地址。

MSB/LSB优先传输

AD9525指令字和字节数据可以是MSB优先或LSB优先。写入寄存器0x000的任何数据都必须进行镜像，高四位(位[7:4])与低四位(位[3:0])构成镜像关系。这使得LSB优先或MSB优先事实上是一样的。这种镜像的一个例子是寄存器0x000的默认设置，它镜像第4位和第3位。这将设置长指令模式，它是默认且唯一支持的模式。

AD9525默认设置为MSB优先。

当寄存器0x000[1]和0x000[6]设置LSB优先时，它会立即生效，因为这只影响串行控制端口的操作，而不需要执行更新。

当MSB优先模式有效时，指令和数据字节必须按照从MSB到LSB的顺序写入。采用MSB优先格式的多字节数据传输由一个包括高数据字节寄存器地址的指令字节开始。后续数据字节必须按照从高地址到低地址的顺序传输。在MSB优先模式下，多字节传输周期每传输一个数据字节，串行控制端口的内部地址产生器便递减1。

当LSB优先模式有效时，指令和数据字节必须按照从LSB到MSB的顺序写入。采用LSB优先格式的多字节数据传输由一个包括低数据字节寄存器地址的指令字节开始，其后是多个数据字节。在多字节传输周期中，每传输一个字节，串行端口的内部字节地址产生器便递增1。

如果MSB优先模式有效(默认)，AD9525串行控制端口的寄存器地址将从刚才向控制寄存器0x000写入多字节I/O操作的寄存器地址开始递减。如果LSB优先模式有效，串行控制端口的寄存器地址将从刚才向控制寄存器0x232写入多字节I/O操作的寄存器地址开始递增。

在流模式中，只要达到寄存器0x232，传输就会终止。请注意，在多字节I/O操作期间，不会跳过不用的地址。

表25. 流模式(不跳过任何地址)

写入模式	地址方向	停止序列
LSB优先	递增	0x230, 0x231, 0x232, 停止
MSB优先	递减	0x001, 0x000, 0x232, 停止

表26. 串行控制端口，16位指令字，MSB优先
MSB

I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1	I0
R/W	W1	W0	A12 = 0	A11 = 0	A10 = 0	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0

LSB

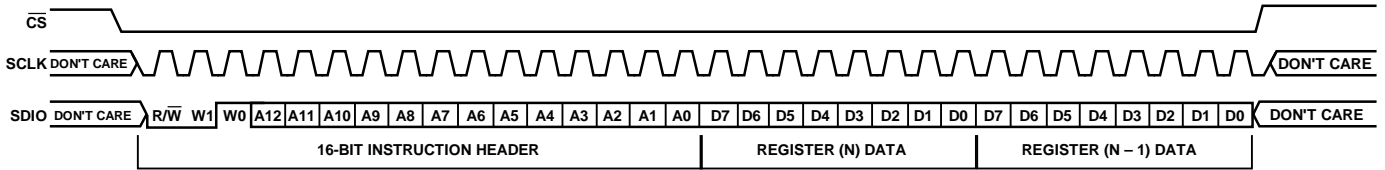


图28. 串行控制端口写入：MSB优先，16位指令，双字节数据

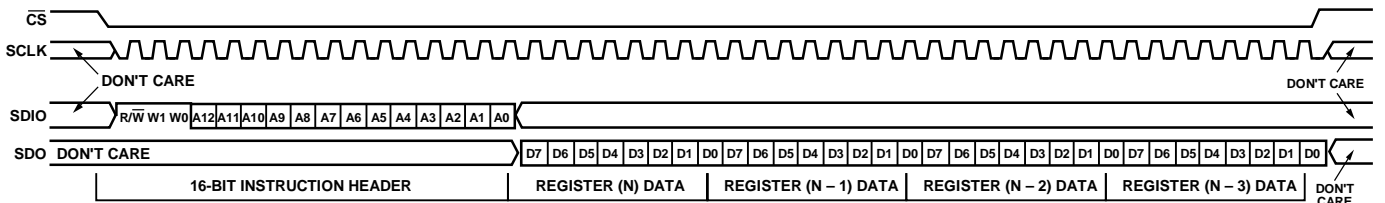


图29. 串行控制端口读取：MSB优先，16位指令，4字节数据

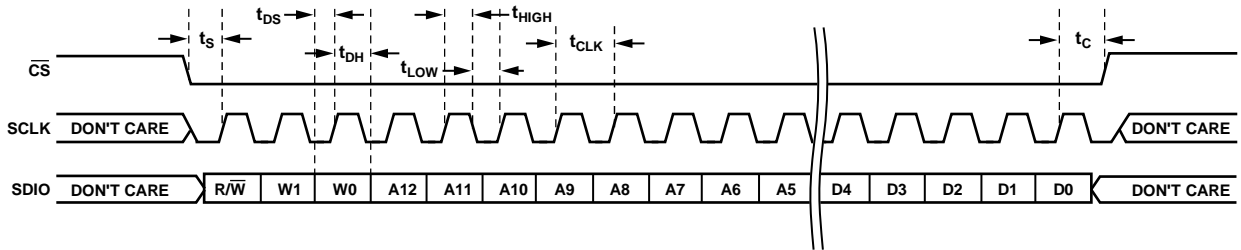


图30. 串行控制端口写入：MSB优先，16位指令，时序测量

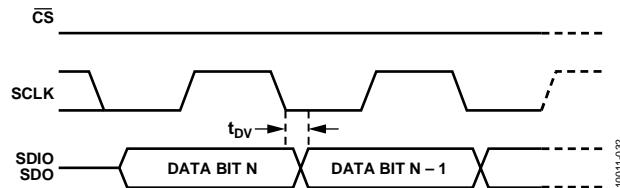


图31. 串行控制端口寄存器读取时序图

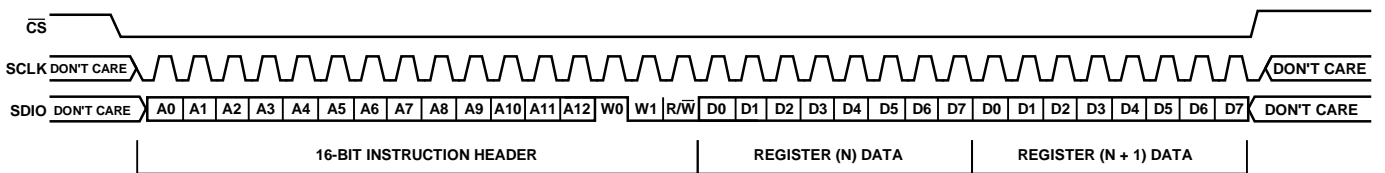


图32. 串行控制端口写入：LSB优先，16位指令，双字节数据

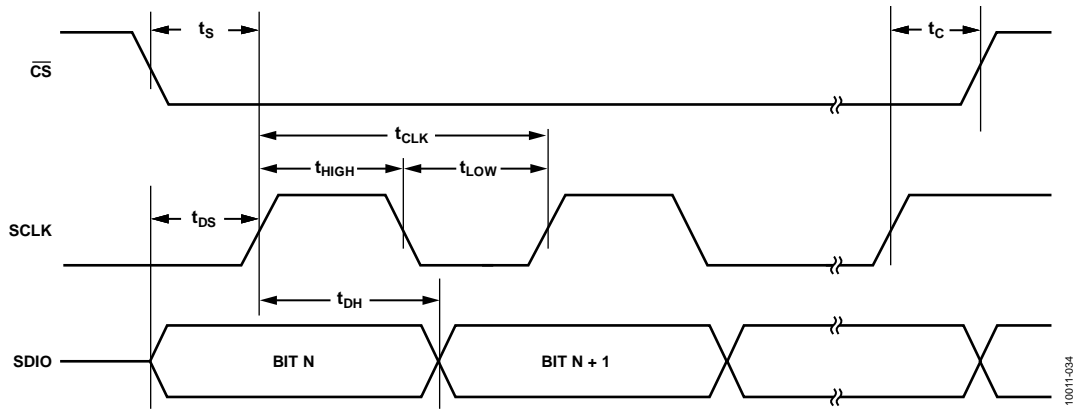


图33. 串行控制端口写操作时序

表27. 串行控制端口时序

参数	描述
t_{DS}	数据与SCLK上升沿之间的建立时间
t_{DH}	数据与SCLK上升沿之间的保持时间
t_{CLK}	时钟周期
t_s	\overline{CS} 下降沿与SCLK上升沿之间的设置时间(通信周期开始)
t_c	SCLK上升沿与 \overline{CS} 上升沿之间的建立时间(通信周期结束)
t_{HIGH}	SCLK应处于逻辑高电平状态的最短时间
t_{LOW}	SCLK应处于逻辑低电平状态的最短时间
t_{DV}	SCLK至有效SDIO和SDO(见图31)

控制寄存器

控制寄存器映射概览

不能用表28中未列出的寄存器地址，写入这些寄存器不起作用。不得改变标示为“保留”的寄存器的值。写入某些位

被标示为“保留”的寄存器时，用户务必将默认值写入保留位。

表28：控制寄存器映射

寄存器地址 (十六进制)	寄存器名称	(MSB) 位7	位6	位5	位4	位3	位2	位1	(LSB) 位0	默认值 (十六进制)
串行端口配置										
0x000	SPI模式串行端口配置	SD0有效	LSB优先/地址递增	软复位	无关	无关	软复位	LSB优先/地址递增	SD0有效	0x00
		无关	无关	软复位	无关	无关	软复位	无关	无关	0x00
0x004	回读控制	无关	无关	无关	无关	无关	无关	无关	回读有效寄存器	0x00
PLL配置										
0x010	PFD电荷泵	PFD极性	电荷泵电流, 位[2:0]			电荷泵模式, 位[1:0]		防反冲脉冲宽度, 位[1:0]		0x7D
0x011	R分频器	REFB分频器输出高电平周期数, 位[3:0]				REFB分频器输出低电平周期数, 位[3:0]				0x00
0x012		REFA分频器输出高电平周期数, 位[3:0]				REFA分频器输出低电平周期数, 位[3:0]				0x00
0x013	B分频器	B分频器输出高电平周期数, 位[3:0]				B分频器输出低电平周期数, 位[3:0]				0x00
0x014	N分频器	无关	无关	B分频器旁路	REFB分频器旁路	REFA分频器旁路	P预分频器, 位[2:0]			0x00
0x015	复位	无关	保留	保留	保留	B分频器复位	REFB分频器复位	REFA分频器复位	复位所有分频器	0x00
0x016	REFC	REFC使能	REFC分频器, 位[6:0]							0x00
0x017	状态引脚	电荷泵引脚至VDD_CP/2	STATUS引脚分频器使能	STATUS输出选择, 位[5:0]						0x00
0x018	REF_MON引脚控制	无关	无关	无关	REF_MON引脚控制, 位[4:0]					0x00
0x019	锁定检测	无关	无关	无关	无关	锁定检测计数器, 位[1:0]		数字锁定检测窗口	数字锁定检测禁用	0x00
0x01A	参考切换和监控器	使能反馈时钟存在监控器	使能REFA存在监控器	使能REFB存在监控器	禁用切换去毛刺	选择REFB (手动寄存器模式)	继续使用REFB	REF_SEL引脚用于参考切换	使能自动参考切换	0x00
0x01B	保留	保留=0	保留=0	保留=0	保留=0	保留=0		保留=0	保留=0	0x00
0x01C	PLL模块关断寄存器	N分频器ECL 2 CMOS关断	N分频器关断	R分频器B ECL 2 CMOS关断	R分频器A ECL 2 CMOS关断	R分频器B关断	R分频器A关断	R通道B关断	R通道A关断	0x22
0x01F	PLL回读	未用	未用	未用	选定参考	状态反馈时钟	REFB状态	REFA状态	数字锁定检测(DLD)	N/A
PECL/CMOS输出										
0x0F0	LVPECL OUT0	无关	无关	无关	关断通道0、通道1	无关	OUT0 PECL输出电平, 位[1:0]		关断PECL驱动器	0x04
0x0F1	LVPECL OUT1	无关	无关	无关	保留	无关	OUT1 PECL输出电平, 位[1:0]		关断PECL驱动器	0x04
0x0F2	LVPECL OUT2	无关	无关	无关	关断通道2、通道3	无关	OUT2 PECL输出电平, 位[1:0]		关断PECL驱动器	0x04
0x0F3	LVPECL OUT3	无关	无关	无关	保留	无关	OUT3 PECL输出电平, 位[1:0]		关断PECL驱动器	0x04

AD9525

寄存器地址(十六进制)	寄存器名称	(MSB)位7	位6	位5	位4	位3	位2	位1	(LSB)位0	默认值(十六进制)
0x0F4	LVPECL OUT4	无关	无关	无关	关断通道4、通道5	无关	OUT4 PECL输出电平, 位[1:0]		关断PECL驱动器	0x04
0x0F5	LVPECL OUT5	无关	无关	无关	保留	无关	OUT5 PECL输出电平, 位[1:0]		关断PECL驱动器	0x04
0x0F6	LVPECL OUT6	无关	无关	无关	关断通道6、通道7	无关	OUT6 PECL输出电平, 位[1:0]		关断PECL驱动器	0x04
0x0F7	LVPECL OUT7	无关	无关	无关	保留	无关	OUT7 PECL输出电平, 位[1:0]		关断PECL驱动器	0x04
0x0F8	同步输出	无关	无关	无关	关断同步通道	无关	SYNC_OUT PECL输出电平, 位[1:0]		关断PECL驱动器	0x10
0x0F9	同步输出, 其它控制	无关	无关	无关	极性CMOS模式	使能CMOS驱动器, 位[1:0]		CMOS模式	同步输出再采样边沿选择	0x00
0x0FA	驱动器保留	无关	无关	无关	无关	无关	无关	无关	无关	0x00
SYNC控制										
0x190	同步时钟S分频器	同步时钟S分频器, 位[7:0]								0x00
0x191	同步时钟S分频器	同步时钟S分频器, 位[15:8]								0x00
0x192	同步时钟控制	无关	无关	无关	同步使能	同步源, 位[1:0]		同步模式, 位[1:0]		0x00
VCO、参考和CLK1输入										
0x1E0	VCO分频器	无关	无关	无关	无关	无关	M分频器, 位[2:0]			0x00
其它										
0x230	关断	无关	无关	无关	分配全关断	CLKIN关断	M分频器关断	分配参考关断	PLL关断	0x00
0x232	IO_UPDATE	无关	无关	无关	无关	无关	无关	无关	IO_UPDATE	0x00

寄存器映射描述

表29至表49详细描述了控制寄存器的各个功能。寄存器按十六进制地址列出。

表29. SPI模式串行端口配置

寄存器地址(十六进制)	位	位的名称	描述
0x000	7	SDO有效	选择单向或双向数据传输模式。 0: SDIO引脚用于读和写；SDO为高阻态(默认)。 1: SDO用于读取；SDIO用于写入；单向模式。
	6	LSB优先/地址递增	SPI MSB或LSB数据方向。 0: 数据以MSB优先方向；递减寻址(默认)。 1: 数据以LSB优先方向；递增寻址。
	5	软复位	软复位。 1(自清零)：软复位；恢复内部寄存器的默认值。
	4	未用	未用。
	[3:0]	镜像[7:4]	位[3:0]应当始终是位[7:4]的镜像，这样器件处于MSB优先模式还是LSB优先模式都无所谓(参见寄存器0x000[6])。按如下方式设置各个位： Bit 0 = Bit 7 Bit 1 = Bit 6 Bit 2 = Bit 5 Bit 3 = Bit 4
0x004	0	回读有效寄存器	选择用于回读的寄存器库。 0: 回读缓冲寄存器(默认)。 1: 回读有效寄存器。

表30. PFD电荷泵

寄存器地址(十六进制)	位	位的名称	描述
0x010	7	PFD极性	设置PFD极性。 0: 正极性(较高的控制电压产生较高的频率，默认值)。 1: 负极性(较高的控制电压产生较低的频率)。
	[6:4]	CP电流	电荷泵电流(CPRSET = 5.1 kΩ)。
			Bit 6 Bit 5 Bit 4 I_{CP} (mA)
			0 0 0 0.6
			0 0 1 1.2
			0 1 0 1.8
			0 1 1 2.4
			1 0 0 3.0
			1 0 1 3.6
	1 1 0 4.2		
1 1 1 4.8(默认值)			
[3:2]	CP模式	电荷泵工作模式。	
		Bit 3 Bit 2 电荷泵模式	
		0 0 高阻态	
		0 1 驱动源电流(增强)	
1 0 驱动吸电流(减弱)			
1 1 正常工作(默认)			
[1:0]	防反冲脉冲宽度	各设置的最大工作频率参见表7。	
		Bit 1 Bit 0 防反冲脉冲宽度模式(ns)	
		0 0 2.9(默认值)	
		0 1 1.3	
		1 0 6.0	
1 1 2.9			

AD9525

表31. REFA、REFB、REFC、B、N和P分频器

寄存器地址(十六进制)	位	位的名称	描述																																			
0x011	[7:4]	REFB分频器输出高电平周期数	分频器高电平周期字。一般设置为所需分频比的一半减1，例如D/2 - 1；因此，如果分频比为8，则设置为0x03 (8/2 - 1)。分频器输入的时钟周期数(减1)，在该期间内分频器输出保持高电平。值0x7表示分频器在8个输入时钟周期内保持低电平(默认：0x0)。																																			
	[3:0]	REFB分频器输出低电平周期数	分频器低电平周期字。一般设置为所需分频比的一半减1，例如D/2 - 1；因此，如果分频比为8，则设置为0x03 (8/2 - 1)。分频器输入的时钟周期数(减1)，在该期间内分频器输出保持高电平。值0x7表示分频器在8个输入时钟周期内保持低电平(默认：0x0)。																																			
0x012	[7:4]	REFA分频器输出高电平周期数	分频器高电平周期字。一般设置为所需分频比的一半减1，例如D/2 - 1；因此，如果分频比为8，则设置为0x03 (8/2 - 1)。分频器输入的时钟周期数(减1)，在该期间内分频器输出保持低电平。值0x7表示分频器在8个输入时钟周期内保持高电平(默认：0x0)。																																			
	[3:0]	REFA分频器输出低电平周期数	分频器低电平周期字。一般设置为所需分频比的一半减1，例如D/2 - 1；因此，如果分频比为8，则设置为0x03 (8/2 - 1)。分频器输入的时钟周期数(减1)，在该期间内分频器输出保持高电平。值0x7表示分频器在8个输入时钟周期内保持低电平(默认：0x0)。																																			
0x013	[7:4]	B分频器输出高电平周期数	分频器高电平周期字。一般设置为所需分频比的一半减1，例如D/2 - 1；因此，如果分频比为8，则设置为0x03 (8/2 - 1)。分频器输入的时钟周期数(减1)，在该期间内分频器输出保持低电平。值0x7表示分频器在8个输入时钟周期内保持高电平(默认：0x0)。																																			
	[3:0]	B分频器输出低电平周期数	分频器低电平周期字。一般设置为所需分频比的一半减1，例如D/2 - 1；因此，如果分频比为8，则设置为0x03 (8/2 - 1)。分频器输入的时钟周期数(减1)，在该期间内分频器输出保持高电平。值0x7表示分频器在8个输入时钟周期内保持低电平(默认：0x0)。																																			
0x014	[7:6]	无关	无关。																																			
		B分频器旁路	旁路并关断B分频器；输入送入分频器输出。 0: 使用分频器(默认)。 1: B分频器设为1分频。																																			
		REFB分频器旁路	旁路并关断分频器；输入送入分频器输出。 0: 使用分频器(默认)。 1: REFB分频器设为1分频。																																			
		REFA分频器旁路	旁路并关断分频器；输入送入分频器输出。 0: 使用分频器(默认)。 1: REFA分频器设为1分频。																																			
	[2:0]	P预分频器	P分频器值(B预分频器)。 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>Bit 2</th> <th>Bit 1</th> <th>Bit 0</th> <th>分频器值</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>1(默认值)</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>2</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>3</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>4</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>5</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>6</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>静态</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>静态</td></tr> </tbody> </table>	Bit 2	Bit 1	Bit 0	分频器值	0	0	0	1(默认值)	0	0	1	2	0	1	0	3	0	1	1	4	1	0	0	5	1	0	1	6	1	1	0	静态	1	1	1
Bit 2	Bit 1	Bit 0	分频器值																																			
0	0	0	1(默认值)																																			
0	0	1	2																																			
0	1	0	3																																			
0	1	1	4																																			
1	0	0	5																																			
1	0	1	6																																			
1	1	0	静态																																			
1	1	1	静态																																			
0x015	7	无关。	无关。																																			
	6	保留	0(默认)。																																			
	5	保留	0(默认)。																																			
	4	保留	0(默认)。																																			
	3	B分频器复位	复位B分频器。 0: 正常工作(默认)。 1: B分频器保持复位状态。																																			

寄存器地址(十六进制)	位	位的名称	描述
	2	REFB分频器复位	复位REFB分频器。 0: 正常(默认)。 1: REFB分频器保持复位状态。
	1	REFA分频器复位	复位REFA分频器。 0: 正常(默认)。 1: REFA分频器保持复位状态。
	0	复位所有分频器	复位REFA、REFB、B分频器(B分频器是N分频器的一部分)。 0: 正常(默认)。 1: REFA、REFB、B分频器保持复位状态。
0x016	7	REFC使能	使能REFC路径。 0: 禁用(默认)。 1: 使能REFC路径。
	[6:0]	REFC分频器	7位REFC分频器。1分频至127分频。 0000000, 0000001: 均为1分频(默认值: 0x00)。

表32. 状态引脚及其它

寄存器地址(十六进制)	位	位的名称	描述																																																																																																																																																								
0x017	7	电荷泵引脚至VDD_CP/2	电荷泵引脚设置为VDD_CP电源电压的一半。 0: 电荷泵正常工作(默认)。 1: 电荷泵引脚设置为VDD_CP/2。																																																																																																																																																								
	6	STATUS引脚分频器使能	使能STATUS引脚分频器。 0: 禁用(默认)。 1: 使能分频器。																																																																																																																																																								
	[5:0]	STATUS输出选择	选择出现在STATUS引脚上的信号。对于任何确定为LVL的模式，寄存器0x017[6]必须设置为0。																																																																																																																																																								
			<table border="1"> <thead> <tr> <th>Bit 5</th> <th>Bit 4</th> <th>Bit 3</th> <th>Bit 2</th> <th>Bit 1</th> <th>Bit 0</th> <th>电平或动态信号</th> <th>STATUS引脚上的信号</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>LVL</td> <td>直流地(默认)。</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>DYN</td> <td>N分频器输出。</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>LVL</td> <td>地(直流)。</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>LVL</td> <td>地(直流)。</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>LVL</td> <td>地(直流)。</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>DYN</td> <td>PFD上升脉冲。</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>DYN</td> <td>PFD下降脉冲。</td> </tr> <tr> <td>0</td> <td>X</td> <td>X</td> <td>X</td> <td>X</td> <td>X</td> <td>LVL</td> <td>地(直流); 针对0XXXXX未规定的所有其它情况。</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>LVL</td> <td>地(直流)。</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>DYN</td> <td>REFA时钟。</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>DYN</td> <td>REFB时钟。</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>DYN</td> <td>PLL的选定参考时钟。</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>DYN</td> <td>PLL的未选定参考时钟。</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>LVL</td> <td>REFA和REFB时钟丢失(高电平有效)。</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>LVL</td> <td>地(直流)。</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>LVL</td> <td>REFA存在(高电平有效)。</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>LVL</td> <td>REFB存在(高电平有效)。</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>LVL</td> <td>(REFA存在) AND (REFB存在)。</td> </tr> </tbody> </table>	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	电平或动态信号	STATUS引脚上的信号	0	0	0	0	0	0	LVL	直流地(默认)。	0	0	0	0	0	1	DYN	N分频器输出。	0	0	0	0	1	0	LVL	地(直流)。	0	0	0	0	1	1	LVL	地(直流)。	0	0	0	1	0	0	LVL	地(直流)。	0	0	0	1	0	1	DYN	PFD上升脉冲。	0	0	0	1	1	0	DYN	PFD下降脉冲。	0	X	X	X	X	X	LVL	地(直流); 针对0XXXXX未规定的所有其它情况。	1	0	0	0	0	0	LVL	地(直流)。	1	0	0	0	0	1	DYN	REFA时钟。	1	0	0	0	1	0	DYN	REFB时钟。	1	0	0	0	1	1	DYN	PLL的选定参考时钟。	1	0	0	1	0	0	DYN	PLL的未选定参考时钟。	1	0	0	1	0	1	LVL	REFA和REFB时钟丢失(高电平有效)。	1	0	0	1	1	0	LVL	地(直流)。	1	0	0	1	1	1	LVL	REFA存在(高电平有效)。	1	0	1	0	0	0	LVL	REFB存在(高电平有效)。	1	0	1	0	0	1	LVL	(REFA存在) AND (REFB存在)。
Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	电平或动态信号	STATUS引脚上的信号																																																																																																																																																				
0	0	0	0	0	0	LVL	直流地(默认)。																																																																																																																																																				
0	0	0	0	0	1	DYN	N分频器输出。																																																																																																																																																				
0	0	0	0	1	0	LVL	地(直流)。																																																																																																																																																				
0	0	0	0	1	1	LVL	地(直流)。																																																																																																																																																				
0	0	0	1	0	0	LVL	地(直流)。																																																																																																																																																				
0	0	0	1	0	1	DYN	PFD上升脉冲。																																																																																																																																																				
0	0	0	1	1	0	DYN	PFD下降脉冲。																																																																																																																																																				
0	X	X	X	X	X	LVL	地(直流); 针对0XXXXX未规定的所有其它情况。																																																																																																																																																				
1	0	0	0	0	0	LVL	地(直流)。																																																																																																																																																				
1	0	0	0	0	1	DYN	REFA时钟。																																																																																																																																																				
1	0	0	0	1	0	DYN	REFB时钟。																																																																																																																																																				
1	0	0	0	1	1	DYN	PLL的选定参考时钟。																																																																																																																																																				
1	0	0	1	0	0	DYN	PLL的未选定参考时钟。																																																																																																																																																				
1	0	0	1	0	1	LVL	REFA和REFB时钟丢失(高电平有效)。																																																																																																																																																				
1	0	0	1	1	0	LVL	地(直流)。																																																																																																																																																				
1	0	0	1	1	1	LVL	REFA存在(高电平有效)。																																																																																																																																																				
1	0	1	0	0	0	LVL	REFB存在(高电平有效)。																																																																																																																																																				
1	0	1	0	0	1	LVL	(REFA存在) AND (REFB存在)。																																																																																																																																																				

AD9525

寄存器地址(十六进制)	位	位的名称	描述						电平或动态信号	STATUS引脚上的信号
			Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0		
			1	0	1	0	1	0	LVL	(DLD) AND (选定的参考存在) AND (反馈时钟存在)。
			1	0	1	0	1	1	LVL	反馈时钟存在(高电平有效)。
			1	0	1	1	0	0	LVL	选定的参考(低电平: REFA; 高电平: REFB)。
			1	0	1	1	0	1	LVL	DLD; 高电平有效。
			1	0	1	1	1	0	LVL	不适用。
			1	0	1	1	1	1	LVL	地(直流)。
			1	1	0	0	0	0	LVL	VDD3(PLL电源)。
			1	1	0	0	0	1	DYN	REFA 时钟。
			1	1	0	0	1	0	DYN	REFB 时钟。
			1	1	0	0	1	1	DYN	Selected reference to PLL.
			1	1	0	1	0	0	DYN	Unselected reference to PLL.
			1	1	0	1	0	1	LVL	选定参考的状态(差分参考的状态); 低电平有效。
			1	1	0	1	1	0	LVL	两个参考时钟均丢失(低电平有效)。
			1	1	0	1	1	1	LVL	REFA存在(低电平有效)。
			1	1	1	0	0	0	LVL	REFB存在(低电平有效)。
			1	1	1	0	0	1	LVL	(REFA present) AND (REFB present)
			1	1	1	0	1	0	LVL	(DLD) AND (选定的参考存在) AND (反馈时钟存在); (低电平有效)。
			1	1	1	0	1	1	LVL	Feedback clock present
			1	1	1	1	0	0	LVL	选定的参考(低电平: REFA; 高电平: REFB); 低电平有效。
			1	1	1	1	0	1	LVL	DLD(低电平有效)。
			1	1	1	1	1	0	LVL	不适用。
			1	1	1	1	1	1	LVL	VDD3(PLL电源)。

表33. REF_MON引脚控制

寄存器地址(十六进制)	位	位的名称	描述						
0x018	[7:5]	无关	无关						
	[4:0]	REF_MON 引脚控制	选择连接到REF_MON引脚的信号。						
			Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	电平或动态信号	REF_MON引脚的信号
			0	0	0	0	0	LVL	地(直流)。
			0	0	0	0	1	DYN	REF A时钟。
			0	0	0	1	0	DYN	REF B时钟。
			0	0	0	1	1	DYN	PLL的选定参考时钟。
			0	0	1	0	0	DYN	PLL的未选定参考时钟。
			0	0	1	0	1	LVL	两个参考时钟均丢失(高电平有效)。
			0	0	1	1	0	LVL	地(直流)。
			0	0	1	1	1	LVL	REF A频率的状态(高电平有效)。
			0	1	0	0	0	LVL	REF B频率的状态(高电平有效)。
			0	1	0	0	1	LVL	(REF A频率的状态) AND (REF B频率的状态)。
			0	1	0	1	0	LVL	(DLD) AND(选定参考的状态)AND(反馈时钟的状态)。
			0	1	0	1	1	LVL	反馈时钟的状态(高电平有效)。
			0	1	1	0	0	LVL	选定的参考(低电平: REFA; 高电平: REFB)。
			0	1	1	0	1	LVL	DLD; 高电平有效。
			0	1	1	1	0	LVL	不适用。
			0	1	1	1	1	LVL	地(直流)。
			1	0	0	0	0	LVL	VDD3(PLL电源)。
			1	0	0	0	1	DYN	REF A。
			1	0	0	1	0	DYN	REF B。
			1	0	0	1	1	DYN	Selected reference to PLL.
			1	0	1	0	0	DYN	Unselected reference to PLL.
			1	0	1	0	1	LVL	选定参考的状态(差分参考的状态); 低电平有效。
			1	0	1	1	0	LVL	未选定参考的状态(差分模式下不可用); 低电平有效。
			1	0	1	1	1	LVL	REF A频率的状态(低电平有效)。
			1	1	0	0	0	LVL	REF B频率的状态(低电平有效)。
			1	1	0	0	1	LVL	(Status of REFA frequency) AND (status of REFB frequency).
			1	1	0	1	0	LVL	(DLD) AND (status of selected reference) AND (status of feedback clock).
			1	1	0	1	1	LVL	反馈时钟的状态(低电平有效)。
			1	1	1	0	0	LVL	选定的参考(低电平: REFA; 高电平: REFB); 低电平有效。
			1	1	1	0	1	LVL	DLD(低电平有效)。
			1	1	1	1	0	LVL	不适用。
			1	1	1	1	1	LVL	VDD3(PLL电源)。

表34. 锁定检测

寄存器地址(十六进制)	位	位的名称	描述
0x019	[7:4]	无关	无关。
	[3:2]	锁定检测计数器	边沿在锁定检测窗口内的连续PFD周期数，只有经过该数量的PFD周期后，DLD才会指示锁定。
			Bit 3 Bit 2 确定锁定的PFD周期数
			0 0 5(默认值)
			0 1 16
1 0 64			
1 1 255			
1	数字锁定检测窗口	如果PFD输入端的上升沿时间差小于锁定检测窗口时间，则数字锁定检测标志置1。该标志将保持置1状态，直到时间差大于失锁阈值。 0: 高范围(默认值)。 1: 低范围。	
0	数字锁定检测禁用	数字锁定检测操作。 0: 锁定检测正常工作(默认)。 1: 禁用锁定检测。	

表35. 参考切换与监控器

寄存器地址(十六进制)	位	位的名称	描述
0x01A	7	使能反馈时钟存在监控器	使能反馈时钟监控器。反馈时钟存在与否通过PLL的选定参考来检查。如果PLL无参考，则此监控器无有效输出。 0: 禁用监控器(默认)。 1: 使能监控器。
	6	使能REFA存在监控器	使能参考A时钟监控器。REFA时钟存在与否通过PLL的反馈时钟来检查。如果PLL无反馈时钟，则此监控器无有效输出。 要使监控器工作，寄存器0x01C[5]应设为0(开启)。 0: 禁用监控器(默认)。 1: 使能监控器。
	5	使能REFB存在监控器	使能参考B时钟监控器。REFB时钟存在与否通过PLL的反馈时钟来检查。如果PLL无反馈时钟，则此监控器无有效输出。 要使监控器工作，寄存器0x01C[5]应设为0(开启)。 0: 禁用监控器(默认)。 1: 使能监控器。
	4	禁用切换去毛刺	禁用或使能切换去毛刺电路。 0: 使能切换去毛刺电路(默认)。 1: 禁用切换去毛刺电路。
	3	选择REFB (手动寄存器模式)	如果寄存器0x01A[1] = 0，则选择PLL的参考。 0: 选择REFA。 1: 选择REFB。
	2	继续使用REFB	切换后继续使用REFB。 0: REFA状态恢复正常后，返回到REFA。 1: 切换后继续使用REFB。不会自动返回到REFA。
	1	REF_SEL引脚用于参考切换	如果寄存器0x01A[0] = 0(手动)，则设置PLL参考选择的方法。 0: 使用寄存器0x01A[3](默认)。 1: 使用REF_SEL引脚。
	0	使能自动参考切换	自动或手动参考切换。 0: 手动参考切换。 1: 自动参考切换。

表36. 保留

寄存器地址(十六进制)	位	位的名称	描述
0x01B	[7:0]	保留	保留。 0: 默认。所有位都应清0。

表37. PLL模块关断

寄存器地址(十六进制)	位	名称	描述
0x01C	7	N分频器ECL 2 CMOS关断	关闭N分频器的输出时钟。这将停止PFD和频率监控器的时钟。 0: 时钟开启(默认)。 1: 时钟关闭。
	6	N分频器关断	N分频器关断。 0: N分频器开启(默认)。 1: N分频器关闭。
	5	REFB分频器ECL 2 CMOS关断	这将停止REFB频率监控器的时钟。如果此位禁用, 自动参考切换无法工作。某些配置中, 使能REFB分频器ECL 2 CMOS可能会提高时钟输出的参考杂散。 0: 开启。 1: 关闭(默认)。
	4	REFA分频器ECL 2 CMOS关断	这将停止REFA频率监控器的时钟。如果此位禁用, 自动参考切换无法工作。某些配置中, 使能REFA分频器ECL 2 CMOS可能会提高时钟输出的参考杂散。 0: 开启(默认)。 1: 关闭。
	3	REFB分频器关断	关断REFB分频器。REFB输入接收器仍然通电。 0: REFB分频器开启(默认)。 1: REFB分频器关闭。
	2	REFA分频器关断	关断REFA分频器。REFA输入接收器仍然通电。 0: REFA分频器开启(默认)。 1: REFA分频器关闭。
	1	REFB通道关断	关断REFB通道。REFB输入接收器关断。 0: REFB通道开启。 1: REFB通道关闭(默认值)。
	0	REFA通道关断	关断REFA通道。REFA输入接收器关断。 0: REFA通道开启(默认)。 1: REFA通道关闭。

AD9525

表38. PLL反馈

寄存器地址(十六进制)	位	位的名称	描述
0x01F	[7:5]	未用	未用
	4	选定参考	显示PLL使用的参考 0: REFA 1: REFB
	3	反馈时钟的状态	反馈时钟的状态, 产生有效输出的条件是0x01A[7] = 1。 0: 丢失 1: 存在
	2	REFB状态	参考B时钟的状态, 产生有效输出的条件是0x01A[5] = 1且0x01C[5] = 0。 0: 丢失 1: 存在
	1	REFA状态	参考A时钟的状态, 产生有效输出的条件是0x01A[6] = 1且0x01C[4] = 0。 0: 丢失 1: 存在
	0	数字锁定检测(DLD)	数字锁定检测 0: PLL未锁定 1: PLL锁定

表39. LVPECL驱动器OUT0

寄存器地址(十六进制)	位	位的名称	描述															
0x0F0	[7:5]	无关	无关															
	4	关断通道0和通道1	关断通道0和通道1 0: 使能(默认) 1: 关断															
	3	无关	无关															
	[2:1]	OUT0电平	<table border="1"> <thead> <tr> <th>Bit 1</th> <th>Bit 0</th> <th>V_{OD} (mV)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>400</td> </tr> <tr> <td>0</td> <td>1</td> <td>600</td> </tr> <tr> <td>1</td> <td>0</td> <td>780(默认值)</td> </tr> <tr> <td>1</td> <td>1</td> <td>960</td> </tr> </tbody> </table>	Bit 1	Bit 0	V _{OD} (mV)	0	0	400	0	1	600	1	0	780(默认值)	1	1	960
	Bit 1	Bit 0	V _{OD} (mV)															
0	0	400																
0	1	600																
1	0	780(默认值)																
1	1	960																
0	OUT0驱动器关断	0: 使能(默认) 1: 关断																

表40. LVPECL驱动器OUT1

寄存器地址(十六进制)	位	位的名称	描述															
0x0F1	[7:5]	无关	无关															
	4	保留	保留															
	3	无关	无关															
	[2:1]	OUT1电平	<table border="1"> <thead> <tr> <th>Bit 1</th> <th>Bit 0</th> <th>V_{OD} (mV)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>400</td> </tr> <tr> <td>0</td> <td>1</td> <td>600</td> </tr> <tr> <td>1</td> <td>0</td> <td>780(默认值)</td> </tr> <tr> <td>1</td> <td>1</td> <td>960</td> </tr> </tbody> </table>	Bit 1	Bit 0	V _{OD} (mV)	0	0	400	0	1	600	1	0	780(默认值)	1	1	960
	Bit 1	Bit 0	V _{OD} (mV)															
0	0	400																
0	1	600																
1	0	780(默认值)																
1	1	960																
0	OUT1驱动器关断	0: 使能(默认) 1: 关断																

表41. LVPECL驱动器OUT2

寄存器地址(十六进制)	位	位的名称	描述		
0x0F2	[7:5]	无关	无关		
	4	关断通道2和通道3	关断通道2和通道3 0: 使能(默认) 1: 关断		
	3	无关	无关		
	[2:1]	OUT2电平	Bit 1	Bit 0	V_{OD} (mV)
			0	0	400
0			1	600	
1			0	780(默认值)	
1	1	960			
0	OUT2驱动器关断	0: 使能(默认) 1: 关断			

表42. LVPECL驱动器OUT3

寄存器地址(十六进制)	位	位的名称	描述		
0x0F3	[7:5]	无关	无关		
	4	保留	保留, 写入0		
	3	无关	无关		
	[2:1]	OUT3电平	Bit 1	Bit 0	V_{OD} (mV)
			0	0	400
0			1	600	
1			0	780(默认值)	
1	1	960			
0	OUT3驱动器关断	0: 使能(默认) 1: 关断			

表43. PECL驱动器OUT4

寄存器地址(十六进制)	位	位的名称	描述		
0x0F4	[7:5]	无关	无关		
	4	关断通道4和通道5	关断通道4和通道5 0: 使能(默认) 1: 关断		
	3	无关	无关		
	[2:1]	OUT4电平	Bit 1	Bit 0	V_{OD} (mV)
			0	0	400
0			1	600	
1			0	780(默认值)	
1	1	960			
0	OUT4驱动器关断	0: 使能(默认) 1: 关断			

AD9525

表44. LVPECL驱动器OUT5

寄存器地址(十六进制)	位	位的名称	描述		
0x0F5	[7:5]	无关	无关		
	4	保留	保留, 写入0		
	3	无关	无关		
	[2:1]	OUT5电平	Bit 1	Bit 0	
			0	0	V _{OD} (mV)
			0	1	400
1			0	600	
1	0	780(默认值)			
1	1	960			
0	OUT5驱动器 关断	0: 使能(默认) 1: 关断			

表45. LVPECL驱动器OUT6

寄存器地址(十六进制)	位	位的名称	描述		
0x0F6	[7:5]	无关	无关		
	4	关断通道6和 通道7	关断通道6和通道7 0: 使能(默认) 1: 关断		
	3	无关	无关		
	[2:1]	OUT6	Bit 1	Bit 0	
			0	0	V _{OD} (mV)
			0	1	400
1			0	600	
1	0	780(默认值)			
1	1	960			
0	OUT6驱动器 关断	0: 使能(默认) 1: 关断			

表46. LVPECL驱动器OUT7

寄存器地址(十六进制)	位	位的名称	描述		
0x0F7	[7:5]	无关	无关		
	4	保留	保留, 写入0		
	3	无关	无关		
	[2:1]	OUT7电平	Bit 1	Bit 0	
			0	0	V _{OD} (mV)
			0	1	400
1			0	600	
1	0	780(默认值)			
1	1	960			
0	OUT7驱动器 关断	0: 使能(默认) 1: 关断			

表47. SYNC_OUT控制

寄存器地址(十六进制)	位	位的名称	描述		
0x0F8	[7:5]	无关	无关		
	4	SYNC_OUT通道关断	关断SYNC_OUT通道。 0: 使能。 1: 关断(默认)。		
	3	同步极性	极性LVPECL模式。 0: 同相(默认)。 1: 反相。		
	[2:1]	SYNC_OUT电平	Bit 1	Bit 0	V_{OD} (mV)
				0 0 400(默认值)	
				0 1 600	
				1 0 780	
				1 1 960	
	0	SYNC_OUT驱动器关断	0: 使能(默认)。 1: 关断LVPECL SYNC_OUT驱动器。		
0x0F9	[7:5]	无关	无关		
	4	极性CMOS模式	极性CMOS模式。当驱动器为CMOS模式(寄存器0x0F9[1] = 1)时, 此位也与寄存器0x0F8[3]一起使用。		
			寄存器0x0F9[4]	寄存器0x0F8[3]	SYNC OUT/SYNC OUTB
			0	0	同相/同相
			0	1	反相/反相
	1	0	同相/反相		
1	1	反相/同相			
[3:2]	使能CMOS驱动器	当寄存器0x0F9[1] = 1时, 设置CMOS驱动器的输出配置。			
		Bit 3	Bit 2	SYNC_OUT	SYNC_OUT
		0	0	三态	三态
		0	1	开启	三态
1	0	三态	开启		
1	1	开启	开启		
	1	CMOS模式	SYNC_OUT使用CMOS模式, 而非LVPECL模式。 0: LVPECL模式(默认)。 1: CMOS模式。		
	0	同步输出再采样边沿选择	SYNC_OUT使用CMOS模式, 而非LVPECL模式。 0: LVPECL模式(默认)。 1: CMOS模式。		
0x190	[7:0]	同步时钟S分频器	SYNC_OUT再采样边沿选择。选择用于再采样同步时钟的M分频器输出边沿。 0: 使用M时钟的上升沿(默认)。 1: 使用M时钟的下降沿。		
0x191	[7:0]	同步时钟S分频器	16位同步S分频器, 位[7:0] (LSB)。 参考时钟周期数 = S分频器位[15:0] + 1。例如, [15:0] = 0表示1个参考时钟周期, [15:0] = 1表示2个参考时钟周期, ... [15:0] = 65535表示65536个参考时钟周期。		
0x192	[7:5]	无关	无关		
	4	同步使能	16位同步S分频器, 位[15:8] (MSB)。		
	[3:2]	同步源	Bit 1	Bit 0	选择SYNC时钟的参考
0			0	REF: 参考输入(默认)	
0			1	FB: PLL反馈N分频器	
1			0	关断: 关断SYNC	
1	1	关断: 关断SYNC			
	[1:0]	同步模式	Bit 1	Bit 0	同步模式
			0	0	单次采样(默认)
			0	1	周期
			1	0	伪随机
			1	1	伪随机

AD9525

表48. VCO、参考和CLK输入

器地址 (十六 进制)	位	位的名称	描述			
0x1E0	[7:3]	无关	无关			
	[2:0]	M分频器	M分频器值。			
			Bit 2	Bit 1	Bit 0	分频器值
			0	0	0	1
			0	0	1	2
			0	1	0	3
			0	1	1	4
			1	0	0	5
1			0	1	6	
1	1	0	7			
1	1	1	8			

表49. 其它

器地址 (十六 进制)	位	名称	描述
0x230	[7:5]	无关	无关
	4	分配全关断	关断所有分配。所有驱动器均置于安全关断模式。 0(默认): 使能。 1: 关断。
	3	CLKIN关断	关断CLKIN、 $\overline{\text{CLKIN}}$ 。 0(默认): 使能。 1: 关断。
	2	M分频器关断	关断M分频器。 0(默认): 使能。 1: 关断。
	1	分配参考关断	关断分配参考。此位只应在驱动器不需要安全关断模式时置位。 0(默认): 使能。 1: 关断。
	0	PLL关断	关断PLL。 0(默认): 使能。 1: 关断。
232	[7:1]	无关	无关
	0	IO_UPDATE	此位必须置1b, 才能将缓冲寄存器的内容传输到有效寄存器。 这发生在下一个SCLK上升沿。此位为自清零位, 即不需要设置就能恢复为0。 1(自清零): 将所有的有效寄存器更新为缓冲寄存器的内容。

应用信息

使用AD9525进行频率规划

AD9525是一款高度灵活的PLL。选择AD9525的PLL设置和版本时，应当注意以下几点。

AD9525有三个分频器：参考(或R)分频器、反馈(或N)分频器和M分频器。当试图实现一个特别困难、需要大量分频的分频比时，某些分频可以通过M分频器或N分频器执行，从而允许较高的鉴相器频率，并且为环路带宽的选择提供更大的灵活性。

关于电荷泵电流，设计人员应选择位于容许范围中间的标称电荷泵电流作为起点，以便提高或降低电荷泵电流，从而沿任一方向精调PLL环路带宽。

ADIsimCLK是一款功能强大的PLL建模工具，可以从www.analog.com下载，它能精确地确定给定应用的最佳环路滤波器。

在ADC时钟应用中使用AD9525输出

高速ADC对AD9525采样时钟的质量极为敏感。ADC可以看作一个采样混频器，时钟上的任何噪声、失真或时间抖动都会与模数转换输出端的目标信号合并。时钟完整性要求随着模拟输入频率和分辨率的提高而提高，要求最苛刻的是14位分辨率以上的高模拟输入频率应用。ADC的理论信噪比(SNR)受ADC分辨率和采样时钟抖动限制。考虑一个无限分辨率的理想ADC，步进大小和量化误差可忽略不计，则可用SNR可以近似表示为：

$$\text{SNR(dB)} = 20 \log \left(\frac{1}{2\pi f_A t_j} \right)$$

其中：

f_A 为需要被数字化的最高模拟频率。

t_j 为采样时钟的均方根抖动。

图34显示出采样时钟抖动与模拟频率和有效位数(ENOB)的函数关系。

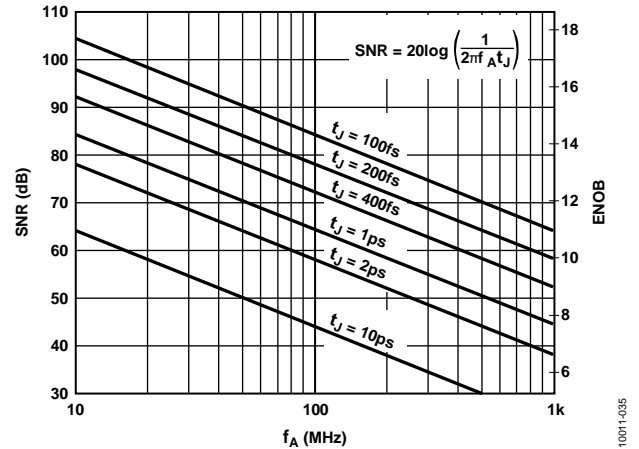


图34. SNR和ENOB与模拟输入频率的关系

如需了解更多信息，请参阅应用笔记AN-756：“采样系统与时钟相位噪声和抖动的关系”和应用笔记AN-501：“孔径不确定性与ADC系统性能”(www.analog.com)。

许多高性能ADC均提供差分时钟输入功能，以简化在嘈杂的PCB上提供所需低抖动时钟的任务。对嘈杂的PCB的单端时钟进行分配可导致在采样时钟信号中产生耦合噪声。差分分配具有共模抑制特性，可在嘈杂的环境下提供优越的时钟性能。利用AD9525差分LVPECL输出提供的时钟，可以最大程度地提高转换器的信噪比性能。

在选择最佳时钟/转换器解决方案时，要考虑ADC的输入需求(差分或单端、逻辑电平终端)。

LVPECL时钟分配

LVPECL输出(射极开路)要求直流端接以偏置输出晶体管。图22显示了LVPECL输出级的简化等效电路。

在多数应用中,建议使用LVPECL远端戴维宁端接(见图35)或Y型端接(见图36)。无论何种情况,接收缓冲器的 V_S 应匹配 V_{S_DRV} ($V_{S_DRV} = V_{DD3}$)。如果不匹配,建议使用交流耦合(见图37)。

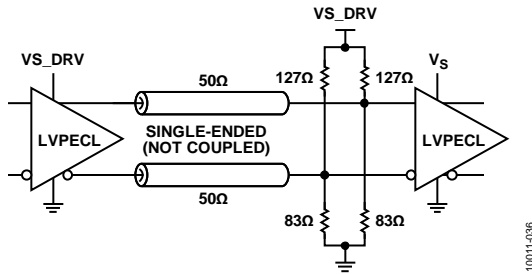


图35. 直流耦合的3.3 V LVPECL远端戴维宁端接

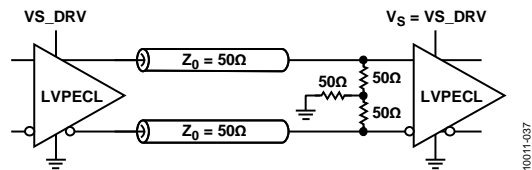


图36. 直流耦合的3.3 V LVPECL Y型端接

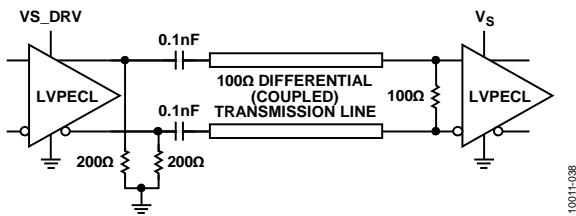


图37. 交流耦合LVPECL和并行传输线

LVPECL Y型端接是一种有效的端接方案,使用的元件最少,并且同时提供奇数模式和偶数模式的阻抗匹配。在高频时,对于紧密耦合的传输线路,偶数模式阻抗匹配是一个重要的考虑。它的一个主要缺点是不能灵活地改变射极跟随器LVPECL驱动器的驱动强度。当驱动长走线时,这可能是一个重要考虑,但通常不是问题。

戴维宁等效端接使用电阻网络提供50 Ω端接,连接到低于LVPECL驱动器 V_{OL} 的直流电压。这种情况下,AD9525的 V_{S_DRV} 应等于接收缓冲器的 V_S 。虽然所示的电阻组合产生 $V_{S_DRV} - 2V$ 的直流偏置点,但实际共模电压为 $V_{S_DRV} - 1.3V$,因为有额外电流从AD9525 LVPECL驱动器流经下拉电阻。

SYNC_OUT分配

AD9525的SYNC_OUT驱动器也能够配置为CMOS驱动器。用作CMOS驱动器时,各路输出变为一对CMOS输出,各CMOS输出可以独立开启或关闭,以及设置为反相或同相。务必注意使用CMOS模式与使用LVPECL模式的偏斜差。

采用单端CMOS时钟时,适用以下准则:

如果可能的话,应设计点对点连接,使得每个驱动器仅与一个接收器对应。以这种方式连接输出引脚可以简化终端方案并降低因输出走线的阻抗不匹配而导致的响铃振荡。通常需要源端的串联端接电阻提供传输线匹配和/或降低驱动器的瞬态电流。

电阻值由电路板设计及时序要求决定;典型值为10Ω至100Ω。另外,CMOS输出还会受能驱动的容性负载或走线长度的限制。通常,建议将走线长度控制在3英寸以内,以保持信号上升/下降时间和信号完整性。

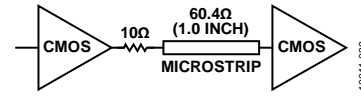


图38. CMOS输出的串行端接

PCB走线远端的终端是第二选项。AD9525的SYNC_OUT CMOS输出无法提供足够的电流,来为低阻抗远端终端提供全电压摆幅(见图39)。远端终端网络应与PCB走线的阻抗相匹配并提供所需开关点。信号摆幅降低后仍可以满足某些应用对接收器输入的需求。在不太重要的网络中驱动长走线时,这一点非常有用。

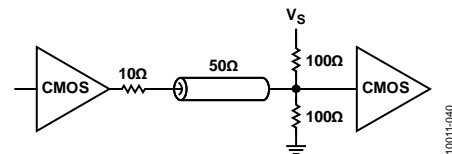
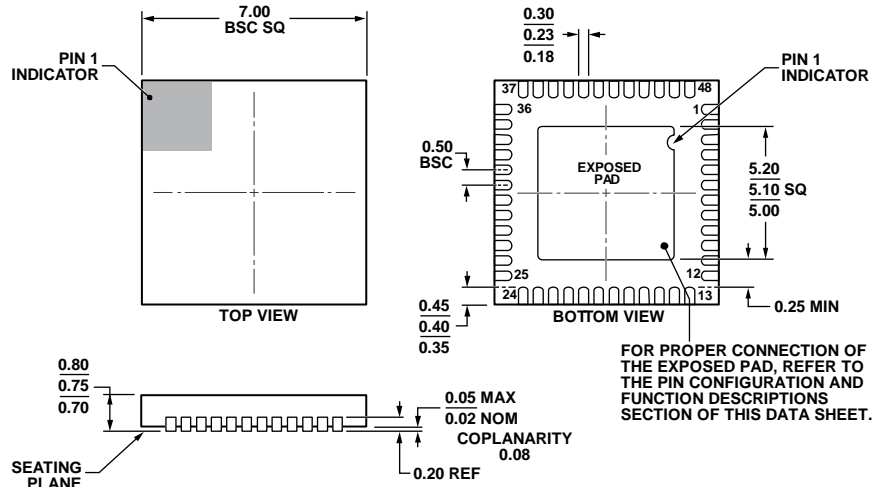


图39. 远端终端CMOS输出

由于单端CMOS时钟的限制,在长走线上驱动高速信号时,需考虑使用差分输出。AD9525能提供SYNC_OUT LVPECL输出,因此,当差分信号的固有抗扰度能够提供出色的时钟转换性能时,该器件能较好地驱动长走线。

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-WKGD.

图40. 48引脚引脚架构芯片级封装 [LFCSP_WQ]
 7 mm x 7 mm 超薄体
 CP-48-4
 尺寸单位: mm

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD9525BCPZ	-40°C至+85°C	48引脚引脚架构芯片级封装(LFCSP_WQ)	CP-48-4
AD9525BCPZ-REEL7	-40°C至+85°C	48引脚引脚架构芯片级封装(LFCSP_WQ)	CP-48-4
AD9525/PCBZ		评估板, 无VCO	
AD9525/PCBZ-VCO		评估板, 装有2950 MHz VCO	

¹ Z = 符合RoHS标准的器件。

AD9525

注释