

数字规格

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、ADC内部1.0 V基准电压、整个温度范围。

表3

参数 ¹	温度	最小值	典型值	最大值	单位
时钟输入(CLK+、CLK-)					
逻辑兼容			LVDS/PECL		
内部共模偏置	全		1.2		V
差分输入电压 ²	全	0.2		6	V p-p
输入电压范围	全	AVDD - 0.3		AVDD + 1.6	V
高电平输入电压	全	1.2		3.6	V
低电平输入电压	全	0		0.8	V
高电平输入电流	全	-10		+10	μA
低电平输入电流	全	-10		+10	μA
输入电阻(差分)	25°C		20		kΩ
输入电容	25°C		4		pF
逻辑输入					
CSB					
高电平输入电压	全	1.2		DRVDD + 0.3	V
低电平输入电压	全	0		0.8	V
高电平输入电流	全	-5	-0.4	+5	μA
低电平输入电流	全	-80	-63	-50	μA
输入电阻	25°C		30		kΩ
输入电容	25°C		2		pF
SCLK、SDIO/PWDN、 \overline{OE}					
高电平输入电压	全	1.2		DRVDD + 0.3	V
低电平输入电压	全	0		0.8	V
高电平输入电流	全	50	57	70	μA
低电平输入电流	全	-5	-0.4	+5	μA
输入电阻	25°C		30		kΩ
输入电容	25°C		2		pF
数字输出(D7+、D7-至D0+、D0-)、LVDS					
DRVDD = 1.8 V					
差分输出电压(V_{OD})	全	290	345	400	mV
输出失调电压(V_{OS})	全	1.15	1.25	1.35	V
输出编码(默认)			偏移二进制		

¹如需了解完整的定义以及关于这些测试如何完成的详细说明，请参阅应用笔记AN-835：“了解高速ADC测试和评估”。

²仅针对LVDS和LVPECL。

AD9284

开关规格

除非另有说明, AVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、-1.0 dBFS 差分输入、1.0 V 内部基准电压。

表4

参数	温度	最小值	典型值	最大值	单位
时钟输入参数					
输入时钟速率	全	30		250	MHz
时钟周期(t_{CLK})	全	7.4			ns
时钟脉宽高电平(t_{CH})	全		3.7		ns
数据输出参数					
数据传播延迟(t_{PD})					ns
DCO传播延迟(t_{DCO})	全		3.7		ns
DCO至数据偏斜(t_{SKEW})	全	-280	-60	+100	ps
流水线延迟	全		10.5		Cycles
孔径延迟(t_A)	全		1.0		ns
孔径不确定(抖动, t_j)	全		0.1		ps rms
唤醒时间 ¹	全		500		μ s
超范围恢复时间	全		2		周期

¹唤醒时间取决于去耦电容的值。

SPI时序规格

表5

参数	描述	最小值	典型值	最大值	单位
SPI 时序要求					
t_{DS}	数据与SCLK上升沿之间的建立时间	2			ns
t_{DH}	数据与SCLK上升沿之间的保持时间	2			ns
t_{CLK}	SCLK周期	40			ns
t_s	CSB与SCLK之间的建立时间	2			ns
t_h	CSB与SCLK之间的保持时间	2			ns
t_{HIGH}	SCLK高电平脉冲宽度	10			ns
t_{LOW}	SCLK低电平脉冲宽度	10			ns
t_{EN_SDIO}	相对于SCLK下降沿, SDIO引脚从输入状态切换到输出状态所需的时间	10			ns
t_{DIS_SDIO}	相对于SCLK上升沿, SDIO引脚从输出状态切换到输入状态所需的时间	10			ns

时序图

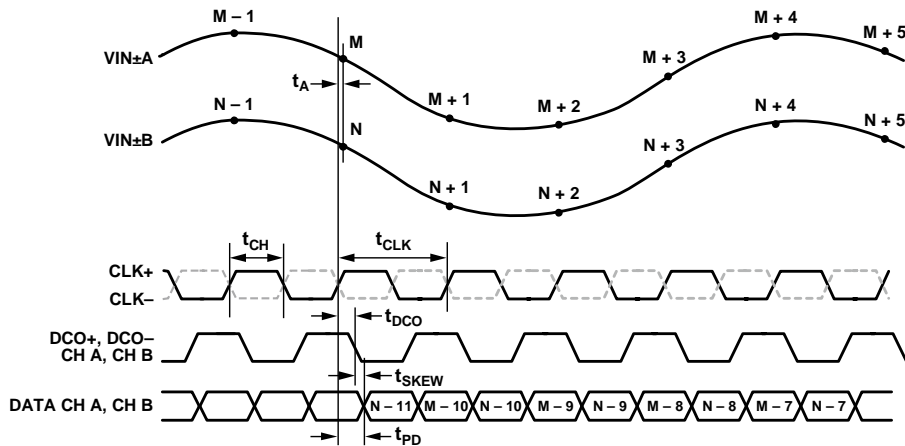


图2. 输出数据时序

绝对最大额定值

表6

参数	额定值
电气参数	
AVDD至AGND	-0.3 V至+2.0 V
DRVDD至DRGND	-0.3 V至+2.0 V
AGND至DRGND	-0.3 V至+0.3 V
AVDD至DRVDD	-2.0 V至+2.0 V
D0+/D0-到D7+/D7-至DRGND	-0.3 V至DRVDD + 0.3 V
DCO+、DCO-至DRGND	-0.3 V至AVDD + 0.2 V
CLK+、CLK-至AGND	-0.3 V至AVDD + 0.2 V
VIN±A、VIN±B至AGND	-0.3 V至DRVDD + 0.3 V
SDIO/PWDN至DRGND	-0.3 V至DRVDD + 0.3 V
CSB至AGND	-0.3 V至DRVDD + 0.3 V
SCLK至AGND	-0.3 V至DRVDD + 0.3 V
环境参数	
存储温度范围	-65°C至+125°C
工作温度范围	-40°C至+85°C
引脚温度(焊接, 10秒)	300°C
结温	150°C

注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值, 不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下, 器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 针对最差条件, 即器件焊接在电路板上以实现表贴封装。

表7. 热阻

封装类型	θ_{JA}	θ_{JC}	单位
48引脚LFCSP (CP-48-12)	30.4	2.9	°C/W

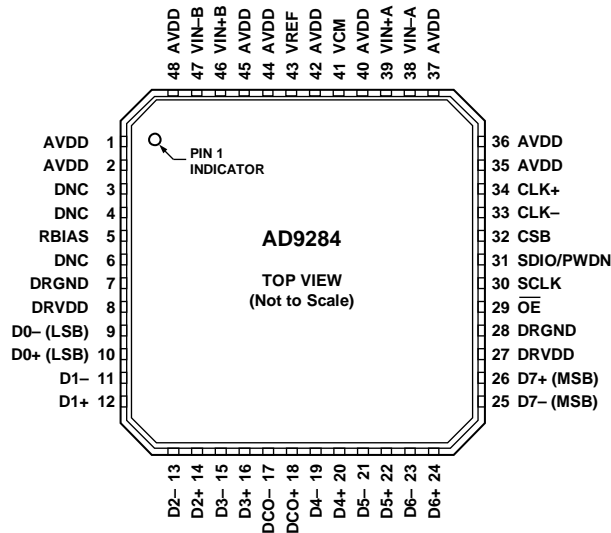
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量ESD时, 器件可能会损坏。因此, 应当采取适当的ESD防范措施, 以避免器件性能下降或功能丧失。

引脚配置和功能描述



- NOTES
1. DNC = DO NOT CONNECT. DO NOT CONNECT TO THIS PIN.
 2. THE EXPOSED PADDLE MUST BE SOLDERED TO THE PCB ANALOG GROUND TO ENSURE PROPER FUNCTIONALITY AND HEAT DISSIPATION, NOISE, AND MECHANICAL STRENGTH BENEFITS.

09085-003

图3. 引脚配置

表8. 引脚功能描述

引脚编号	引脚名称	类型	描述
ADC电源引脚			
1, 2, 35, 36, 37, 40, 42, 44, 45, 48	AVDD	电源	模拟电源(标称值1.8 V)。
8, 27	DRVDD	电源	数字输出驱动器电源(标称值1.8 V)。
7, 28	DRGND	地	数字输出地。
0	AGND	地	模拟地。引脚0为封装底部的裸露焊盘。这是唯一的接地连接, 必须焊接到PCB模拟地, 以确保正常工作和散热, 并获得低噪声和机械强度方面的好处。
ADC模拟引脚			
39	VIN+A	输入	通道A的差分模拟输入引脚(+).
38	VIN-A	输入	通道A的差分模拟输入引脚(-).
46	VIN+B	输入	通道B的差分模拟输入引脚(+).
47	VIN-B	输入	通道B的差分模拟输入引脚(-).
43	VREF	输入/输出	基准电压输入/输出。
5	RBIAS	输入/输出	外部基准偏置电阻。RBIAS通过10 kΩ电阻连接到AGND。
41	VCM	输出	模拟输入的共模电平偏置输出。
34	CLK+	输入	ADC时钟输入(+).
33	CLK-	输入	ADC时钟输入(-).
数字输入			
29	\overline{OE}	输入	数字使能(低电平有效)至三态输出数据引脚。
数字输出			
26	D7+ (MSB)	输出	通道A/通道B LVDS输出数据7(+).
25	D7- (MSB)	输出	通道A/通道B LVDS输出数据7(-).
24	D6+	输出	通道A/通道B LVDS输出数据6(+).
23	D6-	输出	通道A/通道B LVDS输出数据6(-).
22	D5+	输出	通道A/通道B LVDS输出数据5(+).
21	D5-	输出	通道A/通道B LVDS输出数据5(-).
20	D4+	输出	通道A/通道B LVDS输出数据4(+).
19	D4-	输出	通道A/通道B LVDS输出数据4(-).

引脚编号	引脚名称	类型	描述
16	D3+	输出	通道A/通道B LVDS输出数据3(+).
15	D3-	输出	通道A/通道B LVDS输出数据3(-).
14	D2+	输出	通道A/通道B LVDS输出数据2(+).
13	D2-	输出	通道A/通道B LVDS输出数据2(-).
12	D1+	输出	通道A/通道B LVDS输出数据1(+).
11	D1-	输出	通道A/通道B LVDS输出数据1(-).
10	D0+ (LSB)	输出	通道A/通道B LVDS输出数据0(+).
9	D0- (LSB)	输出	通道A/通道B LVDS输出数据0(-).
18	DCO+	输出	通道A/通道B LVDS数据时钟输出(+).
17	DCO-	输出	通道A/通道B LVDS数据时钟输出(-).
SPI控制引脚			
30	SCLK	输入	SPI串行时钟。
31	SDIO/PWDN	输入/输出	SPI串行数据输入/输出(SDIO)，外部模式下则为关断输入(PWDN)。
32	CSB	输入	SPI片选(低电平有效)。
不连接			
3, 4, 6	DNC	N/A	不连接。请勿连接该引脚。

典型工作特性

除非另有说明, AVDD = 1.8 V、DRVDD = 1.8 V、采样速率 = 250 MSPS、DCS使能、1.2 V p-p差分输入、VIN = -1.0 dBFS、64k采样、T_A = 25°C。

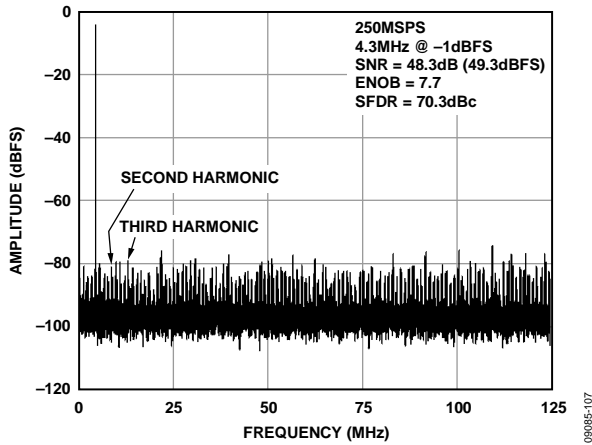


图4. 单音FFT($f_{IN} = 4.3$ MHz)

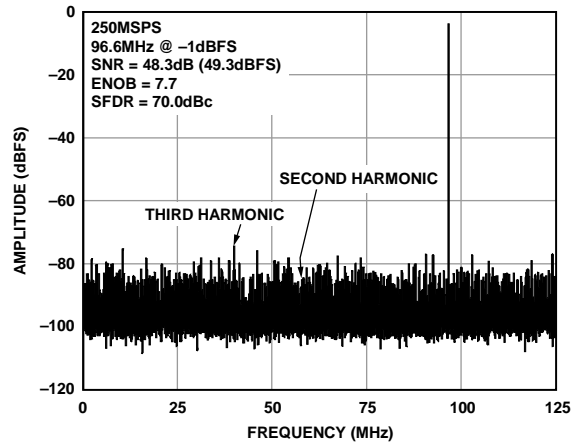


图7. 单音FFT($f_{IN} = 96.6$ MHz)

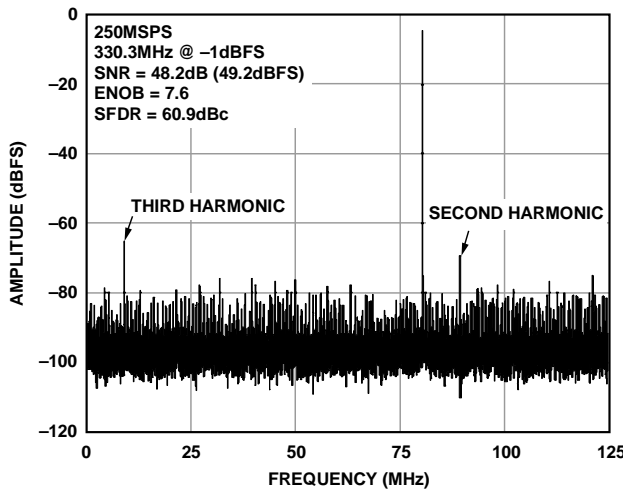


图5. 单音FFT($f_{IN} = 220.3$ MHz)

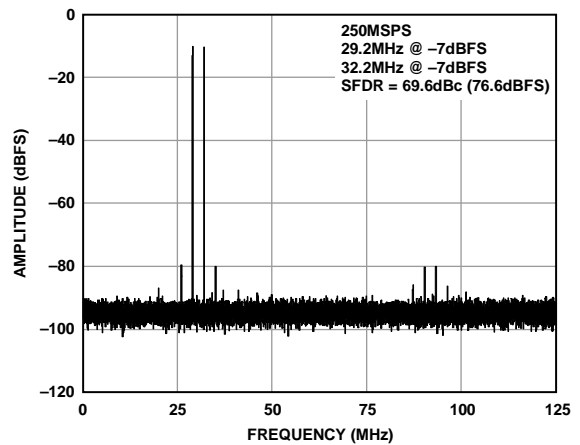


图8. 双音FFT($f_{IN1} = 29.1$ MHz, $f_{IN2} = 32.1$ MHz)

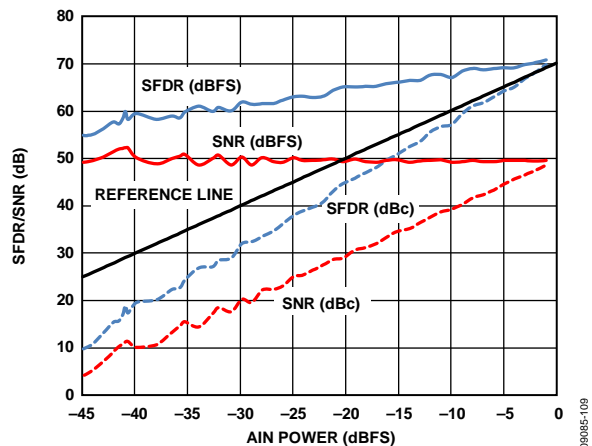


图6. SFDR/SNR与输入幅度(AIN)的关系 ($f_{IN} = 2.2$ MHz)

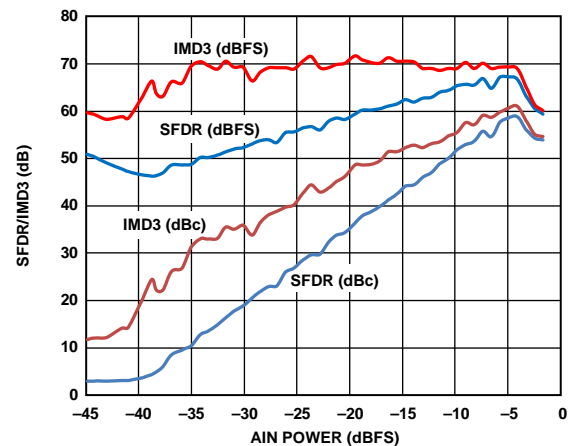


图9. 双音SFDR/IMD3与输入幅度(AIN)的关系 ($f_{IN1} = 29.1$ MHz, $f_{IN2} = 32.1$ MHz)

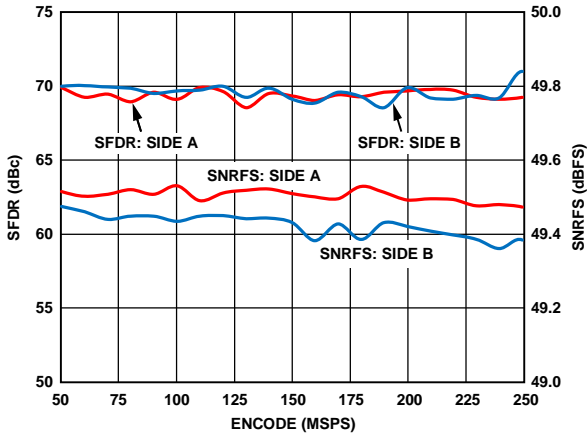


图10. SNRFS/SFDR与编码的关系 ($f_{IN} = 2.4 \text{ MHz}$)

09085-113

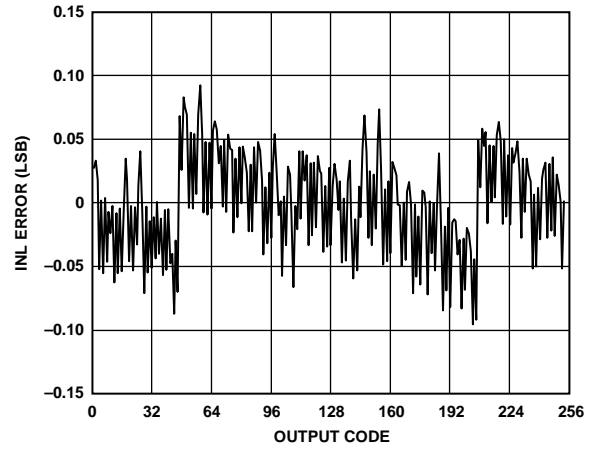


图12. INL误差 ($f_{IN} = 4.3 \text{ MHz}$)

09085-117

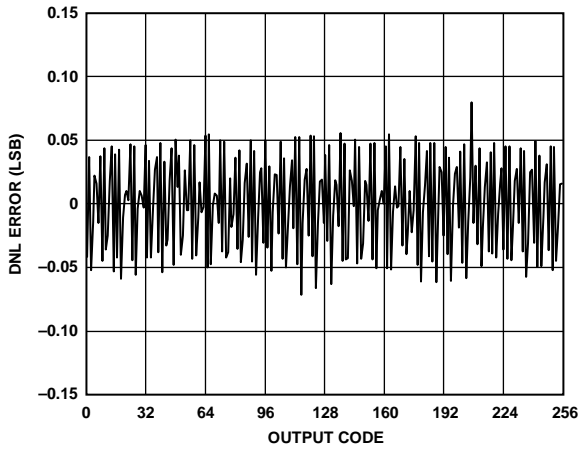


图11. DNL误差 ($f_{IN} = 4.3 \text{ MHz}$)

09085-115

等效电路

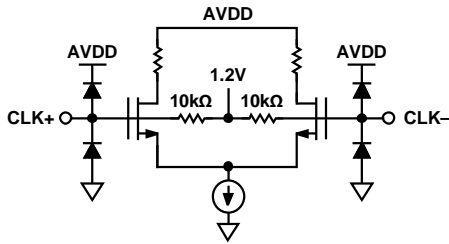


图13. 时钟输入

09085-019

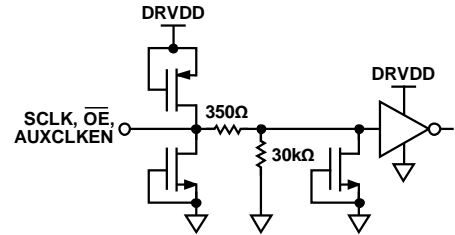


图16. SCLK、 \overline{OE}

09085-022

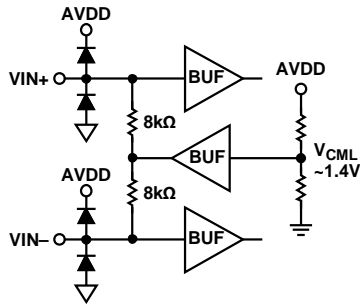


图14. 模拟输入 ($V_{CML} \approx -1.4V$)

09085-020

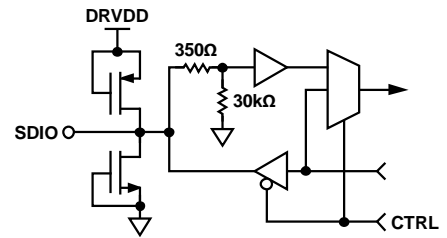


图17. SDIO

09085-023

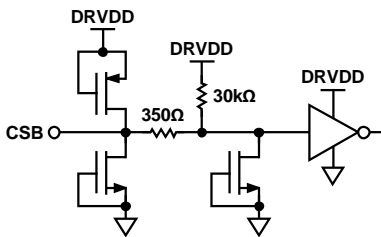


图15. CSB

09085-021

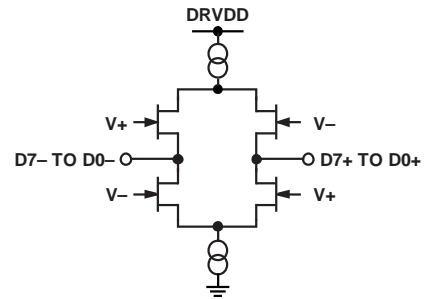


图18. LVDS输出驱动器

09085-024

工作原理

AD9284是一款流水线型转换器。输入缓冲器为差分形式，两路输入均内部偏置，因此可以使用交流或直流输入模式。多级流水线转换器内核的第一级集成了一个采样保持放大器。输出级模块为流水线各级实现数据对齐、错误校正，并且将数据送到输出缓冲器。两个ADC通道通过一个编码时钟同步采样。用户选择的所有选项均通过专用数字输入引脚或串行端口接口(SPI)编程。

ADC架构

AD9284的每个通道均包括一个差分输入缓冲器，后接一个采样保持放大器(SHA)。SHA后接一个流水线型开关电容ADC。各个级的量化输出组合在一起，在数字校正逻辑中最终形成一个8位转换结果。流水线结构允许第一级处理新的输入采样点，而其它级继续处理之前的采样点。

除最后一级外，流水线的每一级都包括一个低分辨率Flash型ADC、一个开关电容DAC和一个级间余量放大器(MDAC)。余量放大器用于放大重构DAC输出与Flash型输入之间的差，用于流水线的下一级。为了便于实现Flash误差的数字校正，每一级设定了1位的冗余量。最后一级由一个Flash型ADC组成。

输入级包含一个差分SHA，可在差分或单端模式下完成交流耦合或直流耦合。输出级模块实现数据对齐，执行错误校正，并且将数据传输到输出缓冲器。输出缓冲器需要单独供电，允许调整输出电压摆幅。在关断期间，输出缓冲器进入高阻态。

模拟输入考虑

AD9284的模拟输入端采用差分缓冲。为得到最佳动态性能，必须保证驱动VIN+A、VIN+B、VIN-A和VIN-B的源阻抗相匹配，从而保证共模建立误差是对称的。模拟输入端经过优化，可提供出色的宽带性能，必须以差分方式驱动。如果用单端信号驱动模拟输入端，SNR和SINAD性能会显著降低。

诸如Mini-Circuits® ADT1-1WT之类的宽带变压器可以为要求单端转差分的应用提供差分模拟输入。两路模拟输入均由片内电阻分压器自偏置到标称电压1.4 V。

差分输入配置

通过差分输入配置驱动AD9284时，可实现芯片最佳性能。在基带应用中，ADA4937-1差分驱动器能够为ADC提供出色的性能和灵活的接口(参见图19)。AD9284的输出共模电压可以方便地设置为1.4 V；驱动器可以配置为Sallen-Key滤波器拓扑电路结构，从而对输入信号进行带宽限制。

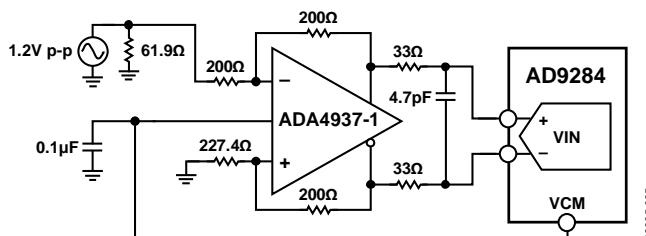


图19. 利用ADA4937-1进行差分输入配置

AD9284也可以用差分变压器耦合输入以无源方式驱动(参见图20)。为实现模拟输入偏置，可将VCM电压连接到变压器次级绕组的中心抽头处。

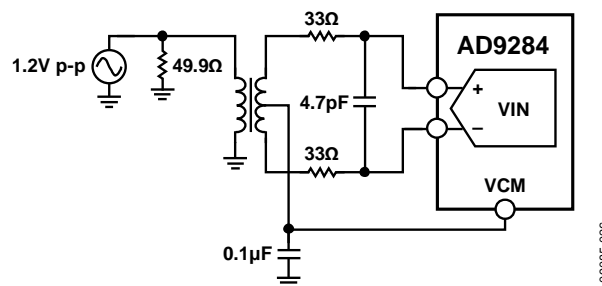


图1. 典型应用电路

选择变压器时，必需考虑其信号特性。大多数射频变压器在工作频率低于几兆赫兹时，产生饱和现象。信号功率过大也可导致磁芯饱和，从而导致失真。

基准电压源

内部差分基准电压源用于形成正负基准电压，进而决定ADC内核的1.2 V p-p固定范围。内部基准电压可通过SPI控制功能进行调整，也可以采用稳定的片外基准电压源驱动。更多信息参见存储器映射寄存器描述部分。

RBIAS

AD9284要求用户在RBIAS引脚与地之间安置一个10 kΩ电阻。该电阻用来设置ADC内核的主基准电流，应具有1%的容差。

AD9284

时钟输入考虑

为了充分发挥芯片性能，应利用一个差分信号作为AD9284采样时钟输入端(CLK+和CLK-)的时钟信号。该信号通常使用变压器或电容器交流耦合到CLK+和CLK-引脚内。

时钟输入选项

AD9284的时钟输入结构非常灵活。LVDS、LVPECL或正弦波信号均可作为其时钟输入信号。本部分所述的每种配置均适用于CLK+和CLK-。

图21和图22显示了两种为AD9284提供时钟信号的首选方法。利用射频变压器或射频巴伦，可将低抖动时钟源的单端信号转换成差分信号。跨接在变压器/巴伦次级上的背肖特基二极管可以将输入到AD9284中的时钟信号限制为约差分0.8 V p-p。

这样，既可以防止时钟的大电压摆幅馈通至AD9284的其它部分，还可以保留信号的快速上升和下降时间，这一点对于低抖动性能来说非常重要。

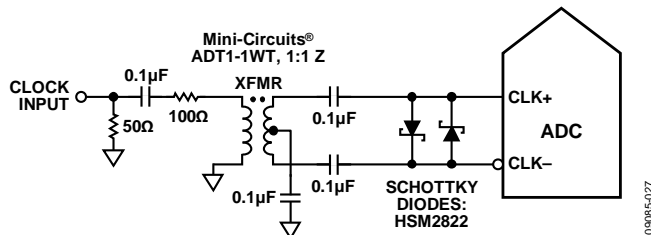


图21. 变压器耦合的差分时钟

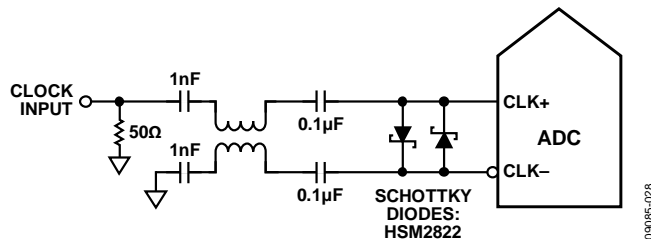


图22. 巴伦耦合的差分时钟

如果没有低抖动的时钟源，那么，另一种方法是对差分PECL信号进行交流耦合，并传输至采样时钟输入引脚(如图23所示)。AD9510/AD9511/AD9512/ AD9513 / AD9514 / AD9515/AD9516/AD9517的时钟驱动器均具有出色的抖动性能。

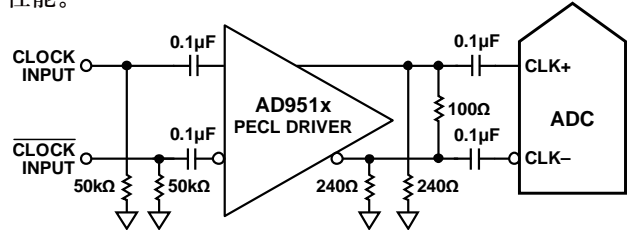


图23. 差分PECL采样时钟

第三种方法是对差分LVDS信号进行交流耦合，并传输至采样时钟输入引脚(如图24所示)。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515/AD9516/AD9517的时钟驱动器均具有出色的抖动性能。

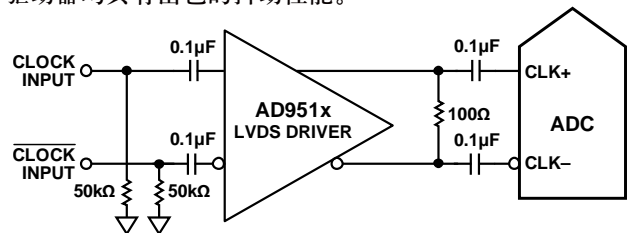


图24. 差分LVDS采样时钟

数字输出

数据输出使能功能(\overline{OE})

AD9284的数字输出引脚具有灵活的三态功能。三态模式通过 \overline{OE} 引脚使能。若 \overline{OE} 设置为逻辑高电平，则两条数据总线的输出驱动器均被置于高阻态。

内置自测(BIST)和输出测试

AD9284包括内置自测功能，支持对各通道的完整性验证，同时也有利于电路板级调试。内置自测(BIST)功能可以对AD9284数字数据路径的完整性进行验证。此外还提供各种输出测试选项，以便对AD9284的输出值进行预测。

内置自测(BIST)

BIST能够对所选AD9284信号路径的数字部分进行详尽的测试。复位后执行BIST测试可确保器件处于已知状态。在BIST测试期间，来自内部伪随机噪声(PN)源的数据从ADC模块输出开始，驱动通过两个通道的数字数据路径。在数据路径输出端，CRC逻辑计算数据签名。BIST序列运行512个周期后停止。测试完成后，BIST将签名结果与预定值进行比较。如果二者一致，则BIST将寄存器0x0E的位0置1，表示测试通过。如果BIST测试失败，寄存器0x0E的位0清0。测试期间输出相连，因此可以观察到PN序列的运行过程。

向寄存器0x0E写入值0x05将运行BIST测试。这将使能寄存器0x0E的位0(BIST使能)，并复位PN序列发生器(BIST启动，寄存器0x0E的位2)。BIST完成后，寄存器0x0E的位0自动清0。向寄存器0x0E的位2写入0，可以使PN序列从上一个值继续运行。不过，如果PN序列未复位，测试结束时签名计算结果将不等于预定值。此时，用户必须验证输出数据。

输出测试模式

输出测试选项见表12的地址0x0D部分所述。当使能输出测试模式时，ADC的模拟部分与数字后端模块断开，测试码经过输出格式化模块。有些测试码需要进行输出格式化，有些则不需要。将寄存器0x0D的位4或位5置1，可以将PN序列测试的PN发生器复位。执行这些测试时，模拟信号可有可无(如有，则忽略模拟信号)，但编码时钟必不可少。如需了解更多信息，请参阅应用笔记AN-877：“通过SPI与高速ADC接口”。

串行端口接口(SPI)

AD9284的串行端口接口(SPI)允许用户利用ADC内部的一个结构化寄存器空间来配置转换器，以满足特定功能和操作的需要。SPI具有灵活性，可根据具体的应用进行定制。通过串行端口，可访问地址空间、对地址空间进行读写。存储空间以字节为单位进行组织，并且可以进一步细分成多个区域，如存储器映射部分所述。如需了解详细操作信息，请参阅应用笔记AN-877：“通过SPI与高速ADC接口”。

使用SPI的配置

该ADC的SPI由三个引脚进行规定：SCLK、SDIO和CSB(见表9)。SCLK(串行时钟)引脚用于同步ADC数据的读出和写入。SDIO(串行数据输入/输出)双功能引脚允许将数据发送至内部ADC存储器映射寄存器或从寄存器中读出数据。CSB(片选信号)引脚是低电平有效控制引脚，它能够使能或者禁用读写周期。

表9. 串行端口接口引脚

引脚	功能
SCLK	串行时钟。串行移位时钟输入，用来同步串行接口的读写操作。
SDIO	串行数据输入/输出。双功能引脚；通常用作输入或输出，取决于发送的指令和时序帧中的相对位置。
CSB	片选信号。低电平有效控制信号，用来选通读写周期。

CSB的下降沿与SCLK的上升沿共同决定帧的开始。图25显示了串行时序图范例及其定义。

CSB可以在多种模式下工作。CSB引脚可始终维持在低电平状态，从而使器件一直处于使能状态；这称作流。CSB可以在字节之间停留在高电平，这样可以允许其他外部时序。CSB引脚拉高时，SPI功能处于高阻态模式。在该模式下，可以开启SPI引脚的第二功能。

在一个指令周期内，传输一条16位指令。在指令传输后将进行数据传输，数据长度由W0位和W1位共同决定，如图25所示。

所有数据均由8位字组成。多字节串行数据传输帧的第一个字节的第一位表示发出的是读命令还是写命令。这样就能在串行帧的适当位置，将串行数据输入/输出(SDIO)引脚的数据传输方向设置为输入或输出。

除了字长，指令周期还决定串行帧是读操作指令还是写操作指令，从而通过串行端口对芯片编程或读取片上存储器内的数据。如果指令是回读操作，则串行数据输入/输出(SDIO)引脚的数据传输方向会在串行帧的一定位置由输入改为输出。

数据可通过MSB优先模式或LSB优先模式发送。芯片上电后，默认采用MSB优先的方式，可以通过SPI端口配置寄存器来更改数据发送方式。如需了解更多关于该特性及其它特性的信息，请参阅应用笔记AN-877：“通过SPI与高速ADC接口”。

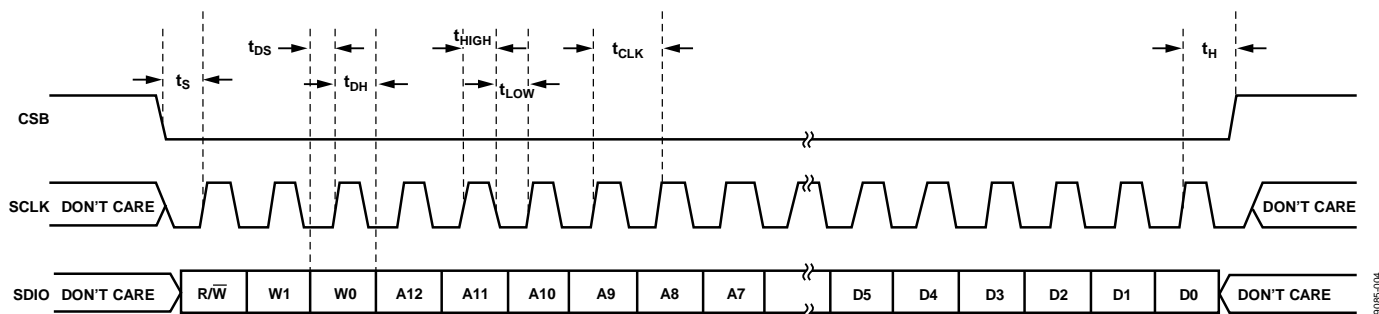


图25. 串行端口接口时序图

硬件接口

表9中所描述的引脚构成用户编程器件与AD9284串行端口之间的物理接口。当使用SPI接口时，SCLK引脚和CSB引脚用作输入引脚。SDIO引脚是双向引脚，在写入阶段，用作输入引脚；在回读阶段，用作输出引脚。

SPI接口非常灵活，FPGA或微控制器均可控制该接口。应用笔记AN-812“基于微控制器的串行端口接口(SPI)启动电路”中详细介绍了一种SPI配置方法。

当需要转换器充分发挥其全动态性能时，在ADC进行数据转换期间应禁用SPI端口。通常SCLK信号、CSB信号和SDIO信号与ADC时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上SPI总线，则可能需要在该总线与AD9284之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入端发生变化。

不使用SPI接口时，SDIO/PWDN引脚可以发挥第二功能。在器件上电期间，当该引脚与AVDD或地绑定时，它可起到特定的作用。模式选择表(见表10)介绍了AD9268支持的绑定功能。

表10. 模式选择

引脚	外部电压	配置
SDIO/PWDN	AVDD(默认) AGND	器件完全关断 正常工作
$\overline{\text{OE}}$	AVDD AGND(默认)	输出处于高阻态 输出使能

不使用SPI的配置

在不使用SPI控制寄存器接口的应用中，SDIO/PWDN引脚用作独立的CMOS兼容控制引脚。当器件上电后，假设用户希望将SDIO、SCLK和CSB引脚用作静态控制线，以控制输出使能和关断特性。在此模式下，将CSB片选引脚与AVDD相连，可以禁用串行端口接口。

SPI访问特性

表11简要说明了可通过SPI访问的一般特性。如需详细了解这些特性，请参阅应用笔记AN-877：“通过SPI与高速ADC接口”。AD9284的特定器件特性详见表12。

表11. 可通过SPI访问的特性

特性	描述
模式	允许用户设置关断模式或待机模式
时钟	允许用户通过SPI访问DCS
失调	允许用户以数字方式调整转换器失调
测试I/O	允许用户设置测试模式，以便在输出位上
输出模式	获得已知数据
输出相位	允许用户设置输出
输出延迟	允许用户设置输出时钟极性
基准电压源	允许用户改变DCO延迟 允许用户设置基准电压

存储器映射

读取存储器映射寄存器表

存储器映射寄存器表(见表12)的每一行有8位。存储器映射大致分为三个部分：芯片配置寄存器(地址0x00至地址0x02)、器件索引和传送寄存器(地址0x05和地址0xFF)以及程序寄存器(地址0x08至地址0x25)。

表12列出了每个十六进制地址的十六进制默认值。位7(MSB)栏为给定十六进制默认值的起始位。如需了解更多关于该功能及其它功能的信息，请参阅应用笔记AN-877：“通过SPI与高速ADC接口”。该文档详细描述了寄存器0x00至寄存器0xFF控制的功能。

禁用的地址

此器件目前不支持SPI映射中未包括的所有地址和位。有效地址中未使用的位应写为0。当一个地址仅有部分位处于禁用状态时，才需要对这些位置进行写操作。如果整个地址均禁用，则SPI映射中不包括该地址(例如地址0x13)，不应对该地址进行写操作。

默认值

AD9284复位后，关键寄存器将载入默认值。存储器映像寄存器表(见表12)列出了各寄存器的默认值。

逻辑电平

以下是逻辑电平的术语说明：

- “置位”指将某位设置为逻辑1或向某位写入逻辑1。
- “清除位”指将某位设置为逻辑0或向某位写入逻辑0。

传送寄存器映射

地址0x08至地址0x38被屏蔽，因此向这些地址进行写操作不会影响器件运行，除非向地址0xFF写入0x01，设置了传输位，从而发出了传输命令。设置传输位后，就可以在内部同时更新这些寄存器。设置传输位时，内部进行更新，然后传输位自动清零。

特定通道寄存器

某些通道设置功能可通过编程，单独为每个通道设置。在这些情况下，可在内部为每个通道复制通道地址位置。这些寄存器及相应的位在存储器映射寄存器表中指定为局部寄存器。这些局部寄存器及相应位可通过设置寄存器0x05的通道A(位0)位或通道B(位1)位进行访问。

如果这两个位均置位，后续写操作将影响两个通道的寄存器。在一个读周期内，仅允许设置一个通道(通道A或通道B)来读取两个寄存器中的一个。如果在一个SPI读周期内同时置位两个通道位，则器件返回通道A的值。存储器映射寄存器表指定的全局寄存器及相应位会影响整个器件或通道的特性，因此，不允许分别设置每个通道。寄存器0x05中的设置不影响全局寄存器及相应位的值。

存储器映射寄存器表

此器件目前不支持表12中未包括的所有地址和位。

表12. 存储器映射寄存器

地址 (十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值(十六进制)	默认值注释
芯片配置寄存器											
0x00	SPI端口配置	0	LSB优先	软复位	1	1	软复位	LSB优先	0	0x18	半字节之间是镜像关系，使得无论在何种移位模式下，LSB优先或MSB优先模式寄存器均能正确记录数据。
0x01	芯片ID (全局)	8位芯片ID								0x0A	唯一芯片ID用来区分器件；只读
0x02	芯片等级 (全局)	禁用	速度等级ID 000 = 250 MSPS			禁用			0x00	唯一速度等级ID用来区分器件；只读	
器件索引和传送寄存器											
0x05	器件索引A	禁用						ADC B (默认)	ADC A (默认)	0xFF	设置这些位以决定片内哪一个器件接收下一个写命令；默认值为片内所有器件
0xFF	传送	禁用							传送	0xFF	从主移位寄存器向从移位寄存器同步传输数据
程序寄存器(可以由也可以不由器件索引进行索引)											
0x08	模式 (全局)	禁用				内部关断模式 00: 芯片运行 01: 完全关断 10: 保留 11: 保留			0x00	决定芯片的一般工作模式	
0x09	时钟 (全局)	禁用						时钟增强	占空比稳定器	0x01	
0x0D	测试模式 (局部)	禁用	复位 PN23发生器	复位 PN9发生器	禁用			输出测试模式 000: 关闭 001: 中间电平短路 010: +FS短路 011: -FS短路 100: 棋盘形式输出 101: PN23序列 110: PN9序列 111: 1/0字反转		0x00	设置测试模式后，测试数据将取代正常数据置于输出引脚上
0x0E	BIST (局部)	禁用					BIST启动	禁用	BIST使能	0x00	BIST模式配置

AD9284

地址 (十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认 值(十 六进制)	默认值注释
0x0F	ADC输入 (全局/局部)	禁用					模拟断 开(局部)	共模输入 使能(全 局)	禁用	0x00	
0x10	失调(局部)	禁用				失调调整(二进制补码格式) 0111: +7 0110: +6 ... 0001: +1 0000: 0 1111: -1 ... 1001: -7 1000: -8				0x00	器件失调 调整
0x14	输出模式 (局部)	禁用			输出使能	禁用	输出反向	数据格式选择 00: 偏移二进制 01: 二进制补码 10: 格雷码 11: 保留		0x00	配置输出 和数据格 式
0x16	输出相位 (全局)	DCO反相	禁用						0x00		
0x18	基准电压 (全局)	禁用			基准电压和输入满量程调整(见表13)				0x00	选择/调整 VREF	
0x24	MISR LSB (局部)	多输入移位寄存器(MISR)的LSB							0x00	MISR最低 有效字节 ; 只读	
0x25	MISR MSB (局部)	多输入移位寄存器(MISR)的MSB							0x00	MISR最高 有效字节 ; 只读	

存储器映射寄存器描述

如需了解有关寄存器0x00至寄存器0xFF所控制功能的更多信息，请参阅应用笔记AN-877：“通过SPI与高速ADC接口”。

基准电压(寄存器0x18)

位[7:5]—保留

位[4:0]—基准电压

位[4:0]用于调整内部产生的基准电压，因此也会改变模拟输入的满量程。该寄存器内的基准电压驱动器可以通过减小容性负载进行配置，更便于由外部驱动。

V_{REF} 电压与输入满量程的关系可以用下式1来表示。寄存器设置的完整列表参见表13。

$$\text{输入满量程} = V_{REF} \times 1.2 \quad (1)$$

表13. VREF与输入满量程(寄存器0x18)

Value	V _{REF} (V)	满量程 (V)
0x14	0.844	1.013
0x15	0.857	1.028
0x16	0.87	1.044
0x17	0.883	1.060
0x18	0.896	1.075
0x19	0.909	1.091
0x1A	0.922	1.106
0x1B	0.935	1.122
0x1C	0.948	1.138
0x1D	0.961	1.153
0x1E	0.974	1.169
0x1F	0.987	1.184
0x00	1	1.200
0x01	1.013	1.216
0x02	1.026	1.231
0x03	1.039	1.247
0x04	1.052	1.262
0x05	1.065	1.278
0x06	1.078	1.294
0x07	1.091	1.309
0x08	1.104	1.325
0x09	1.117	1.340
0x0A	1.13	1.356
0x0B	1.143	1.372
0x0C	1.156	1.387
0x0D	1.169	1.403
0x0E	1.182	1.418
0x0F	1.195	1.434
0x10	1.208	1.450
0x11	1.221	1.465
0x12	1.234	1.481
0x13	外部	外部 x 1.2

应用信息

设计指南

在进行AD9284的系统设计和布局之前，建议设计者先熟悉下述设计指南，其中讨论了某些引脚所需的特殊电路连接和布局布线要求。

电源和接地建议

强烈建议使用两个独立的1.8 V电源为AD9284供电：一个用于模拟端(AVDD)，一个用于数字输出端(DRVDD)。如果必须共用一个1.8 V AVDD和DRVDD电源，则必须用铁氧体磁珠或滤波扼流圈隔离AVDD与DRVDD域，并分别用去耦电容去耦。可以使用多个不同的去耦电容以支持高频和低频。去耦电容应放置在接近印刷电路板(PCB)入口点和接近器件引脚的位置，并尽可能缩短走线长度。

AD9284仅需要一个PCB接地层。对PCB模拟、数字和时钟模块进行合理去耦和巧妙分隔，可以轻松获得最佳性能。

裸露焊盘散热块建议

裸露焊盘(引脚0)是AD9284唯一的接地连接，因此，必须将它连接到客户PCB的模拟地(AGND)。为实现最佳的电气性能和热性能，PCB上裸露(无阻焊膜)的连续铜平面应与AD9284的裸露焊盘(引脚0)匹配。

铜平面上应有多个通孔，获得尽可能低的热阻路径以通过PCB底部进行散热。应采用绝缘环氧化物来填充或堵塞这些通孔。

为了最大化地实现ADC与PCB之间的覆盖与连接，应在PCB上覆盖一个丝印层，以便将PCB上的连续平面划分为多个均等的部分。这样，在回流焊过程中，可在ADC与PCB之间提供多个连接点。而一个连续的、无分割的平面则仅可保证在ADC与PCB之间有一个连接点。如需了解有关封装和芯片级封装PCB布局布线的详细信息，请参阅应用笔记AN-772：“LFCSP封装设计与制造指南”(www.analog.com)。

VCM

VCM引脚应通过一个0.1 μF 电容去耦至地。

RBIAS

AD9284要求在RBIAS引脚与地之间安置一个10 k Ω 电阻。该电阻用来设置ADC内核的主基准电流，其容差至少应为1%。

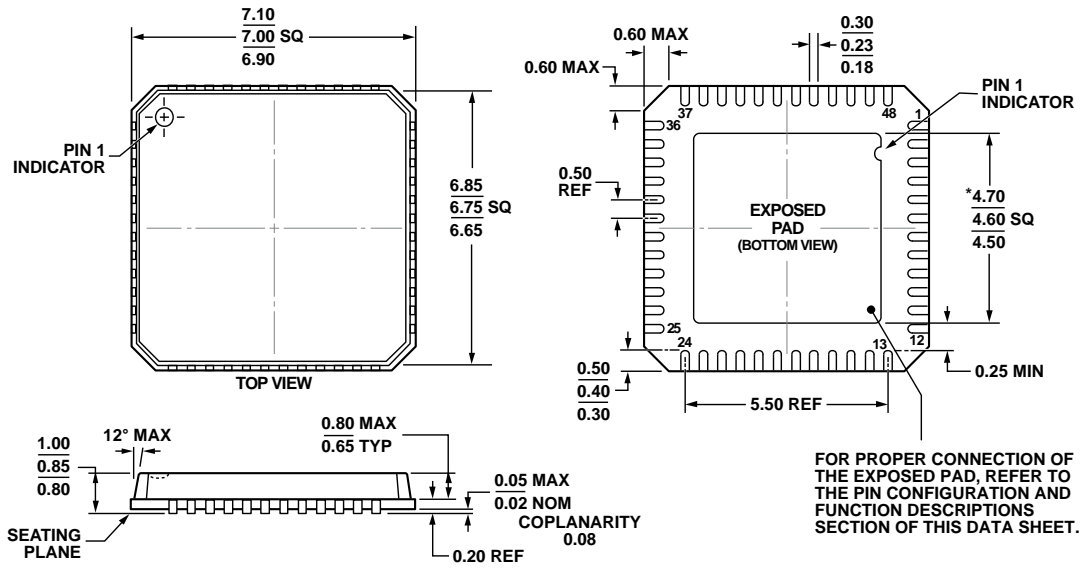
基准电压源去耦

VREF引脚应通过外部一个低ESR 0.1 μF 陶瓷电容和一个低ESR 1.0 μF 电容的并联去耦至地。

SPI端口

当需要转换器充分发挥其全动态性能时，应禁用SPI端口。通常SCLK信号、CSB信号和SDIO信号与ADC时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上SPI总线，则可能需要在该总线与AD9284之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入端发生变化。

外形尺寸



*COMPLIANT TO JEDEC STANDARDS MO-220-VKGD-2 WITH EXCEPTION TO EXPOSED PAD DIMENSION.

图26. 48引脚引脚架构芯片级封装[LFCSP_VQ],
7 mm x 7 mm超薄四方体(CP-48-12),
尺寸单位: mm

04-22-2010-A

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD9284BCPZ-250	-40°C至+85°C	48引脚引脚架构芯片级封装[LFCSP_VQ]	CP-48-12
AD9284BCPZRL7-250	-40°C至+85°C	48引脚引脚架构芯片级封装[LFCSP_VQ]	CP-48-12
AD9284-250EBZ		评估板	

¹ Z = 符合RoHS标准的器件。

AD9284

注释