

特性

配有DSP接口的完整ADC，包括：

2 μ s采集时间的采样保持放大器

7 μ s模数转换器

3 V齐纳基准电压源

8字FIFO和接口逻辑

信噪比：72 dB(10 kHz输入频率)

可与高速DSP处理器接口，

例如：ADSP-2100、TMS32010、TMS32020

数据访问时间：41 ns(最大值)

低功耗：60 mW(典型值)

应用

数字信号处理

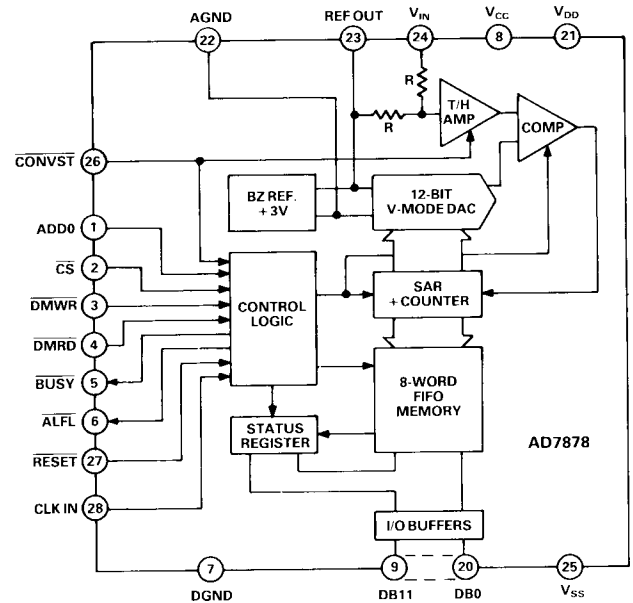
语音识别和合成

频谱分析

高速调制解调器

DSP伺服控制

功能框图



概述

AD7878是一款快速、完整的12位ADC，配有一个多功能DSP接口，包括一个8字先进先出(FIFO)存储器和相关的控制逻辑。

在需要微处理器为ADC提供服务之前，FIFO存储器允许对最多8个样本进行数字化处理。然后便可以微处理器的最大速度从FIFO读出8个字。由于具有快速数据访问时间(41 ns)特性，因此它能与数字信号处理器和高速16位微处理器直接接口。

片内状态/控制寄存器允许用户设置FIFO的有效长度，并且包含FIFO超范围、FIFO空和FIFO字数的信息。

AD7878支持 ± 3 V的双极性模拟输入范围，能够转换最高50 kHz的全功率信号，信噪比和谐波失真等动态参数经过全面测量。

AD7878采用线性兼容CMOS (LC²MOS)制造，这是一种将精密的双极性电路与低功耗CMOS逻辑相结合的先进混合工艺技术。该器件提供四种封装形式：28引脚塑封和密封双列直插式封装(DIP)、无引脚陶瓷芯片载体(LCCC)和塑封引脚芯片载体(PLCC)。

REV. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices.

产品特点

1. 配有DSP接口的完整模数转换功能

AD7878提供完整的交流信号数字化功能，精度达12位。该器件具有片内采样保持器、片内基准电压源和12位ADC。此外还有一个8字FIFO，它可降低DSP处理器处理中断相关的高软件开销。

2. 适合DSP用户的动态特性

AD7878的交流参数经过全面测量和测试，包括信噪比、谐波失真和交调失真。主要数字时序参数也在整个工作温度范围内进行过测试和测量。

3. 快速微处理器接口

41 ns的数据访问时间是单芯片ADC实现的最快速度，这使得AD7878与所有现代16位微处理器和数字信号处理器兼容。

AD7878

技术规格

($V_{DD} = +5\text{ V} \pm 5\%$, $V_{CC} = +5\text{ V} \pm 5\%$, $V_{SS} = -5\text{ V} \pm 5\%$, $AGND = DGND = 0\text{ V}$,
 $f_{CLK} = 8\text{ MHz}$ 。除非另有说明,所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。)

参数	J、A级 ¹	K、L、B级	S级	单位	测试条件/注释
动态性能 ²					
信噪比(SNR) ³ @ 25°C	70	72	70	dB(最小值)	$V_{IN} = 10\text{ kHz}$ 正弦波, $f_{SAMPLE} = 100\text{ kHz}$ 典型值71.5 dB($0 < V_{IN} < 50\text{ kHz}$)
T_{MIN} 至 T_{MAX}	70	71	70	dB(最小值)	
总谐波失真(THD)	-80	-80	-78	dB(最大值)	$V_{IN} = 10\text{ kHz}$ 正弦波, $f_{SAMPLE} = 100\text{ kHz}$ 典型值-86 dB($0 < V_{IN} < 50\text{ kHz}$)
峰值谐波或杂散噪声	-80	-80	-78	dB(最大值)	$V_{IN} = 10\text{ kHz}$, $f_{SAMPLE} = 100\text{ kHz}$ 典型值-86 dB($0 < V_{IN} < 50\text{ kHz}$)
交调失真(IMD)					
二阶项	-80	-80	-78	dB(最大值)	$f_a = 9\text{ kHz}$, $f_b = 9.5\text{ kHz}$, $f_{SAMPLE} = 50\text{ kHz}$
三阶项	-80	-80	-78	dB(最大值)	$f_a = 9\text{ kHz}$, $f_b = 9.5\text{ kHz}$, $f_{SAMPLE} = 50\text{ kHz}$
采样保持器采集时间	2	2	2	μs (最大值)	参见“吞吐速率”部分
直流精度					
分辨率	12	12	12	位	
保证无失码的最小分辨率	12	12	12	位	
相对精度	$\pm 1/2$	$\pm 1/4$	$\pm 1/2$	LSB(典型值)	
微分非线性	$\pm 1/2$	$\pm 1/2$	$\pm 1/2$	LSB(典型值)	
双极性零误差	± 6	± 6	± 6	LSB(最大值)	
正满量程误差 ⁴	± 6	± 6	± 6	LSB(最大值)	
负满量程误差 ⁴	± 6	± 6	± 6	LSB(最大值)	
模拟输入					
输入电压范围	± 3	± 3	± 3	V	
输入电流	± 550	± 550	± 550	μA (最大值)	
基准输出 ⁵					
REF OUT	3	3	3	V(标称值)	
REF OUT误差 @ 25°C	± 10	± 10	± 10	mV(最大值)	
T_{MIN} 至 T_{MAX}	± 15	± 15	± 15	mV(最大值)	
基准负载灵敏度($\Delta\text{REF OUT}/\Delta I$)	± 1	± 1	± 1	mV(最大值)	基准负载电流变化(0 mA–500 mA). 转换期间不应改变基准负载
逻辑输入					
输入高电压 V_{INH}	+2.4	+2.4	+2.4	V(最小值)	$V_{CC} = +5\text{ V} \pm 5\%$
输入低电压 V_{INL}	+0.8	+0.8	+0.8	V(最大值)	$V_{CC} = +5\text{ V} \pm 5\%$
输入电流 I_{IN}	± 10	± 10	± 10	μA (最大值)	$V_{IN} = 0$ 至 V_{CC}
输入电容 C_{IN} ⁶	10	10	10	pF(最大值)	
逻辑输出					
输出高电压 V_{OH}	+2.7	+2.7	+2.7	V(最小值)	$I_{SOURCE} = 40\text{ mA}$
输出低电压 V_{OL}	+0.4	+0.4	+0.4	V(最大值)	$I_{SINK} = 1.6\text{ mA}$
DB11–DB0					
悬空态漏电流	± 10	± 10	± 10	μA (最大值)	
悬空态输出电容 ⁶	15	15	15	pF(最大值)	
转换时间					
	7/7.125 7/9.250	7/7.125 7/9.250	7/7.125 7/9.250	s(最小值)/ μs (最大值) s(最小值)/ μs (最大值)	假设无外部读写操作 假设17次外部读写操作 参见“内部比较器时序”部分
电源要求					
V_{DD}	+5	+5	+5	V(标称值)	$\pm 5\%$ (额定性能)
V_{CC}	+5	+5	+5	V(标称值)	$\pm 5\%$ (额定性能)
V_{SS}	-5	-5	-5	V(标称值)	$\pm 5\%$ (额定性能)
I_{DD}	13	13	13	mA(最大值)	$\overline{CS} = \overline{DMWR} = \overline{DMRD} = 5\text{ V}$
I_{CC}	100	100	100	μA (最大值)	$\overline{CS} = \overline{DMWR} = \overline{DMRD} = 5\text{ V}$
I_{SS}	6	6	6	mA(最大值)	$\overline{CS} = \overline{DMWR} = \overline{DMRD} = 5\text{ V}$
功耗	95.5	95.5	95.5	mW(最大值)	典型值60 mW

注释

¹温度范围如下: J、K、L级: 0°C至+70°C; A、B级: -25°C至+85°C; S级: -55°C至+125°C。

² $V_{IN} = \pm 3\text{ V}$ 。参见“动态特性”部分。

³SNR计算包括失真和噪声成分。

⁴相对内部基准电压进行测量。

⁵对于50 pF以上的容性负载,需要一个串联电阻(参见“内部基准电压源”部分)。

⁶样片在+25°C下进行测试,以确保符合标准要求。

规格如有变更恕不另行通知。

时序特性¹ ($V_{DD} = 5V \pm 5\%$, $V_{CC} = 5V \pm 5\%$, $V_{SS} = -5V \pm 5\%$)

参数	在 T_{MIN} 和 T_{MAX} 条件下的限值(L级)	在 T_{MIN} 和 T_{MAX} 条件下的限值(J/K/A/B级)	在 T_{MIN} 和 T_{MAX} 条件下的限值(S级)	单位	条件/注释
t_1	65	65	75	ns(最大值)	CLK IN至 \overline{BUSY} 低电平传播延迟
t_2	65	65	75	ns(最大值)	CLK IN至 \overline{BUSY} 高电平传播延迟
t_3	2 CLK IN周期	2 CLK IN周期	2 CLK IN周期	最小值	\overline{CONVST} 脉冲宽度
t_4	0	0	0	ns(最小值)	\overline{CS} 至 \overline{DMRD} /REGISTER ENABLE建立时间
t_5	0	0	0	ns(最小值)	\overline{CS} 至 \overline{DMRD} /REGISTER ENABLE保持时间
t_6	45	60	60	ns(最小值)	\overline{DMRD} 脉冲宽度
t_7	50	50	50	μ s(最大值)	
t_8	16	16	16	ns(最小值)	ADD0至 \overline{DMRD} /REGISTER ENABLE建立时间
t_9	0	0	0	ns(最小值)	ADD0至 \overline{DMRD} /REGISTER ENABLE保持时间
t_{9-2}	41	57	57	ns(最小值)	\overline{DMRD} 之后的数据访问时间
t_{10-3}	5	5	5	ns(最小值)	总线释放时间
t_{11}	45	45	45	ns(最大值)	
t_{12}	42	42	55	ns(最小值)	REGISTER ENABLE脉冲宽度
t_{13}	50	50	50	μ s(最大值)	
t_{14}	20	20	30	ns(最小值)	数据有效至REGISTER ENABLE建立时间
t_{14-2}	10	10	10	ns(最小值)	REGISTER ENABLE之后的数据保持时间
t_{14-3}	41	57	57	ns(最小值)	BUSY之后的数据访问时间
t_{RESET}	2 CLK IN周期	2 CLK IN周期	2 CLK IN周期	最小值	RESET脉冲宽度

注释

¹粗体显示的时序特性100%经过生产测试。所有其它时间均在+25°C下进行抽样测试，以确保符合标准要求。

所有输入信号均指定 $t_r = t_f = 5\text{ ns}$ (5V的10%到90%)并从1.6V电平起开始计时。

²测量 t_9 和 t_{14} 时，负载电路如图1所示，定义为输出跨越0.8V或2.4V所需的时间。

³ t_{10} 定义为采用图2所示负载电路时数据线改变0.5V所需的时间。

规格如有变更恕不另行通知。

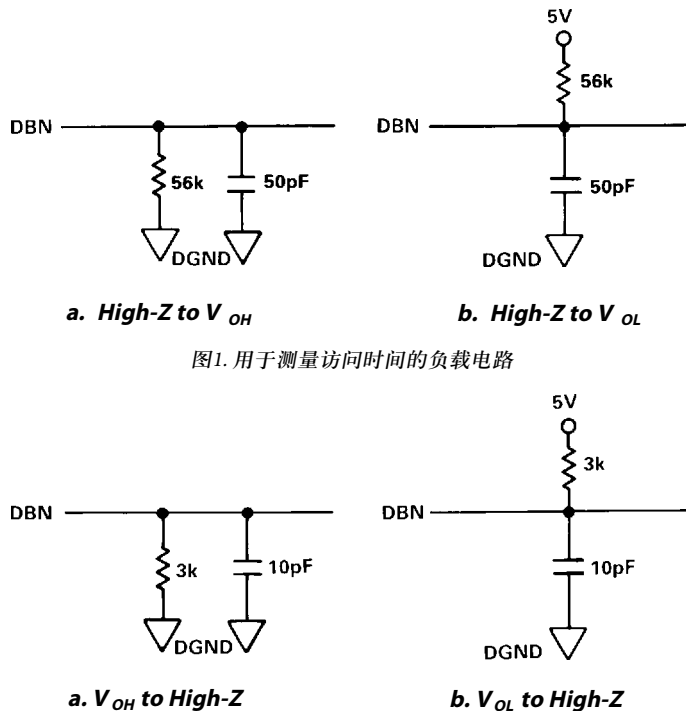


图1. 用于测量访问时间的负载电路

图2. 用于测量输出悬空延迟的负载电路

绝对最大额定值*

(除非另有说明, $T_A = +25^\circ\text{C}$)

V_{DD} 至DGND	-0.3 V至+7 V
V_{CC} 至DGND	-0.3 V至+7 V
V_{SS} 至DGND	+0.3 V至-7 V
V_{DD} 至 V_{CC}	-0.3 V至+0.3 V
AGND至DGND	-0.3 V至 $V_{DD} + 0.3\text{ V}$
V_{IN} 至AGND	-15 V至+15 V
REF OUT至AGND	0至 V_{DD}
数字输入至DGND	
CLK IN、 \overline{DMWR} 、 \overline{DMRD} 、 \overline{RESET} 、 \overline{CS} 、 \overline{CONVST} 、ADD0	-0.3 V至 $V_{DD} + 0.3\text{ V}$
数字输出至DGND	
ALFL、BUSY	-0.3 V至 $V_{DD} + 0.3\text{ V}$
数据引脚	
DB11-DB0	-0.3 V至 $V_{DD} + 0.3\text{ V}$
工作温度范围	
J、K、L级	0°C至+70°C
A、B级	-25°C至+85°C
S级	-55°C至+125°C
存储温度范围	-65°C至+150°C
引脚温度(焊接, 10秒)	+300°C
功耗(任何封装, 至+75°C)	1000 mW
+75°C以上减额幅度	10 mW/°C

*注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定值, 不表示在这些条件下或者在任何其它超出本技术规范操作章节中所列规格的条件下, 器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

警告

ESD(静电放电)敏感器件。静电电荷很容易在人体和测试设备上累积, 可高达4000 V, 并可能在没有察觉的情况下放电。尽管AD7878具有专有ESD保护电路, 但在遇到高能量静电放电时, 可能会发生永久性器件损坏。因此, 建议采取适当的ESD防范措施, 以避免器件性能下降或功能丧失。

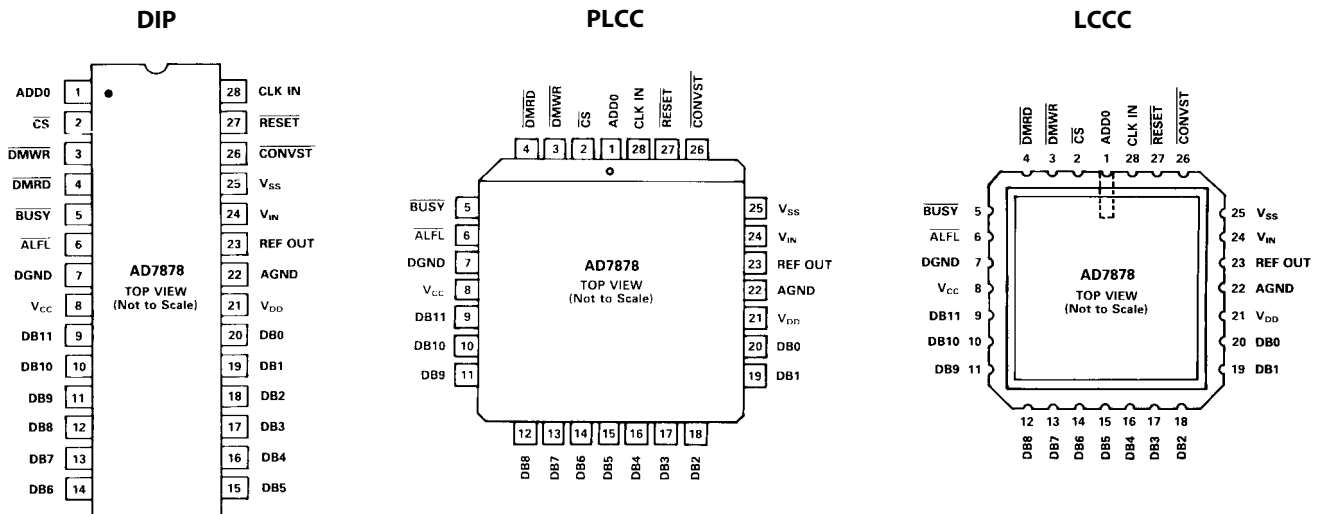


AD7878

引脚功能描述

引脚编号	引脚名称	功能
1	ADD	地址输入。此控制输入决定读操作期间置于输出数据总线上的字是来自FIFO RAM的数据字，还是状态/控制寄存器的内容。如果是逻辑低电平，则从FIFO的位置0开始访问数据字；如果是逻辑高电平，则选择寄存器的内容(参见“状态/控制寄存器”部分)。
2	$\overline{\text{CS}}$	片选。低电平有效逻辑输入。此输入有效时，选择该器件。
3	DMWR	DAM存储器写入。低电平有效逻辑输入。DMWR与 $\overline{\text{CS}}$ 低电平和ADD0高电平一起使用，以将数据写入状态/控制寄存器。对应于DMWR (ADSP-2100)、R/W(MC68000、TMS32020)、 $\overline{\text{WE}}$ (TMS32010)。
4	DMRD	数据存储器读取。低电平有效逻辑输入。 $\overline{\text{DMRD}}$ 与 $\overline{\text{CS}}$ 低电平一起使用，以使能三态输出缓冲器。直接对应于DMRD (ADSP-2100)、DEN (TMS32010)。
5	BUSY	低电平有效逻辑输出。当ADC收到一个 $\overline{\text{CONVST}}$ 脉冲时，此输出变为低电平，并保持低电平到采样保持器进入保持模式为止。当BUSY信号为低电平时，可以禁用AD7878的三态驱动器(参见“延长READ/WRITE”部分)。这是通过将逻辑0写入状态/控制寄存器的DB5 (DISO)来实现的。将逻辑1写入状态/控制寄存器的DB5时，可以在BUSY为低电平时从AD7878访问数据。
6	ALFL	FIFO接近满。逻辑低电平表示FIFO存储器中的字数(即转换结果数)已达到状态/控制寄存器中设置的字数。ALFL在每次转换结束时更新。当从FIFO存储器读取一个字且其字数少于设置的字数时，ALFL输出复位为逻辑高电平。也可以通过将逻辑1写入状态/控制寄存器的DB7 (ENAF)来将其设置为高电平。
7	DGND	数字地。数字电路的接地基准。
8	V_{CC}	数字电源电压，+5 V \pm 5%。数字电路的正电源电压。
9	DB11	数据位11 (MSB)。三态TTL输出。FIFO RAM中的数据字编码格式为二进制补码。
10–15	DB10–DB5	数据位10至数据位5。三态TTL输入/输出。
16–19	DB4–DB1	数据位4至数据位1。三态TTL输出。
20	DB0	数据位0 (LSB)。三态TTL输出。
21	V_{DD}	模拟正电源电压，+5 V \pm 5%。
22	AGND	模拟地。采样保持器、基准电压源和DAC的接地基准。
23	REF OUT	基准电压输出。内部3 V模拟基准电压通过此引脚提供。基准电压源的外部负载能力为500 mA。
24	V_{IN}	模拟输入。模拟输入范围为 ± 3 V。
25	V_{SS}	模拟负电源电压，-5 V \pm 5%。
26	CONVST	转换开始。逻辑输入。此输入从低电平跃迁为高电平时，采样保持器被置于保持模式，同时启动转换。CONVST输入与CLK IN异步且独立于 $\overline{\text{CS}}$ 、DMWR和DMRD。
27	RESET	复位。低电平有效逻辑输入。此输入为逻辑低电平时，FIFO存储器中的字被设置为1000 0000 0000，ALFL输出和状态/控制寄存器复位。
28	CLK IN	时钟输入。TTL兼容逻辑输入。用作ADC的时钟源。此时钟的传号-空号比可以在35/65至65/35范围内变化。

引脚配置



订购指南

型号 ^{1,2}	温度范围	信噪比	数据访问时间	封装选项 ³
AD7878JN	0°C至+70°C	70 dB	57 ns	N-28
AD7878AQ	-25°C至+85°C°	70 dB	57 ns	Q-28
AD7878SQ	-55°C至+125°C	70 dB	57 ns	Q-28
AD7878KN	0°C至+70°C	72 dB	57 ns	N-28
AD7878BQ	-25°C至+85°C	72 dB	57 ns	Q-28
AD7878LN	0°C至+70°C	72 dB	41 ns	N-28
AD7878SE	-55°C至+125°C	70 dB	57 ns	E-28A
AD7878JP	0°C至+70°C	70 dB	57 ns	P-28A
AD7878KP	0°C至+70°C	72 dB	57 ns	P-28A
AD7878LP	0°C至+70°C	72 dB	41 ns	P-28A

注释

¹欲订购按照MIL-STD-883 B类要求加工的器件，请在产品型号中附加/883B。军用数据手册请联系ADI公司本地办事处。

²ADI公司保留发送陶瓷(D-28)封装或cerdip (Q-28)密封封装的权利。

³E=无引脚陶瓷芯片载体；N=塑封DIP；P=塑封引脚芯片载体；Q=Cerdip。

⁴仅适用于/883B加工器件。

状态/控制寄存器

状态/控制寄存器具有双重功能，一是提供控制，二是监控FIFO存储器的状态。在ADD0为高电平时，此寄存器可直接通过读写数据总线(DB11-DB0)进行访问。对状态/控制寄存器的写操作可控制 $\overline{\text{ALFL}}$ 输出、总线接口和FIFO计数器复位。这一般是在上电初始化时完成。每次转换完成后，FIFO存储器地址指针递增1，并与状态/控制寄存器中设置的数值进行比较。达到设置的数值时，如果 $\overline{\text{ENAF}}$ 控制位设为0，则 $\overline{\text{ALFL}}$ 输出置位。经过预定的转换次数(1到8)后，可以利用此 $\overline{\text{ALFL}}$ 来中断微处理器。通过读取状态/控制寄存器，可以随时访问地址指针的状态以及样本超范围和 $\overline{\text{ALFL}}$ 状态。注意：读取状态/控制寄存器不会引起FIFO存储器的内部数据移动。从FIFO存储器读取数据字之前，应先从状态寄存器读取该特定字的状态信息。

状态/控制寄存器功能描述

DB11 ($\overline{\text{ALFL}}$)

接近满标志，只读。这与引脚6($\overline{\text{ALFL}}$ 输出)状态相同。逻辑低电平表示FIFO存储器中的字数已达到DB10-DB8位中设置的字数。 $\overline{\text{ALFL}}$ 在转换结束时更新。

DB10-DB8 (AFC2-AFC0)

接近满字数，读/写。该数值决定会导致 $\overline{\text{ALFL}}$ 置1的FIFO存储器字数。当FIFO字数等于这三位所设置的字数时， $\overline{\text{ALFL}}$ 输出和状态寄存器的DB11均设为逻辑低电平。例如，将代码011写入这些位时，如果FIFO存储器的位置0至位置3包含有效数据，则 $\overline{\text{ALFL}}$ 置1。AFC2是该字数的最高有效位。需要时可以回读该数值。

DB7 (ENAF)

使能接近满，读/写。此位写入1会禁用 $\overline{\text{ALFL}}$ 输出和状态寄存器DB11位。

DB6 (FOVR/RESET)

FIFO溢出/RESET，读/写。此位读出1表示至少有一个样本被丢弃，因为FIFO存储器已满。当FIFO已满(即包含8个字)时，后续转换结果会丢失。此位写入1会导致系统复位，如同RESET输入(引脚27)。

DB5 (FOOR/DISO)

FIFO超出范围/禁用输出，读/写。此位读出1表示FIFO存储器中至少有一个样本超出范围。此位写入0可防止数据总线在BUSY为低电平时激活，无论CS和 $\overline{\text{DMRD}}$ 为何状态。

DB4 (FEMP)

FIFO空，只读。读出1表示FIFO存储器中无样本。FIFO为空时，FIFO的内部纹波下降效应禁用，后续读取将继续访问位置0的最后有效数据字。

DB3 (SOOR)

样本超出范围，只读。读出1表示要读取的下一个样本超出范围，即FIFO位置0中的样本。

DB-DB0 (FCN2-FCN0)

FIFO字数，只读。这些位的读出值表示FIFO存储器中的样本数。例如，读出011表示位置0至位置3包含有效数据。注意：读出全0表示FIFO存储器中有一个字或无字；这种情况下，FIFO Empty决定存储器中是否有字。FCN2是最高有效位。

表I. 状态/控制位功能描述

位的位置	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
状态信息(读取)	$\overline{\text{ALFL}}$	AFC2	AFC1	AFC0	$\overline{\text{ENAF}}$	FOVR	FOOR	FEMP	SOOR	FCN2	FCN1	FCN0
控制功能(写入)	X	AFC2	AFC1	AFC0	ENAF	RESET	DISO	X	X	X	X	X
复位功能	1	0	0	0	0	0	0	1	0	0	0	0

X=无关

AD7878

内部FIFO存储器

AD7878的内部FIFO存储器包括8个存储器位置。存储器中的每个字包含13位信息：12位数据来自于转换结果，1个附加位包含关于12位结果是否超出范围的信息。AD7878 FIFO结构的框图如图3所示。

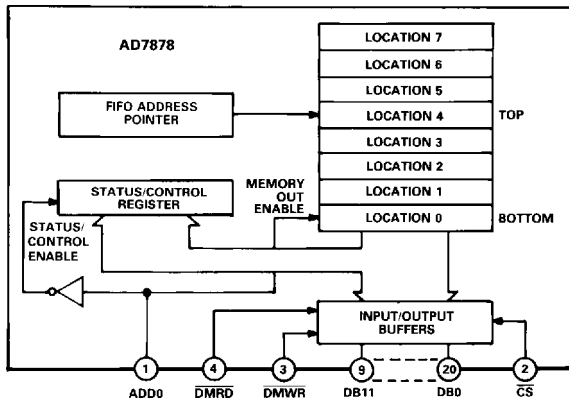


图3. 内部FIFO结构

转换期间，转换结果收集在逐次逼近寄存器(SAR)中。转换结束时，此结果被传送到FIFO存储器。FIFO地址指针始终指向存储器顶部，即包含有效数据的最高位置。每次转换完成后，指针递增1。对FIFO存储器的读操作访问FIFO底部(位置0)的数据。读操作完成时，各数据字下移一个位置，地址指针递减1。因此，SAR中的每个转换结果都是进入存储器顶部，然后随着连续不断的读操作而逐步下降，直至达到位置0，此时便可通过微处理器读操作进行访问。

从SAR到FIFO的信息传输与AD7878输入时钟(CLK IN)同步发生。FIFO中数据字的逐步下降也与此时钟同步。因此，执行读操作以从FIFO获取数据也必须与CLK IN同步，以免FIFO中发生读写冲突(即从FIFO位置0读取数据的同时，它正在更新)。这要求微处理器时钟与AD7878 CLK IN是从同一来源获得。

内部比较器时序

ADC时钟施加于CLK IN引脚，用于控制逐次逼近型模数转换过程。此时钟内部4分频，产生最短500 ns的位检验周期

时间(CLK IN = 8 MHz时钟)。每次位判断发生在此分频时钟的上升沿后25 ns。位判断结果由内部比较器选通信号的上升沿锁存。像正常逐次逼近程序一样，有12次位判断，外加一次检查输入样本是否超出范围的判断。对于一般的逐次逼近型ADC，在转换期间从器件读取数据会破坏正在进行的转换。这是因为数据总线的充电和放电会产生与位判断同时的片内瞬变。下面所述的方案(如图4所示)说明了AD7878如何克服此问题。

AD7878的内部比较器选通信号由DMRD和DMWR选通，如果在即将要进行位判断时发生读或写操作，位判断点会延后一个CLK IN周期。换言之，在CLK IN低电平期间，如果DMRD或DMWR在比较器选通边沿前不久(图4的 t_{LOW})变为低电平(同时CS为低电平)，则位检验暂停一个时钟周期。这可以确保位判断结果在AD7878未尝试对数据总线进行充电或放电时锁存，从而防止位判断点附近出现内部杂散瞬变。

判断点延后机制如图4所示(示例为MSB判断)。一般情况下，MSB判断发生在CONVST变为高电平后的第四个CLK IN上升沿后25 ns。然而，在图4所示的时序中，CS和DMRD或DMWR在第四个上升沿的MSB判断点之前的时间 t_{LOW} 内为低电平。这导致内部比较器选通延后到第五个上升沿。在此第五个上升沿之前的时间 t_{LOW} 内，AD7878会再次检查；如果CS和DMRD或DMWR仍为低电平，位判断点将再次延后一个时钟周期。

ADC的转换时间一般包括上述13次位校验时间和一个额外的内部时钟周期(用于将数据从SAR写入FIFO)。对于8 MHz输入时钟，转换时间为7 μ s。然而，服务AD7878的软件程序有能力在转换期间从器件读取16次：8次读取FIFO，8次读取状态/控制寄存器。它还有能力对状态/控制寄存器执行一次写操作。如果这17个操作(16个读操作和1个写操作)全都发生在 t_{LOW} 期间，转换时间将延后17个CLK IN周期。因此，如果允许 t_{LOW} 期间发生读或写操作，则ADC的转换时间可能是7 μ s到9.12 μ s(假设8 MHz CLK IN)。本计算假设每个读或写操作都会导致转换延后一个CLK IN周期。

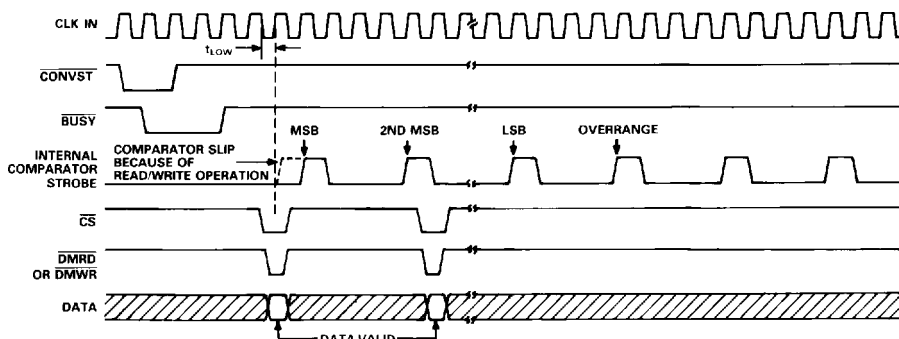


图4. 工作时序图

启动转换

AD7878的转换通过置位CONVST输入而启动。此CONVST输入为异步输入，与ADC或DSP时钟无关。这对于需要精密采样时间的应用至关重要。在此类应用中，信号采样必须以严格相等的间隔发生，以便将采样不确定性或抖动引起的误差降至最低。这种情况下，CONVST输入由驯时器或某种精密时钟源驱动。收到CONVST脉冲时，AD7878做出应答，将BUSY输出拉低。此BUSY输出可用来确保采样保持器从跟踪进入保持模式时无总线活动(参见“延长读/写”部分)。CONVST输入必须保持低电平至少两个CLK IN周期。采样保持放大器在CONVST的上升沿从跟踪模式切换到保持模式，而转换同时在此处启动。CONVST输入变为高电平后，BUSY输出返回高电平，ADC开始逐次逼近程序。转换启动后，在完整的转换周期完成之前，不应尝试开始下一次转换。图5显示了转换启动的驯时图。

在不要求精密采样的应用中，CONVST脉冲可以由解码地址(不同于AD7878 CS地址)选通的微处理器WR或RD线产生。注意，CONVST脉冲宽度至少必须为两个AD7878 CLK IN周期。

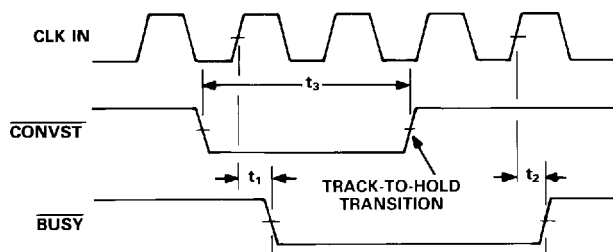


图5. 转换启动时序图

读写操作

AD7878读写操作包括读取FIFO存储器以及读写状态/控制寄存器。这些操作由CS、DMRD、DMWR和ADD0逻辑输入控制，详见下面几部分的说明。除基本读写操作以外，还有延长读写操作。CONVST脉冲期间发生的读写操作就是延长读写操作。这种操作主要用于可以进入WAIT状态的微处理器；外部定时器控制与微处理器读写操作异步的CONVST输入时，建议使用这种方案。

基本读操作

图6显示了AD7878基本读操作的时序。CS和DMRD变为低电平即可访问状态/控制寄存器或FIFO存储器中的数据。ADD0低电平时的读操作访问FIFO中的数据，ADD0高电平时的读操作访问状态/控制寄存器中的数据。

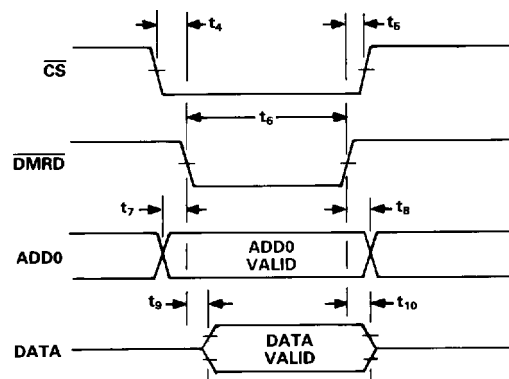


图6. 基本读操作

基本写操作

对AD7878状态/控制寄存器进行基本写操作时，须在ADD0高电平时将CS和DMWR拉低。在器件内部，这些信号由CLK IN选通，从而提供内部REGISTER ENABLE信号(见图7)。REGISTER ENABLE信号的脉冲宽度恰好等于CLK IN低电平时间与DMWR脉冲的重叠部分。这可能导致写脉冲宽度、数据建立时间和数据保持时间短于微处理器的指定参数。因此，图8中的AD7878时序是相对于内部REGISTER ENABLE信号而言，而不是相对于DMWR信号。

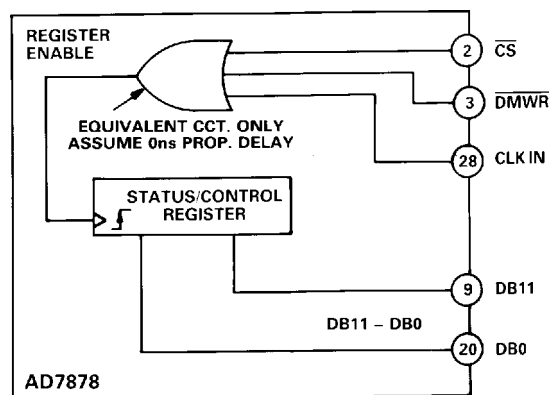
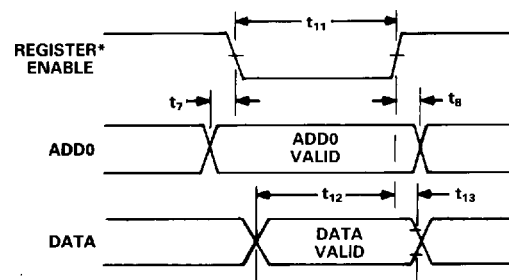


图7. DMWR内部逻辑



*REGISTER ENABLE = $\overline{\text{CS}} + \overline{\text{DMWR}} + \text{CLK IN}$

图8. 基本写操作

AD7878

延长读写操作

如上文所述，对AD7878的读写操作可能引起片内杂散瞬变。如果这些瞬变发生在采样保持器从跟踪模式进入保持模式期间，可能导致采样保持器保持的 V_{IN} 值不正确。由于 $\overline{\text{CONVST}}$ 输入具有异步能力，因此读写操作可以在 $\overline{\text{CONVST}}$ 为低电平时发生。AD7878允许读写操作发生，但有能力禁用三态驱动器，使得数据总线无活动，因而在采样保持器从跟踪进入保持模式时不会产生瞬变。

将逻辑0写入状态/控制寄存器的DB5 ($\overline{\text{DISO}}$)时，可以在AD7878 $\overline{\text{BUSY}}$ 为低电平时防止输出锁存器使能。如果微处理器读写操作可以在 $\overline{\text{BUSY}}$ 低电平期间发生，则 $\overline{\text{BUSY}}$ 应利用AD7878的 $\overline{\text{CS}}$ 选通，并利用此选通信号延长使用DMACK (ADSP-2100)、READY (TMS32020)或 $\overline{\text{DTACK}}$ (68000)的指令周期。

当 $\overline{\text{CONVST}}$ 变为低电平时，AD7878发出应答，在CLK IN的下一个上升沿将 $\overline{\text{BUSY}}$ 拉低。DB5为逻辑0时，AD7878数据总线即无法使能。如果现在发生读写操作， $\overline{\text{BUSY}}$ 和 $\overline{\text{CS}}$ 选通信号将把微处理器驱动到WAIT状态，从而延长读写操作。 $\overline{\text{BUSY}}$ 在 $\overline{\text{CONVST}}$ 变为高电平后的第二个CLK IN上升沿变为高电平。AD7878数据输出现已使能，微处理器离开WAIT状态，可以完成其对AD7878的读写操作。

最差情况下，读写操作的微处理器周期时间延长 $\overline{\text{CONVST}}$ 脉冲宽度加2个CLK IN周期。这是 $\overline{\text{BUSY}}$ 可以处于低电平的最长时间。假设 $\overline{\text{CONVST}}$ 脉冲宽度为2个CLK IN周期且CLK IN为8 MHz，则指令周期最多延长500 ns。图9给出了延长读操作的时序图。同样，如果写操作发生在 $\overline{\text{CONVST}}$ 脉冲期间，则它也会被延长。

对于无法进入WAIT状态的处理器，将逻辑1写入状态/控制寄存器的DB5可以使输出锁存器在 $\overline{\text{BUSY}}$ 为低电平时使能。这种情况下， $\overline{\text{BUSY}}$ 仍像以前一样变为低电平，但它不是用于延长读写周期，指令周期保持正常(见图6和图8)。

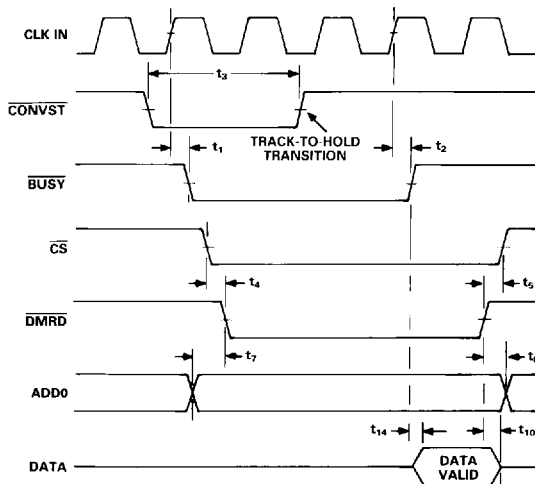


图9. 延长读操作

AD7878动态特性

AD7878的积分和微分非线性等传统直流特性未经100%测试，但其动态特性则经过全面测量和100%测试。这些交流特性反映AD7878对输入信号频谱成分的影响。因此，AD7878的额定参数包括SNR、谐波失真、交调失真和峰值谐波。下面几部分将详细说明这些术语。

信噪比(SNR)

SNR是指在ADC输出端测得的信号对噪声比。这里的信号是基波幅值的均方根值。噪声为半采样频率($f_s/2$)以下的所有非基波信号(直流信号除外)的均方根和。SNR的大小取决于数字化过程中使用的量化级数，量化级数越多，量化噪声就越小。对于一个正弦波输入，信噪比理论值计算公式为：

$$\text{SNR} = (6.02 N + 1.76) \text{ dB} \quad (1)$$

其中，N为位数。因此，对于理想的12位转换器，SNR为74 dB。

ADC的输出频谱通过如下方式进行评估：对 V_{IN} 输入施加一个失真非常低的正弦波信号，并以100 kHz采样速率进行采样。然后产生一个快速傅里叶变换(FFT)图，由此便可获得SNR数据。图10给出了AD7878KN的典型2048点FFT图，输入信号为25 kHz，采样频率为100 kHz。通过此图得出的SNR为72.6 dB。应注意，SNR计算中包括谐波。

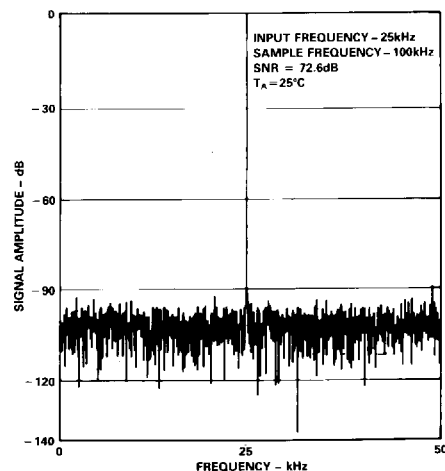


图10. AD7878 FFT图

有效位数

公式(1)反映了SNR与位数的关系。将该公式改写为公式(2)，即可获得用有效位数(N)表示的性能指标。器件的有效位数可以直接通过其实测SNR获得。

$$N = \frac{\text{SNR} - 1.76}{6.02} \quad (2)$$

图11显示了AD7878KN有效位数与不同频率的典型关系，采样频率为100 kHz。有效位数典型值是11.7到11.85，对应的SNR值为72.2dB到73.1 dB。

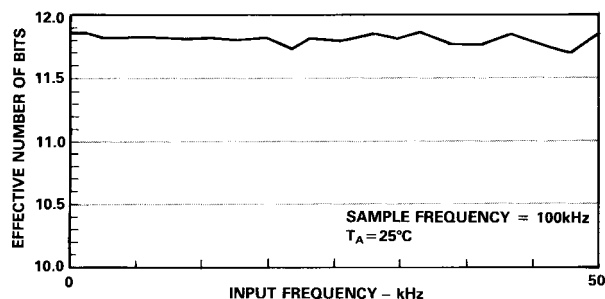


图11. 有效位数与频率的关系

谐波失真

谐波失真是指谐波均方根和与基波的比值。对于AD7878，总谐波失真(THD)定义为：

$$THD = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

其中， V_1 是基波幅度的均方根值； V_2 、 V_3 、 V_4 、 V_5 和 V_6 是二次到六次谐波幅度的均方根值。THD也是从ADC输出频谱的FFT图获得。

交调失真(IMD)

当输入由两个频率分别为 f_a 和 f_b 的正弦波组成时，任何非线性有源器件都会以和与差频 $m f_a \pm n f_b$ (其中 $m, n = 0, 1, 2, 3, \dots$)的形式产生失真产物。交调项的 m 和 n 都不等于0。例如，二阶项包括 $(f_a + f_b)$ 和 $(f_a - f_b)$ ，而三阶项包括 $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 和 $(f_a - 2f_b)$ 。

测试采用CCIF标准，此标准使用输入带宽顶端的两个输入频率，二阶项和三阶项的意义不同。二阶项频率通常远离初始正弦波，而三阶项频率通常靠近输入频率。因此，二阶项和三阶项需分别指定。交调失真根据THD参数来计算，它是个别失真积的均方根和与基波的幅度均方根的比值，用dB表示。

交调失真利用FFT算法计算，但对于这种情况，输入包括两个等幅低失真正弦波。图12给出了AD7878的典型IMD图。

峰值谐波或杂散噪声

峰值谐波或杂散噪声是指在ADC输出频谱(最高达 $FS/2$ ，直流信号除外)中，下一个最大分量的均方根值与基波均方根值的比。通常情况下，此参数值由频谱内的最大谐波决定，但对于谐波淹没于本底噪声内的器件，最大峰值为噪声峰值。

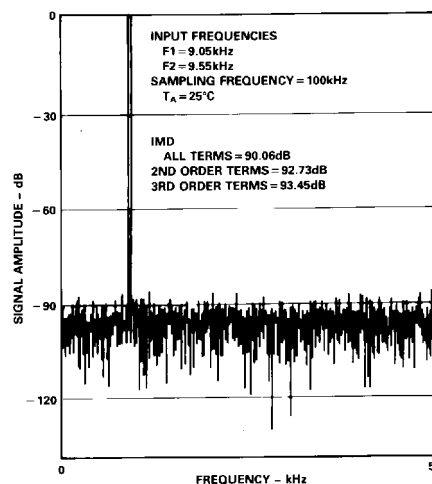


图12. AD7878 IMD图

直方图

将一个指定频率的正弦波施加于AD7878的VIN输入端，并采集数百万样本，就可以绘制一幅直方图，显示各ADC代码(共4096个)的出现频率。如果特定步长比理想1 LSB宽度要宽，那么与该步长相关的代码所积累的次数将多于理想步长的代码。同样，对于比理想步长要窄的步长，其积累的次数也较少。直方图中很容易看到失码，失码意味着特定代码的出现次数为0。直方图中的大尖峰表示微分非线性很大。

图13所示为AD7878KN的直方图，采样频率为100 kHz，输入频率为25 kHz。对于正弦波输入，理想ADC将产生下式所描述的波峰概率密度函数：

$$p(V) = \frac{1}{\pi \sqrt{A^2 - V^2}}$$

其中， A 是正弦波的峰值幅度， $p(V)$ 是电压 V 的出现概率。图13所示的直方图与此波峰形状非常相似。此图中没有大尖峰，表明动态微分非线性很小(图中最大的尖峰所代表的DNL误差小于 $1/4$ LSB)。这些条件下，没有代码的出现次数为0，因此AD7878没有失码。

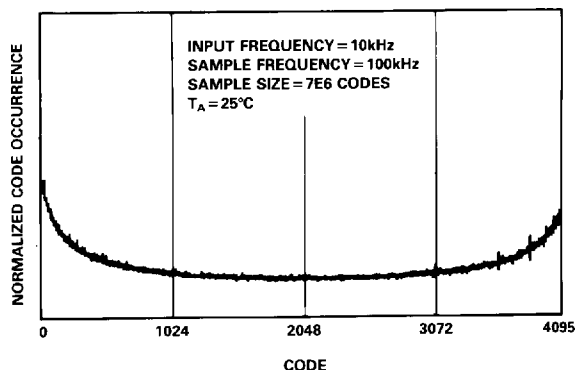


图13. AD7878直方图

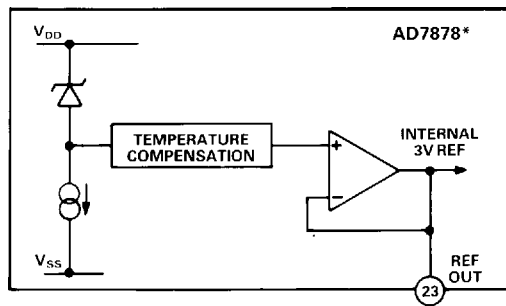
AD7878

转换时序

AD7878的采样保持器在 $\overline{\text{CONVST}}$ 的上升沿从跟踪模式进入保持模式，此时的 V_{IN} 值就是要转换的值。然而，转换实际上是在 $\overline{\text{CONVST}}$ 变为高电平后的下一个CLK IN上升沿开始。如果 $\overline{\text{CONVST}}$ 在CLK IN上升沿之前的大约30 ns内变为高电平，CLK IN沿就不会被视为转换过程的第一个CLK IN沿，经过一个CLK IN周期后转换才开始。因此，转换时间(从 $\overline{\text{CONVST}}$ 到FIFO更新)将有一个时钟周期的变化幅度，具体取决于 $\overline{\text{CONVST}}$ 与CLK IN之间的关系。一个转换周期一般包括56个CLK IN周期(假设无读写操作)，相当于7 μs 转换时间。如果 $\overline{\text{CONVST}}$ 在CLK IN上升沿之前的30 ns内变为高电平，则转换时间包括57个CLK IN周期，即7.125 μs 。这一效应不会引起采样保持器抖动。

内部基准电压源

AD7878有一个片内温度补偿的嵌入式齐纳基准电压源(见图14)，它在工厂调整为 $3\text{V} \pm 1\%$ 。在器件内部，它提供DAC基准电压和双极性操作所需的直流偏置。基准输出在REF OUT上提供，可驱动最大500 μA 的外部负载。



*ADDITIONAL PINS OMITTED FOR CLARITY

图14. AD7878基准电压源电路

正常工作时，REF OUT上的最大推荐电容为50 pF。如果需要在AD7878外部使用该基准电压，应利用以下元件进行去耦：200 Ω 电阻与10 μF 钽电容和0.1 μF 陶瓷电容的并联组合串联。这些去耦元件用于消除AD7878内部工作引起的电压尖峰。

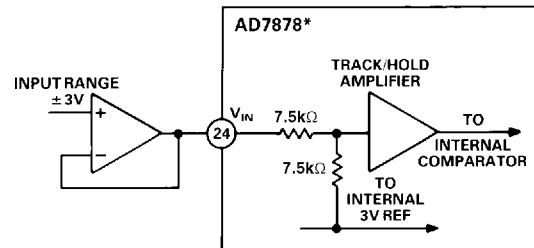
采样保持放大器

利用AD7878模拟输入端的采样保持放大器，ADC可以用12位精度精确转换6 V峰峰值幅度的输入正弦波。即使ADC以最少转换时间工作，采样保持放大器的输入带宽也大于ADC的奈奎斯特频率。0.1 dB截止频率典型值为500 kHz。采样保持放大器以12位精度采集输入信号的时间不到2 μs 。

采样保持放大器的操作对用户是透明的。采样保持放大器在转换开始时($\overline{\text{CONVST}}$ 的上升沿)从跟踪模式进入保持模式，在转换结束时返回跟踪模式。

模拟输入

图15显示了AD7878的模拟输入。模拟输入范围为 $\pm 3\text{V}$ ，输入电阻典型值为15 k Ω 。所设计的码转换都发生在两个连续整数LSB值的中点(即1/2 LSB、3/2 LSB、5/2 LSB、...、FS - 3/2 LSB)。输出编码为二进制补码，1 LSB = FS/4096 = 6 V/4096 = 1.46 mV。理想输入/输出传递函数如图16所示。



*ADDITIONAL PINS OMITTED FOR CLARITY

图15. AD7878模拟输入

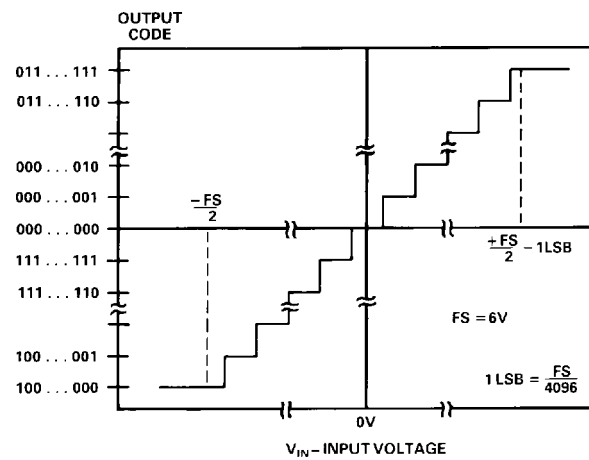


图16. 输入/输出传递函数

失调和满量程调整

在大部分数字信号处理(DSP)应用中，失调和满量程误差对系统性能的影响极小或无影响。失调误差可以在模拟域中通过交流耦合消除。满量程误差的影响是线性的，只要输入信号在ADC的全动态范围以内，就不会引起问题。某些应用可能要求输入信号占满模拟输入的全部动态范围，相应地，必须将失调和满量程误差调整到0。

需要调整时，必须先调整失调误差，再调整满量程误差。实现方法是在输入电压比地低1/2 LSB的同时，调整用来驱动AD7878模拟输入端的运算放大器的失调。调整程序如下：在V1端施加一个-0.73 mV (-1/2 LSB)的电压，调整运算放大器失调电压，直到ADC输出码在1111 1111 1111和0000 0000 0000之间闪烁。

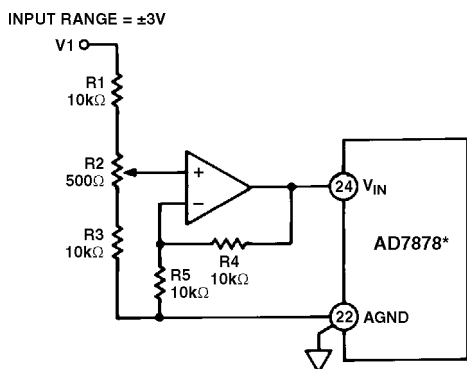
增益误差可以在第一个码转换(ADC负满量程)或最后一个码转换(ADC正满量程)进行调整。两种情况下的调整程序如下所述：

正满量程调整

在 V_i 端施加一个 2.9978 V ($FS/2 - 3/2\text{ LSB}$)的电压, 调整 R_2 , 直到ADC输出码在0111 1111 1110和0111 1111 1111之间闪烁。

负满量程调整

在 V_i 端施加一个 -2.9993 V ($-FS/2 + 1/2\text{ LSB}$)的电压, 调整 R_2 , 直到ADC输出码在1000 0000 0000和1000 0000 0001之间闪烁。



*ADDITIONAL PINS OMITTED FOR CLARITY.

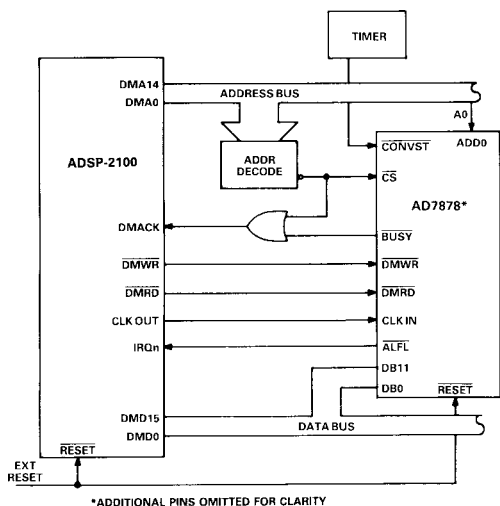
图17. AD7878满量程调整电路

微处理器接口

AD7878高速总线时序支持与DSP处理器直接接口。由于AD7878内部逻辑的复杂性, 它仅支持同步接口。这意味着, ADC时钟必须与处理器时钟相同或从后者获得。适当的处理器接口如图18至图21所示。

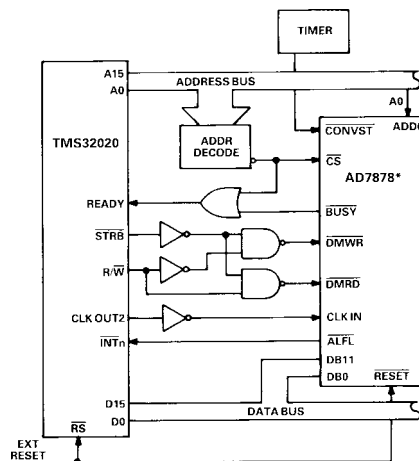
AD7878-ADSP-2100/TMS32010/TMS32020

所有三个接口均采用外部定时器来控制转换, 允许ADC的模拟输入采样与微处理器异步。当达到FIFO预设字数时, AD7878 ALFL输出中断处理器。然后, 处理器从AD7878内部FIFO存储器读取转换结果。



*ADDITIONAL PINS OMITTED FOR CLARITY

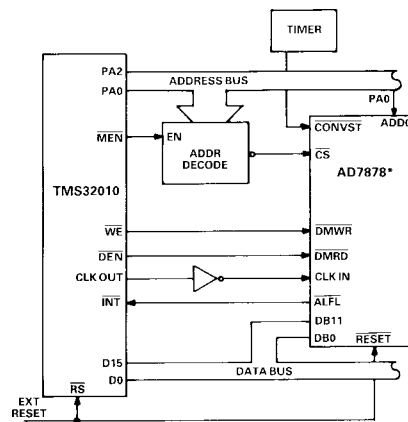
图18. AD7878-ADSP-2700接口



*ADDITIONAL PINS OMITTED FOR CLARITY

图19. AD7878-TMS32020接口

在ADC采样保持放大器从跟踪模式进入保持模式的同时, 如果试图对ADC执行读写操作, 则器件与ADSP-2100和TMS32020的接口将选通AD7878 CS和BUSY以提供一个信号, 将处理器驱动到等待状态。这可以避免数字馈通模拟电路。TMS32020没有单独的RD和WR输出来驱动AD7878 DMWR和DMRD输入。这些是由处理器STRB和R/W输出以及其它一些逻辑门产生。



*ADDITIONAL PINS OMITTED FOR CLARITY

图20. AD7878-TMS32020接口

AD7878-M CC8000

像上述三个接口一样, 此接口同样利用外部定时器来控制转换。之所以单独讨论, 是因为其中断比较特殊, 需要额外的逻辑。MC68000具有8级外部中断。中断此处理器时, 必须将其中一级(0到7)编码到IPL2-IPL0输入上。这是通过图21中的74148编码器实现的, 示例以1级中断为例。MC68000在中断服务程序的开始将此中断级别置于地址位A3至A1上。额外的逻辑用于解码地址总线和FC2-FC0输出上的此中断级别, 以产生用于MC68000的VPA信号。这将导致一个自动矢量中断, 服务程序的起始地址必须在初始化期间载入适当的自动矢量位置。有关68000中断的更多信息, 请参阅68000用户手册。

AD7878

MC68000 \overline{AS} 和 R/\overline{W} 输出用于产生AD7878的独立 \overline{DMWR} 和 \overline{DMRD} 输入。与上述三个接口一样，如果试图在采样保持放大器从跟踪模式进入保持模式的同时执行读写操作，则会插入WAIT状态。

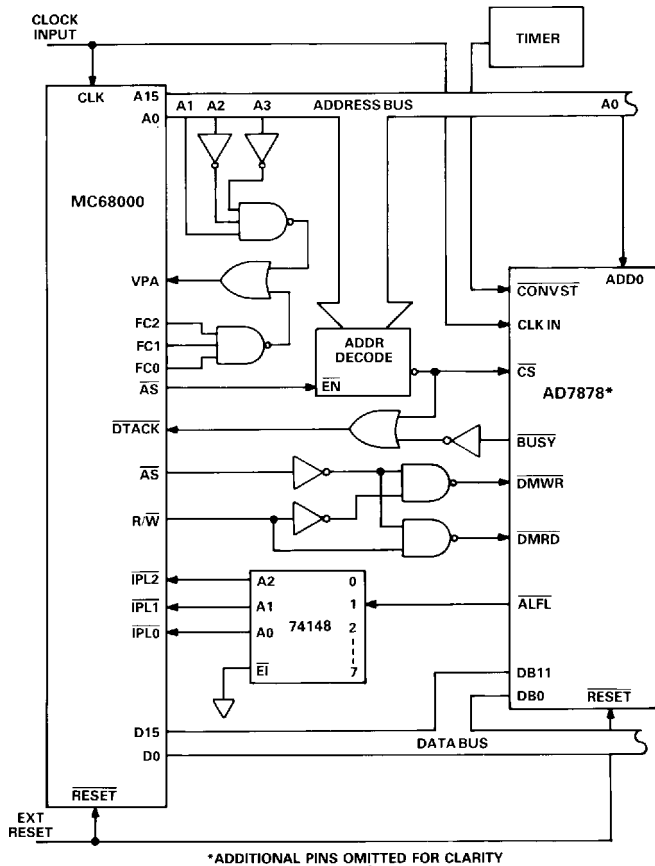


图21. AD7878-MC68000接口

AD7878微处理器典型工作顺序

上电或复位后，状态/控制寄存器初始化并写入AD7878，从而使能 \overline{ALFL} 输出(如果微处理器中断需要)并设置FIFO存储器的有效字长。现在，处理器执行程序的主题，同时等待ADC中断。当FIFO存储器中收集到预设样本数时，就会产生此中断。中断服务程序首先查询状态/控制寄存器的DB5(FOOR)，确定FIFO存储器中是否有样本超出范围。如果所有数据样本都有效，程序将继续执行，读取FIFO存储器。然而，如果至少有一个样本超出范围，就会调用超范围程序。

超范围程序可以采取许多措施，具体选择取决于应用。一个选择是忽略FIFO存储器中的所有当前样本，重新初始化状态/控制寄存器，然后返回程序的主体。另一个选择是检查FIFO存储器中各字的超范围状态，丢弃无效的字。也可以确定各字的欠范围或超范围状态，并相应地调整模拟输入，然后返回主程序。

注意：如果模拟输入肯定在范围以内，则无需检查超范围状态。

吞吐速率

AD7878的最大额定吞吐速率(采样速率)为100 kHz。这是最差情况测试条件，只要遵守奈奎斯特准则，那么这些特性也适用于降低采样速率的情况。吞吐速率必须考虑ADC \overline{CONVST} 脉冲宽度、ADC转换时间和采样保持放大器的采集时间。针对若干DSP处理器，完成这些任务所需的时间如表2所示。ADC时钟必须与微处理器时钟同步，因此转换时间取决于所用的微处理器。此外，必须提供时间来读取AD7878中的数据。此任务如果是在采样保持放大器采集期间执行，则不会影响总吞吐速率。然而，读操作如果发生在转换期间，则可能会延长转换时间并缩短采样保持放大器采集时间。采样保持放大器至少需要2 μ s工作时间。读取AD7878所需的时间取决于要读取的FIFO存储器位置和软件组织。

例如，考虑一个采用ADSP-2100和AD7878的应用，吞吐速率为100 kHz。 \overline{CONVST} 脉冲和ADC转换所需的时间为7.375 μ s。因此，采样保持器采集和读取ADC可用的时间为2.625 μ s(这两个操作并行发生)。ADSP-2100采用32 MHz时钟时，指令周期为125 ns，中断响应时间为500 ns。因此，在允许的时间预算内，有足够的时间来执行16次读操作。

表II.AD7878吞吐速率

	\overline{CONVST} 脉冲宽度	转换时间	采样保持器 采集时间
时钟周期数	2(最小值)	57(最大值)	不适用
ADSP-2100 ¹	250 ns(最小值)	7.125 μ s(最大值)	2 μ s(最小值)
TMS32010 ²	400 ns(最小值)	11.14 μ s(最大值)	2 μ s(最小值)
TMS32020 ²	400 ns(最小值)	11.14 μ s(最大值)	2 μ s(最小值)

注释

¹ADSP-2100时钟频率 = 32 MHz。

²TMS320XX时钟频率 = 20 MHz。

应用须知

为实现高速模数转换性能，良好的印刷电路板(PCB)布局与整体电路设计本身一样重要。AD7878需要对1.465 mV的LSB大小进行位判断。为此，设计师必须了解ADC本身及前置模拟电路的噪声。不推荐使用开关模式电源，因为开关尖峰会馈通比较器，导致码转换噪声较高。其它需要注意的地方包括接地环路和微处理器的数字馈通。任何ADC都会受这些因素影响，应采用适当的PCB布局以将这些影响降至最低，这对于实现最佳性能至关重要。

布局须知

确保印刷电路板布局将数字与模拟信号线尽可能分开。数字走线不得与模拟信号走线并排放置。用AGND保护(屏蔽)模拟输入。

在引脚22 (AGND)或尽可能靠近AD7878的地方建立一个独立于逻辑系统地的单点模拟地(星型接地),如图22所示。将所有其它地和引脚7 (AD7878 DGND)连接到此单点模拟地。不要将任何其它数字地连接到此模拟接地点。为降低ADC的工作噪声,模拟和数字电源公共回路的阻抗必须非常低,因此这些走线所用的金属应尽可能宽。使用接地层可最大程度地缩短阻抗路径,同时有助于保护模拟电路不受数字噪声影响。图25和图26所示的电路布局包含模拟和数字接地层,这两个接地层分开,仅在AD7878 AGND引脚处联结。

噪声

V_{IN} 的输入信号引线和AGND(引脚22)的信号回路引线应尽可能短,以将输入噪声耦合降至最低。在无法这样做的应用中,信号源与ADC之间应使用屏蔽电缆。应尽可能降低地电路阻抗,因为信号源与ADC之间的任何地电位差都会表现为与输入信号串联的误差电压。

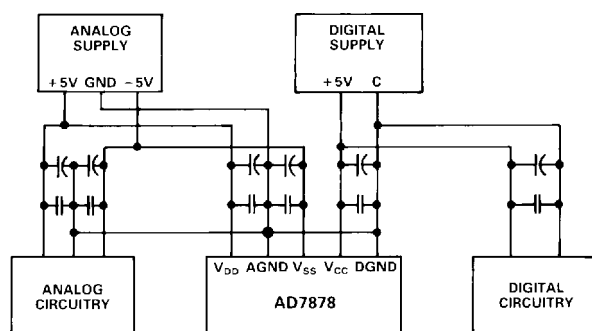


图22. 电源接地做法

数据采集板

图23显示数据采集电路中的AD7878与ADSP-2100、TMS32010或TMS32020直接接口。对应的印刷电路板(PCB)布局和丝印如图24至图26所示。

只需外加一个抗混叠滤波器就构成一个完整的数据采集系统。PCB上模拟输入端附近有一个元件网,它可以用于此种滤波器或任何其它调理电路。为支持这一选项,模拟输入走线上需要一个线路链接(PCB上标记为LK1)。此链接将输入信号连接到元件网,或直接连到用以驱动AD7878模拟输入的缓冲放大器。

微处理器与PCB的连接可以通过两种方式实现:

1. 96触头(3列)Eurocard连接器。
2. 26触头(2列)IDC连接器。

96触头Eurocard连接器与ADSP-2100评估板原型扩展连接器直接兼容。ADSP-2100的扩展连接器有8路解码滴注使能输出,分别标记为ECE8至ECE1。ECE6用于驱动数据采集板上的AD7878 CS输入。为避免同时选择板上RAM插座,

必须移除ADSP-2100板上的LK6。此外,ADSP-2100上的扩展连接器有4个中断,分别标记为EIRQ3至EIRQ0。AD7878 ALFL输出连接到EIRQ0。AD7878和ADSP-2100数据线对齐以实现左对齐数据传输。

26路IDC连接器包含用于TMS32010和TMS32020的所有必要触头。数据采集板上有两个开关,必须设置这些开关以使能适当的接口配置(见表III)。TMS32010/32020的接口连接和IDC信号触头数如表IV和图23所示。注意,对于TMS320XX接口,AD7878 CS输入必须从AD7878评估板之前的地址总线解码。

模拟输入(V_{IN})和CONVST输入通过丝印上两个标记为SKT1和SKT2的BNC插座连接。如果CONVST输入从微处理器或ADC时钟获得,那么时钟噪声耦合的影响会降低。

表III. AD7878 PCB开关设置
开关设置

微处理器	SW1	SW2
ADSP-2100	A	A
TMS32010	B	A
TMS32020	B	B

电源连接

PCB需要两个模拟电源和一个5V数字电源。模拟电源直接连接到PCB,如图24的丝印所示。连接被标记为V+和V-,这两个电源的范围均是12V到15V。5V数字电源通过两个微处理器连接器之一连接。AD7878所需的+5V和-5V模拟电源由V+和V-电源输入端的两个稳压器(图23中的IC3和IC4)产生。

元件列表

IC1	AD711运算放大器
IC2	AD7878模数转换器
IC3	MC78L05 5V稳压器
IC4	MC79L05 -5V稳压器
IC5*	74HC00四通道NAND门
IC6*	74HC04十六通道逆变器
IC7	74HC02四通道NOR门
SW1	单刀双掷
SW2	双刀双掷
LK1	模拟输入的线路链接
C1, C3, C5, C7, C9	10 mF电容
C11, C13, C15	
C2, C4, C6, C8, C10	0.1 mF电容
C12, C14, C16	
R1*, R2*	10 kΩ电阻
SKT1, SKT2	BNC插座
SKT3	26触头(2列)IDC连接器
SKT4	96触头(3列)Eurocard连接器

*ADSP-2100接口不需要。

AD7878

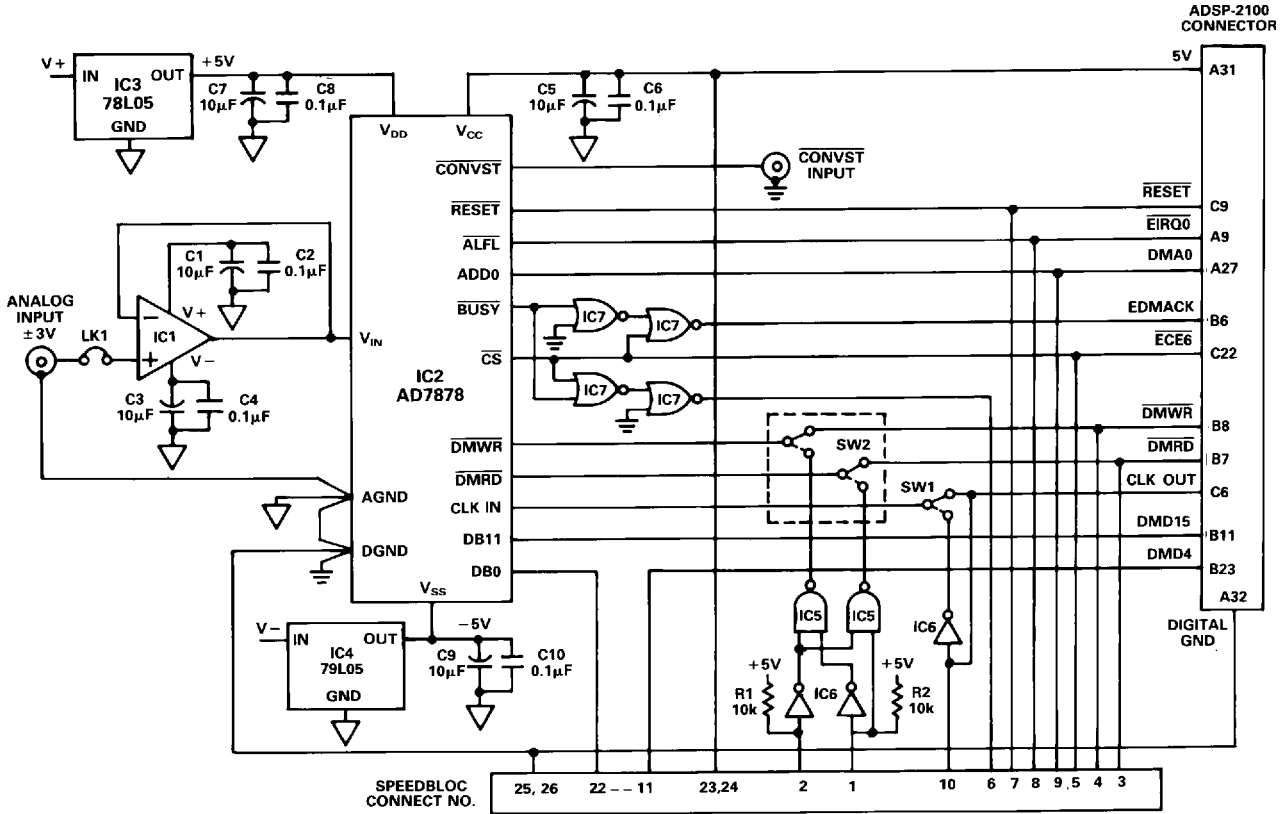


图23. 采用AD7878的数据采集电路

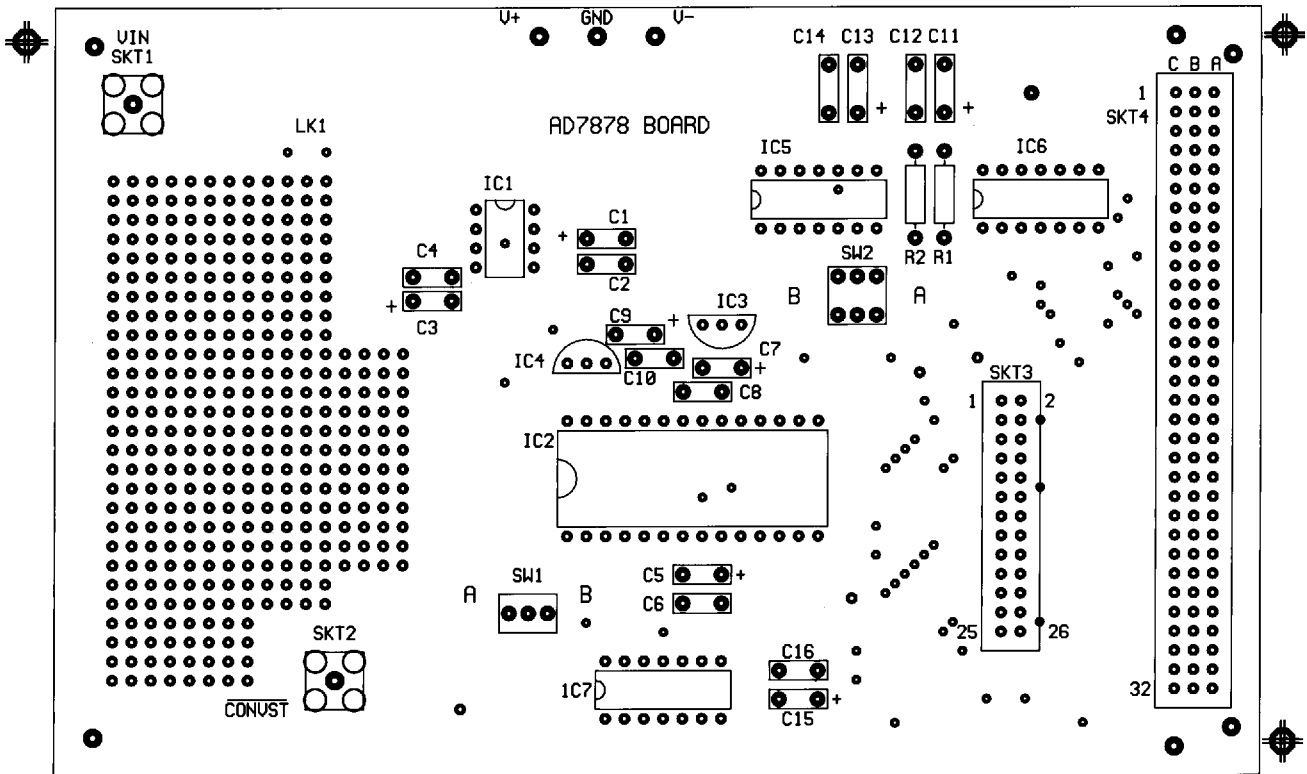


图24. 图23的PCB丝印

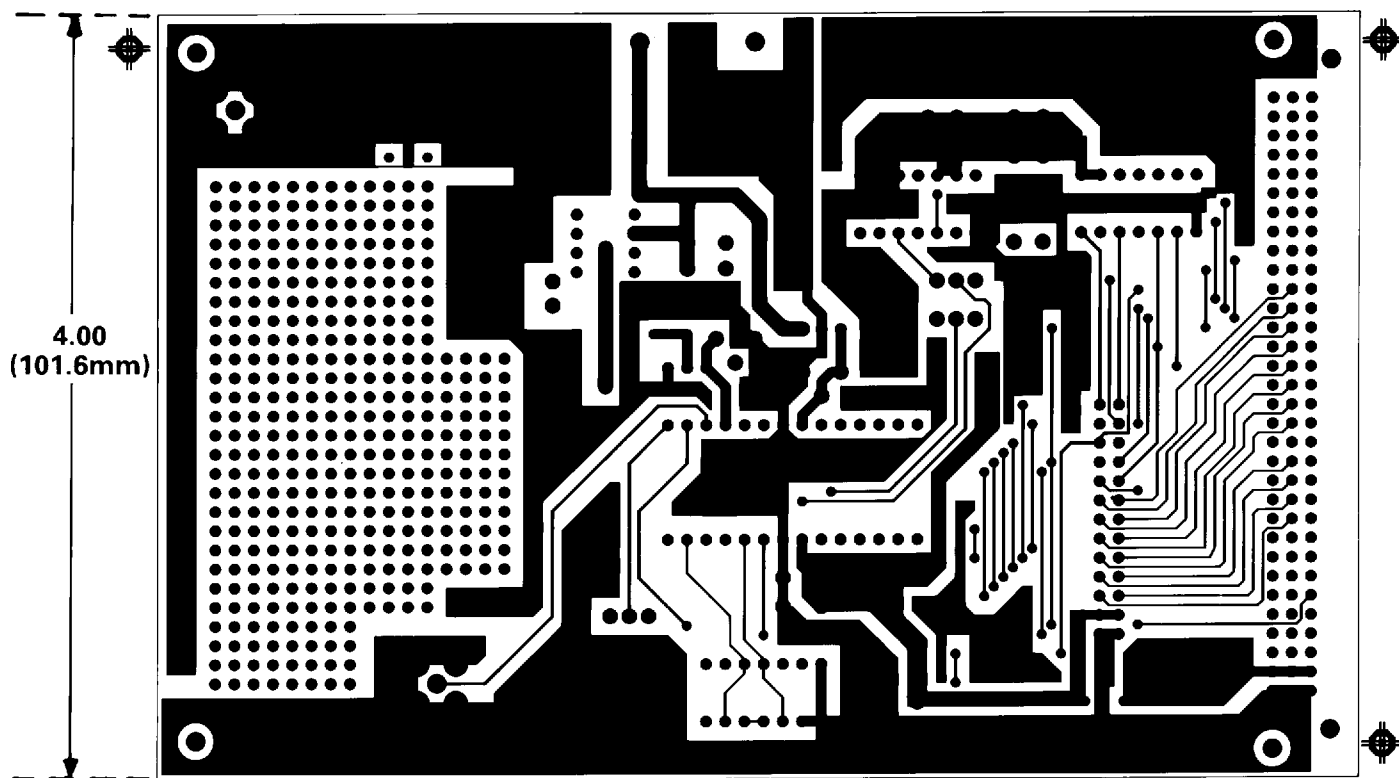


图25. 图23的PCB元件侧布局

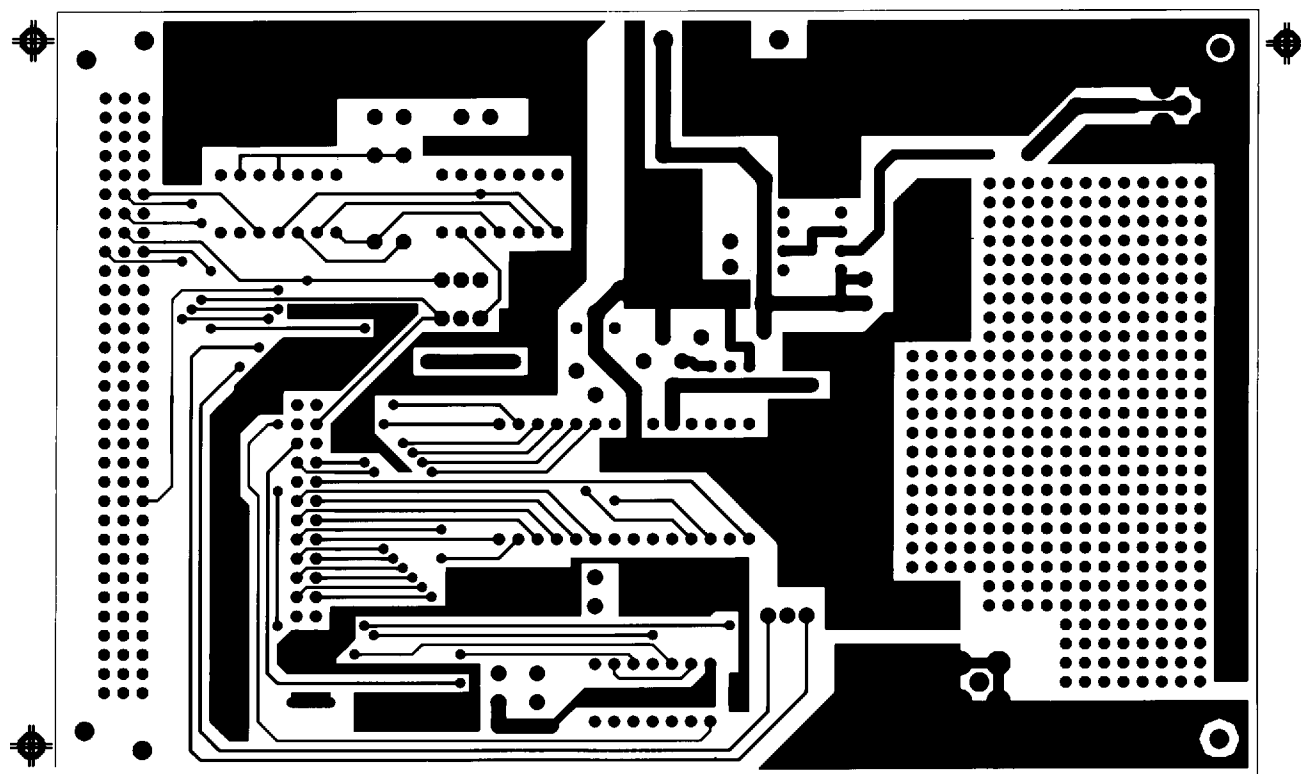


图26. 图23的PCB焊接侧布局

AD7878

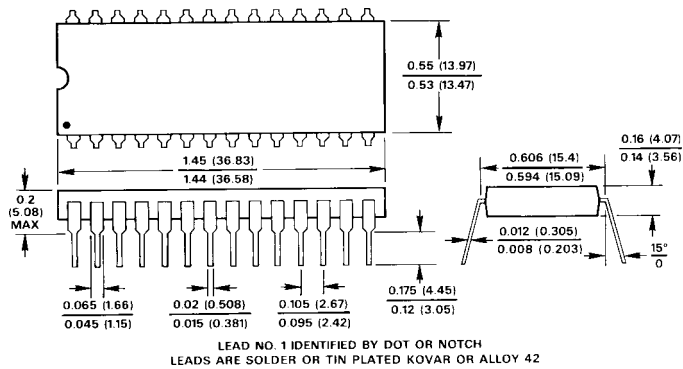
表IV.TMS32010/TMS32020接口连接

IDC触头编号	信号连接名称	TMS32010 信号	TMS32020 信号
1	R/W	—	R/W
2	STRB	—	STRB
3	DMRD	DEN	—
4	DMWR	WE	—
5	CS	CS	CS
6	READY	—	READY
7	RESET	RESET	RESET
8	ALFL	INT	INT
9	ADD0	PA0	A0
10	CLK	CLKOUT	CLKOUT2
11	DB10	D10	D10
12	DB11	D11	D11
13	DB8	D8	D8
14	DB9	D9	D9
15	DB6	D6	D6
16	DB7	D7	D7
17	DB4	D4	D4
18	DB5	D5	D5
19	DB2	D2	D2
20	DB3	D3	D3
21	DB0	D0	D0
22	DB1	D1	D1
23	5 V	5 V	5 V
24	5 V	5 V	5 V
25	GND	GND	GND
26	GND	GND	GND

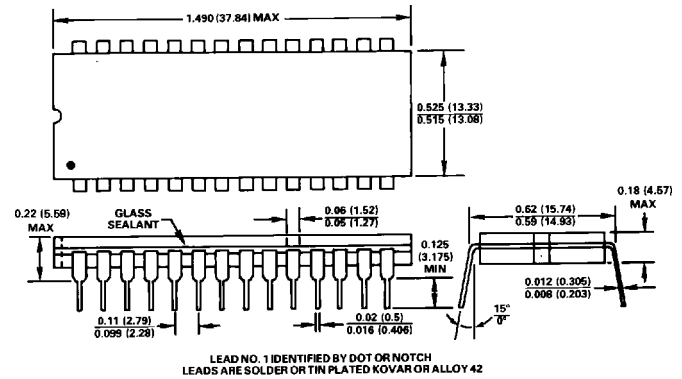
外形尺寸

图示尺寸单位: inch和(mm)。

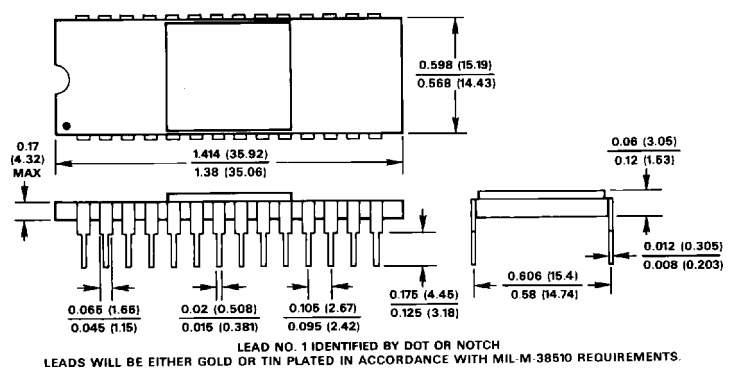
28引脚塑封DIP (N-28)



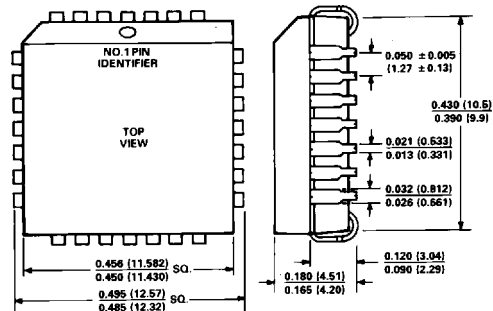
28引脚Cerdip (Q-28)



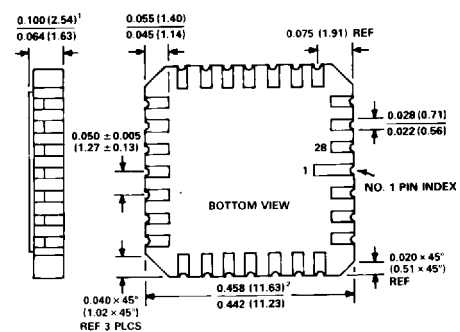
28引脚陶瓷DIP (D-28)



28引脚PLCC (P-28A)



28引脚LCCC (E-28A)



NOTES
 1 THIS DIMENSION CONTROLS THE OVERALL PACKAGE THICKNESS.
 2 APPLIES TO ALL FOUR SIDES.
 ALL TERMINALS ARE GOLD PLATED.

注意

AD公司保留发送cerdip或陶瓷密封封装的权利。