

产品特性

8通道、24位同步采样模数转换器(ADC)

单端或真差分输入

每通道均有可编程增益放大器(PGA, 增益为1、2、4和8)

低直流输入电流: ± 4 nA

每通道的输出数据速率(ODR)最高可达16 kSPS

可编程ODR和带宽

用于相干采样的采样速率转换器(SRC)

采样速率分辨率高达15.2 μ SPS

低延迟sinc3滤波器路径

可调相位同步

2.5 V内部基准电压源

两种功耗模式:

高分辨率模式

低功耗模式

优化功耗和性能

用于系统和芯片诊断的低分辨率逐次逼近型(SAR) ADC

电源

双极性(± 1.65 V)或单极性(3.3 V)电源

数字输入/输出(I/O)电源: 1.8 V至3.6 V

性能温度范围: -40°C 至 $+105^{\circ}\text{C}$

功能温度范围: -40°C 至 $+125^{\circ}\text{C}$

性能

兼具交流和直流性能

108 dB信噪比(SNR)/动态范围(16 kSPS时, 高分辨率模式)

总谐波失真(THD): -109 dB

积分非线性(INL): ± 7 ppm

失调误差: ± 40 μ V

增益误差: $\pm 0.1\%$

温度系数: ± 10 ppm/ $^{\circ}\text{C}$ (典型值)

应用

断路器

通用数据采集

脑电图(EEG)

工业过程控制

概述

AD7779是一款8通道同步采样ADC。片内集成8个完整的 Σ - Δ 型ADC。AD7779提供超低输入电流, 允许直接连接传

感器。每个输入通道都有一个增益为1、2、4和8的可编程增益级, 可将低幅度传感器输出映射到满量程ADC输入范围, 从而使信号链的动态范围最大。AD7779接受1 V至3.6 V的 V_{REF} 。模拟输入接受单极性(0 V至 V_{REF})或真双极性($\pm V_{\text{REF}}/2$ V)模拟输入信号, 模拟电源电压分别为3.3 V或 ± 1.65 V。模拟输入可配置为接受真差分或单端信号以匹配不同的传感器输出配置。

每个通道包含一个ADC调制器和一个sinc3低延迟数字滤波器。采用SRC来对AD7779 ODR进行精细分辨率控制。这种控制可用于线频率变化为0.01 Hz时, ODR分辨率需要维持相干性的应用。SRC可通过串行端口接口(SPI)编程。AD7779实现了两种不同接口: 数据输出接口和SPI控制接口。ADC数据输出接口专门用于将ADC转换结果从AD7779发送至处理器。SPI接口用于读写AD7779配置寄存器, 以及控制和读取SAR ADC。SPI接口还可配置为输出 Σ - Δ 转换数据。

AD7779包括一个12位SAR ADC。该ADC可以用于AD7779诊断, 这样就无需为系统测量功能专门腾出一个 Σ - Δ 型ADC通道。通过外部多路复用器(可利用3个通用输入/输出GPIO引脚加以控制)和信号调理, SAR ADC可在需要功能安全性的应用中用于验证 Σ - Δ 型ADC测量结果。此外, AD7779 SAR ADC内置一个多路复用器, 可用来检测内部节点。

AD7779包含一个2.5 V基准电压源和基准电压源缓冲器。基准电压源的温度系数典型值为10 ppm/ $^{\circ}\text{C}$ 。

AD7779提供两种工作模式: 高分辨率模式和低功耗模式。高分辨率模式提供较高的动态范围, 功耗为每通道10.75 mW, 而低功耗模式在较低动态范围规格下功耗仅为每通道3.37 mW。

额定工作温度范围为 -40°C 至 $+105^{\circ}\text{C}$, 不过器件工作温度最高可达 $+125^{\circ}\text{C}$ 。

注意: 在整篇数据手册中, 某些术语表示多功能引脚或一系列引脚。多功能引脚(如DCLK0/SDO)由整个引脚名称或引脚的单个功能表示(例如DCLK0即表示仅与此功能相关)。对于一系列引脚, AVSSx表示如下引脚: AVSS1A、AVSS1B、AVSS2A、AVSS2B、AVSS3和AVSS4。

Rev. 0

[Document Feedback](#)

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106 U.S.A.
Tel: 781.329.4700 ©2016 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

目录

产品特性	1	Σ - Δ 输出数据	49
应用	1	ADC转换输出—报头和数据	49
概述	1	采样速率转换器(SRC)(SPI控制模式)	50
修订历史	3	数据输出接口	51
功能框图	4	计算CRC校验和	56
技术规格	5	寄存器汇总	57
DOUTx时序特性	9	寄存器详解	61
SPI时序特性	10	通道0配置寄存器	61
同步引脚和复位时序特性	11	通道1配置寄存器	61
SAR ADC时序特性	12	通道2配置寄存器	62
GPIO SRC更新时序特性	12	通道3配置寄存器	62
绝对最大额定值	13	通道4配置寄存器	63
热阻	13	通道5配置寄存器	63
ESD警告	13	通道6配置寄存器	64
引脚配置和功能描述	14	通道7配置寄存器	64
典型性能参数	17	禁用ADC通道寄存器时钟	65
术语	30	通道0同步失调寄存器	65
均方根噪声与分辨率	31	通道1同步失调寄存器	65
高分辨率模式	31	通道2同步失调寄存器	66
低功耗模式	31	通道3同步失调寄存器	66
工作原理	32	通道4同步失调寄存器	66
模拟输入	32	通道5同步失调寄存器	66
传递函数	33	通道6同步失调寄存器	67
核心信号链	34	通道7同步失调寄存器	67
容性PGA	34	通用用户配置1寄存器	67
内部基准电压源和基准电压源缓冲器	34	通用用户配置2寄存器	68
集成LDO	35	通用用户配置3寄存器	69
时钟和采样	35	数据输出格式寄存器	69
数字复位和同步引脚	35	主ADC计和基准多路复用控制寄存器	70
数字滤波	36	全局诊断多路复用寄存器	71
关断模式	36	GPIO配置寄存器	72
控制AD7779	37	GPIO数据寄存器	72
引脚控制模式	37	缓冲器配置1寄存器	72
SPI控制	39	缓冲器配置2寄存器	73
数字SPI接口	42	通道0失调高位字节寄存器	73
诊断和监控	45	通道0失调中间字节寄存器	73
自诊断错误	45	通道0失调低位字节寄存器	74
使用AD7779 SAR ADC进行监控(SPI控制模式)	46	通道0增益高位字节寄存器	74
Σ - Δ 型ADC诊断(SPI控制模式)	48	通道0增益中间字节寄存器	74
		通道0增益低位字节寄存器	74

通道1失调高位字节寄存器.....	75	通道6增益低位字节寄存器.....	83
通道1失调中间字节寄存器.....	75	通道7失调高位字节寄存器.....	84
通道1失调低位字节寄存器.....	75	通道7失调中间字节寄存器.....	84
通道1增益高位字节寄存器.....	75	通道7失调低位字节寄存器.....	84
通道1增益中间字节寄存器.....	76	通道7增益高位字节寄存器.....	84
通道1增益低位字节寄存器.....	76	通道7增益中间字节寄存器.....	85
通道2失调高位字节寄存器.....	76	通道7增益低位字节寄存器.....	85
通道2失调中间字节寄存器.....	76	通道0状态寄存器.....	85
通道2失调低位字节寄存器.....	77	通道1状态寄存器.....	86
通道2增益高位字节寄存器.....	77	通道2状态寄存器.....	86
通道2增益中间字节寄存器.....	77	通道3状态寄存器.....	87
通道2增益低位字节寄存器.....	77	通道4状态寄存器.....	87
通道3失调高位字节寄存器.....	78	通道5状态寄存器.....	88
通道3失调中间字节寄存器.....	78	通道6状态寄存器.....	88
通道3失调低位字节寄存器.....	78	通道7状态寄存器.....	89
通道3增益高位字节寄存器.....	78	通道0/通道1 DSP错误寄存器.....	89
通道3增益中间字节寄存器.....	79	通道2/通道3 DSP错误寄存器.....	90
通道3增益低位字节寄存器.....	79	通道4/通道5 DSP错误寄存器.....	90
通道4失调高位字节寄存器.....	79	通道6/通道7 DSP错误寄存器.....	91
通道4失调中间字节寄存器.....	79	通道0至通道7错误寄存器使能寄存器.....	91
通道4失调低位字节寄存器.....	80	通用错误寄存器1.....	92
通道4增益高位字节寄存器.....	80	通用错误寄存器1使能.....	92
通道4增益中间字节寄存器.....	80	通用错误寄存器2.....	93
通道4增益低位字节寄存器.....	80	通用错误寄存器2使能.....	93
通道5失调高位字节寄存器.....	81	错误状态寄存器1.....	94
通道5失调中间字节寄存器.....	81	错误状态寄存器2.....	94
通道5失调低位字节寄存器.....	81	错误状态寄存器3.....	95
通道5增益高位字节寄存器.....	81	抽取率(N) MSB寄存器.....	95
通道5增益中间字节寄存器.....	82	抽取率(N) LSB寄存器.....	95
通道5增益低位字节寄存器.....	82	抽取率(IF) MSB寄存器.....	96
通道6失调高位字节寄存器.....	82	抽取率(IF) LSB寄存器.....	96
通道6失调中间字节寄存器.....	82	SRC加载源和加载更新寄存器.....	96
通道6失调低位字节寄存器.....	83	外形尺寸.....	97
通道6增益高位字节寄存器.....	83	订购指南.....	97
通道6增益中间字节寄存器.....	83		

修订历史

2016年2月—修订版0：初始版

AD7779

功能框图

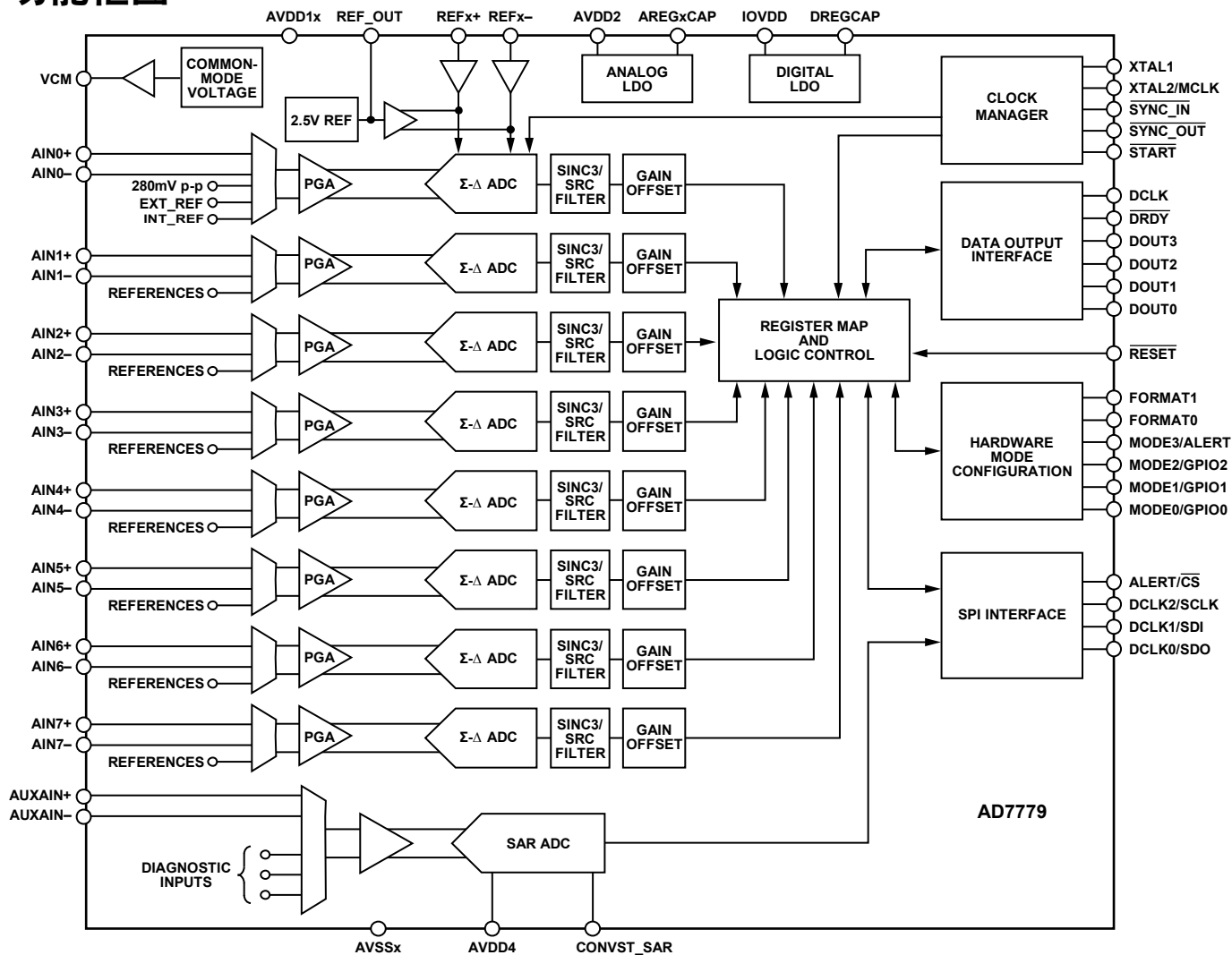


图1.

技术规格

除非另有说明，AVDD_{1x} = +1.65 V、AVSS_{x1} = -1.65 V(双电源供电)，AVDD_{1x} = 3.3 V、AVSS_x = AGND(单电源供电)，AVDD_{2x} - AVSS_x = 2.2 V至3.6 V；IOVDD = 1.8 V至3.6 V；DGND = 0 V，REF_{x+}/REF_{x-} = 2.5 V AVSS_x(内部/外部)，主时钟(MCLK) = 8192 kHz(高分辨率模式)和4096 kHz(低功耗模式)，ODR = 16 kHz(高分辨率模式)和4 kHz(低功耗模式)；所有规格均相对于T_{MIN}至T_{MAX}而言。

表1.

参数	测试条件/注释	最小值	典型值	最大值	单位
模拟输入					
差分输入电压范围	V _{REF} = (REF _{x+} - REF _{x-})			±V _{REF} /PGA _{GAIN}	V
单端输入电压范围				0至V _{REF} /PGA _{GAIN}	V
AIN _{x±} 共模输入范围		AVSS _x + 0.10	(AVDD _{1x} + AVSS _x)/2	AVDD _{1x} - 0.10	V
绝对AIN _{x±} 电压限值		AVSS _x + 0.10		AVDD _{1x} - 0.10	
直流输入电流					
单端	HP, MCLK=8192 kHz		±4		nA
	低功耗模式, MCLK = 4096 kHz		±1.5		nA
差分	HP, MCLK=8192 kHz		±1.5		nA
	低功耗模式, MCLK = 4096 kHz		±0.6		nA
输入电流漂移			50		pA/°C
交流输入电容			8		pF
PGA					
增益设置			1, 2, 4, or 8		
带宽	小信号, 高分辨率模式			2	MHz
	小信号, 低功耗模式			512	kHz
	大信号, 高分辨率模式			5	kHz
	大信号, 低功耗模式			1.5	kHz
基准电压源					
内部					
初始精度	REF_OUT, T _A = 25°C	2.5 - 0.2%	2.5	2.5 + 0.2%	V
温度系数			±10		ppm/°C
基准负载电流, I _L		-10		+10	mA
直流电源抑制	电压调整率		95		dB
负载调整率, ΔV _{OUT} /ΔI _L			100		μV/mA
电压噪声	e _{N,pp} , 0.1 Hz至10 Hz		6.8		μV rms
电压噪声密度	e _N , 1 kHz, 2.5 V基准电压源		273.5		nV/√Hz
开启建立时间	100 nF		1.5		ms
外部					
输入电压	V _{REF} = (REF _{x+} - REF _{x-})	1	2.5	AVDD _{1x}	V
缓冲器裕量		AVSS _x + 0.1		AVDD _{1x} - 0.1	V
REF _{x-} 输入电压			AVSS _x	AVDD _{1x} - REF _{x+}	V
平均REF _{x±} 输入电流	100 nF				
	R基准电压源缓冲器禁用, 高分辨率模式		18		μA/V
	基准电压源缓冲器预充电模式(pre-Q), 高分辨率模式		600		nA/V
	基准电压源缓冲器禁用, 低功耗模式		4.5		μA/V
	基准电压源缓冲器pre-Q, 低功耗模式		100		nA/V

AD7779

参数	测试条件/注释	最小值	典型值	最大值	单位
	基准电压源缓冲器使能, 高分辨率模式		10		nA/V
	基准电压源缓冲器使能, 低功耗模式		5		nA/V
温度范围					
额定性能	T_{MIN} 至 T_{MAX}	-40		+105	°C
功能 ²	T_{MIN} 至 T_{MAX}	-40		+125	°C
温度传感器 精度			±2		°C
数字滤波器响应(SINC3) 群延迟			参见“SRC群延迟” 部分		
建立时间			参见“建立时间” 部分		
通带	-0.1 dB -3 dB		参见“SRC带宽” 部分 参见“SRC带宽” 部分		
抽取率	高分辨率模式 低功耗模式	128 64		4095.99 4095.99	
时钟源 频率	高分辨率模式 低功耗模式	64 1.3		8.192 4.096	MHz MHz
占空比		45:55	50:50	55:45	%
Σ - Δ ADC					
速度和性能					
分辨率		24			位
输出数据速率(ODR)	高分辨率模式 低功耗模式			16 8	kSPS kSPS
无失码		24			位
交流精度					
动态范围	输入短路, $PGA_{GAIN} = 1$				
16 kSPS	高分辨率模式		108		dB
4 kSPS	高分辨率模式 低功耗模式		116 106		dB dB
1 kSPS	低功耗模式		116		dB
THD	-0.5 dBFS, 高分辨率模式 -0.5 dBFS, 低功耗模式		-109 -105		dB dB
SINAD	$f_{IN} = 60$ Hz		106		dB
SFDR	高分辨率模式, 16 kSPS, $PGA_{GAIN} = 1$		132		dB
交调失真(IMD)	$f_A = 50$ Hz, $f_B = 51$ Hz, 高分辨率 模式 $f_A = 50$ Hz, $f_B = 51$ Hz, 低功耗 模式		-125 -105		dB dB
直流电源抑制 直流共模抑制比 通道间串扰	AVDD1x = 3.3 V	80	-90		dB dB dB

参数	测试条件/注释	最小值	典型值	最大值	单位
直流精度					
INL	端点方法, $PGA_{GAIN} = 1$ 其他PGA增益		± 7 ± 3	± 15 ± 15	FSR的ppm FSR的ppm
失调误差			± 40	± 125	μV
失调误差漂移	随时间而变		± 0.5 -2		$\mu V/^{\circ}C$ $\mu V/$ 1000 hrs
失调匹配			25		μV
增益误差			± 0.1		% FS
增益温漂	$PGA_{GAIN} = 1$		± 45		ppm/ $^{\circ}C$
增益匹配			± 0.1		%
SAR ADC					
速度和性能					
分辨率			12		位
模拟输入范围		$AVSS4 + 0.1$		$AVDD4 - 0.1$	V
模拟输入共模范围		$AVSS4 + 0.1$	$(AVDD4 + AVSS4)/2$	$AVDD4 - 0.1$	V
模拟输入漏电流			± 5		nA
吞吐速率				256	kSPS
直流精度	差模				
INL			1.5		LSB
DNL	无失码(12位)	-0.99		$+1$	LSB
失调			1		LSB
增益			12		LSB
交流性能					
SNR	1 kHz		66		dB
THD	1 kHz		-81		dB
VCM引脚					
输出			$(AVDD1x + AVSSx)/2$		V
负载电流, I_L			1		mA
负载调整率, $\Delta V_{OUT}/\Delta I_L$			12		mV/mA
短路电流			5		mA
逻辑输入					
输入高电压, V_{IH}		$0.7 \times IOVDD$			V
输入低电压, V_{IL}				0.4	V
迟滞			0.1		V
输入电流		-10		$+10$	μA
逻辑输出 ³					
输出高电压, V_{OH}	$IOVDD \geq 3V, I_{SOURCE} = 1mA$ $2.3 \leq IOVDD < 3V, I_{SOURCE} = 500\mu A$ $IOVDD < 2.3V, I_{SOURCE} = 200\mu A$	$0.8 \times IOVDD$ $0.8 \times IOVDD$ $0.8 \times IOVDD$			V V V
输出低电压, V_{OL}	$IOVDD \geq 3V, I_{SINK} = 2mA$ $2.3 \leq IOVDD < 3V, I_{SINK} = 1mA$ $IOVDD < 2.3V, I_{SINK} = 100\mu A$			0.4 0.4 0.4	V V V
漏电流	浮空态	-10		$+10$	μA
输出电容	浮空态		10		pF
Σ - Δ ADC数据输出编码			二进制补码		
SAR ADC数据输出编码			二进制		

AD7779

参数	测试条件/注释	最小值	典型值	最大值	单位
电源	所有 Σ - Δ 通道使能				
AVDD1x – AVSSx		3.0		3.6	V
I_{AVDD1x} ^{4,5}	基准电压源缓冲器pre-Q, VCM使能, 内部基准电压源使能		17	22.7	mA
	低功耗模式		4.5	6.1	mA
	基准电压源缓冲器使能, VCM使能, 内部基准电压源使能				
	高分辨率模式		19	25.5	mA
	低功耗模式		5	6.8	mA
	基准电压源缓冲器禁用, VCM禁用, 内部基准电压源禁用				
	高分辨率模式		13	17.8	mA
	低功耗模式		3.5	4.8	mA
AVDD2x – AVSSx		2.2		3.6	V
I_{AVDD2x}	高分辨率模式		9	9.45	mA
	低功耗模式		3.5	3.7	mA
AVDD4 – AVSSx		AVDD1x – 0.3		AVDD1x	V
I_{AVDD4}	SAR使能		1.7	2	mA
	SAR禁用		1	10	μ A
AVSSxv – DGND		-1.8		0	V
IOVDD – DGND		1.8		3.6	V
I_{IOVDD}	高分辨率模式		8	10.7	mA
	低功耗模式		3	4.4	mA
功耗 ⁶	内部缓冲器旁路, 内部基准电压源禁用, 内部振荡器禁用, SAR禁用				
高分辨率模式	16 kSPS		86	133	mW
低功耗模式	4 kSPS		27	44	mW
关断	所有ADC禁用		530		μ W

¹ AVSSx表示如下引脚: AVSS1A、AVSS1B、AVSS2B和AVSS2A。这个符号在整篇数据手册中都是这样使用。

² 温度高于105°C时, 器件可以正常工作, 但最大值/最小值规格预期会略有降低, 因为这些规格的最高保证温度只有105°C。关于高温时的器件典型性能曲线, 参见“典型性能参数”部分。

³ SDO引脚和DOUTx引脚配置为默认强度模式。

⁴ AVDD1x = 3.3 V, AVSSx = GND = 地, IOVDD = 1.8 V, CMOS时钟。

⁵ 禁用VCM引脚或内部基准电压源可将典型功耗降低40 μ A。

⁶ 功耗利用最大电源电压3.6 V计算。

DOUTx时序特性

除非另有说明，AVDD1x/AVSSx = ±1.65 V，3.3 V/AGND，AVDD2 - AVSSx = 2.2 V至3.6 V；IOVDD = 1.8 V至3.6 V；DGND = 0 V，REFx+/REFx- = 2.5 V内部/外部，MCLK = 8192 kHz；所有规格均相对于T_{MIN}至T_{MAX}而言。

表2.

参数	描述 ¹	测试条件/注释	最小值	典型值	最大值	单位
t ₁	MCLK频率	50:50	0.655		8.192	MHz
t ₂	MCLK低电平时间		60			ns
t ₃	MCLK高电平时间		60			ns
t ₄	DCLKx高电平时间	MCLK/2		122		ns
t ₅	DCLKx低电平时间	MCLK/2		122		ns
t ₆	MCLK下降沿到DCLK上升沿			15		ns
t ₇	MCLK下降沿到DCLK下降沿			15		ns
t ₈	DCLKx上升沿到DRDY上升沿			5		ns
t ₉	DCLKx上升沿到DRDY下降沿			5		ns
t ₁₀	DOUTx建立时间		20			ns
t ₁₁	DOUTx保持时间		20			ns

¹ 所有输入信号都指定t_r = t_f = 1 ns/(IOVDD的10%到90%)，并从(V_{IL} + V_{IH})/2的电压开始计时。

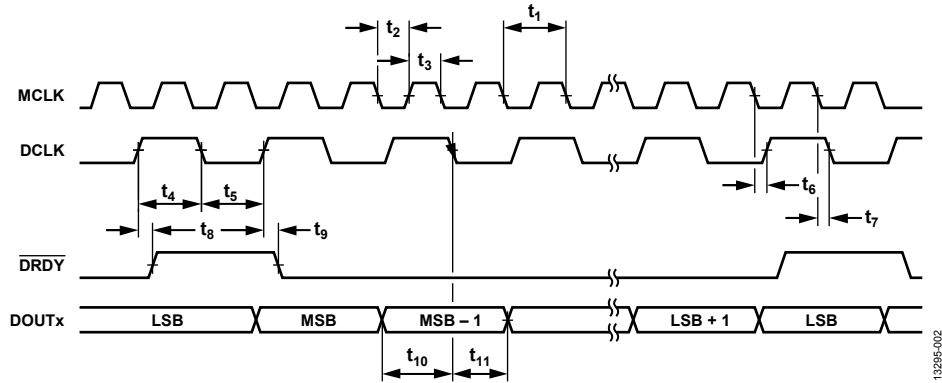


图2. 数据接口时序图

AD7779

SPI时序特性

除非另有说明，AVDD1x/AVSSx = ±1.65 V，3.3 V/AGND，AVDD2 - AVSSx = 2.2 V至3.6 V；IOVDD = 1.8 V至3.6 V；DGND = 0 V，REFx+/REFx- = 2.5 V内部/外部，MCLK = 8192 kHz；所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。

表3.

参数	描述 ¹	测试条件/注释	最小值	典型值	最大值	单位
t ₁₂	SCLK周期	50:50			30	MHz
t ₁₃	SCLK低电平时间		7			ns
t ₁₄	SCLK高电平时间		7			ns
t ₁₅	SCLK上升沿到 \overline{CS} 下降沿		10			ns
t ₁₆	\overline{CS} 下降沿到SCLK上升沿		10			ns
t ₁₇	SCLK上升沿到 \overline{CS} 上升沿		10			ns
t ₁₈	\overline{CS} 上升沿到SCLK上升沿		10			ns
t ₁₉	\overline{CS} 最短高电平时间		10			ns
t ₂₀	SDI建立时间		5			ns
t ₂₁	SDI保持时间		5			ns
t _{22A}	\overline{CS} 下降沿到SDO使能(SPI = 模式0)		30			ns
t _{22B}	SCLK下降沿到SDO使能(SPI = 模式1)		49			ns
t ₂₃	SDO建立时间		10			ns
t ₂₄	SDO保持时间		10			ns
t ₂₅	\overline{CS} 上升沿到SDO禁用		30			ns

¹ 所有输入信号都指定 $t_r = t_f = 1 \text{ ns}/V$ (IOVDD的10%到90%)，并从 $(V_L + V_H)/2$ 的电压开始计时。

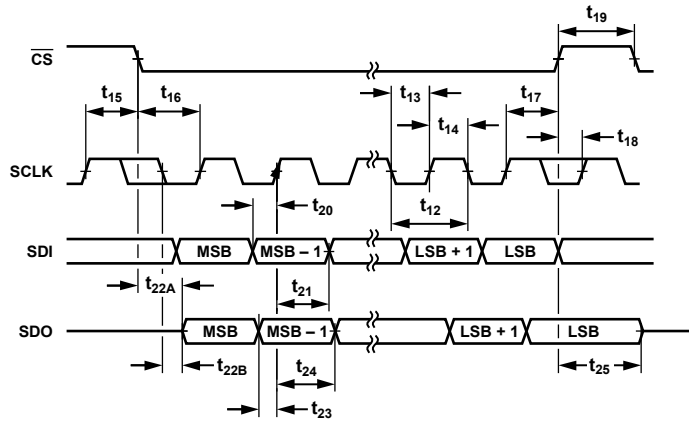


图3. SPI控制接口时序图

13295-003

同步引脚和复位时序特性

除非另有说明，AVDD1x/AVSSx = ±1.65 V，3.3 V/AGND，AVDD2 - AVSSx = 2.2 V至3.6 V；IOVDD = 1.8 V至3.6 V；DGND = 0 V，REFx+/REFx- = 2.5 V内部/外部，MCLK = 8192 kHz；所有规格均相对于T_{MIN}至T_{MAX}而言。

表4.

参数	描述 ¹	测试条件/注释	最小值	典型值	最大值	单位
t ₂₆	START建立时间		10			ns
t ₂₇	START保持时间		MCLK			ns
t ₂₈	MCLK下降沿到SYNC_OUT下降沿		MCLK			ns
t ₂₉	SYNC_IN建立时间		10			ns
t ₃₀	SYNC_IN保持时间		MCLK			ns
t _{INIT_SYNC_IN}	SYNC_IN上升沿到第一DRDY	16 kSPS，HP模式	145			μs
t _{INIT_RESET}	RESET上升沿到第一DRDY	16 kSPS，HP模式	225			μs
t ₃₁	RESET保持时间		2 × MCLK			ns
t _{POWER_UP}	启动时间	图4未显示 t _{POWER_UP}		2		ms

¹ 所有输入信号都指定t_r = t_f = 1 ns/(IOVDD的10%到90%)，并从(V_L + V_H)/2的电压开始计时。

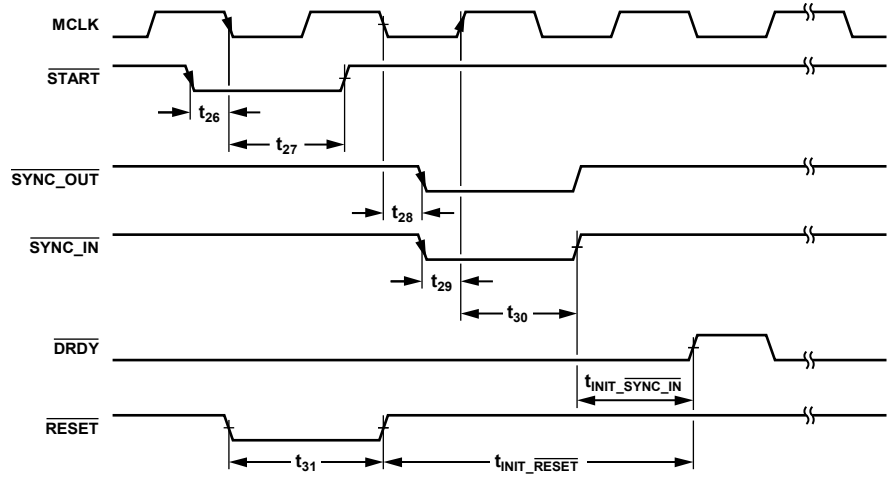


图4. 同步引脚和复位控制接口时序图

AD7779

SAR ADC时序特性

除非另有说明，AVDD1x/AVSSx = ±1.65 V，3.3 V/AGND，AVDD2 - AVSSx = 2.2 V至3.6 V；IOVDD = 1.8 V至3.6 V；DGND = 0 V，REFx+/REFx- = 2.5 V内部/外部，MCLK = 8192 kHz；所有规格均相对于T_{MIN}至T_{MAX}而言。

表5.

参数	描述 ¹	最小值	典型值	最大值	单位
t ₃₂	转换时间	1		3.4	μs
t ₃₃	采集时间 ²	500			ns
t ₃₄	延迟时间	50			ns
t ₃₅	吞吐数据			256	kSPS

¹ 所有输入信号都指定t_r = t_f = 1 ns/V (IOVDD的10%到90%)，并从(V_{IL} + V_{IH})/2的电压开始计时。

² 使能直接模式。若使能去毛刺模式，应增加1.5/MCLK。

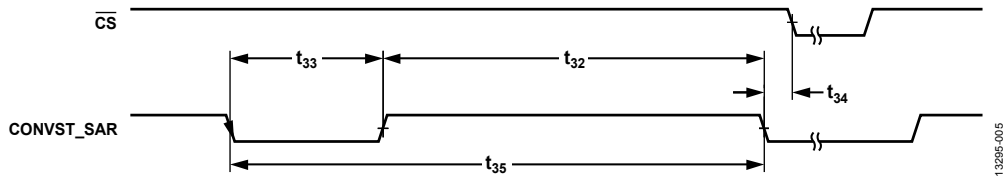


图5. SAR ADC时序图

GPIO SRC更新时序特性

除非另有说明，AVDD1x/AVSSx = ±1.65 V，3.3 V/AGND，AVDD2 - AVSSx = 2.2 V至3.6 V；IOVDD = 1.8 V至3.6 V；DGND = 0V, REFx+/REFx- = 2.5 V内部/外部，MCLK = 8192 kHz；所有规格均相对于T_{MIN}至T_{MAX}而言。

表6.

参数	描述 ¹	最小值	典型值	最大值	单位
t ₃₆	GPIO2建立时间	10			ns
t ₃₇	GPIO2保持时间 高分辨率模式	MCLK			ns
t ₃₇	GPIO2保持时间 低功耗模式	2 × MCLK			ns
t ₃₈	MCLK上升沿到GPIO1上升沿时间	20			ns
t ₃₉	GPIO0建立时间	5			ns
t ₄₀	GPIO0保持时间	MCLK			ns

¹ 所有输入信号都指定t_r = t_f = 1 ns/V (IOVDD的10%到90%)，并从(V_{IL} + V_{IH})/2的电压开始计时。

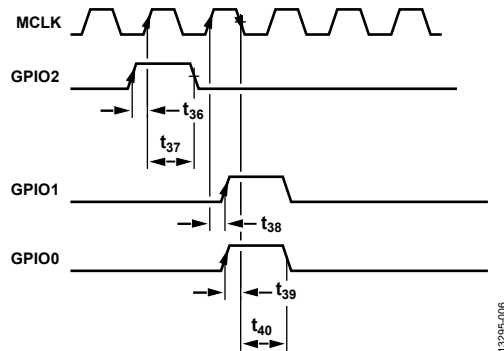


图6. GPIO SRC更新时序图

绝对最大额定值

表7.

参数	额定值
任意电源引脚至AVSSx	-0.3 V至+3.96 V
AVSSx至DGND	-1.98 V至+0.3 V
AREGxCAP至AVSSx	-0.3 V至+1.98 V
DREGCAP至DGND	-0.3 V至+1.98 V
IOVDD至DGND	-0.3 V至+3.96 V
IOVDD至AVSSx	-0.3 V至+5.94 V
AVDD4至AVSSx	AVDD1x - 0.3 V至3.96 V
模拟输入电压	AVSSx - 0.3 V至AVDD1x + 0.3 V或3.96 V(取较小者)
REFx±输入电压	AVSSx - 0.3 V至AVDD1x + 0.3 V或3.96 V(取较小者)
AUXAIN±	AVSSx - 0.3 V至AVDD4 + 0.1 V或3.96V(取较小者)
数字输入电压至DGND	0.3 V至(IOVDD + 0.3 V)或3.96 V(取较小者)
数字输出电压至DGND	0.3 V至(IOVDD + 0.3 V)或3.96 V(取较小者)
XTAL1至DGND	DGND - 0.3 V至DREGCAP + 0.3 V或1.98 V(取较小者)
AINx±、AUXAIN±和数字输入电流	±10 mA
工作温度范围	-40°C至+125°C
结温T _j 最大值	150°C
存储温度范围	-65°C至+150°C
回流焊	260°C
ESD	2 kV
场感应充电器件模型(FICDM)	500 V

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

热阻

热性能与印刷电路板(PCB)设计和工作环境直接相关。必须慎重对待PCB散热设计。

表8. 热阻

封装类型 ¹	θ_{JA}	θ_{JB}	Ψ_{JT}	Ψ_{JB}	单位
64引脚 LFCSP					
无散热通孔 ¹	30.43	N/A ²	0.13	6.59	°C/W
49个散热通孔 ¹	22.62	3.17	0.09	3.19	°C/W

¹ 热阻仿真值基于JEDEC 2S2P热测试板。参见JEDEC JESD51。

² N/A表示不适用。

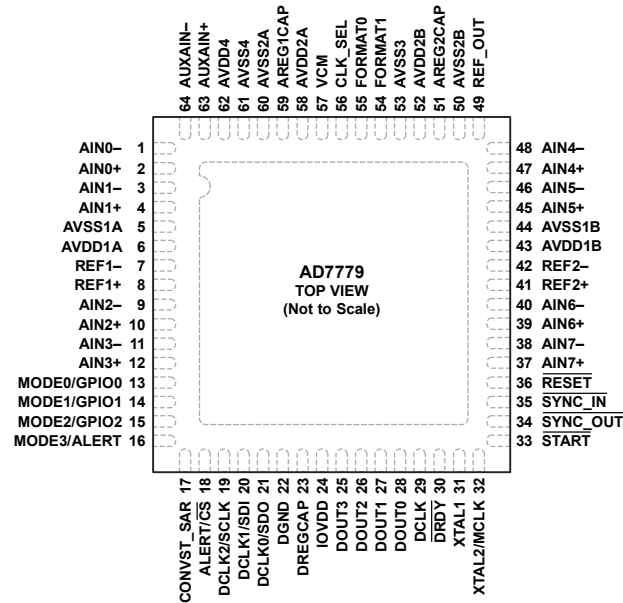
ESD灵敏度



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES
1. EXPOSED PAD. CONNECT THE EXPOSED PAD TO AVSSx.

13298-007

图7. 引脚配置

表9. 引脚功能描述

引脚编号	引脚名称	类型	方向	描述
1	AIN0-	模拟输入	输入	模拟输入通道0(-)。
2	AIN0+	模拟输入	输入	模拟输入通道0(+).
3	AIN1-	模拟输入	输入	模拟输入通道1(-)。
4	AIN1+	模拟输入	输入	模拟输入通道1(+).
5	AVSS1A	电源	电源	用于通道0至通道3的负前端模拟电源，通常为-1.65 V(双电源)和AGND(单电源)。将所有AVSSx引脚连接到相同的电位。
6	AVDD1A	电源	电源	用于通道0至通道3的正前端模拟电源，通常为AVSSx + 3.3 V。将此引脚连接到AVDD1B。
7	REF1-	基准电压源	输入	通道0至通道3的负基准电压输入1，通常为AVSSx。将所有REFx-引脚连接到相同的电位。
8	REF1+	基准电压源	输入	通道0至通道3的正基准电压输入1，通常相对REF1- 为+2.5 V。
9	AIN2-	模拟输入	输入	模拟输入通道2(-)。
10	AIN2+	模拟输入	输入	模拟输入通道2(+).
11	AIN3-	模拟输入	输入	模拟输入通道3(-)。
12	AIN3+	模拟输入	输入	模拟输入通道3(+).
13	MODE0/GPIO0	数字I/O	I/O	引脚控制模式下为模式0输入引脚(MODE0)。详情参见表18。SPI控制模式下为可配置通用输入/输出0(GPIO0)。若不使用，将此引脚连接到DGND或IOVDD。
14	MODE1/GPIO1	数字I/O	I/O	引脚控制模式下为模式1输入引脚(MODE1)。详情参见表18。SPI控制模式下为可配置通用输入/输出1(GPIO1)。若不使用，将此引脚连接到DGND或IOVDD。
15	MODE2/GPIO2	数字I/O	I/O	引脚控制模式下为模式2输入引脚(MODE2)。详情参见表18。SPI控制模式下为可配置通用输入/输出2(GPIO2)。若不使用，将此引脚连接到DGND或IOVDD。
16	MODE3/ALERT	数字I/O	I/O	引脚控制模式下为模式3输入引脚(MODE3)。详情参见表18。SPI控制模式下为报警输出引脚(ALERT)。
17	CONVST_SAR	数字输入	输入	引脚控制模式下为Σ-Δ输出接口选择引脚。详情参见表17。SPI控制模式下，此引脚还用作SAR转换的启动信号。

引脚编号	引脚名称	类型	方向	描述
18	ALERT/ $\overline{\text{CS}}$	数字输入	输入	引脚控制模式下为报警输出引脚(ALERT)。SPI控制模式下为片选引脚($\overline{\text{CS}}$)。
19	DCLK2/SCLK	数字输入	输入	引脚控制模式下为DCLK频率选择引脚2 (DCLK2)。详情参见表19。SPI控制模式下为SPI时钟(SCLK)。
20	DCLK1/SDI	数字输入	输入	引脚控制模式下为DCLK频率选择引脚1 (DCLK1)。详情参见表19。SPI控制模式下为SPI数据输入(SDI)。如果器件配置为引脚控制模式且SPI用作数据输出接口, 则将此引脚连接至DGND。
21	DCLK0/SDO	数字输出	输出	引脚控制模式下为DCLK频率选择引脚0 (DCLK0)。详情参见表19。SPI控制模式下为SPI数据输出(SDO)。
22	DGND	电源	电源	数字地。
23	DREGCAP	电源	输出	数字LDO输出。用一个1 μF 电容将此引脚去耦至DGND。
24	IOVDD	电源	电源	数字电平输入/输出和数字LDO (DLDO)电源(1.8 V至3.6 V)。IOVDD不得低于DREGCAP。
25	DOUT3	数字输出	I/O	数据输出引脚3。若器件配置为菊花链模式, 此引脚用作输入引脚。更多信息参见“菊花链模式”部分。
26	DOUT2	数字输出	I/O	数据输出引脚2。若器件配置为菊花链模式, 此引脚用作输入引脚。更多信息参见“菊花链模式”部分。
27	DOUT1	数字输出	输出	数据输出引脚1。
28	DOUT0	数字输出	输出	数据输出引脚0。
29	DCLK	数字输出	输出	数据输出时钟。
30	$\overline{\text{DRDY}}$	数字输出	输出	数据输出就绪引脚。
31	XTAL1	时钟	输入	晶振1输入连接。如果CMOS用作时钟源, 则将此引脚与DGND相连。详情参见表16。
32	XTAL2/MCLK	时钟	输入	晶振2输入连接(XTAL2)。详情参见表16。CMOS时钟(MCLK)。详情参见表16。
33	$\overline{\text{START}}$	数字输入	输入	同步脉冲。此引脚用来将外部 $\overline{\text{START}}$ 异步脉冲内部同步至MCLK。同步信号通过 $\overline{\text{SYNC_OUT}}$ 引脚移出。若不使用, 将此引脚连接到DGND。更多信息参见“相位调整”部分和“数字复位和同步引脚”部分。
34	$\overline{\text{SYNC_OUT}}$	数字输出	输入	同步信号。此引脚生成同步脉冲, 通过硬件($\overline{\text{START}}$ 引脚)或软件(GENERAL_USER_CONFIG_2的位0)驱动。若不使用, 应将此引脚连接到 $\overline{\text{SYNC_IN}}$ 引脚。更多信息参见“相位调整”和“数字复位和同步引脚”部分。
35	$\overline{\text{SYNC_IN}}$	数字输入	输入	内部数字模块复位和多器件同步。更多信息参见“数字复位和同步引脚”部分。
36	$\overline{\text{RESET}}$	数字输入	输入	异步复位引脚。此引脚可将所有寄存器复位至默认值。由于电源的慢速压摆率可能在数字模块中生成不正确的初始化状态, 建议器件上电后在此引脚上生成一个脉冲。
37	AIN7+	模拟输入	输入	模拟输入通道7(+).
38	AIN7-	模拟输入	输入	模拟输入通道7(-).
39	AIN6+	模拟输入	输入	模拟输入通道6(+).
40	AIN6-	模拟输入	输入	模拟输入通道6(-).
41	REF2+	基准电压源	输入	通道4至通道7的正基准电压输入2, 通常相对REF2- 为+ 2.5 V。
42	REF2-	基准电压源	输入	通道4至通道7的负基准电压输入2, 通常为AVSSx。将所有REFx-引脚连接到相同的电位。
43	AVDD1B	电源	电源	用于通道4至通道7的正前端模拟电源。将此引脚连接到AVDD1A。
44	AVSS1B	电源	电源	用于通道4至通道7的负前端模拟电源, 通常为- 1.65 V(双电源)或AGND(单电源)。将所有AVSSx引脚相连。
45	AIN5+	模拟输入	输入	模拟输入通道5(+).
46	AIN5-	模拟输入	输入	模拟输入通道5(-).
47	AIN4+	模拟输入	输入	模拟输入通道4(+).
48	AIN4-	模拟输入	输入	模拟输入通道4(-).

AD7779

引脚编号	引脚名称	类型	方向	描述
49	REF_OUT	基准电压源	输出	2.5 V基准电压输出。若使用内部基准电压源，此引脚上应连接一个100 nF电容。
50	AVSS2B	电源	电源	负模拟电源。将所有AVSSx引脚相连。
51	AREG2CAP	电源	输出	模拟LDO输出2。用一个1 μF电容将此引脚去耦至AVSS2B。
52	AVDD2B	电源	电源	正模拟电源。将此引脚连接到AVDD2A。
53	AVSS3	电源	电源	负模拟地。将所有AVSSx引脚相连。
54	FORMAT1	数字输入	输入	输出数据帧1。详情参见表17。
55	FORMAT0	数字输入	输入	输出数据帧0。详情参见表17。
56	CLK_SEL	数字输入	输入	选择时钟源。详情参见表16。
57	VCM	模拟输出	输出	共模电压输出，通常为 $(AVDD1 + AVSSx)/2$ 。
58	AVDD2A	电源	输入	模拟电源(2.2 V至3.6 V)。AVSS2x不得低于AREGxCAP。将此引脚连接到AVDD2B。
59	AREG1CAP	电源	输出	模拟LDO输出1。用一个1 μF电容将此引脚去耦至AVSS。
60	AVSS2A	电源	输入	负模拟电源。将所有AVSSx引脚相连。
61	AVSS4	电源	电源	负SAR模拟电源和基准电压源。将所有AVSSx引脚相连。
62	AVDD4	电源	电源	正SAR模拟电源和基准电压源。
63	AUXAIN+	模拟输入	输入	正SAR模拟输入通道。
64	AUXAIN-	模拟输入	输入	负SAR模拟输入通道。
	EPAD	电源	输入	裸露焊盘。应将裸露焊盘连接到AVSSx。

典型性能参数

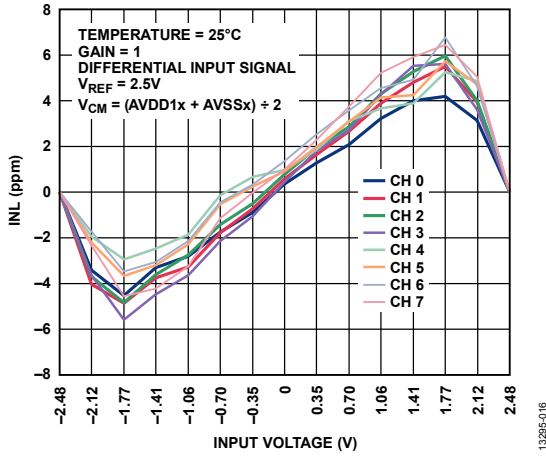


图8. INL与输入电压和通道的关系, 8 kSPS, 高分辨率模式, AVSSx(VCM为VCM引脚上的电压)

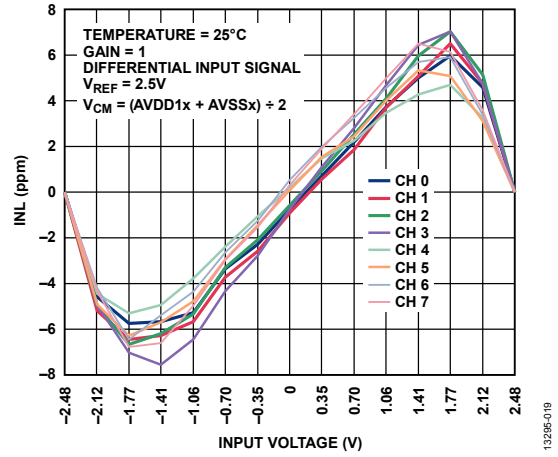


图11. INL与输入电压和通道的关系, 2 kSPS, 低功耗模式, AVSSx

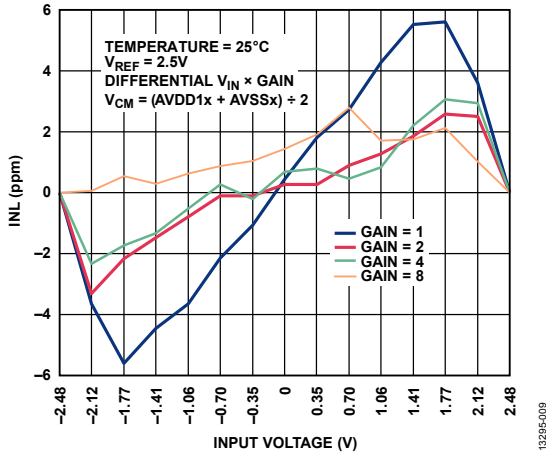


图9. INL与输入电压和PGA增益的关系, 8 kSPS, 高分辨率模式, AVSSx

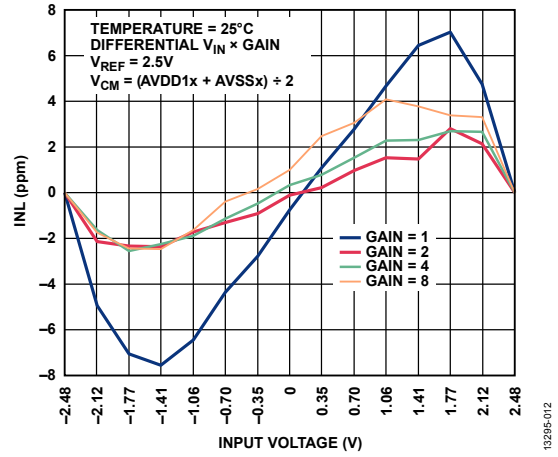


图12. INL与输入电压和PGA增益的关系, 2 kSPS, 低功耗模式, AVSSx

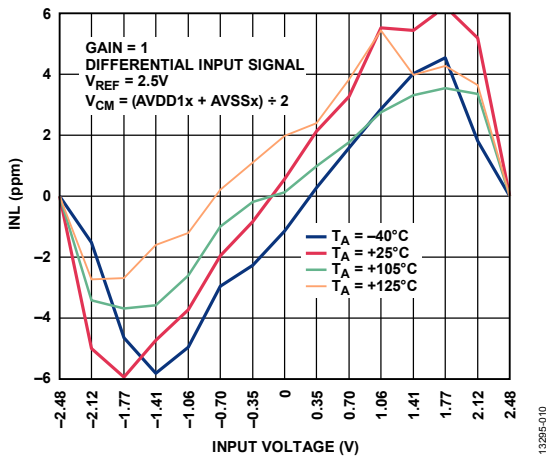


图10. INL与输入电压和温度的关系, 8 kSPS, 高分辨率模式, AVSSx

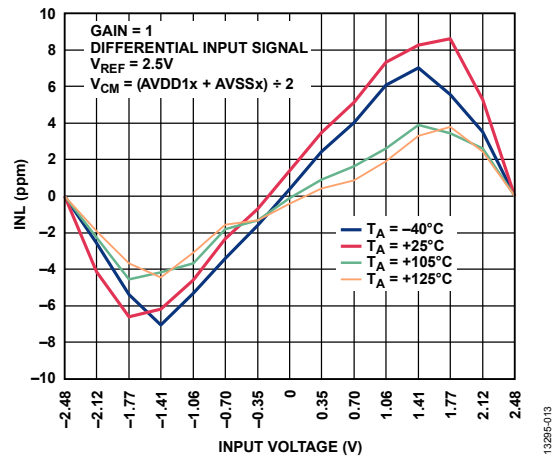


图13. INL与输入电压和温度的关系, 2 kSPS, 高分辨率模式, AVSSx

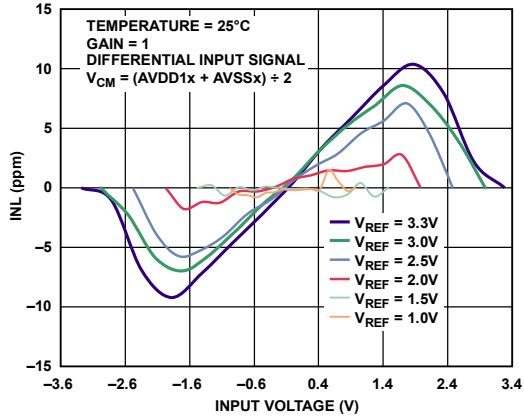


图14. INL与输入电压和基准电压(V_{REF})的关系, 8 kSPS, 高分辨率模式, $AVSSx$

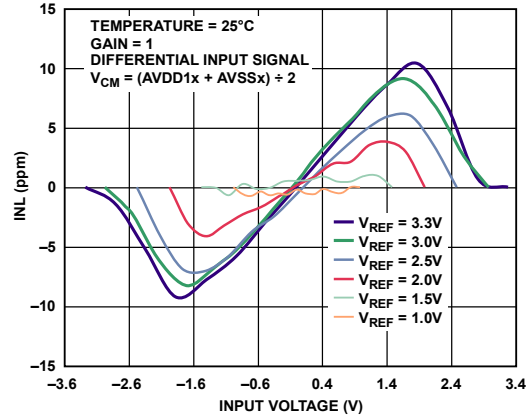


图17. INL与输入电压和基准电压(V_{REF})的关系, 2 kSPS, 低功耗模式, $AVSSx$

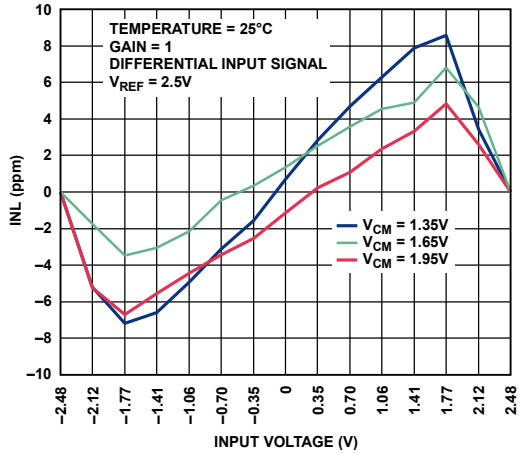


图15. INL与输入电压和 V_{CM} 的关系, 8 kSPS, 高分辨率模式

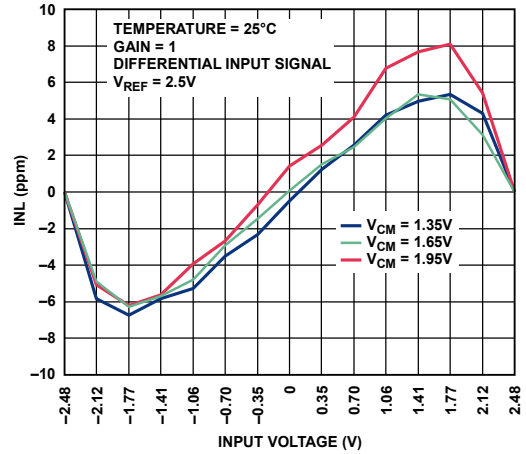


图18. INL与输入电压和 V_{CM} 的关系, 2 kSPS, 低功耗模式

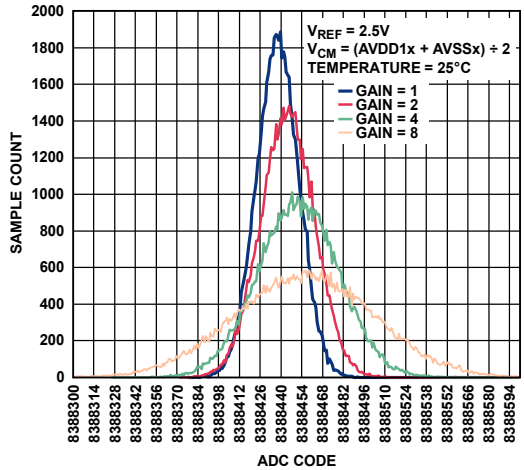


图16. 噪声直方图, 8 kSPS, 高分辨率模式

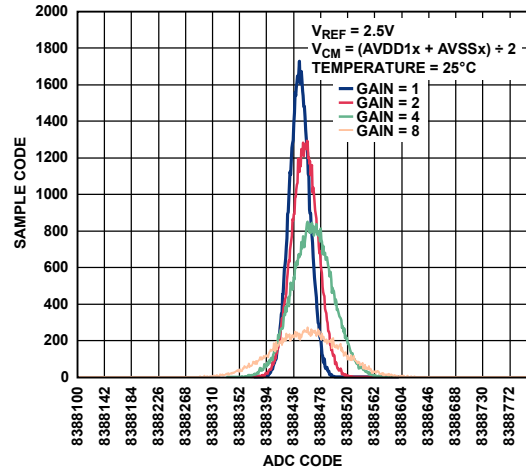


图19. 噪声直方图, 2 kSPS, 低功耗模式

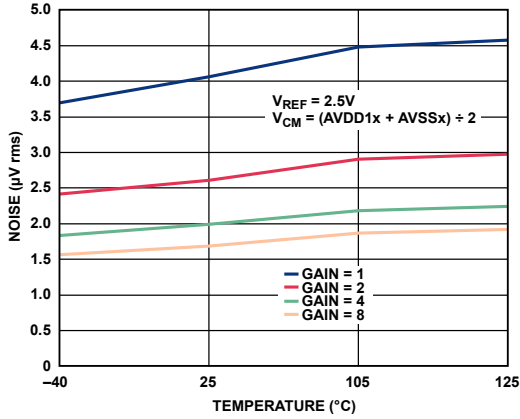


图20. 噪声与温度的关系, 8 kSPS, 高分辨率模式

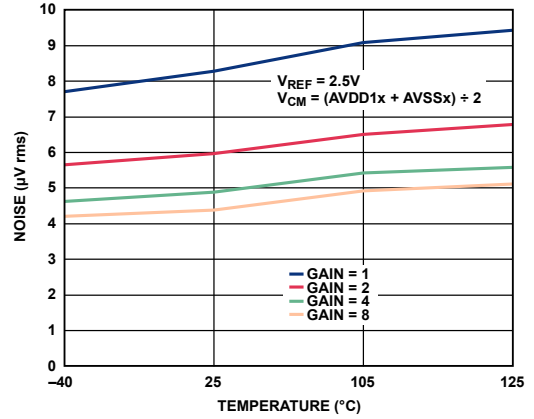


图23. 噪声与温度的关系, 2 kSPS, 低功耗模式

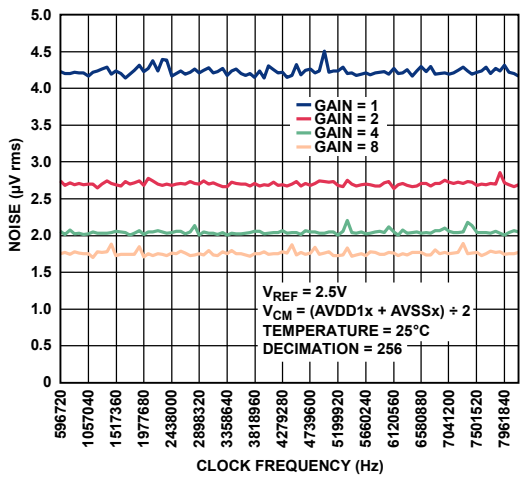


图21. 噪声与时钟频率的关系, 高分辨率模式, 抽取率 = 256

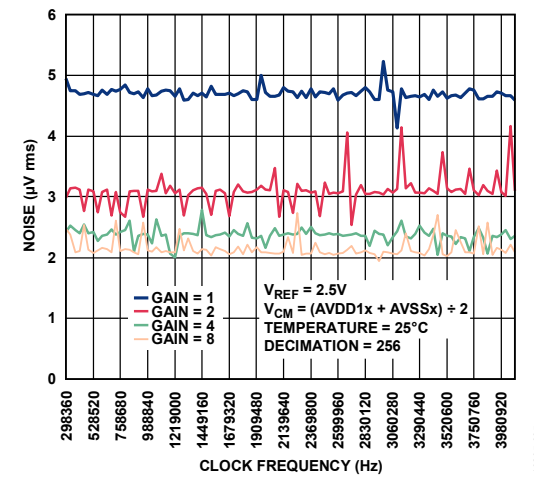


图24. 噪声与时钟频率的关系, 2 kSPS, 低功耗模式, 抽取率 = 256

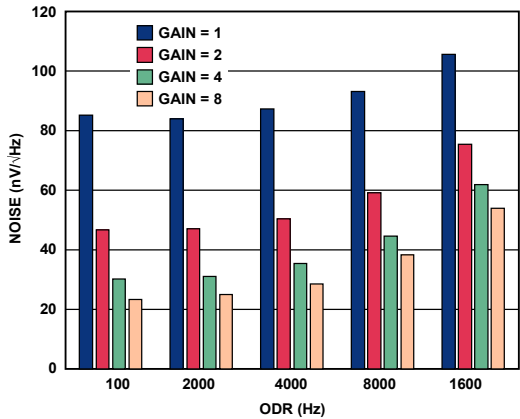


图22. 噪声与ODR的关系, 高分辨率模式

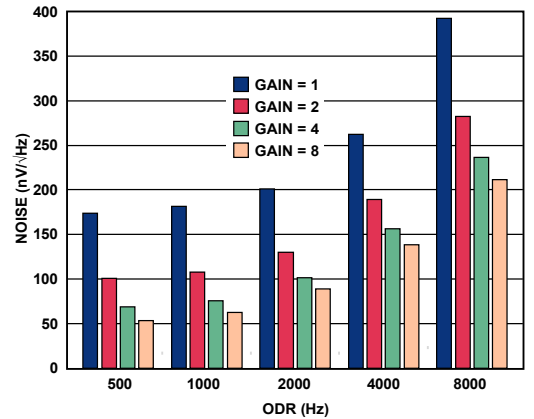


图25. 噪声与ODR的关系, 低功耗模式

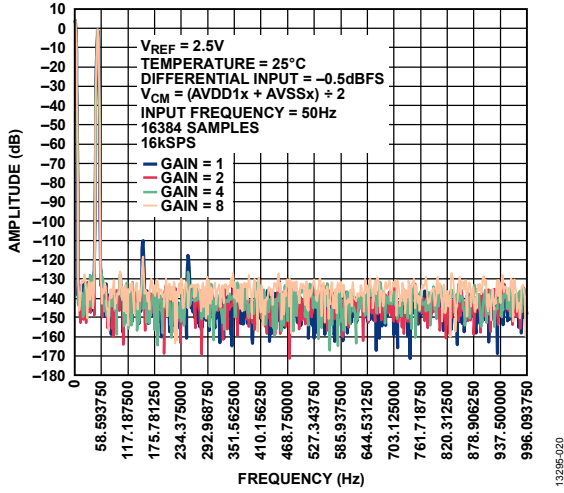


图26. FFT图, 16 kSPS, 高分辨率模式, 输入频率(f_{IN}) = 50 Hz, AVSSx(此图是原始数据的特写透视图)

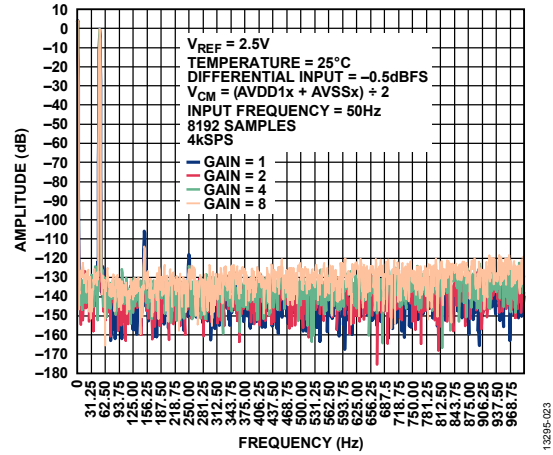


图29. FFT图, 低功耗模式, 输入频率(f_{IN}) = 50 Hz, 8192样本, AVSSx(此图是原始数据的特写透视图)

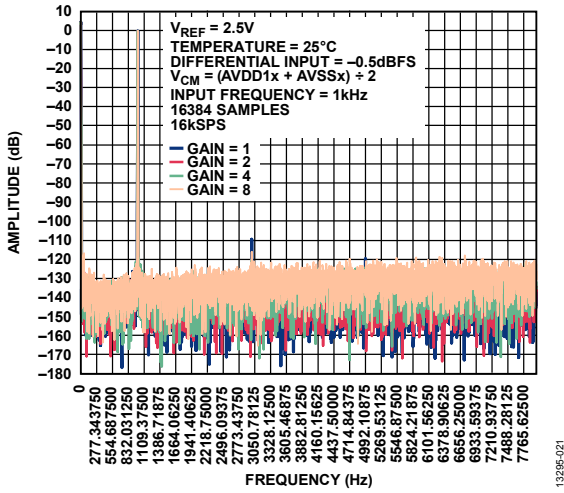


图27. FFT图, 高分辨率模式, 输入频率(f_{IN}) = 1 kHz, AVSSx

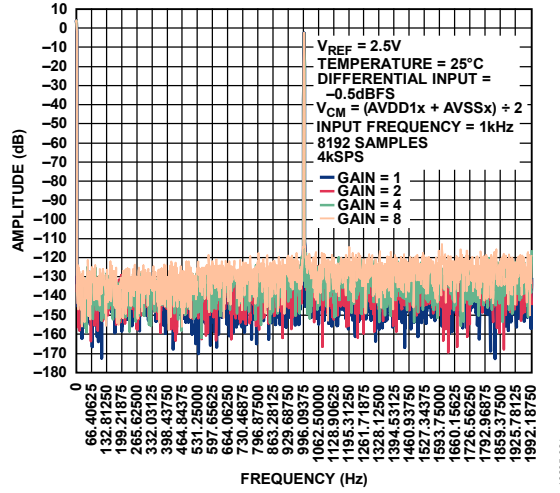


图30. FFT图, 低功耗模式, 输入频率(f_{IN}) = 1 kHz, 8192样本, AVSSx

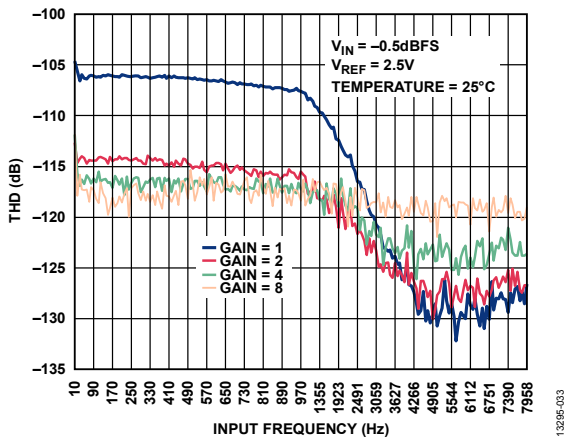


图28. THD与输入频率的关系, 8 kSPS, 高分辨率模式

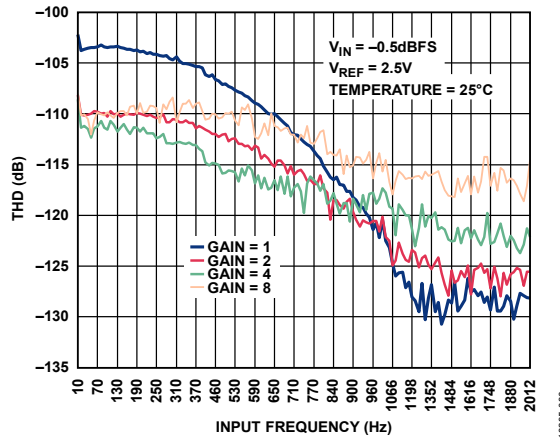


图31. THD与输入频率的关系, 2 kSPS, 低功耗模式

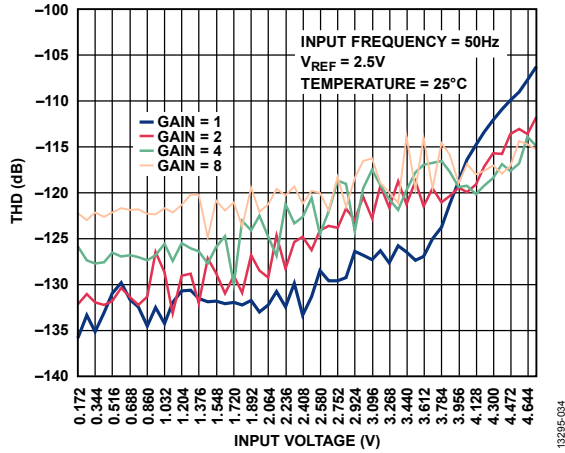


图32. THD与输入电压的关系, 2 kSPS, 高分辨率模式, 输入频率 = 50 Hz

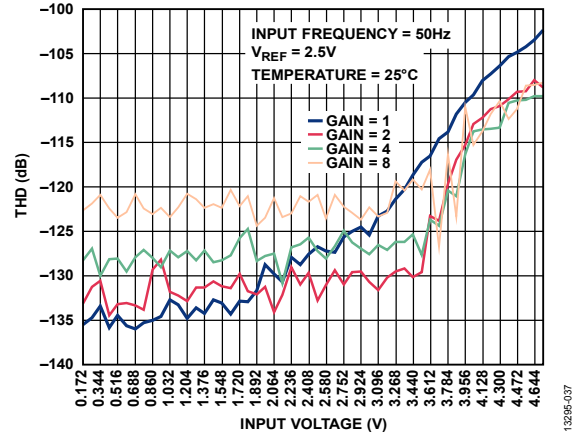


图35. THD与输入电压的关系, 500 SPS, 低功耗模式

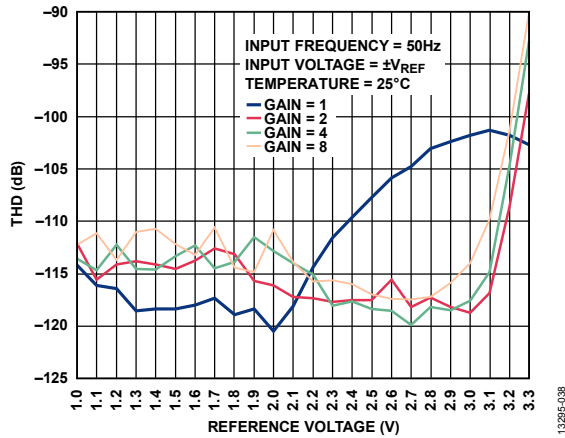


图33. THD与基准电压的关系, 8 kSPS, 高分辨率模式, 输入频率 = 50 Hz

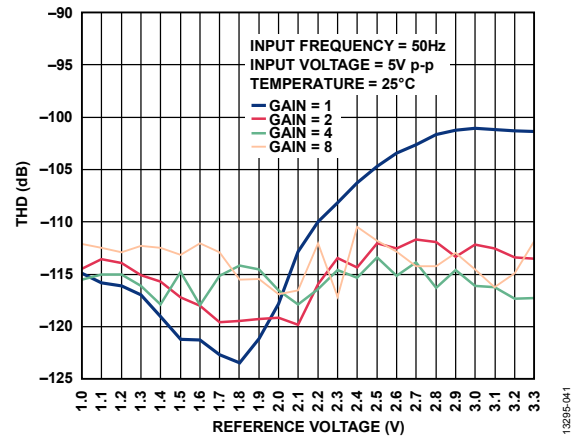


图36. THD与基准电压的关系, 2 kSPS, 低功耗模式, 输入频率 = 50 Hz

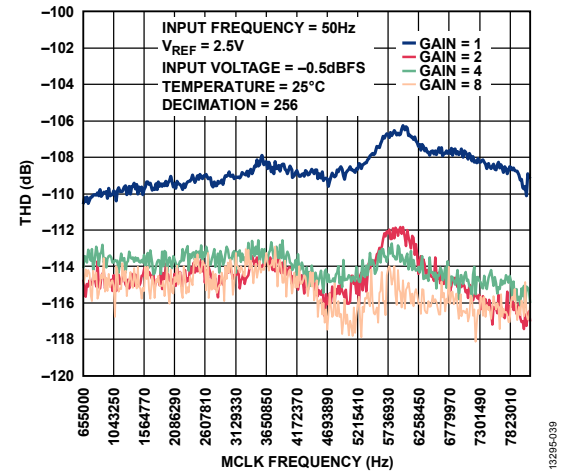


图34. THD与MCLK频率的关系, 高分辨率模式, 输入频率(f_{IN}) = 50 Hz, 抽取率 = 256

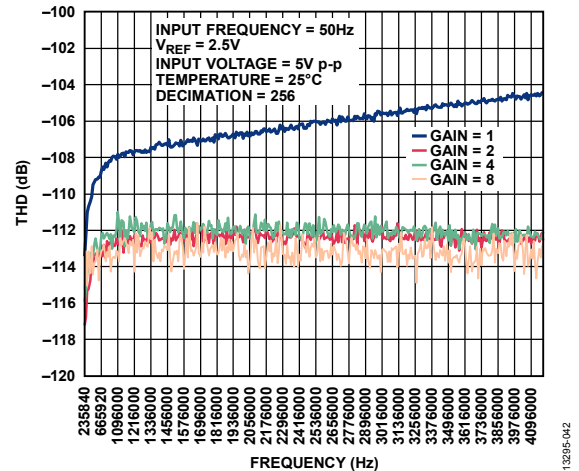


图37. THD与MCLK频率的关系, 低功耗模式, 输入频率(f_{IN}) = 50 Hz, 抽取率 = 256

AD7779

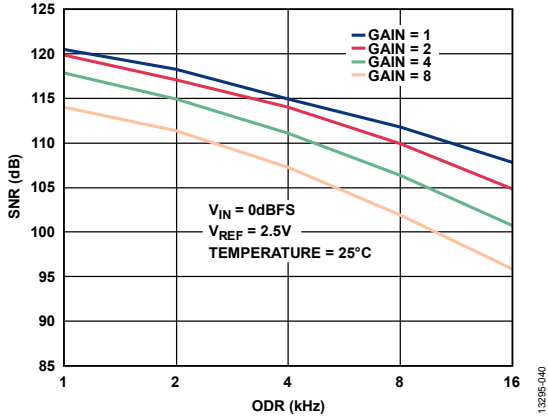


图38. SNR与ODR的关系, 8 kSPS, 高分辨率模式, $AVDDx = 3.6 V$, $AVSS = 1.8 V$, $IOVDD = 3.6 V$

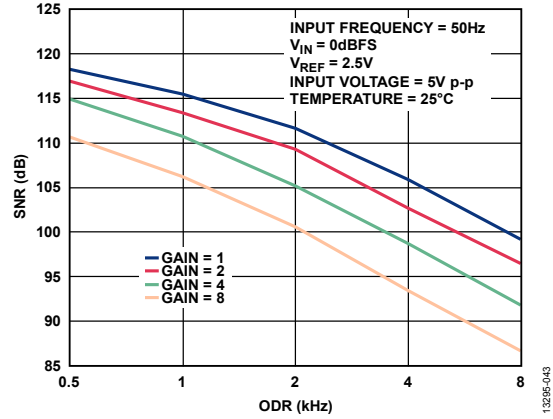


图41. SNR与ODR的关系, 2 kSPS, 低功耗模式, $AVDDx = 3.6 V$, $AVSS = 1.8 V$, $IOVDD = 3.6 V$

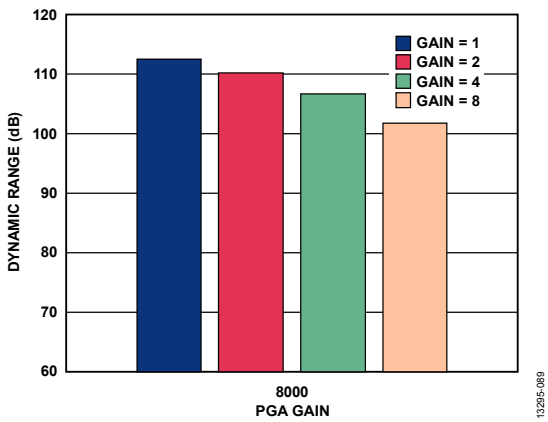


图39. 动态范围与PGA增益的关系, 高分辨率模式, ODR = 8 kSPS

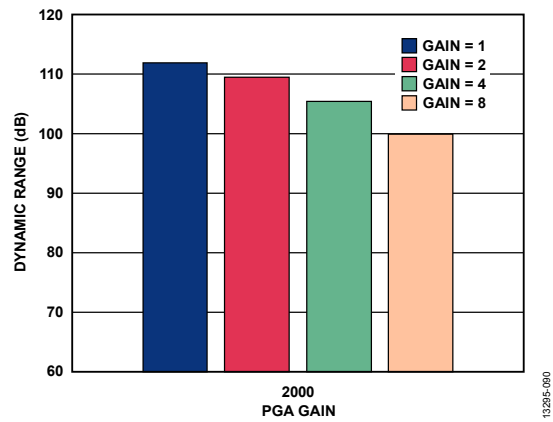


图42. 动态范围与PGA增益的关系, 低功耗模式, ODR = 2 kSPS

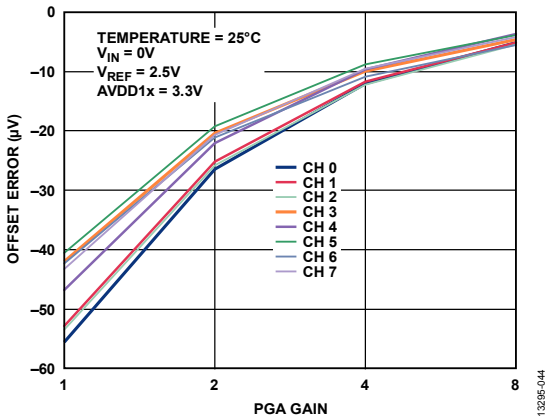


图40. 失调误差与PGA增益的关系, 高分辨率模式, $AVDD1x = 3.3 V$

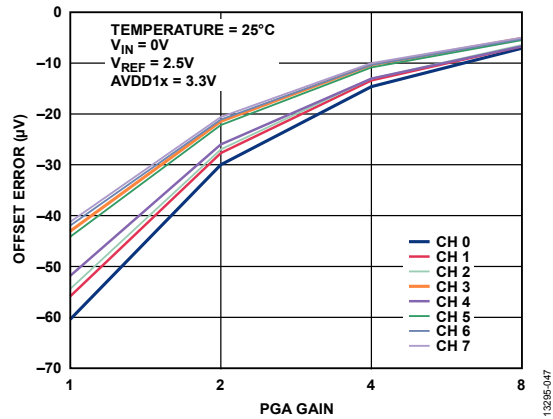


图43. 失调误差与PGA增益的关系, 低功耗模式, $AVDD1x = 3.3 V$

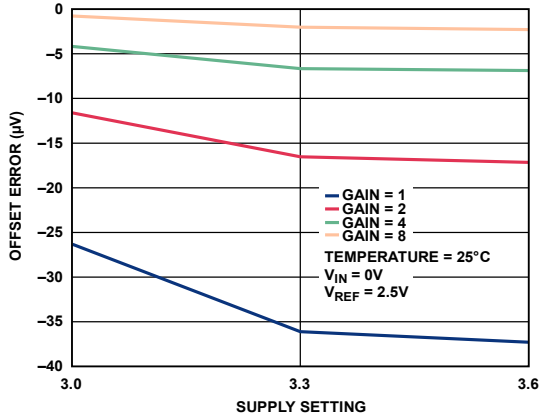


图44. 失调误差与电源设置的关系，高分辨率模式

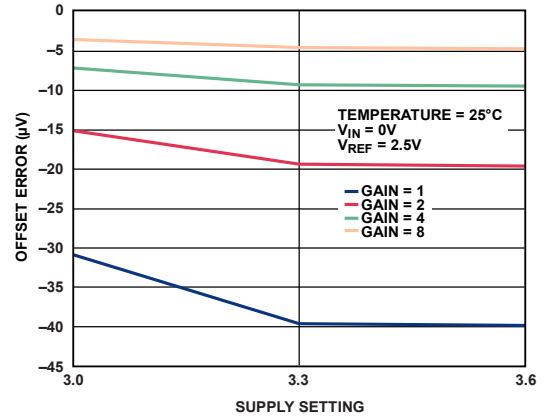


图47. 失调误差与电源设置的关系，低功耗模式

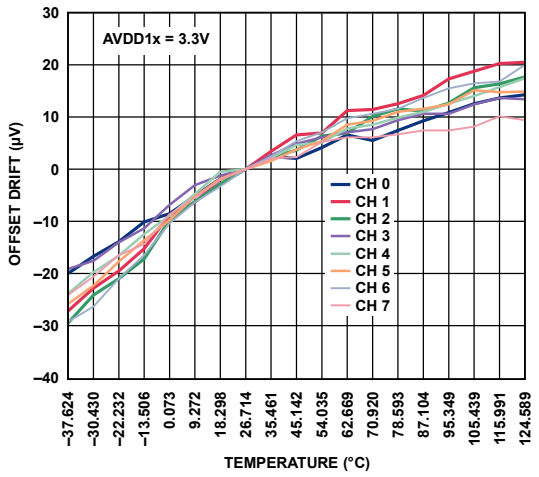


图45. 失调漂移与温度的关系，AVDD1x = 3.3 V

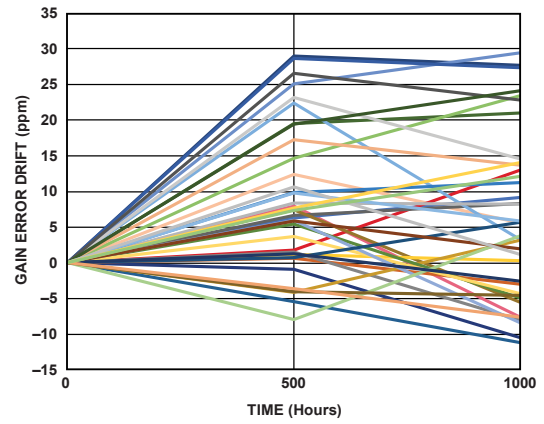


图48. 增益误差漂移与时间的关系

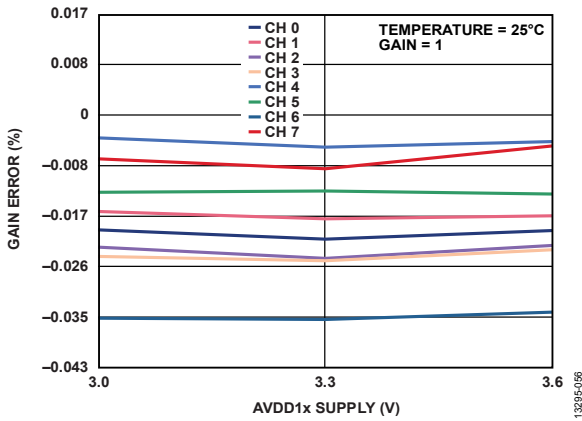


图46. 增益误差与AVDD1x电源的关系，高分辨率模式

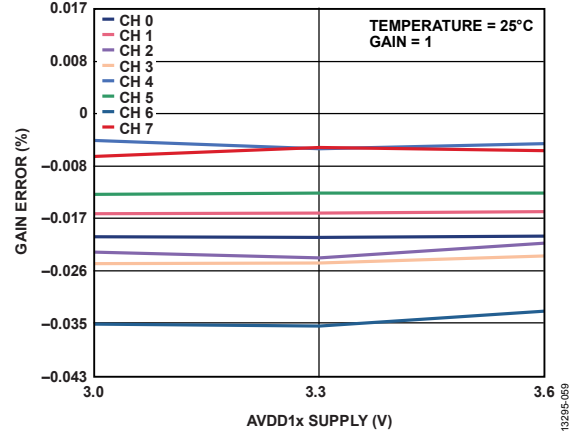


图49. 增益误差与AVDD1x电源的关系，低功耗模式

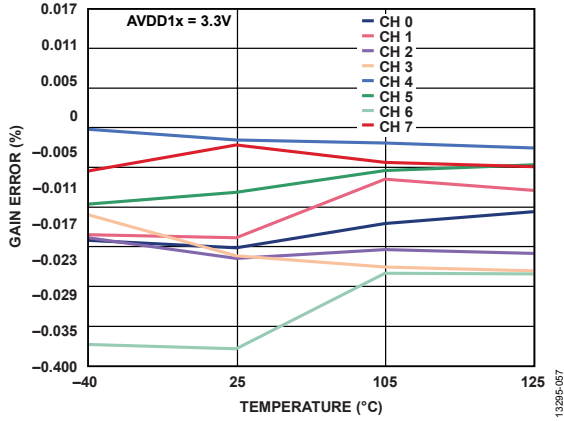


图50. 增益误差与温度的关系, 高分辨率模式, AVDD1x = 3.3 V

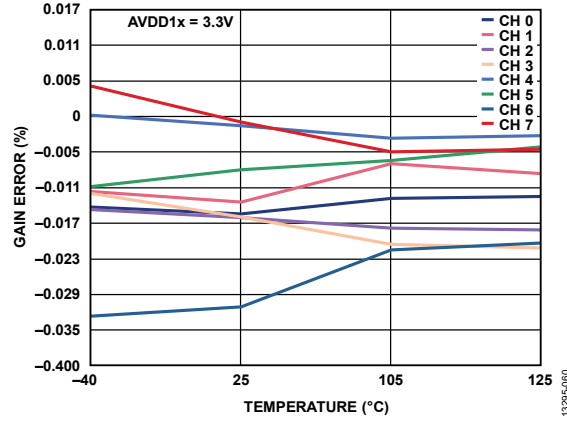


图53. 增益误差与温度的关系, 低功耗模式, AVDD1x = 3.3 V

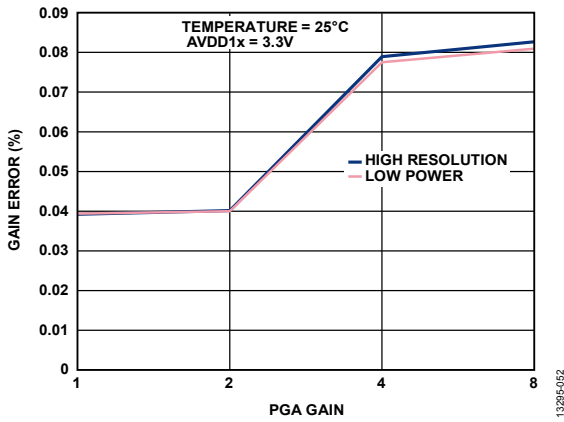


图51. 通道增益不匹配, 高分辨率模式, AVDD1x = 3.3 V

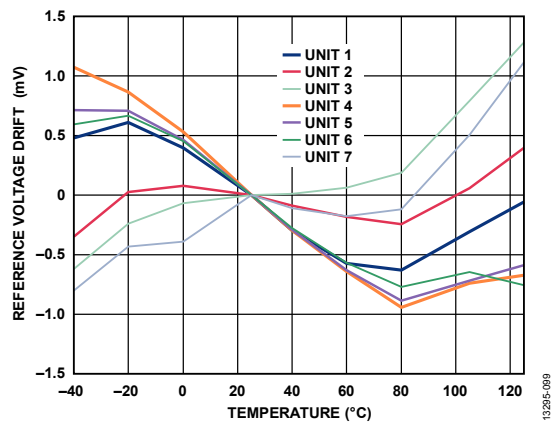


图54. 内部基准电压漂移

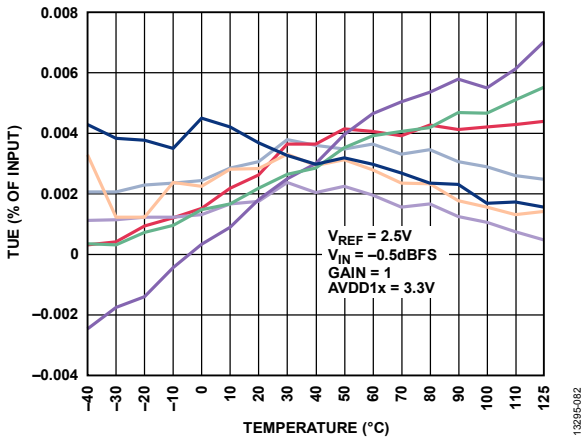


图52. 总不可调整误差(TUE)(输入的%)与温度的关系, 高分辨率模式, AVDD1x = 3.3 V

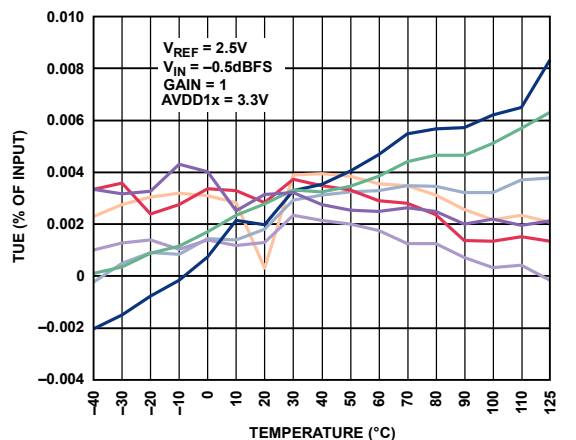


图55. TUE(输入的%)与温度的关系, 低功耗模式, AVDD1x = 3.3 V

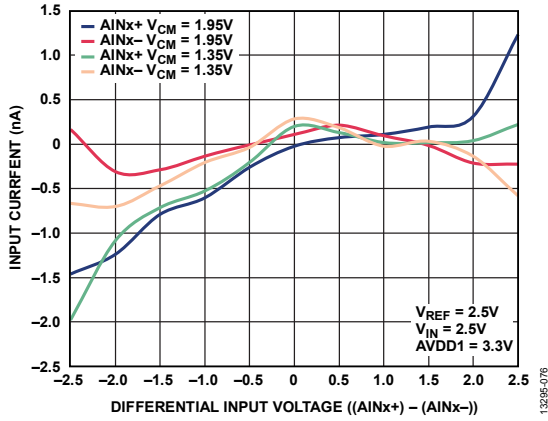


图56. 输入电流与差分输入电压的关系, 高分辨率模式

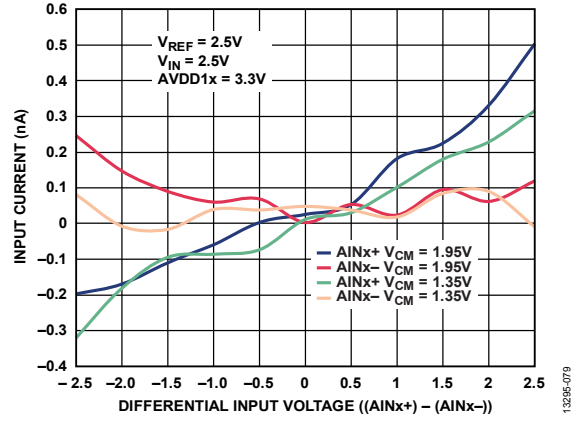


图59. 输入电流与差分输入电压的关系, 低功耗模式

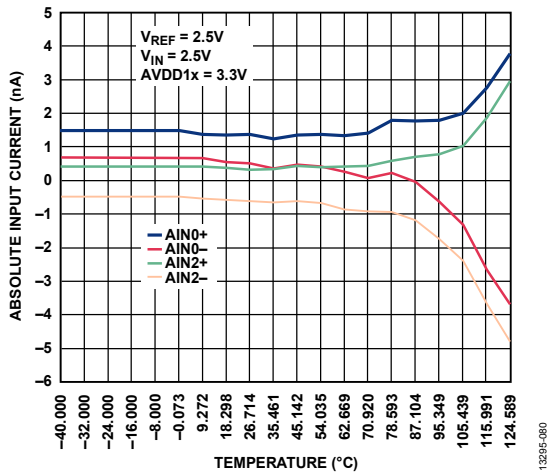


图57. 绝对输入电流与温度的关系, 高分辨率模式

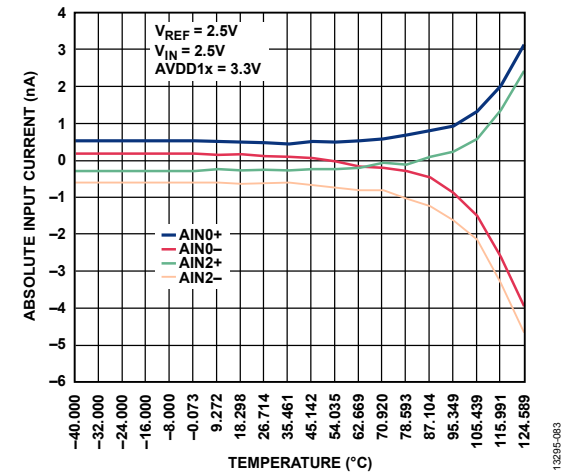


图60. 绝对输入电流与温度的关系, 低功耗模式

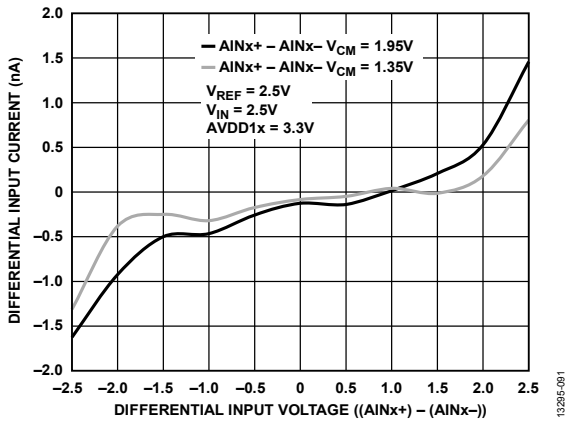


图58. 差分输入电流与差分输入电压的关系, 高分辨率模式

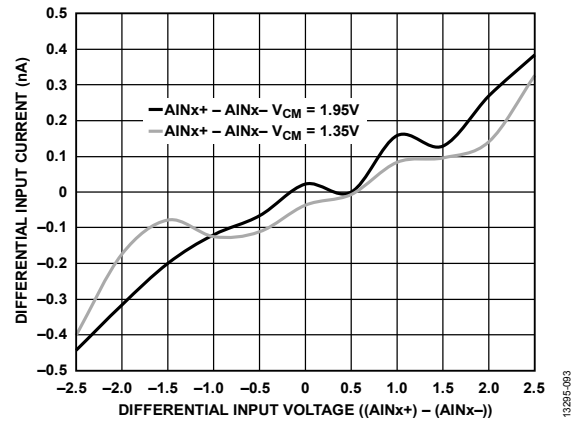


图61. 差分输入电流与差分输入电压的关系, 低功耗模式

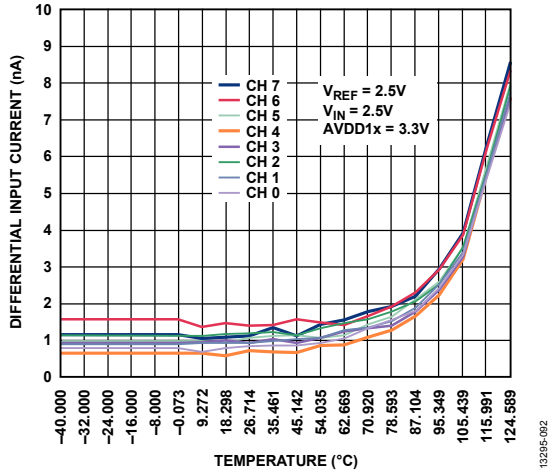


图62. 差分输入电流与温度的关系, 高分辨率模式

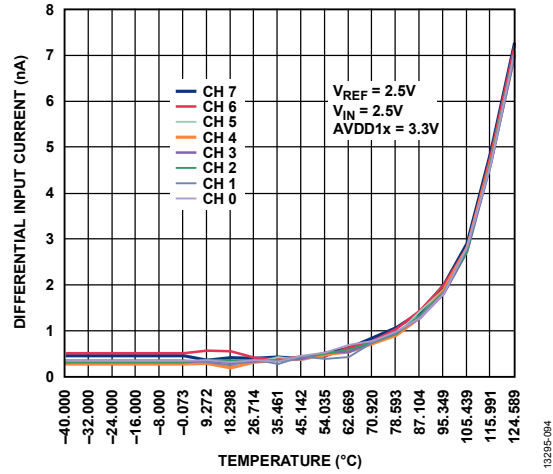


图65. 差分输入电流与温度的关系, 低功耗模式

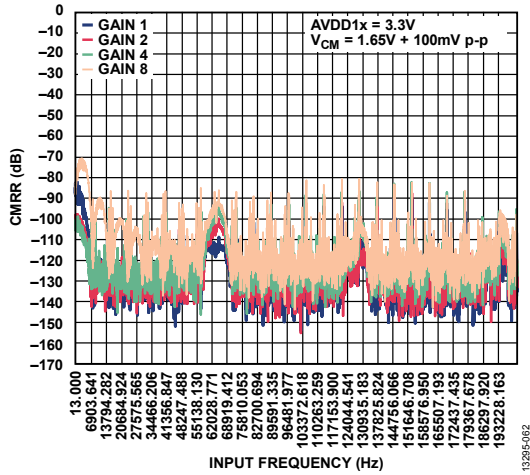


图63. CMRR与输入频率的关系, 8 kSPS, 高分辨率模式, AVDD1x = 3.3 V, V_{CM} = 1.65 V + 100 mV p-p

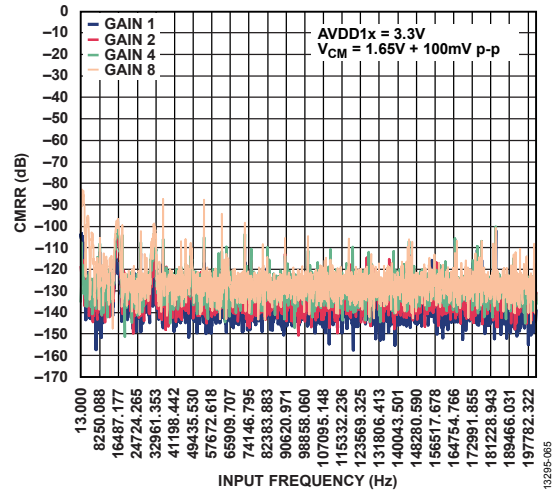


图66. CMRR与输入频率的关系, 2 kSPS, 低功耗模式, AVDD1x = 3.3 V, V_{CM} = 1.65 V + 100 mV p-p

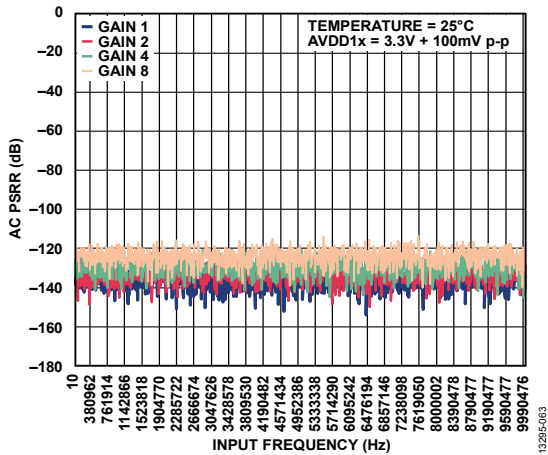


图64. AC PSRR与输入频率的关系, 8 kSPS, 高分辨率模式, AVDD1x = 3.3 V + 100 mV p-p

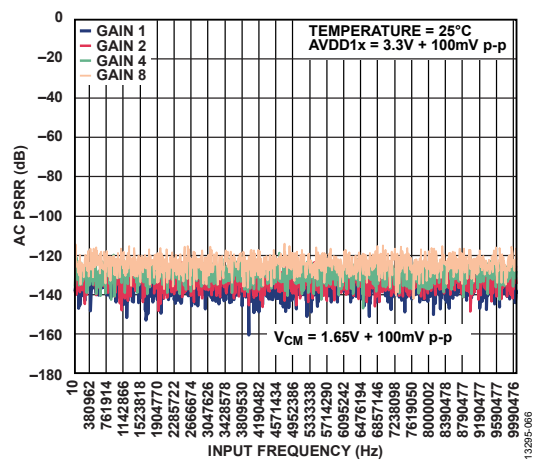


图67. AC PSRR与输入频率的关系, 2 kSPS, 低功耗模式, AVDD1x = 3.3 V + 100 mV p-p

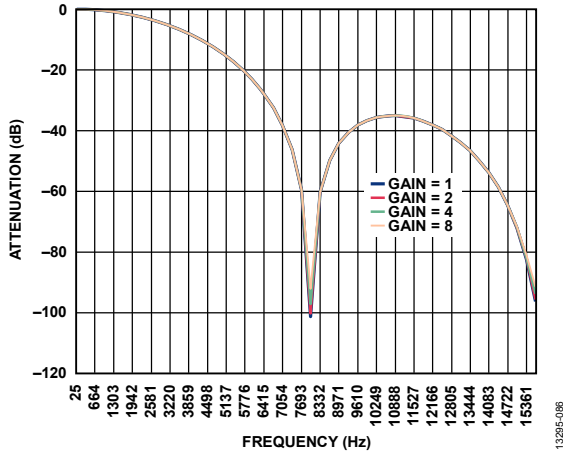


图68. 滤波器曲线, 8 kSPS, 高分辨率模式

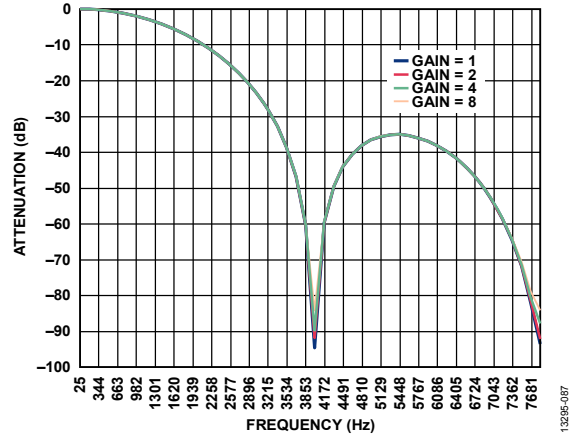


图71. 滤波器曲线, 2 kSPS, 低功耗模式

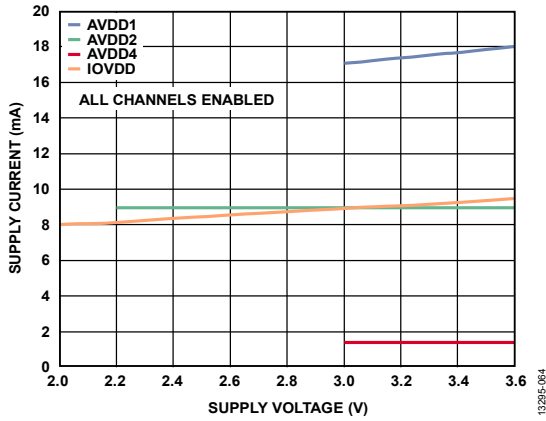


图69. 电源电流与电源电压的关系, 8 kSPS, 高分辨率模式

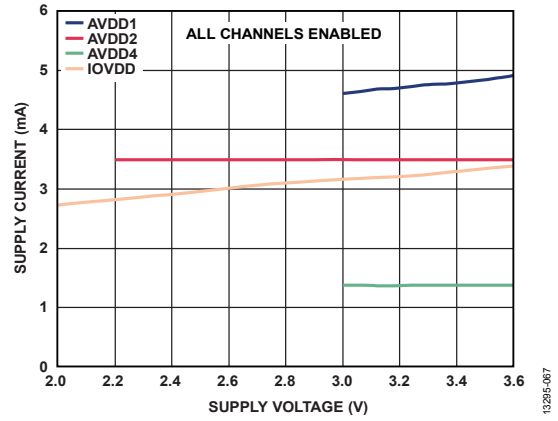


图72. 电源电流与电源电压的关系, 2 kSPS, 低功耗模式

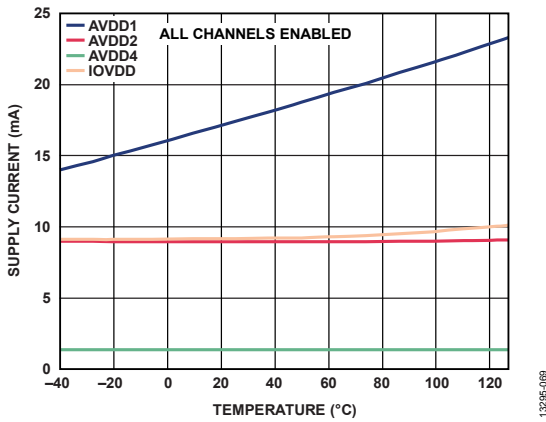


图70. 电源电流与温度的关系, 8 kSPS, 高分辨率模式

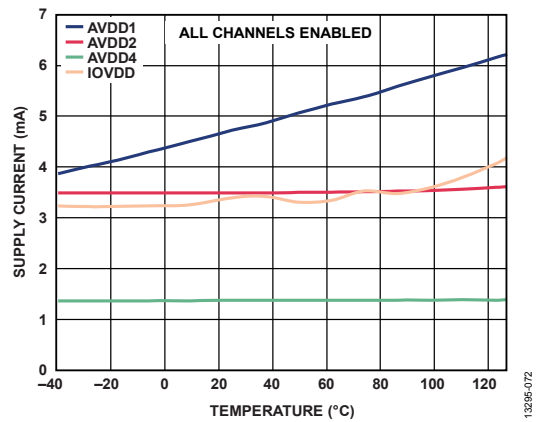


图73. 电源电流与温度的关系, 2 kSPS, 低功耗模式

AD7779

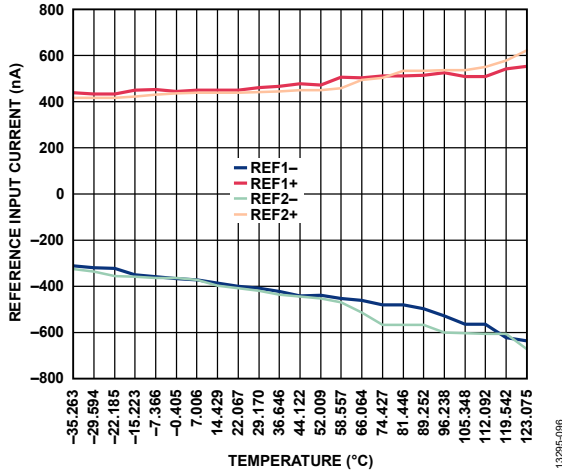


图74. 基准输入电流与温度的关系，高分辨率模式

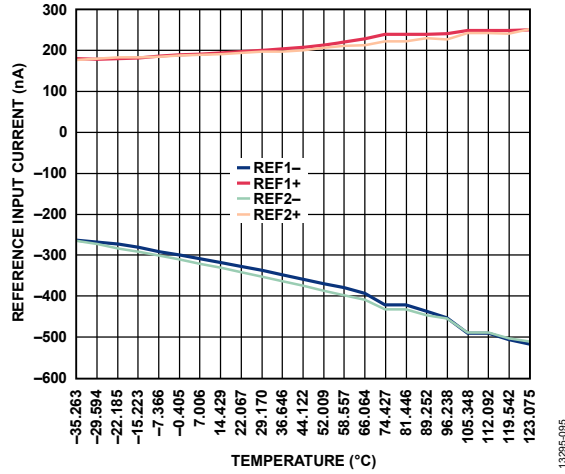


图77. 基准输入电流与温度的关系，低功耗模式

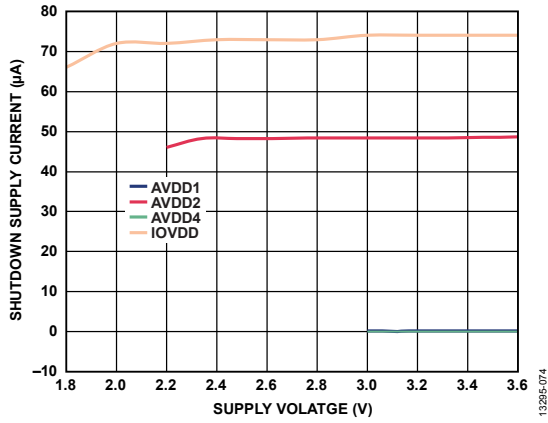


图75. 关断电源电流与电源电压的关系

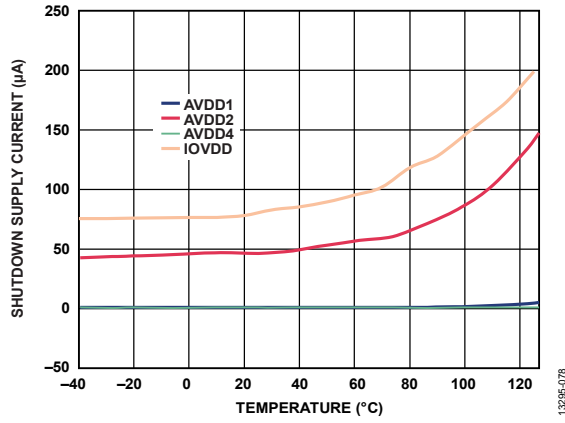


图78. 关断电源电流与温度的关系

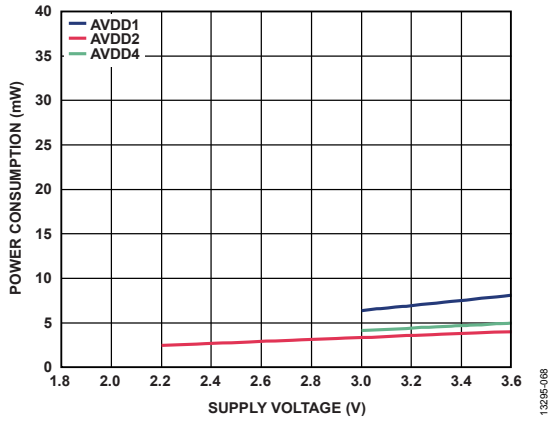


图76. 每通道功耗与电源电压的关系，8 kSPS，高分辨率模式

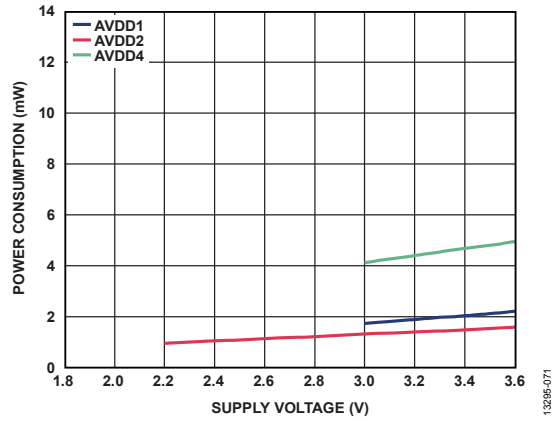


图79. 每通道功耗与电源电压的关系，2 kSPS，低功耗模式

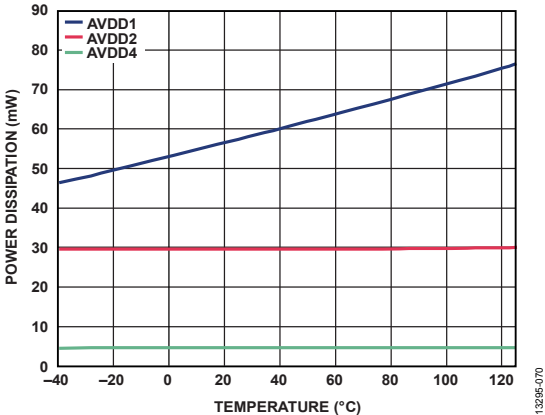


图80. 功耗与温度的关系, 8 kSPS, 高分辨率模式

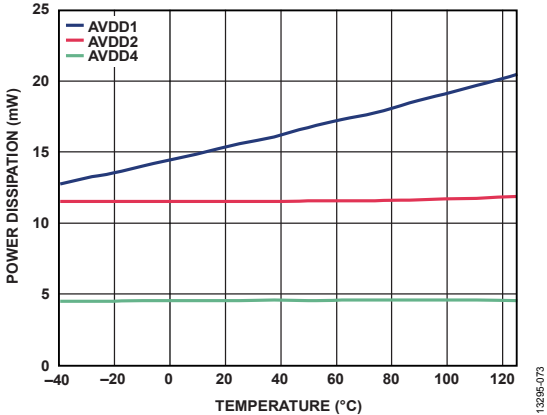


图81. 功耗与温度的关系, 2 kSPS, 低功耗模式

术语

共模抑制比(CMRR)

共模抑制比是指满量程频率 f 下ADC输出功率与频率 f_s 下施加于共模电压 V_{IN+} 和 V_{IN-} 的100 mV p-p正弦波功率的比值:

$$CMRR \text{ (dB)} = 10 \log(P_f/P_{f_s})$$

其中:

P_f 为频率 f 下ADC的输出功率。

P_{f_s} 为频率 f_s 下ADC的输出功率。

差分非线性(DNL)误差

在一个理想ADC中,码跃迁相距1 LSB。差分非线性是指实际值与此理想值的最大偏差。经常用保证无失码的分辨率来描述DNL误差。

积分非线性(INL)误差

积分非线性误差是指每个码与一条从负满量程画到正满量程的直线偏差。用作负满量程的该点出现在第一个码跃迁之前的 $\frac{1}{2}$ LSB处。正满量程指超出最后一个码跃迁 $\frac{1}{2}$ LSB的电平。从各码的中点到该直线的距离即为偏差。

动态范围

动态范围指满量程输入信号的均方根值与针对一个输入测得的均方根噪声之比,用分贝(dB)表示。

通道间隔离

通道间隔离衡量通道之间的串扰水平。其测量方法是向所有七个未选定的输入通道施加一个满量程频率扫描正弦波信号,并确定该信号在选定通道内的衰减程度。图中所示为针对AD7779全部8个通道的最差情况。

交调失真(IMD)

当输入由两个频率分别为 f_a 和 f_b 的正弦波组成时,任何非线性有源器件都会以和与差频 $m f_a$ 和 $n f_b$ (其中 $m, n = 0, 1, 2, 3$ 等)的形式产生失真积。交调失真项的 m 和 n 都不等于0。例如,二阶项包括 $(f_a + f_b)$ 和 $(f_a - f_b)$,而三阶项包括 $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 和 $(f_a - 2f_b)$ 。AD7779经过CCIF标准测试,此标准使用最大输入带宽附近的两个输入频率。在此情况下,二阶项频率通常远离最初正弦波,而三阶项频率通常靠近输入频率。因此,二阶和三阶项需分别指定。交调失真根据THD参数来计算,它是个别失真产物的均方根和与基波和的振幅均方根的比值,用分贝(dB)表示。

增益误差

当模拟电压高于标称负满量程 $\frac{1}{2}$ LSB时(对于 ± 2.5 范围为 -2.49999 V),产生第一个码跃迁(从100...000跃迁至100...001)。当模拟电压低于标称正满量程 $\frac{1}{2}$ LSB时(对于 ± 2.5 V范围为

2.49999 V),发生最后一个码跃迁(从011...110至011...111)。增益误差指最后一个跃迁的实际电平与第一个跃迁的实际电平之差与二者的理想电平之差的偏差。

增益误差漂移

增益误差漂移是指 1°C 温度变化所产生的增益误差变化量与满量程范围(2^N)的比值,采用百万分率表示。

最低有效位(LSB)

最低有效位或LSB是转换器可以表示的最小增量。对于 N 位分辨率的全差分输入ADC,LSB(单位:伏特)的计算公式如下:

$$LSB \text{ (V)} = \frac{2 \times V_{REF}}{2^N}$$

折合到输入端的LSB为:

$$LSB \text{ (V}_{IN}) = \frac{2 \times V_{REF}}{2^N} \times \frac{PGA_{增益}}{2^N}$$

电源抑制比(PSRR)

电源变化会影响转换器的满量程转换,但不会影响其线性。电源抑制比指由于电源电压偏离标称值所引起的满量程转换点的最大变化。

信噪比(SNR)

SNR指实际输入信号的均方根值与奈奎斯特频率以下除谐波和直流以外所有其它频谱成分的均方根和之比,用分贝(dB)表示。

信纳比(SINAD)

SINAD指实际输入信号的均方根值与奈奎斯特频率以下包括谐波但直流除外的所有其它频谱成分的均方根和之比,SINAD值用分贝(dB)表示。

无杂散动态范围(SFDR)

SFDR指输入信号与峰值杂散信号(包括谐波)的均方根幅值之差,用分贝(dB)表示。

总谐波失真(THD)

THD指前五个谐波成分的均方根和与满量程输入信号的均方根值之比,用分贝(dB)表示。

失调误差

理想中间电平输入电压(0 V)与产生中间电平输出码的实际电压之差称为失调误差。

失调误差漂移

失调误差漂移是指温度变化 1°C 所产生的失调误差变化量与满量程代码范围(2^N)的比值,用 $\mu\text{V}/^\circ\text{C}$ 表示。

均方根噪声与分辨率

表10至表12显示了AD7779在不同输出数据速率和增益设置下的动态范围(DR)、均方根噪声(RTI)、有效位数(ENOB)和有效分辨率(ER)。所提供的数据是针对双极性输入范围以及采用2.5 V外部基准电压源而言。这些数据是在单个通道上连续转换ADC时，差分输入电压为0 V产生的典型值。

必须注意，有效分辨率是利用均方根噪声计算得出。计算均方根噪声使用了16,384个连续样本。

$$\text{有效分辨率} = \log_2(\text{输入范围}/\text{均方根噪声})$$

$$\text{ENOB} = (\text{DR} - 1.78)/6$$

高分辨率模式

表10. 高分辨率模式的DR (dB)和RTI (μV_{RMS})

抽取率	输出数据速率(SPS)	f _{-3dB} (Hz)	增益							
			1		2		4		8	
			DR	RTI	DR	RTI	DR	RTI	DR	RTI
128	16000	5029.99	108.28	6.80	105.13	4.80	101	3.95	95.86	3.46
256	8000	2521.99	112.5	4.12	110.21	2.63	106.8	2.01	102	1.72
512	4000	1267.99	116.12	2.70	114.7	1.59	111.6765	1.11	107.61	0.93
1024	2000	640.99	119.5	1.87	118.3	1.07	115.82	0.70	112	0.57
2048	1000	327.49	122.37	1.33	121.55	0.74	119	0.49	115.5	0.38

表11. 高分辨率模式的ENOB和ER

抽取率	输出数据速率(SPS)	f _{-3dB} (Hz)	增益							
			1		2		4		8	
			ENOB	ER	ENOB	ER	ENOB	ER	ENOB	ER
128	16000	5029.99	17.75	19.49	17.23	18.99	16.54	18.27	15.68	17.46
256	8000	2521.99	18.46	20.21	18.08	19.86	17.51	19.25	16.71	18.47
512	4000	1267.99	19.06	20.82	18.82	20.58	18.32	20.10	17.64	19.36
1024	2000	640.99	19.62	21.35	19.42	21.16	19.01	20.76	18.37	20.08
2048	1000	327.49	20.1	21.84	19.97	21.69	19.54	21.28	18.96	20.66

低功耗模式

表12. 低功耗模式的DR和RTI (μV_{RMS})

抽取率	输出数据速率(SPS)	f _{-3dB} (Hz)	增益							
			1		2		4		8	
			DR	RTI	DR	RTI	DR	RTI	DR	RTI
64	8000	2521.99	100	19.1	96	13.4	92	11.2	87	10.3
128	4000	1267.99	106	8.82	103	6.18	98.5	5.2	94	4.65
256	2000	640.99	112	4.53	108.5	3.03	106	2.32	100.5	2.05
512	1000	327.49	116	2.89	114	1.77	111	1.24	107	1.04

表13. 低功耗模式的ENOB和ER

抽取率	输出数据速率(SPS)	f _{-3dB} (Hz)	增益							
			1		2		4		8	
			ENOB	ER	ENOB	ER	ENOB	ER	ENOB	ER
64	8000	2521.99	16.37	18.00	15.71	17.51	15.04	16.77	14.21	15.89
128	4000	1267.99	17.37	19.11	16.87	18.63	16.12	17.87	15.37	17.04
256	2000	640.99	18.37	20.07	17.79	19.65	17.37	19.04	16.46	18.22
512	1000	327.49	19.04	20.72	18.71	20.43	18.21	19.94	17.54	19.20

AD7779

工作原理

AD7779是一款8通道、同步采样、低噪声、24位Σ-Δ型ADC，各通道集成数字滤波和SRC。

AD7779具有两种工作模式：高分辨率模式(最高16 kSPS)以及低功耗模式(最高8 kSPS)。低功耗模式下，保证额定性能的最高ODR为4 kSPS；当ODR高于4 kSPS时，性能可能会下降。

AD7779采用Σ-Δ转换技术，可将模拟输入信号转换为等效数字字。简而言之，Σ-Δ技术是指调制器对输入波形进行采样，并以输入时钟频率 f_{CLKIN} 输出等效数字字。

由于过采样率较高，这种技术会将量化噪声从0扩散到 $f_{CLKIN}/2$ (对于AD7779， f_{CLKIN} 与外部时钟相关)。因此，目标频段所含的噪声能量就会减小(见图82)。为进一步降低量化噪声，可采用一个高阶调制器对噪声频谱进行整形，将大部分噪声能量移出目标频段外(见图83)。调制器之后的数字滤波器消除大部分带外量化噪声(参见图84)。

有关Σ-Δ型ADC的更多基本信息和高级概念，请参阅MT-022和MT-023。

与模拟滤波相比，数字滤波有一定的优势。由于数字滤波发生在模数转换之后，因而可以移除转换时注入的噪声。模拟滤波无法移除转换时注入的噪声。

表14. 输入信号模式

输入信号模式	PGA增益	最大差分信号	最大峰峰值信号
真差分	所有增益	$\pm V_{REF}/PGA_{GAIN}$	$2 \times V_{REF}/PGA_{GAIN}$
伪差分	所有增益	$\pm V_{REF}/PGA_{GAIN}$	$2 \times V_{REF}/PGA_{GAIN}$
单端	所有增益	V_{REF}/PGA_{GAIN}	V_{REF}/PGA_{GAIN}

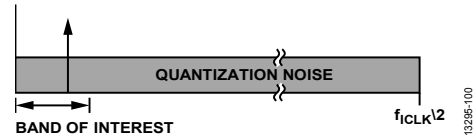


图82. Σ-Δ型ADC工作情况，目标频段所含的噪声能量减小(x轴线性调节)

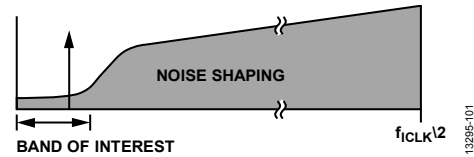


图83. Σ-Δ型ADC工作情况，大部分噪声能量移出目标频段外(x轴线性调节)

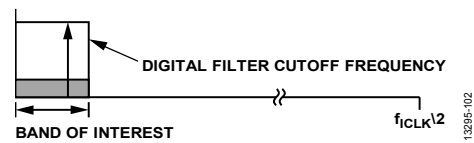


图84. Σ-Δ型ADC工作情况，从目标频段中移除噪声能量(x轴线性调节)

内部LDO产生的电源稳定之后，Σ-Δ型ADC便开始转换输入信号。产生转换不需要外部信号。

模拟输入

AD7779可工作在双极性或单极性模式下，支持真差分、伪差分和单端输入信号，如图85至图88所示。

表14总结了不同输入模式下的最大差分输入信号和动态范围。

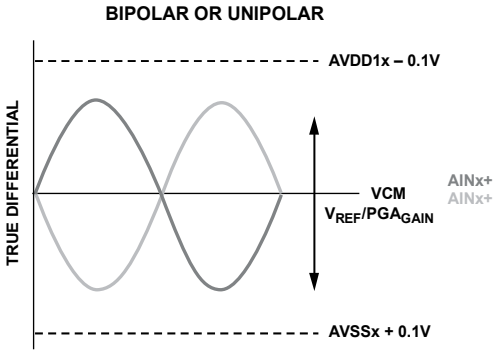


图85. Σ - Δ ADC输入信号配置, 真差分

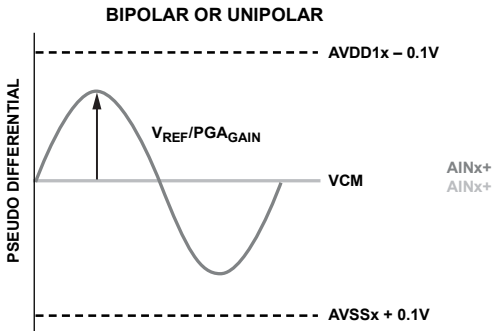


图86. Σ - Δ ADC输入信号配置, 伪差分

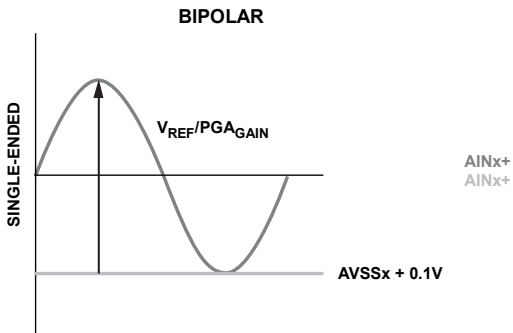


图87. Σ - Δ ADC输入信号配置, 单端双极性

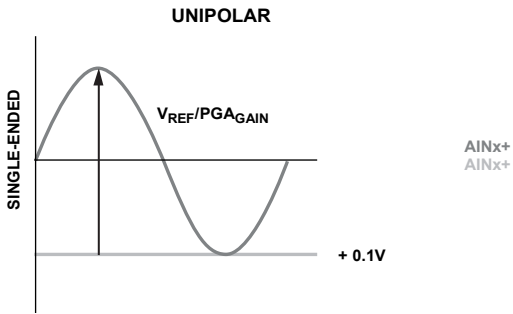


图88. Σ - Δ ADC输入信号配置, 单端单极性

输入信号共模无限制, 但任意AINx±引脚上的绝对输入信号电压应保持在AVSSx + 100 mV和AVDD1x - 100 mV之间, 否则输入信号的线性度会下降, 而且如果信号电压超过了绝对最大信号额定值, 器件会受损。

图89显示了最大差分输入电压情况下, 不同PGA增益时的最大和最小电压共模范围。

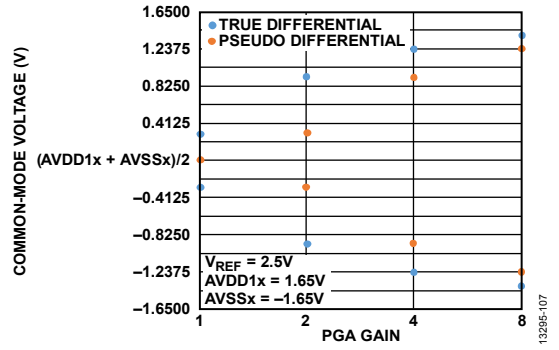


图89. 最大差分输入信号下的最大共模电压范围

针对单电源、伪差分或真差分输入配置, AD7779提供了共模电压(AVDD1x + AVSSx)/2)引脚VCM。

传递函数

AD7779可使用最高3.6 V的基准电压(典型值为2.5 V), 并可将模拟输入(AINx+和AINx-)之间的差分电压转换为数字输出。ADC将模拟输入引脚之间的电压差(AINx+ - AINx-)转换为输出端的数字码。24位转换结果以MSB优先、二进制补码格式提供, 如表15和图90所示。

表15. PGA = 1x的输出码和理想输入电压

条件	模拟输入(AINx+ - AINx-), V _{REF} = 2.5 V	以二进制补码形式表示的数字输出代码(十六进制数)
FS - 1 LSB	+2.499999702 V	0x7FFFFFFF
中间电平 + 1 LSB	+298 nV	0x000001
中间电平	0 V	0x000000
中间电平 - 1 LSB	-298 nV	0xFFFFF9
-FS + 1 LSB	-2.499999702 V	0x800001
-FS	-2.5 V	0x800000

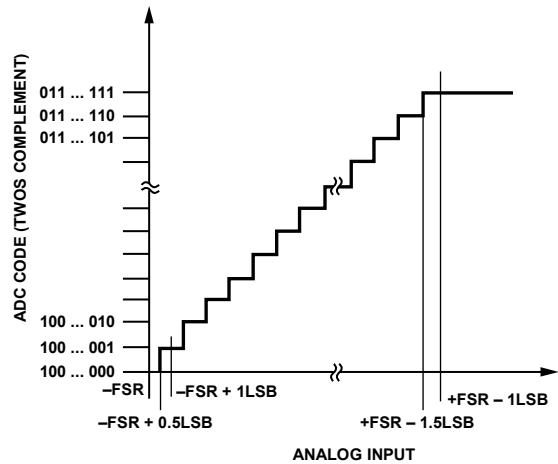


图90. 传递函数

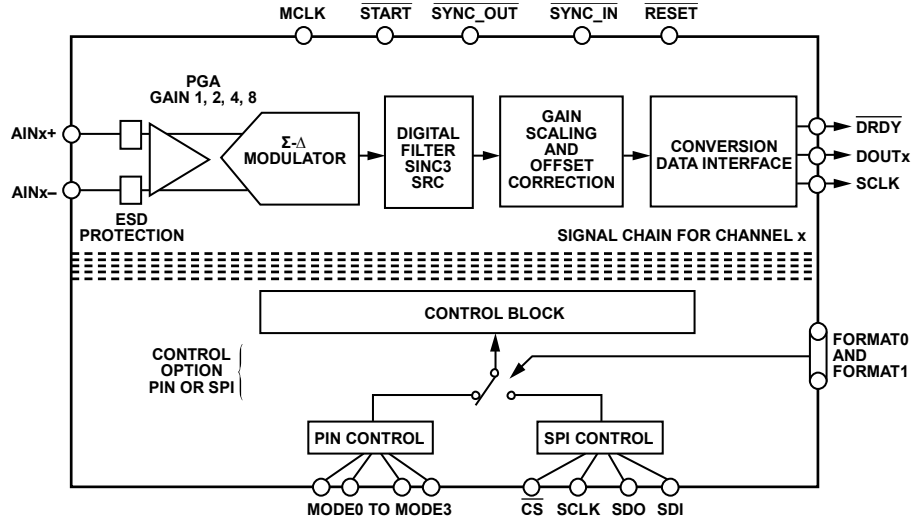


图91. 核心信号链简图

核心信号链

AD7779的每个 Σ - Δ 型ADC通道都有一个完全相同的信号路径，此路径起始于模拟输入引脚，终止于数字输出引脚。图91所示为此信号链的顶层部署。在每个 Σ - Δ 型ADC之前，有一个PGA，用来将传感器输出映射到ADC输入，从而在直流中提供低输入电流(± 4 nA输入电流和 ± 1.5 nA差分输入电流)，在交流中提供8 pF输入电容，以及可配置增益1、2、4、8。请参阅AN-1392以了解更多信息。每个ADC通道都有自己的 Σ - Δ 调制器，其对模拟输入进行过采样，并将数字表示传送到数字滤波器模块。该数据经过滤波、增益调节和失调处理，然后输出至数据接口。

为了最大程度降低功耗，通道还可单独禁用。

容性PGA

每个 Σ - Δ 型ADC有一个专用PGA，其提供的增益范围是1、2、4和8。此PGA无需外部输入缓冲器，允许用户放大传感器的小信号，以便使用AD7779的全部动态范围。

该PGA可最大程度增加微弱传感器输出信号的信号链动态范围。

AD7779通过PGA斩波来最大程度减少输入放大器的失调和失调漂移，另外还能降低1/f噪声。对于AD7779，斩波频率为64 kHz(高分辨率模式)以及16 kHz(低功耗模式)，更多信息请参见AN-1131。斩波信号音由SINC滤波器抑制。

为了最大程度降低交调效应，以免在目标频段中产生镜像，建议将输入信号带宽限制为斩波频率的2/3。

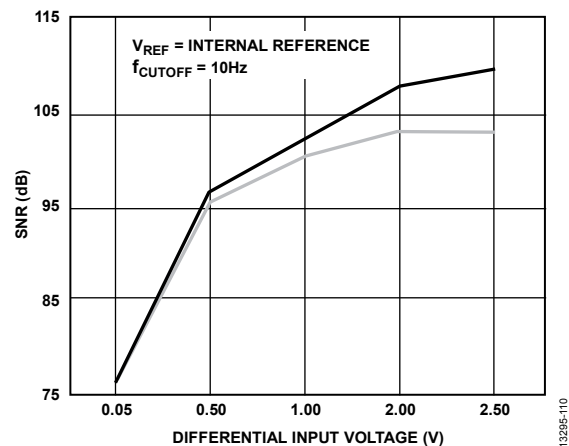
容性PGA共模电压与增益无关，且只要输入信号电压处于AVSSx + 100 mV至AVDD1x - 100 mV范围内，它就可以是任

意值。关于最大差分输入信号下的最大共模电压，请参见图89。

内部基准电压源和基准电压源缓冲器

AD7779集成一个2.5 V、10 ppm/ $^{\circ}$ C典型值的基准电压源，其在上电时是禁用的。缓冲基准电压位于引脚49，提供最高10 mA连续电流。使能该基准电压源需要一个100 nF电容。

在需要低噪声基准电压源的应用中，建议将一个截止频率(f_{CUTOFF})低于10 Hz的低通滤波器(LPF)连接到REF_OUT引脚。将此滤波器的输出连接到REFx+，并将AVSSx连接到REFx-。这种情况下，将 Σ - Δ 基准电压源配置为外部。使用和不使用输出滤波器时的性能示例如图92所示。

图92. 增加外部LPF时的SNR, V_{REF} = 内部基准电压源, $f_{\text{CUTOFF}} = 10$ Hz

AD7779可以使用外部基准电压源，其连接在REFx+和REFx-引脚之间。AD7779的推荐基准电压源包括ADR441和ADR4525系列低噪声、高精度基准电压源。

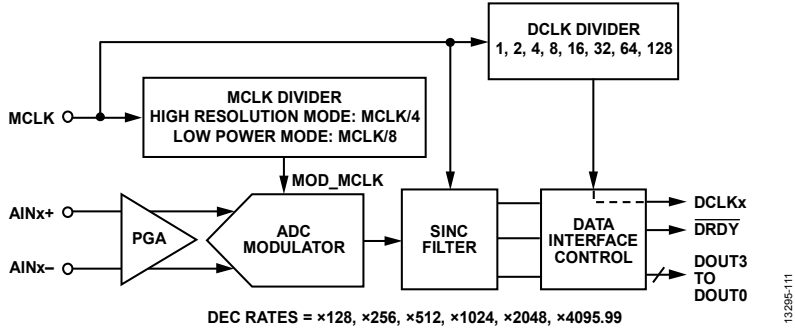


图93. AD7779上的时钟产生

基准电压源缓冲器有三种不同的工作模式：缓冲器使能模式、缓冲器旁路模式和缓冲器预充电模式。

在缓冲器使能模式下，缓冲器完全使能，最大程度降低外部基准电压源的电流要求。注意，缓冲器输出电压裕量为离开供电轨±100 mV。

在缓冲器旁路模式下，外部基准电压源直接连接ADC基准电容。基准电压源必须提供足够的电流，从而正确为内部ADC基准电容充电。在这种工作模式下，串扰性能会下降，因为ADC通道互相之间不隔离。

缓冲器预充电(pre-Q)模式是默认工作模式。它是一种混合模式，内部基准电压源缓冲器在初始采集时连接，对内部ADC基准电容预充电。在采集的最终阶段，基准电压源直接连接ADC电容。相比缓冲器使能和缓冲器旁路模式，该模式有一些优势。在缓冲器预充电模式下，

- 基准电流要求最低(与缓冲器旁路模式相比)
- 消除了内部基准电压源缓冲器的噪声贡献(与缓冲器使能模式相比)

在缓冲器预充电模式下，基准电压源缓冲器的上裕量/下裕量不适用，因为基准电压源决定ADC基准电容的最终电压。

集成LDO

AD7779集成3个调节内部电源的LDO：2个LDO用于模拟模块，1个LDO用于数字核心。内部LDO在DREGCAP、AREG1CAP和AREG2CAP引脚上需要一个外部1 μF去耦电容。LDO压摆率可能较低，因为它由主电源压摆率决定；因此，为了保证数字模块正确初始化，要求在上电时向RESET引脚发送脉冲以产生一次硬件复位。

时钟和采样速率

AD7779集成8个Σ-Δ型ADC内核。各ADC接收相同的主时钟信号。AD7779针对高分辨率模式和低功耗模式分别需要8192 kHz和4096 kHz的最高外部MCLK频率。MCLK在内部进行4分频(高性能模式)和8分频(低功耗模式)，产生的调制器MCLK (MOD_MCLK)信号用作ADC的调制器采样时钟。如果SINC滤波器选择的最小ODR不够低，则可降低MCLK，以便适应较低的ODR。如果外部时钟低于250 kHz，则应设置CLK_QUAL_DIS位(仅限SPI控制模式)。

AD7779集成内部振荡器时钟，其在上电时初始化内部寄存器。初始化之后，CLK_SEL引脚决定使用哪个外部时钟(参见表16)。

表16. 时钟源

CLK_SEL状态	时钟源	连接
0	CMOS	输入至XTAL2/MCLK, IOVDD逻辑电平。XTAL1必须连接DGND。
1	晶振	连接在XTAL1和XTAL2/MCLK之间。

MCLK信号产生DCLK输出信号，后者作为AD7779输出Σ-Δ转换数据的时钟信号，如图93所示。

数字复位和同步引脚

将一个外部脉冲发送至SYNC_IN引脚会使数字模块发生内部复位；此脉冲不影响内部寄存器中的数据。在如下两种情况下，该引脚需要一个脉冲：

- 更新与sinc3滤波器直接相关的一个或多个寄存器之后。这包括功耗模式、失调、增益和相位补偿。
- 同步多个器件。

AD7779

SYNC_IN引脚脉冲必须与MCLK同步。

如果控制器/处理器无法生成同步脉冲，则有两种方法可以实现同步脉冲：

- 将异步脉冲施加在START引脚上，然后再内部同步至外部MCLK时钟，得到的同步信号输出至SYNC_OUT引脚。
- 内部触发SYNC_OUT。当AD7779配置为SPI控制模式时，切换GEN_USER_CONFIG_2寄存器的位0将在SYNC_OUT引脚上产生一个同步脉冲。

如果使用了内部同步，则SYNC_IN和SYNC_OUT引脚必须外部相连。

如需同步多个AD7779，则一个器件的SYNC_OUT引脚可以连接多个器件。这种同步方式要求对所有连接的AD7779器件使用同一MCLK信号，如图94所示。

如果START引脚不用，应将其连至DGND。

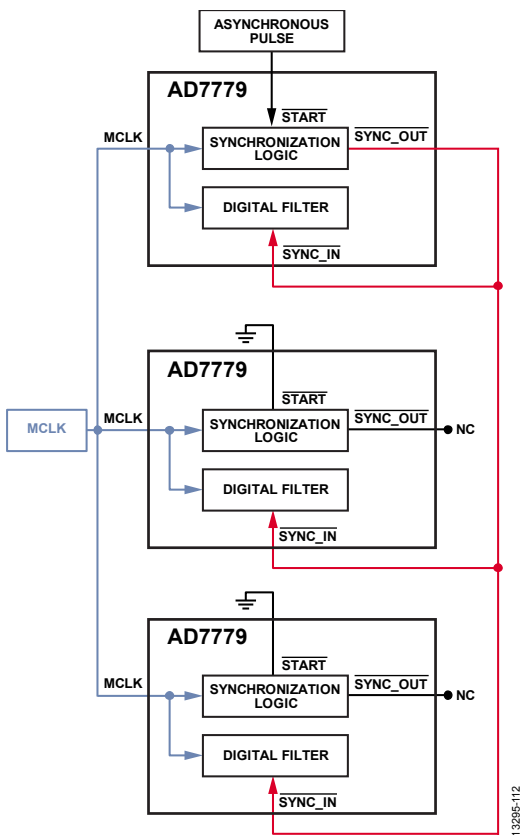


图94. 多个AD7779同步

数字滤波

AD7779提供低延迟sinc3滤波器。大多数精密 Σ - Δ 型ADC采用sinc3滤波器，因为sinc3滤波器能为需要低带宽信号的应用提供低延迟路径，比如控制环路或需要专用后处理的情况。数字滤波器增加的陷波为采样频率的倍数。

数字滤波器实现了三个主陷波：一个在最大ODR处(16 kHz或8 kHz，具体取决于功耗模式)，另外两个在为阻止噪声混叠进入通带而选择的ODR频率处。

图95显示了高分辨率和低功耗两种模式下使用256样本抽取率的典型滤波器传递函数。

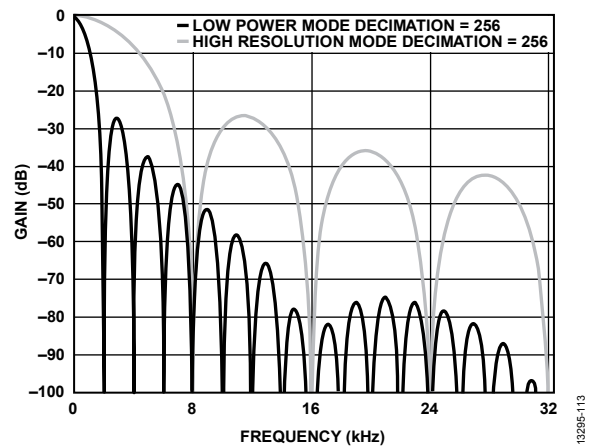


图95. Sinc3频率响应

采样速率转换器特性允许微调抽取率，甚至可以不是抽取率的整数倍。有关非整数抽取率的滤波器曲线的更多信息，请参见“采样速率转换器(SRC)”部分。

关断模式

将AVDD2拉至地，并将一个拉低的1 M Ω 电阻连接到XTAL2，可以将AD7779置于关断模式。这种模式下，平均电流消耗降至1 mA，如图96所示。

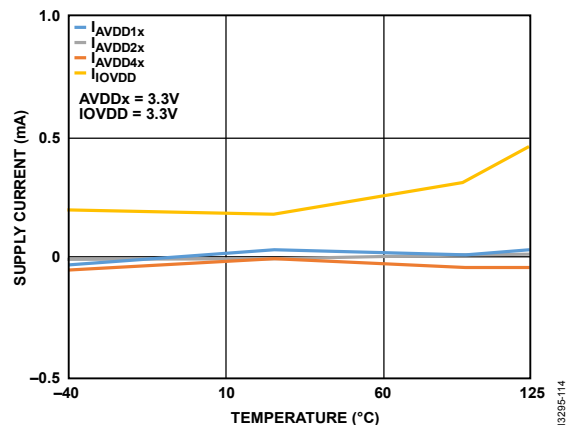


图96. 关断电流

控制AD7779

AD7779可通过引脚控制模式或SPI控制模式进行控制。

引脚控制模式允许AD7779硬连线至预定义设置，以提供AD7779整体功能的一部分。这种模式下，SRC和诊断功能或扩展误差源不可用。

通过SPI接口控制AD7779可让用户访问全部监控、诊断和Σ-Δ控制功能。SPI控制模式可提供额外的功能，比如各通道的失调、增益和相位校正，此外还可利用灵活的SRC来实现相干采样。

有关不同配置的更多详细信息，请参见表17。

引脚控制模式

在引脚控制模式下，AD7779根据模式引脚(MODE0、MODE1、MODE2、MODE3)上电时进行配置。这四个引脚设置AD7779的下列功能：工作模式、抽取率/ODR、PGA增益和基准电压源，如表18所示。

由于模式引脚数量以及可用选项数量的限制，PGA增益控制组成4个模块，ODR选择抽取率所确定的最大值，高分

辨率模式和低功耗模式下的ODR (kHz)分别为2048/抽取率和512/抽取率。

根据所选模式，器件配置为使用外部或内部基准电压源。

转换数据可通过SPI接口或数据输出接口回读，如表17所示。如果利用数据输出接口回读转换数据，则使能的DOUTx线数和Σ-Δ数据传输所需的时钟数由CONV_SAR、FORMAT0和FORMAT1引脚的逻辑电平决定。这种情况下，DCLK2、DCLK1和DCLK0引脚选择Σ-Δ输出接口并控制DCLKx分频功能(MCLK的约数)，如表19所示。DCLKx分频功能设置数据输出接口DCLKx信号的频率。DCLK最小频率取决于抽取率和工作模式。有关DCLKx最小频率的更多信息，请参见“数据输出接口”部分。

确定AD7779配置模式的所有引脚在每次SYNC_IN引脚获得脉冲时都会重新评估。引脚控制模式的典型连接图如图97所示。

表17. 数据接口格式

CONV_SAR状态	FORMAT1	FORMAT0	控制模式	数据输出模式
1	0	0	引脚	SPI输出
	0	1	引脚	SPI输出
	1	1	引脚	SPI输出
	1	1	SPI	寄存器0x014定义
0	0	0	引脚	DOUT0, 通道0至通道1
				DOUT1, 通道2至通道3
	0	1	引脚	DOUT2, 通道4至通道5
				DOUT3, 通道5至通道7
1	0	引脚	DOUT0, 通道0至通道3	
			DOUT1, 通道4至通道7	
1	1	SPI	寄存器0x014定义	DOUT0, 通道0至通道7
				DOUT1, 通道4至通道7

表18. 引脚模式选项

引脚状态				抽取速率	抽取速率	PGA增益通道		基准电压源类型
MODE3	MODE2	MODE1	MODE0			通道0至通道3	通道4至通道7	
0	0	0	0	1024	高分辨率	1	1	外部
0	0	0	1	512	高分辨率	1	1	外部
0	0	1	0	256	高分辨率	1	1	外部
0	0	1	1	128	高分辨率	1	1	外部
0	1	0	0	256	高分辨率	1	2	外部
0	1	0	1	512	高分辨率	1	4	外部
0	1	1	0	256	高分辨率	1	4	外部

AD7779

引脚状态				抽取率	功耗模式	PGA增益通道		基准电压源类型
MODE3	MODE2	MODE1	MODE0			通道0至通道3	通道4至通道7	
0	1	1	1	128	高分辨率	1	4	外部
1	0	0	0	512	高分辨率	1	1	内部
1	0	0	1	256	高分辨率	1	1	内部
1	0	1	0	128	高分辨率	1	1	内部
1	0	1	1	512	低功耗	1	1	外部
1	1	0	0	256	低功耗	1	1	外部
1	1	0	1	128	低功耗	1	1	外部
1	1	1	0	128	低功耗	1	1	内部
1	1	1	1	256	低功耗	1	1	内部

表19. 引脚控制模式的DCLKx选择

状态			
DCLK2/SCLK	DCLK1/SDI	DCLK0/SDO	MCLK分频器
0	0	0	1
0	0	1	2
0	1	0	4
0	1	1	8
1	0	0	16
1	0	1	32
1	1	0	64
1	1	1	128

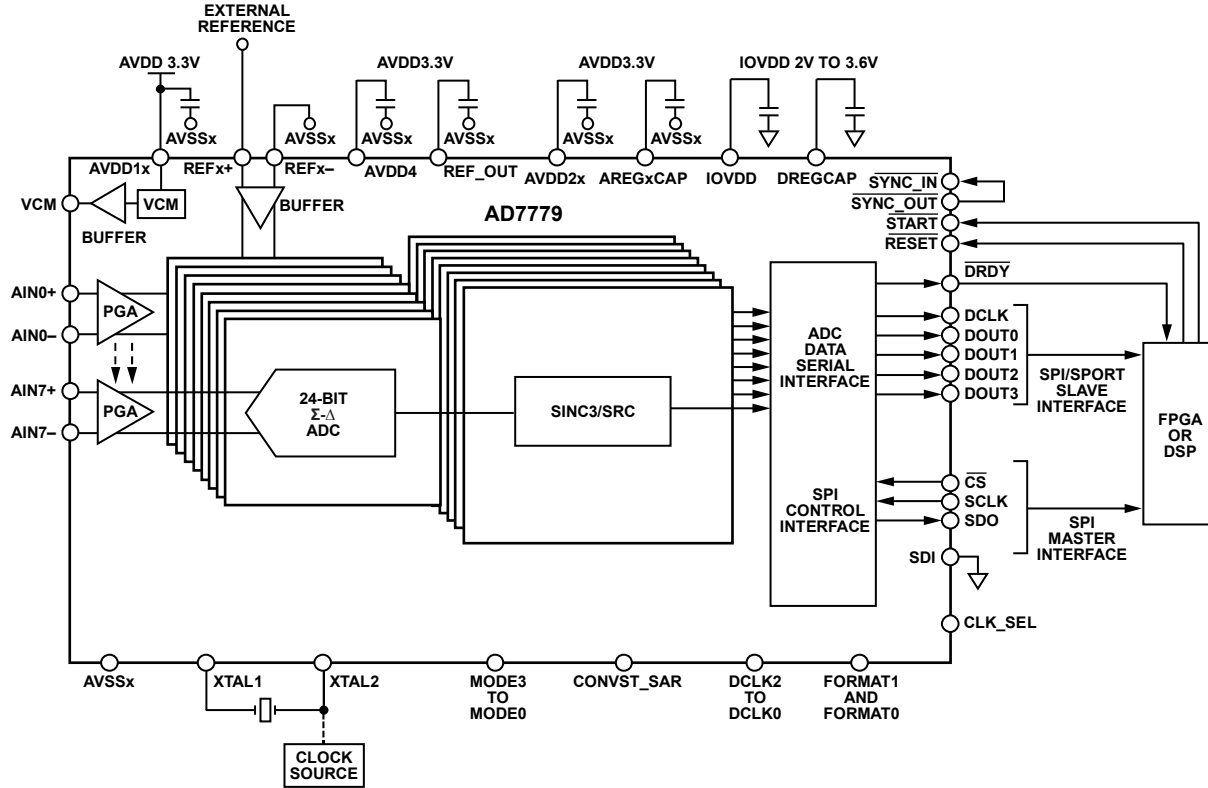


图97. 采用外部基准电压源的引脚模式连接图

13295-115

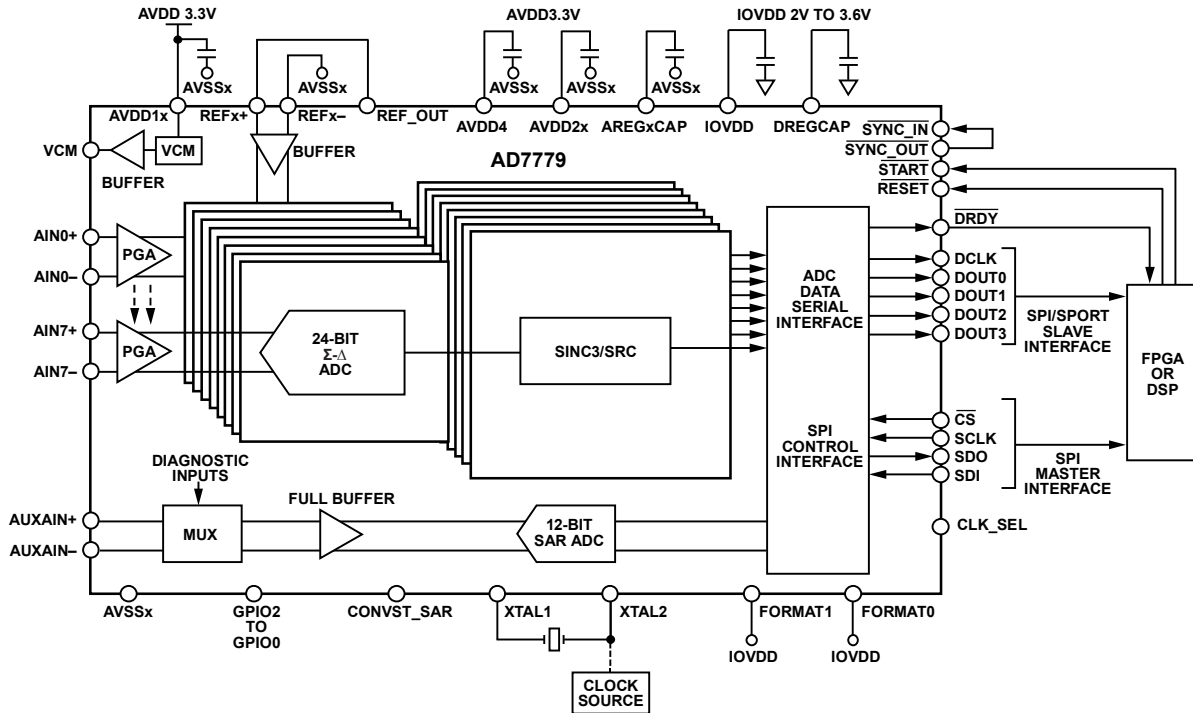


图98. 采用内部基准电压源的SPI控制模式连接图

13205-116

SPI控制

控制和监测AD7779的第二种方法是通过SPI接口。该选项可开启AD7779的全部功能，包括SAR转换器、相位同步、失调和增益调整、诊断以及SRC。如需使用SPI控制，须将FORMAT0和FORMAT1引脚设为逻辑高电平。

在该模式下，通过置位SPI_SLAVEMODE_EN位，SPI接口还可用于读取 Σ - Δ 转换数据。

SPI控制模式的典型连接图如图98所示。

SPI模式下的可用功能

AD7779的SPI控制模式提供了丰富的功能集和诊断能力。

“SPI控制功能”部分说明了SPI控制模式下的功能和诊断。

失调和增益校正

提供失调和增益寄存器，可用于系统校准。增益寄存器在最终生产期间预编程为PGA增益1，但如有需要，可以用新值覆盖。

增益寄存器长度为24位，分割为3个寄存器：CHx_GAIN_UPPER_BYTE、CHx_GAIN_MID_BYTE和CHx_GAIN_LOWER_BYTE，以各通道为基础进行增益设置。

增益值相对于0x555555而言，后者代表增益1。

失调寄存器长度为24位，分割为3个字节寄存器：CHx_OFFSET_UPPER_BYTE、CHx_OFFSET_MID_BYTE和CHx_OFFSET_LOWER_BYTE。上电时的默认值为

0x000000。失调应编程设置为二进制补码带符号24位数。如果通道增益设置为标称值0x555555，则失调寄存器调整的1 LSB将使数字输出改变 $-4/3$ LSB。

举一个校准示例：失调测量值为 -200 LSB(两个AINx \pm 引脚连接相同的电位)。

失调调整 -150 将使数字输出改变 $-150 \times (-4/3) = 200$ LSB(增益值 = 0x555555)，此值表示为二进制补码即为0xFFFFF7 - 0x96 + 1 = 0xFFFFF0。

- CHx_OFFSET_UPPER_BYTE = 0xFF
- CHx_OFFSET_MID_BYTE = 0xFF
- CHx_OFFSET_LOWER_BYTE = 0x70

注意：失调补偿要先于增益补偿。增益在最终测试时设置，以使 $PGA_{GAIN} = 1$ 。增益寄存器值可以覆盖。然而，在复位或周期供电之后，增益寄存器值会回到硬编码的出厂设置。

如果所需增益为标称值(0x555555)的0.75，则必须写入如下值：

$$0x555555 \times 0.75 = 0x400000$$

这样，失调寄存器调整的1 LSB将使数字输出改变 $-4/3 \times 0.75 = 1$ LSB。

- CHx_GAIN_UPPER_BYTE = 0x40
- CHx_GAIN_MID_BYTE = 0x00
- CHx_GAIN_LOWER_BYTE = 0x00

AD7779

SPI控制功能

全局控制功能

下面详细列出了AD7779的全局控制功能：

- 高分辨率和低功耗工作模式
- 输出数据速率：采样速率转换器(SRC)
- VCM缓冲器关断
- 内部/外部基准电压源选择
- 使能、预充电或旁路基准电压源缓冲器模式
- 内部基准电压源关断
- SAR诊断复用
- SAR关断
- GPIO写/读
- SPI SAR转换回读
- SPI从机模式—读取 Σ - Δ 结果
- SDO和DOUT驱动强度
- DOUT模式
- DCLK分频
- 内部LDO旁路
- CRC保护：使能或禁用

各通道功能

下面详细列出了AD7779的各通道功能：

- PGA增益。
- Σ - Δ 通道关断。
- 相位延迟：每通道的同步相位偏移。
- 失调校准。
- 增益校准。
- Σ - Δ 输入信号复用。
- 通道错误寄存器。
- PGA增益。

相位调整

可以调节AD7779相位延迟，以补偿连接到AD7779的传感器或信号通道相位误差所导致的通道间相位失配。相位调整通过CHx_SYNC_OFFSET寄存器编程实现。这种编程将使同步信号延迟一定数量的调制器时钟MOD_CLK，以便分别对每一个 Σ - Δ 型ADC的数字滤波器进行初始化。

在脉冲期间读取相位调整寄存器，之后的寄存器任何变化都不会有影响，除非生成一个脉冲(有关如何在该引脚上生成脉冲的更多信息，请参见“数字复位和同步引脚”部分)。

相位失调寄存器内部乘以一个系数，该系数由抽取率决定，如表20所示。

表20. 相位调整与抽取率

相位调整补偿	抽取率
×1	≤255
×2	≤511
×4	≤1023
×8	≤2047
×16	≤4095

最大相位延迟不可等于或高于抽取率。若如此，该值会在内部变为抽取率值减1。

例如，通道0和通道1之间的相位失配为5°，且ODR在高分辨率模式下为5 kSPS。这种情况下，抽取率为2048 kHz/5 kHz = 409.6，表示失调寄存器值内部扩大了2倍。

假设输入信号为50 Hz，对完整周期进行采样所需的MOD_MCLK脉冲数量为2048 kHz/50 Hz = 40960 > 360°/40960 = 8.78 × 10³°。

如果需要5°延迟，则MOD_MCLK延迟数量必须为569 (5°/0.00878°)，因为失调寄存器值扩大了2倍，最终失调寄存器值为409.6/2 = 569/2，这是一个负值。这种情况下，若写入寄存器的失调值高于204(例如210 × 2 = 420)，则该值将在内部变为408，因而相位补偿为408 × 0.00878° = 3.58°。

PGA增益

适当选择CHx_CONFIG寄存器的位[7:6]，便可独立选择PGA增益，如表21所示。

表21. 通过CHx_CONFIG设置PGA增益

CHx_CONFIG, 位[7:6]设置	PGA增益设置
00	×1
01	×2
10	×4
11	×8

如果更新 Σ - Δ 基准电压源，建议将一个脉冲施加于SYNC_IN引脚，以消除基准电压源过渡期间的无效采样。

抽取

抽取决定了采样频率，如下所述：

- 在高分辨率模式下，采样频率 = MCLK/(4 × 抽取)
- 在低功耗模式下，采样频率 = MCLK/(8 × 抽取)

更多信息请参见“采样速率转换器(SRC)”部分。

GPIO引脚

如果AD7779工作在SPI控制模式下，则模式引脚用作GPIO引脚，如图99所示。GPIO引脚可配置为输入或输出引脚，与配置顺序无关。

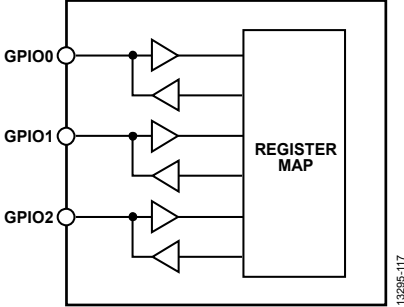


图99.GPIO引脚功能

GPIO引脚的配置控制和回读由GPIO_CONFIG寄存器的位[2:0](0 = 输入，1 = 输出)和GPIO_DATA寄存器来处理。除了这些用途，GPIO还可控制连接SAR ADC辅助输入的外部复用。使用此多路复用器来验证Σ-Δ型ADC的结果。

另外，GPIO引脚可用于外部触发新的抽取率。有关此功能的更多信息，请参见“采样速率转换器(SRC)”部分。

Σ-Δ基准电压源配置

AD7779可采用内部或外部基准电压源工作。此外，当进行诊断时，模拟电源可以用作基准电压源，如表22所示。

表22. Σ-Δ基准电压源

ADC_MUX_CONFIG 位[7:6]的设置	通道0至通道3	通道4至通道7
00	REF1+/REF1-	REF2+/REF2-
01	内部基准电压源	内部基准电压源
10	AVDD1A/AVSS1A	AVDD1B/AVSS1B
11	REF1-/REF1+	REF2-/REF2+

基准电压源缓冲器的工作情况说明参见表23。选中的基准电压源和缓冲器工作模式影响所有通道。

如果更新Σ-Δ基准电压源，建议将一个脉冲施加于SYNC_IN引脚，以消除基准电压源过渡期间的无效采样。

表23. 基准电压源缓冲器工作模式

基准电压源缓冲器工作模式	REFx+	REFx-
使能	BUFFER_CONFIG_1, 位4 = 1; BUFFER_CONFIG_2, 位7 = 0	BUFFER_CONFIG_1, 位3 = 1; BUFFER_CONFIG_2, 位6 = 0
预充电	BUFFER_CONFIG_1, 位4 = 1; BUFFER_CONFIG_2, 位7 = 1	BUFFER_CONFIG_1, 位3 = 1; BUFFER_CONFIG_2, 位6 = 1
禁用	BUFFER_CONFIG_1, 位4 = 0	BUFFER_CONFIG_1, 位3 = 0

AD7779

表24. 可额外禁用的关断模块

模块	寄存器	注释
VCM	GENERAL_USER_CONFIG_1, 位5	默认使能
基准电压源缓冲器	BUFFER_CONFIG_1, 位[4:3]	默认为预充电模式
内部基准电压源缓冲器	GENERAL_USER_CONFIG_1, 位4	默认禁用
Σ-Δ通道	CH_DISABLE, 位[7:0]	所有通道使能
SAR	GENERAL_USER_CONFIG_1, 位3	默认禁用
内部振荡器	GENERAL_USER_CONFIG_1, 位2	默认使能

功耗模式

AD7779提供不同功耗模式来改善电源效率，即高分辨率模式和低功耗模式，这可通过GENERAL_USER_CONFIG_1的位6来控制。如需进一步降低功耗，还可独立禁用其他模块，如表24所示。

功耗模式改变时，需要将一个脉冲施加于SYNC_IN引脚。

LDO旁路

内部LDO可以独立旁路，而将外部电源直接施加于AREG1CAP、AREG2CAP或DREGCAP引脚。表25显示了这些引脚的最小和最大电源电压，以及用来旁路稳压器的相关寄存器。

表25. LDO旁路

LDO	BUFFER_CONFIG_2, 位[2:0] ¹	电源	
		最大值(V)	最小值(V)
AREG1CAP	1XX	1.9	1.85
AREG2CAP	X1X	1.9	1.85
DREGCAP	XX1	1.98	1.65

X表示无关。

数字SPI接口

AD7779的SPI串行接口由四个信号组成： \overline{CS} 、SDI、SCLK和SDO。SPI接口的典型连接图如图100所示。

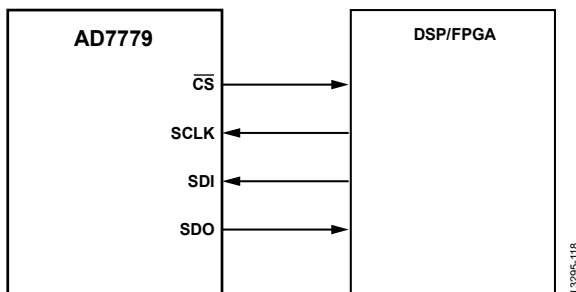


图100. SPI控制接口—AD7779为SPI从机，数字信号处理器(DSP)/现场可编程门阵列(FPGA)为主机

SPI接口工作在模式0和模式3，CPOL = 0、CPHA = 0(模式0)或CPOL = 1、CPHA = 1(模式3)。

在引脚控制模式下，SDI可用来回读Σ-Δ结果，具体取决于CONV_SAR引脚的电平，如表17所示。

在SPI控制模式下，SPI接口将数据传输至片内寄存器，而SDO从片内寄存器回读数据，或者读取SAR或Σ-Δ转换结果，具体取决于所选工作模式。

SPI控制模式下的SDO数据源由寄存器GENERAL_USER_CONFIG_2和GENERAL_USER_CONFIG_3决定，如表26所示。

表26. SPI控制模式下的SPI工作模式

GENERAL_USER_CONFIG_2, 位5设置	GENERAL_USER_CONFIG_3, 位4设置	模式
0	0	内部寄存器
0	1	Σ-Δ数据转换
1	X	SAR转换

在SPI控制模式下，SDO引脚具有四种不同电平的I/O强度，可通过GENERAL_USER_CONFIG_2的位[4:3]选择，如表27所示。

表27. SDO强度

GENERAL_USER_CONFIG_2, 位[4:3]设置		模式
0	0	标称值
0	1	强
1	0	弱
1	1	极强

SCLK是该器件的串行时钟输入。所有数据传输(无论是SDO上还是SDI上)均相对于该SCLK信号进行。

SPI接口可处理8位的倍数。例如，在SPI控制模式下，若SDO引脚用于从内部寄存器或SAR ADC回读数据，则数据帧为16位宽(CRC禁用，如图101所示)或24位宽(CRC使能，如图102所示)。这种情况下，控制器可产生1帧的16位/24位数据(CRC使能和禁用)，或2/3帧的8位数据(CRC使能和禁用)。当SDO引脚用于从Σ-Δ通道回读数据时，必须从控制器回读64位(这种情况下，控制器可产生1帧的64位数据—2×32位、4×16位或8×8位)。

SPI CRC—校验和保护(SPI控制模式)

AD7779具有校验和模式，可用来改善SPI控制模式下的SPI接口鲁棒性。使用校验和可确保仅将有效数据写入寄存器，并且可以对从器件读取的数据进行验证。置位SPI_CRC_TEST_EN位即可使能SPI CRC。如果寄存器写入期间发生错误，错误寄存器的SPI_CRC_ERR会置位。

使能SPI_CRC_TEST_EN位将导致CRC校验和对所有R/W操作执行。当SPI_CRC_TEST_EN使能时，对于SAR和寄存器映射操作，每次SPI处理都会附加一个8位CRC字。有关Σ-Δ回读操作的更多信息，请参见“CRC报头”部分。

为确保寄存器写入成功，建议回读寄存器并验证校验和。

CRC校验和计算始终使用如下多项式： $x^8 + x^2 + x + 1$ 。更多信息请参见“SPI控制模式校验和”部分。

SPI读/写寄存器模式(SPI控制模式)

AD7779通过片内寄存器来配置和控制器件。

这些寄存器具有7位地址—SDI线路上的7位寄存器地址用来选择读/写功能的寄存器。该7位寄存器地址在SDI数据中的R/W位之后。如果SPI传输是写操作传输，则SDI线路上的7位寄存器地址之后的8位是待写入所选寄存器的数据。SDI线路上的数据在SCLK上升沿读入AD7779，如图3所示。

SPI传输期间，SDO线路上的数据包含8位0010 0000报头：8位寄存器数据(读(R)操作)或8个零(写(W)操作)。

CRC禁用时，传输期间SDI线路上的基本数据帧为16位长，如图101所示。CRC使能时，SPI传输要求的最小帧长度为24 SCLK。SDO线路上的24位数据由8位报头(0010 0000)、8位数据和8位CRC组成(见图102)。

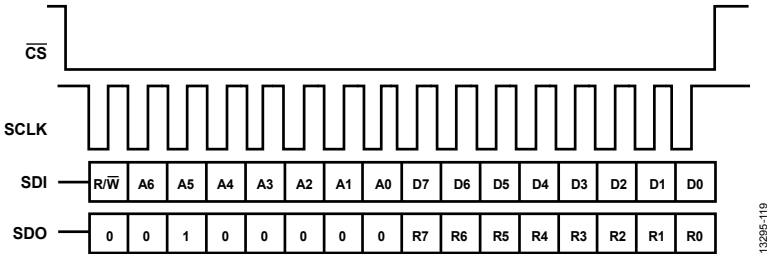


图101. 16位SPI传输—CRC禁用

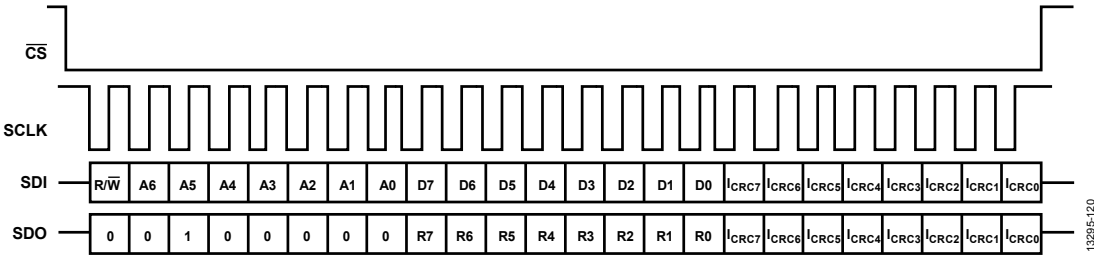


图102. 24位SPI传输—CRC使能

AD7779

SPI SAR诊断模式(SPI控制模式)

置位GENERAL_USER_CONFIG_2寄存器中的位5可将SDO线路配置为移出来自SAR ADC转换的数据，如表26所示。

在SAR模式下，AD7779内部寄存器可以写入，但会忽略一切回读命令，因为SDO数据帧专用于从SAR ADC移出转换结果。

如需退出此工作模式，请复位GENERAL_USER_CONFIG_2寄存器的位5。

SPI传输期间，若CRC禁用，则SDO线路上的数据包含4位0010报头和12位SAR转换结果。

CRC使能时，SPI传输要求的最小帧长度为24 SCLK。SDO线路上的24位数据由4位报头(0010)、12位数据和8位CRC组成，如图103所示。

根据SPI读/写寄存器模式(参见“SPI读/写寄存器模式”部分)，SDI线路包含R/W位、7位寄存器地址、8位数据和8位CRC(若使能)。当通过SDO线路回读SAR转换结果时，为了避免不必要地写入内部寄存器，建议向器件发送一个回读

命令，如0x8000，该命令会被忽略，因为SDO引脚正用于移出SAR ADC的内容。

如果SAR ADC连续执行转换，应在产生新转换结果之前回读前一转换的结果，否则结果会被破坏。

Σ-Δ数据，ADC模式

在引脚控制模式下，SPI接口可用于回读Σ-Δ转换结果，如表17所示。在SPI控制模式下，通过置位GENERAL_USER_CONFIG_3的位4，SPI接口便可回读Σ-Δ转换结果，如表26所示。在此模式下，AD7779内部寄存器可以写入，但会忽略一切回读命令，因为SDO数据帧专用于从Σ-Δ ADC移出转换结果。为了避免不必要地写入内部寄存器，建议向器件发送一个回读命令，如0x8000，该命令会被忽略，因为SDO引脚正用于移出Σ-Δ ADC的内容。

SDO引脚数据可以8位的任意倍数回读，例如64位、2 × 32位、4 × 16位或8 × 8位。

SPI软件复位

若在连续64个时钟期间让SDI引脚保持高电平，则会产生软件复位。

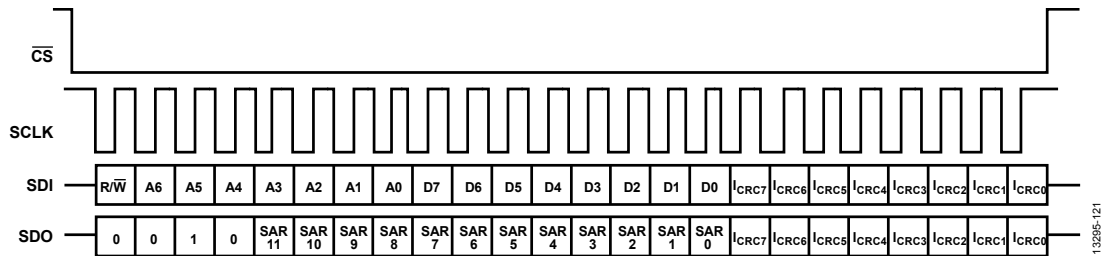


图103. SAR ADC/诊断模式—CRC使能

诊断和监控

自诊断错误

AD7779集成自诊断功能，确保器件正常工作。如果检测到了错误，则ALERT引脚拉高，生成一个外部中断至控制器。此外， Σ - Δ 输出数据的报头包含一位用来通知控制器发生芯片错误(参见“ADC转换输出—报头和数据”部分)。

若错误不再存在，则ALERT引脚和该位(状态报头)都会自动清零。与SPI接口相关的错误不会自动消失，回读适当的寄存器可清除错误，使ALERT引脚和该位置位。

如果手动禁用一个错误检测器，则它不会产生内部错误，寄存器映射或ALERT引脚/该位也不会触发。

存在多种错误源，如表28所示。在引脚控制模式下，无法检查错误源，且某些错误源未使能。在SPI控制模式下，通过读取适当的寄存器位可检查错误源。

STATUS_REG_x寄存器位识别产生错误的寄存器，如表28中的总结所示。

表28. 寄存器错误源

位名称	寄存器源
ERR_LOC_GEN2	GEN_ERR_REG_2
ERR_LOC_GEN1	GEN_ERR_REG_1
ERR_LOC_CH7	CH7_ERR_REG
ERR_LOC_CH6	CH6_ERR_REG
ERR_LOC_CH5	CH5_ERR_REG
ERR_LOC_CH4	CH4_ERR_REG
ERR_LOC_CH3	CH3_ERR_REG
ERR_LOC_CH2	CH2_ERR_REG
ERR_LOC_CH1	CH1_ERR_REG
ERR_LOC_CH0	CH0_ERR_REG
ERR_LOC_SAT_CH6_7	CH6_7_SAT_ERR
ERR_LOC_SAT_CH4_5	CH4_5_SAT_ERR
ERR_LOC_SAT_CH2_3	CH2_3_SAT_ERR
ERR_LOC_SAT_CH0_1	CH0_1_SAT_ERR

此外，STATUS_REG_x有一位用来指示是否有内部错误位置位。如果错误消失，并且回读该寄存器，则此位清零。STATUS_REG_3中的INIT_COMPLETE位表示器件已正确初始化。此位不是错误位，而是一个指示器。

通用错误

MCLK开关错误(SPI控制模式)

上电后，AD7779初始化时钟移交序列，将时钟控制权移交至外部振荡器或CMOS时钟。在SPI模式下，如果移交期间出错，则通用错误寄存器GEN_ERR_REG2中的EXT_MCLK_SWITCH_ERR位会置位。

如果EXT_MCLK_SWITCH_ERR置位，则说明器件采用内部振荡器工作。

如需使用较慢的外部时钟(<265 kHz)，请置位CLK_QUAL_DIS位。此位置位还会清除错误位。

如果外部时钟介于132 kHz和265 kHz之间，根据内部振荡器与外部时钟之间的内部同步，可能不会触发错误。然而，仍然建议将CLK_QUAL_DIS位置位。

如果未使用慢速时钟且触发了错误，则需要复位。

复位检测

AD7779通用错误寄存器含有一个RESET_DETECTED位。如果在AD7779上施加一个复位脉冲，则该位置位；读取通用错误寄存器则该位清零。该位表示上电复位(POR)对器件进行了正确初始化。此外，该引脚可用来检测意外的器件复位或RESET引脚上的毛刺。如需在SPI控制模式下复位该错误信号，请切换SYNC_IN引脚，或者读取通用错误寄存器GEN_ERROR_REG_2。如需在引脚控制模式下复位该错误信号，请切换SYNC_IN引脚。

内部LDO状态

AD7779集成3个内部LDO来调节内部模拟和数字供电轨。LDO内部集成电源监控器。内部比较器监控这些电源，一旦它们超过了预定义的限值，便标记错误。

ALDO1_PSM_ERR、ALDO2_PSM_ERR和DLDO_PSM_ERR位指示LDO故障；若LDO被旁路，则其指示外部电源不正确。

内部模拟和数字电压监控器可通过适当选择LDO_PSM_TEST_EN位而禁用。

利用SAR ADC验证错误。

此外，可以手动触发内部监控器电平以检查检测器是否工作正常，方法是适当地置位LDO_PSM_TRIP_TEST_EN寄存器中的位。这些位可将比较器窗口阈值提高到LDO输出以上，迫使比较器触发。

ROM和MEMMAP CRC

如果上电时在ROM验证期间发现错误，或者内部存储器映射遭到破坏，AD7779便会生成一个错误并置位MEMMAP_CRC_ERR或ROM_CRC_ERR，具体取决于错误源。

清除MEMMAP_CRC_TEST_EN位和ROM_CRC_TEST_EN位可禁用该检查。

如果触发了任何这类错误，器件必须复位。

AD7779

Σ-Δ ADC错误

基准电压源检测(SPI控制模式)

在SPI控制模式下，AD7779的片内电路可检测是否存在有效基准电压源用于转换或校准。如果选定的REFx+与REFx-引脚之间的电压低于0.7 V，则AD7779判断它不再存在有效的基准电压源。可查询CHx_ERR_REF_DET来确定受影响的通道；若该错误不再存在，上述操作会清除寄存器位。清除REF_DET_TEST_EN位可禁用电压检测器。

利用Σ-Δ型ADC诊断或SAR ADC验证错误。

过压和欠压事件

AD7779的各模拟输入引脚都有片内过压/欠压电路。当模拟输入引脚上的电压超过AVDD1x + 0.04 mV时，CHx_ERR_AINx_OV位就会置位。若输入电压降至AVDD1x - 40 mV以下，该错误即消失。

若发生欠压事件(AVSSx - 40 mV)，CHx_ERR_AINx_UV位将置位。若输入电压提高至AVSSx + 0.04 V，该错误即消失。

CHx_ERR_AINM_UV、CHx_ERR_AINM_OV、CHx_ERR_AINP_UV和CHx_ERR_AINP_OV位可回读，以便验证受影响的通道输入；如果错误消失，则回读会清除寄存器位。过压和欠压检测可通过清除AINM_UV_TEST_EN、AINM_OV_TEST_EN、AINP_UV_TEST_EN或AINP_OV_TEST_EN位而单独禁用。

输入电压可通过SAR ADC独立检查。

调制器饱和

AD7779的各Σ-Δ型ADC都有调制器饱和和检测功能。如果调制器的20个连续码为全1或全0，则标记为调制器饱和事件。如果错误自己得到了修复，则读取CHx_ERR_MOD_SAT会将该位清零。

清除MOD_SAT_TEST_EN位可禁用调制器饱和检测。

注意：调制器输入电压会在内部衰减，这意味着调制器输出全1或全0表明调制器超出范围，因而需要一个RESET脉冲。

滤波器饱和

AD7779的每个Σ-Δ型ADC通道均集成数字滤波器饱和和检测功能。此检测指示滤波器输出超出范围，输出码比正或负满量程大约高出20%。如果错误自己得到了修复，则读取CHx_ERR_FILTER_SAT位会将该位清零。

清除FILTER_SAT_TEST_EN位可禁用检测。

输出饱和

当增益和失调校准导致数字滤波器输出在正满量程或负满量程处削波时，即发生输出饱和事件。此输出不会翻转。如果错误自己得到了修复，则读取CHx_ERR_OUTPUT_SAT位会将该位清零。

清除OUTPUT_SAT_TEST_EN位可禁用检测。

SPI传输错误(SPI控制模式)

读取含有SPI错误的GEN_ERR_REG_1之后，所有SPI错误都清零。这些错误不会自动消失，因此，ALERT引脚和ALERT位会保持置位，直至回读错误寄存器。

CRC校验和错误

若通过置位SPI_CRC_TEST_EN使能CRC校验和，则错误位SPI_CRC_ERR会在CRC消息与AD7779内部CRC模块计算的消息不匹配时置位。如果CRC消息与内部计算消息不匹配，则寄存器不更新。

SCLK计数器

CS拉高之后，如果控制器生成的时钟数量不等于8的倍数，则错误位SPI_CLK_COUNT_ERR置位。执行最后一个等于8的倍数的命令。不过，置位SPI_CLK_COUNT_TEST_EN位可禁用SCLK计数器。

无效读操作

当试图回读无效寄存器时，SPI_INVALID_READ_ERR位置位。

置位SPI_INVALID_READ_TEST_EN位可禁用无效回读地址检测。

无效写操作

当试图写入无效寄存器时，SPI_INVALID_WRITE_ERR位置位。

置位SPI_INVALID_WRITE_TEST_EN位可禁用无效写操作地址检测。

使用AD7779 SAR ADC进行监控(SPI控制模式)

AD7779片内集成SAR ADC，可用于芯片诊断、系统诊断或测量验证。该SAR ADC具有12位分辨率。AVDD4和AVSS4引脚可完全独立于Σ-Δ型ADC电源工作，因而可用于功能安全性非常重要的系统芯片诊断。SAR转换过程的基准电压源来自SAR ADC电源电压(AVDD4/AVSS4)，因此SAR模拟输入范围为AVSS4至AVDD4。

SAR ADC的最大吞吐速率为256 kSPS。CONVST_SAR引脚用于启动SAR ADC上的转换。

CONVST_SAR引脚的最大允许频率为256 kHz。如果SAR ADC连续执行转换，应在产生新转换结果之前回读前一转换的结果，否则结果会被破坏。

SAR ADC仅提供SPI控制模式。要从SAR ADC读取转换结果，须置位SAR_DIAG_MODE_EN位。该位置位后，所有从SDO引脚移出的数据都来自SAR ADC寄存器，如图104所示。

内部可对CONVST_SAR信号进行去毛刺处理，以免误触发。

表29. SAR同步和去毛刺

CONVST_DEGLITCH_DIS	对CONVST_SAR的影响
11	CONVST_SAR直接进入SAR
10	当CONVST_SAR为1.5 MCLK周期宽时，它到达SAR

使能去毛刺电路时，采集时间须增加1.5/MCLK。

在SAR ADC之前，AD7779有一个内部多路复用器。该多路复用器可通过SPI接口配置，将SAR ADC的输入设为内部电路节点(采用诊断的情况)，或选择外部AUXAIN+和AUXAIN-引脚。

除了转换外部电压，SAR ADC还可用来监控AVDD、IOVDD和DGND的内部节点，同时监控DLDO和ALDO输出。某些电压内部衰减到1/6，所得电压施加至SAR ADC，如表30所示。此特性的用处在于可以监控电源电压的波动。

SAR的内部多路复用器由GLOBAL_MUX_CONFIG寄存器控制，提供的不同输入见表30。

SAR ADC还含有ADC驱动放大器，如图105所示。该放大器可在 t_{33} 时间内将SAR输入建立至12位精度。该驱动放大器有助于最大程度减少SAR转换器到全局诊断复用输入电路节点的反冲。

利用辅助输入AUXAIN+和AUXAIN-验证 Σ - Δ 测量。采用SPI控制模式工作时，AD7779具有3个可用的GPIO端口，通过SPI接口进行控制。GPIO引脚可用来控制外部双通道

8:1多路复用器，后者进而用来对8个 Σ - Δ 通道进行采样。在需要功能安全性的应用中使用此诊断功能。该诊断有助于验证 Σ - Δ 通道的一次测量，而无需借助二次外部ADC。

温度传感器

内部芯片温度的测量误差为 $\pm 2^\circ\text{C}$ 。 DV_{BE} 与折合为 25°C 时的温度测量值成比例关系。

$$\text{温度}(^\circ\text{C}) = \frac{DV_{BE} - 0.6 \text{ V}}{2 \text{ mV}}$$

表30. SAR复用输入

SAR 输入	正信号	负信号	衰减÷6
0	AUXAIN+	AUXAIN-	否
1	DV _{BE}	AVSSx	否
2	REF1+	REF1-	否
3	REF2+	REF2-	否
4	REF_OUT	AVSSx	否
5	VCM	AVSSx	否
6	AREG1CAP	AVSSx	是
7	AREG2CAP	AVSSx	是
8	DREGCAP	DGND	是
9	AVDD1A	AVSSx	是
10	AVDD1B	AVSSx	是
11	AVDD2A	AVSSx	是
12	AVDD2B	AVSSx	是
13	IOVDD	DGND	是
14	AVDD4	AVSSx	否
15	DGND	AVSSx	是
16	DGND	AVSSx	是
17	DGND	AVSSx	是
18	AVDD4	AVSSx	是
19	REF1+	AVSSx	否
20	REF2+	AVSSx	否
21	AVSSx	AVDD4	是

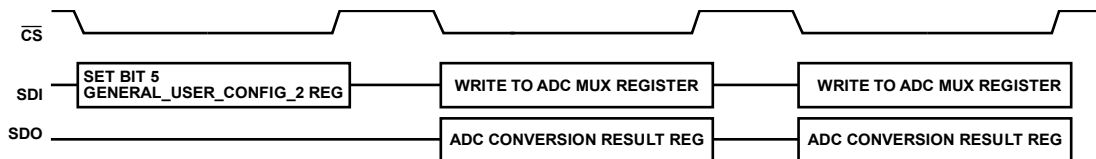


图104. 配置AD7779使用SPI读取SAR ADC

13295-123

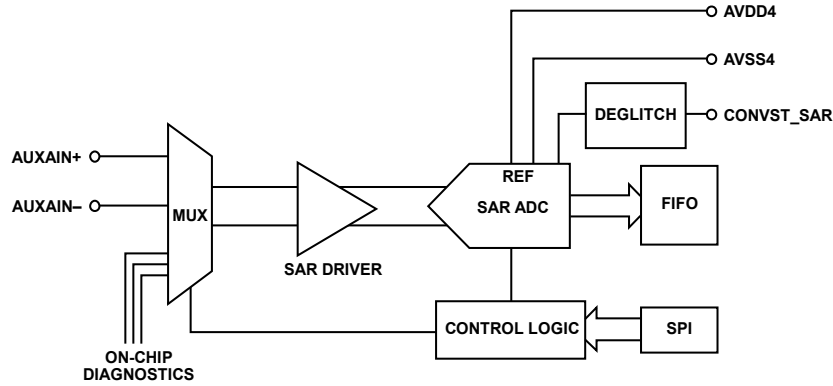


图105. SAR ADC配置和控制

表31. Σ - Δ 诊断

输入	电压	推荐基准电压源	注释/结果
0	浮空	不适用	不适用
1	浮空	不适用	不适用
2	280 mV差分信号	内部/外部	PGA增益校准
3	外部基准电压源, 正/负	外部	正满量程
4	外部基准电压源, 负/正	外部	负满量程
5	外部基准电压源, 负/负	外部	零电平
6	内部基准电压源, 正/负	内部	正满量程
7	内部基准电压源, 负/正	内部	负满量程
8	内部基准电压源, 正/正	内部	零电平
9	外部基准电压源, 正/正	外部	零电平

Σ - Δ 型ADC诊断(SPI控制模式)

AD7779 Σ - Δ ADC诊断功能可通过SPI接口访问。位于PGA之前的内部多路复用器具有不同的输入, 允许用户为 Σ - Δ 型ADC选择零电平、正满量程或负满量程输入, 并可将其转换以验证 Σ - Δ 型ADC通道是否正常工作。

所有 Σ - Δ 通道共享诊断复用控制信号。取决于所选诊断, Σ - Δ 型ADC基准电压应连接不同的基准电压源, 以保证转换处于可测量的范围内。

有两种不同的方式可以使能诊断复用:

- 置位CH_x_RX位。该位使能输入 Σ - Δ 多路复用器。多路复用器输入说明见表31。转换期间使用的基准电压源由REF_MUX_CTRL位控制。
- 置位CH_x_REF_MONITOR。该位具有与使能CH_x_RX位相同的效果, 并选择VDD1_x/AVSS_x电源作为主基准电压源。

如果AIN_x \pm 引脚连接AVSS_x, 则输入范围超出(AVSS_x + 100 mV)范围, 因此结果相比预期值可能稍有不同。

Σ-Δ输出数据

ADC转换输出一报头和数据

AD7779 Σ-Δ转换结果输出至DOUT0至DOUT3引脚，或者输出至SPI，具体取决于所选接口。若选择DOUTx接口，则AD7770用作传输的主机。若选择SPI接口，则控制器为主机。

$\overline{\text{DRDY}}$ 信号指示转换结束，其与选择用来回读Σ-Δ转换结果的接口无关。使用SPI回读Σ-Δ转换结果时，如果新转换已完成($\overline{\text{DRDY}}$ 下降沿)而上一转换结果尚未回读完毕，则上一转换结果将被覆盖，因而上一次转换数据会遭到破坏。

各通道宽度为32位：报头为8位，Σ-Δ转换结果为24位，如图106所示。

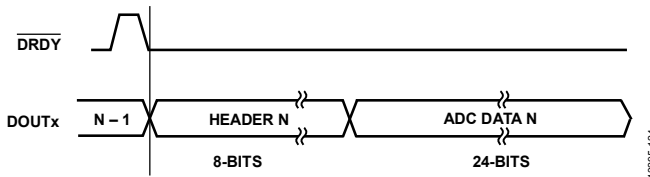


图106. ADC输出—8位报头 + 24位转换数据

在引脚控制模式下，报头固定为CRC；而在SPI模式下，报头可以选择CRC或错误报头。

CRC报头

如果DOUT_HEADER_FORMAT置位，则CRC报头就是引脚控制模式或SPI模式下生成的报头。

如图107所示，报头由一个芯片错误位、3个ADC通道位(如表32所示)以及4个CRC位组成。

如果任意通道中检测到错误，则芯片错误位变为高电平，如“通用错误”部分所述。芯片错误位保持为1，直到错误消失。

CHIP ERROR	CHANNEL NUMBER	CHANNEL NUMBER	CHANNEL NUMBER	CRC	CRC	CRC	CRC
------------	----------------	----------------	----------------	-----	-----	-----	-----

图107.CRC报头

表32. 通道ID

通道	通道ID 2	通道ID 1	通道ID 0
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

生成的CRC长度为8位；CRC的4个MSB位于通道对中第一个通道的报头中，4个LSB位于第二个通道的报头中，如表33所示。如果通道禁用，则该通道的24位输出数据为0x000000。

表33. 8位CRC，报头配置(通道2)

通道2报头							
CE	0	1	0	CRC7	CRC6	CRC5	CRC4

表34. 8位CRC，报头配置(通道3)

通道3报头							
CE	0	1	1	CRC3	CRC2	CRC1	CRC0

ERROR报头(SPI控制模式)

在SPI控制模式下，默认报头可以替换为错误报头。若通过SPI接口回读Σ-Δ转换结果，应清除SPI_CRC_TEST_EN位以禁用CRC。若使用DOUTx接口，应清除DOUT_HEADER_FORMAT位。

错误报头提供针对各通道的一般错误源信息，如表35所示。即使明确禁用了相关检查器，也会指示调制器和滤波器错误，如“Σ-Δ型ADC错误”所述。

表35. 状态报头输出

位	名称	描述
7	报警	如果任何已使能诊断功能检测到错误，包括未检测到外部时钟、存储器映射位翻转和内部CRC错误，则该位设为高电平。此位与通道无关。若错误消失，此位清零。
6:4	CH_ID [2:0]	这些位指示之后的转换数据来自哪个ADC通道(见表32)。
3	RESET_DETECTED	此位指示是否发生了复位。此位与通道无关。
2	MODULATOR_SATURATE	此位指示调制器输出20个连续0或1。错误消失后，此位自动清零。
1	FILTER_SATURATE	此位指示滤波器输出超出范围。错误消失后，此位自动清零。
0	AIN_OV_UVERROR	此位指示输入端存在AINx±过压/欠压条件。只有回读适当的寄存器并且错误消失，此位才会清零。

AD7779

采样速率转换器(SRC)(SPI控制模式)

AD7779具有专利功能，其各Σ-Δ通道上的SRC可将输出数据速率或采样频率配置为任意值，包括非整数。SRC通过Σ-Δ型ADC ODR实现精密分辨率控制，精度最高可达15.2 μSPS。在ODR必须根据输入信号的变化而改变的应用中，为了保持采样相干性，可以采用SRC对ODR进行精密控制。例如在电源质量应用中，为了达到最高的分类标准，必须保持对输入电源线0.01 Hz变化的相干性。可以使用SRC来实现该采样频率精度。

在引脚控制模式中，ODR由于预定义引脚控制选项而固定，因此无法选择非整数，如表17所示。

要设置ODR，用户必须设置最多4个寄存器(具体取决于抽取值)：2个寄存器用于设置整数N(有效抽取速率)，2个寄存器用于设置抽取值IF(插值因子)。

整数寄存器为SRC_N_MSB位[3:0]和SRC_N_LSB位[7:0]。小数部分的数值寄存器为SRC_IF_MSB位[7:0]和SRC_IF_LSB位[7:0]。

例如，假设需要2.8 kHz输出数据速率，则：

- HP模式 = $2048/2.8 = 731.428$
- 低功耗模式 = $512/2.8 = 182.857$

HP模式下的寄存器值为：

- $731d = 0x2DB$
- SRC_N_MSB[3:0] = $0x02$
- SRC_N_LSB[7:0] = $0xDB$
- $0.428d = 0.428 \times 216 = 28049d = 0x6D91$
- SRC_IF_MSB[7:0] = $0x6D$
- SRC_IF_LSB[7:0] = $0x91$

ODR可随时更新，但新的ODR将在Σ-Δ型ADC的3个转换周期后生效。这样可以保证平滑转换，转换结果不会超出范围。

新值写入SRC寄存器之后，有两种不同的方式可以更改ODR，即通过软件或通过硬件，具体取决于SRC_UPDATE位[7]。

如果SRC_LOAD_SOURCE位为0，则将SRC_LOAD_UPDATE位置1可更新ODR值。该位必须保持高电平至少两个MCLK周期，并在试图进行另一次更新前变回0。

如果SRC_LOAD_SOURCE为1，则可通过GPIO0引脚从外部控制ODR更新。在GPIO2引脚上施加一个脉冲，然后再内部同步至外部MCLK时钟，得到的同步信号输出至GPIO1引脚。

GPIO1和GPIO0引脚必须外部相连。

如果必须同步多个AD7779，则一个器件的GPIO1引脚可以连接多个器件。这种同步方式要求对所有连接的AD7779器件使用同一MCLK信号，如图108所示。

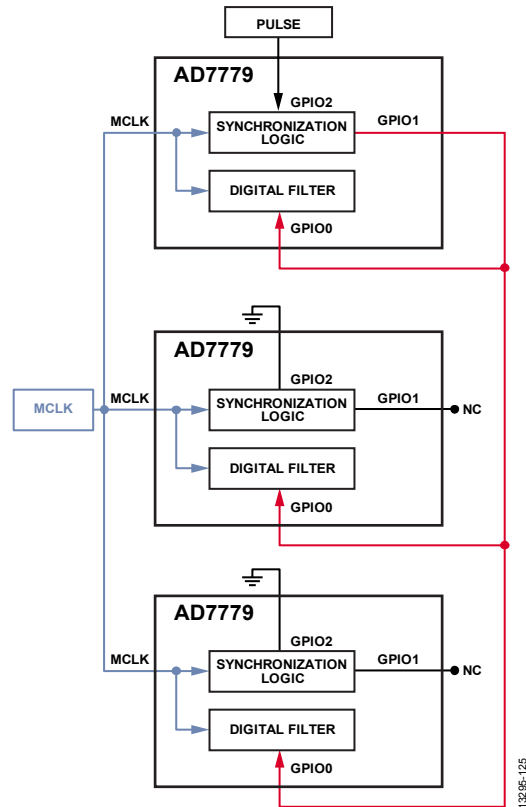


图108. 硬件ODR更新

SRC带宽

新的SINC滤波器架构允许选择非整数作为抽取范围。这种多功能特性意味着滤波器陷波需要动态调节：在可变频率处有2个陷波，另有一个固定陷波可消除PGA斩波信号音。相应地，针对-0.1 dB和-3 dB带宽的传统公式必须根据所选抽取率进行调整。

带宽传递函数并非线性，但可以使用线性函数做近似计算。

图109和图110分别显示了-0.1 dB和-3 dB带宽的校正系数。在低功耗模式下，失调必须进行4分频。例如，当ODR = 1000时，-0.1 dB点为：

$$\text{带宽} = 0.0581 \times 1000 + \frac{2.9271}{4} = 59 \text{ Hz}$$

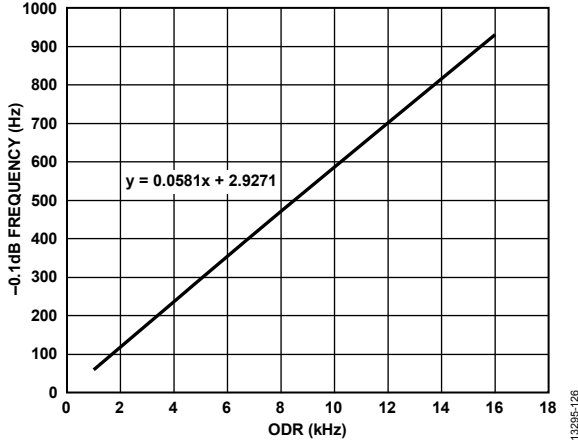


图109. -0.1 dB校正系数

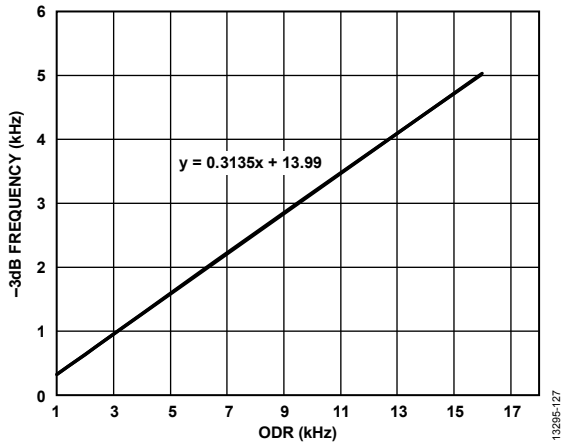


图110. -3 dB校正系数

SRC群延迟

SRC群延迟取决于所选ODR和功耗模式，且由下列公式定义：

$$\text{群延迟} = \frac{PM + SRC_N}{SRC_N \times ODR}$$

其中：

PM值取决于功耗模式，高分辨率模式为64，低功耗模式为32。
SRC_N为设置的ODR整数倍。
ODR为设置的输出数据速率。

建立时间

建立时间由所有内部电路级、滤波器延迟和模块校准所决定。

滤波器延迟定义为3/ODR。在一些极端情况下，当施加外部脉冲时，该值可提高到4/ODR。

在高分辨率模式下，校准延迟定义为 $62 \times t_{MCLK}$ ，最大误差为 $2 \times t_{MCLK}$ 。

在低功耗模式下，校准延迟定义为 $121 \times t_{MCLK}$ ，最大误差为 $4 \times t_{MCLK}$ 。

t_{MCLK} 为调制器周期，高分辨率模式下为488 ns，低功耗模式下为1.9 μs。

数据输出接口

在引脚控制模式下，Σ-Δ输出数据接口由CONV_SAR、FORMAT0和FORMAT1引脚在上电时定义。FORMATx引脚不可动态改变。表18显示了引脚控制模式的可用选项。如果器件配置为SPI控制模式，则SPI_SLAVE_MODE_EN位用于使能SPI接口来传输Σ-Δ型ADC转换结果，如表26所示。

DOUT3至DOUT0数据接口

独立模式

在独立模式下，AD7779接口用作主机。有三种不同的DOUT配置，在引脚控制模式下可通过FORMATx引脚配置，如图111至图113所示；在SPI控制模式下可通过DOUT_FORMAT位[7:6]来配置，如表36所示。

图114、图115和图116显示了不同DOUTx输出模式下的预期数据输出。

AD7779

表36. DOUTx通道

DOUT_FORMAT位/ FORMATx引脚	使能的DOUTx线数	使能的DOUTx线数
00	4	DOUT0—通道0和通道1 DOUT1—通道2和通道3 DOUT2—通道4和通道5 DOUT3—通道6和通道7
01	2	DOUT0—通道0、通道1、通道2和通道3 DOUT1—通道4、通道5、通道6和通道7
10	1	DOUT0—通道0、通道1、通道2、通道3、通道4、通道5、通道6和通道7

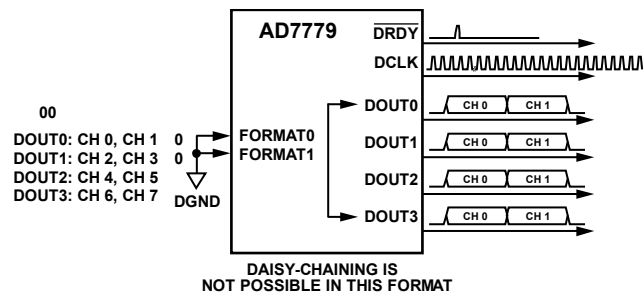


图111. FORMATx引脚配置—FORMAT0 = 0、FORMAT1 = 0

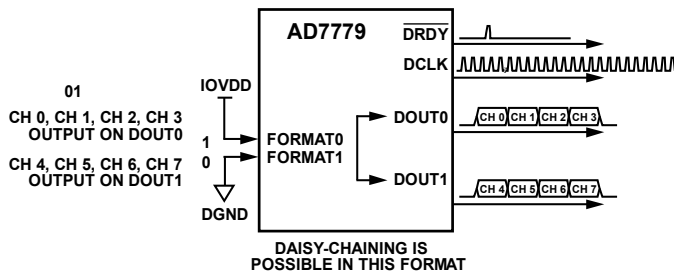


图112. FORMATx引脚配置—FORMAT0 = 1、FORMAT1 = 0

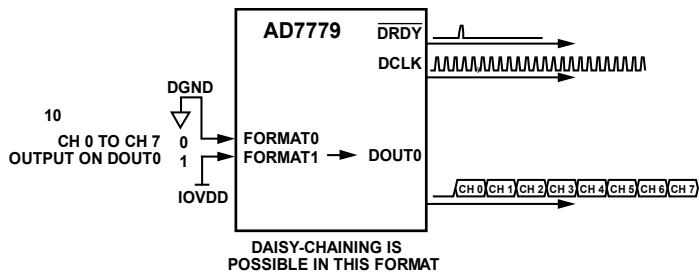


图113. FORMATx引脚配置—FORMAT0 = 0、FORMAT1 = 1

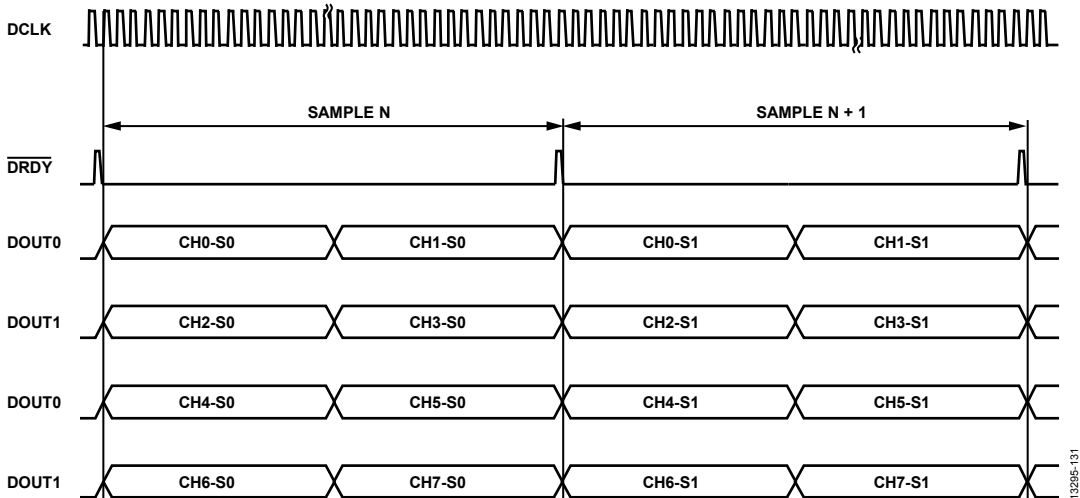


图114. $FORMAT0 = 0$ 、 $FORMAT1 = 0$ —每个DOUTx输出两个ADC转换结果(S0表示样本0, S1表示样本1)

13295-131

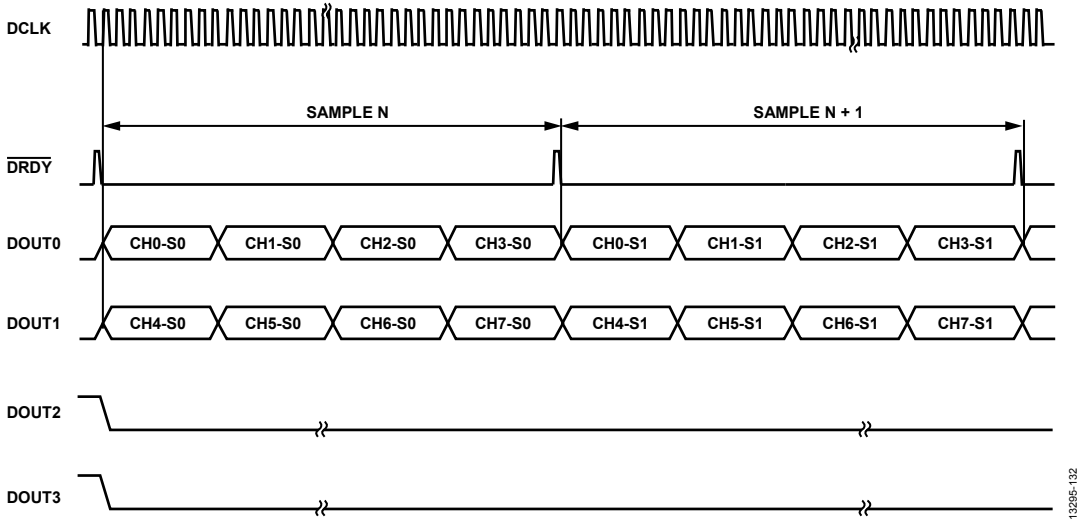


图115. $FORMAT0 = 0$ 、 $FORMAT1 = 1$ —通道0至通道3共用DOUT0, 通道4至通道7共用DOUT1(S0表示样本0, S1表示样本1)

13295-132

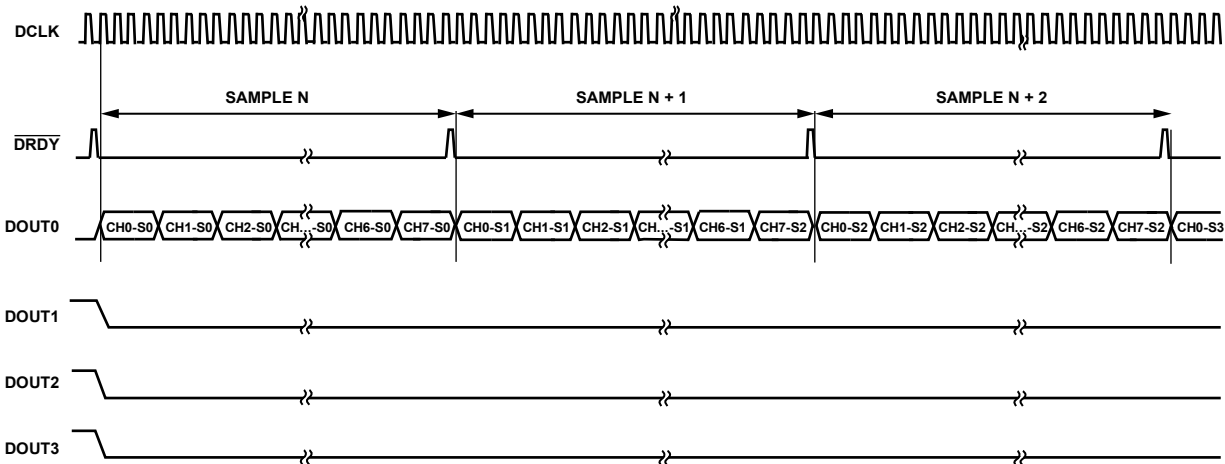


图116. $FORMAT0 = 1$ 、 $FORMAT1 = 0$ —通道0至通道7仅通过DOUT0输出(S0表示样本0, S1表示样本1)

13295-133

AD7779

菊花链模式

菊花链连接是将不同AD7779器件的多个ADC输出端级联起来，这样多个器件就可以使用相同数据接口线。采用菊花链配置时，DOUTx接口和数字主机之间只有一个ADC器件直接连接。对于AD7779而言，通过级联多个器件的DOUT0和DOUT1，或者仅使用DOUT0可实现菊花链功能，这具体取决于所选DOUTx模式。能否将器件以菊花链方式连接，以及对所连器件数量的限制取决于所选DOUTx模式和采用的抽取率。

采用菊花链模式工作时，要求链中的所有AD7779器件正确同步。更多信息参见“数字复位和同步引脚”部分。

这一特性特别有助于减少器件数量和线路连接；例如在隔离式多转换器应用或接口能力有限的系统中，希望器件和连接越少越好。

菊花链工作模式下可以有两种不同的配置，如表37所示。

使用DOUTx = 10模式时，DOUT2用作输入引脚，如图117所示。该例中，AD7779器件的DOUT0引脚级联链路中下一个器件的DOUT2引脚。数据回读与读取移位寄存器相似，即数据在DCLK的上升沿输出。

表37. 菊花链工作模式下的DOUTx模式

DOUT_FORMAT位/ FORMATx引脚	使能的DOUTx线数	相关通道
01	2	DOUT0—通道0至通道3和DOUT2 DOUT1—通道4至通道7和DOUT3 DOUT2—输入通道 DOUT3—输入通道
10	1	DOUT0—通道0至通道7和DOUT2 DOUT2—输入通道

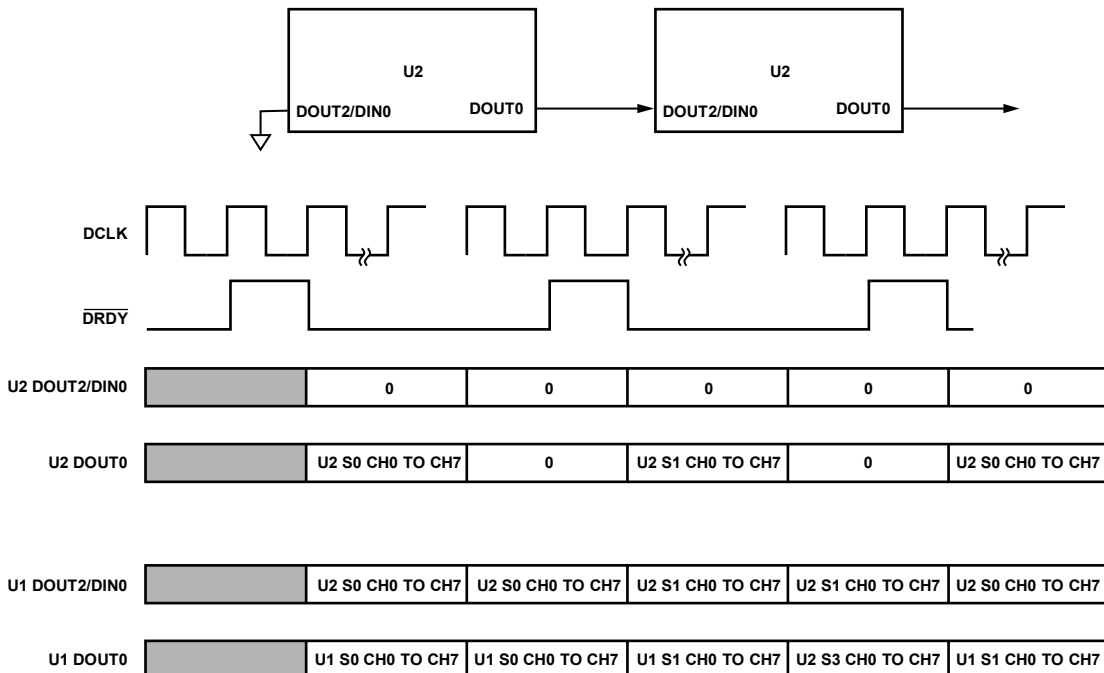


图117. 菊花链连接模式，FORMAT0 = 1，FORMAT1 = 0(S0为样本0，S1为样本1)；以菊花链模式连接时，DOUT2用作输入引脚，由DIN0表示

13295-134

最小DCLKx频率

DCLKx频率比率的选择应当以数据在新的转换完成之前完全移出为准，否则之前的转换会被覆盖，导致传输被破坏。最小DCLKx频率比率由抽取率、工作模式和DOUT3至DOUT0数据接口上使能的线路决定，如下式所示：

在独立模式下，

$$\text{高分辨率模式} - DCLK_{MIN_RATIO} < \text{抽取率} / (8 \times \text{CHANNELS_PER_DOUT})$$

$$\text{低功耗模式} - DCLK_{MIN_RATIO} < \text{抽取率} / (4 \times \text{CHANNELS_PER_DOUT})$$

在菊花链模式下，

$$\text{高分辨率模式} - DCLK_{MIN_RATIO} < \text{抽取率} / (8 \times \text{器件数} \times \text{DOUTx通道数})$$

$$\text{低功耗模式} - DCLK_{MIN_RATIO} < \text{抽取率} / (4 \times \text{器件数} \times \text{DOUTx通道数})$$

举例而言，在主机接口模式下，DOUTx = 01，DOUT0和DOUT1引脚各移出四个Σ-Δ通道，并假设在高分辨率模式下达到最大输出速率，抽取率 = 128。

$$DCLK_{MIN} < 128 / (8 \times 4) = 4$$

如果所选DCLK_{MIN_RATIO}高于所需最小值，则将连续传输逻辑0，直到有了新的样本。

再举一个菊花链模式的例子，假设DOUTx = 01，有三个器件相连，高分辨率模式下抽取率为256，则有下式：

$$DCLK_{MIN_RATIO} < 256 / (8 \times 3 \times 4) = 2.66 = 2$$

表38总结了各种不同的比率。

表38. 可用DCLK比率

DCLK_CLK_DIV(SPI控制模式), DCLKx(引脚控制模式)	DCLKx比率
000	1
001	2
010	4
011	8
100	16
101	32
110	64
111	128

对于给定DOUTx引脚配置，最大可实现的ODR和所需的最小DCLKx频率如表39和表40所示。

表39. 高分辨率模式下的最大ODR和最小DCLKx频率

抽取率	ODR (kSPS)	最小DCLKx (kHz)		
		1 DOUTx	2 DOUTx	4 DOUTx
4095	0.500122	128	64	32
2048	1	256	128	64
1024	2	512	256	128
512	4	1024	512	256
256	8	2048	1024	512
128	16	4096	2048	1024

表40. 低功耗模式下的最大ODR和最小DCLKx频率

抽取率	ODR (kSPS)	最小DCLK (kHz)		
		1 DOUT	2 DOUT	4 DOUT
2048	0.25	64	32	16
1024	0.5	128	64	32
512	1	256	128	64
256	2	512	256	128
128	4	1024	512	256

如果AD7779工作在SPI控制模式下，则可以调整DOUTx强度，该调整通过DOUT_DRIVE_STR位来进行选择，如表41所示。

表41. DOUTx强度

GENERAL_USER_CONFIG2, 位[2:1]		模式
0	0	标称值
0	1	强
1	0	弱
1	1	极强

SPI接口

当处理器或微控制器作为主机使用时，用户可利用SPI接口灵活地从Σ-Δ型ADC读取转换结果。

完成一次新的转换后， $\overline{\text{DRDY}}$ 信号切换，表示数据可以访问。当 $\overline{\text{DRDY}}$ 切换时，内部通道计数器复位，下一个SPI读操作再次从通道0开始。相反，最后的通道数据完成读取后，下一个 $\overline{\text{DRDY}}$ 信号之前的所有后续读操作都将从通道7 (LSB)开始。

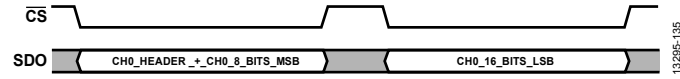


图118. SPI回读，每帧16位



图119. SPI回读，每帧24位

SPI以8位帧的倍数工作；图118显示了16位帧的回读示例，而图119显示了24位帧的回读示例。

注意：如果器件配置为SPI控制模式，并且SDI引脚连续64个时钟周期采样到高电平，则AD7779将会产生软件复位。为了避免复位或不需要的寄存器写操作，建议传输一个0x8000命令，该命令生成一个会被器件忽略的回读命令，如“SPI软件复位”部分所述。

计算CRC校验和

AD7779集成两个不同的CRC校验和生成器，一个用于Σ-Δ结果，另一个用于SPI控制模式。

AD7779采用CRC多项式计算CRC校验和值。所用的8位CRC多项式为 $x^8 + x^2 + x + 1$ 。

对齐多项式，使其MSB与该数据最左侧的逻辑1对齐。对该数据施加一个异或(XOR)函数，以产生一个更短的新数。再次对齐多项式，使其MSB与新结果最左侧的逻辑1对齐，重复上述步骤。最后，原始数据将减少至小于多项式的值。此值即是8位校验和。

表42给出了12位数据的CRC计算示例。

表42. 12位数据的CRC计算示例¹

数据	0	1	1	0	0	1	0	0	1	1	1	0
多项式		1	0	0	0	0	0	1	1			
			1	0	0	1	0	1	0	1	1	0
			1	0	0	0	0	0	1	1		
多项式					0	1	0	1	1	1	1	0

¹ 本表显示的是数据的除法，空白单元用于格式化目的。

Σ-Δ CRC校验和

AD7779内部对成对ADC计算CRC消息。CRC使用来自两个ADC的ADC输出数据以及来自报头的位[7:4]进行计算。因此，使用56位来计算8位CRC。该CRC分别两个通道报头。CRC数据覆盖的通道对为：通道0和通道1、通道2和通道3、通道4和通道5、通道6和通道7。

要生成校验和，需将数据左移8位，产生一个后8位为逻辑1的数值。

CRC根据两个连续/配对通道(通道0和通道1、通道2和通道3、通道4和通道5、通道6和通道7)的56位来计算。该56位包括芯片错误、表示第一个ADC配对通道的3位和各配对通道的24位数据。举例而言，对于第二个通道对(通道2和通道3)，

$$56位 = 芯片错误 + 3个ADC通道位(010) + 24个数据位(通道2) + 芯片错误 + 3个ADC通道位(011) + 24个数据位(通道3)。$$

SPI控制模式校验和

CRC消息由AD7779在内部计算。传输至AD7779的数据使用R/W位、7位地址和8位数据进行CRC计算。

CRC经过计算并附加到移出的数据之后，使用0010 0000报头和8位数据进行寄存器回读，并使用0010报头和12位SAR转换数据进行SAR回读传输。

寄存器汇总

表43. AD7779寄存器汇总

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	R/W	
0x000	CH0_CONFIG	[7:0]	CH0_GAIN		CH0_REF_MONITOR	CH0_RX	保留				0x00	/W R	
0x001	CH1_CONFIG	[7:0]	CH1_GAIN		CH1_REF_MONITOR	CH1_RX	保留				0x00	R/W	
0x002	CH2_CONFIG	[7:0]	CH2_GAIN		CH2_REF_MONITOR	CH2_RX	保留				0x00	R/W	
0x003	CH3_CONFIG	[7:0]	CH3_GAIN		CH3_REF_MONITOR	CH3_RX	保留				0x00	R/W	
0x004	CH4_CONFIG	[7:0]	CH4_GAIN		CH4_REF_MONITOR	CH4_RX	保留				0x00	R/W	
0x005	CH5_CONFIG	[7:0]	CH5_GAIN		CH5_REF_MONITOR	CH5_RX	保留				0x00	R/W	
0x006	CH6_CONFIG	[7:0]	CH6_GAIN		CH6_REF_MONITOR	CH6_RX	保留				0x00	R/W	
0x007	CH7_CONFIG	[7:0]	CH7_GAIN		CH7_REF_MONITOR	CH7_RX	保留				0x00	R/W	
0x008	CH_DISABLE	[7:0]	CH7_DISABLE	CH6_DISABLE	CH5_DISABLE	CH4_DISABLE	CH3_DISABLE	CH2_DISABLE	CH1_DISABLE	CH0_DISABLE	0x00	R/W	
0x009	CH0_SYNC_OFFSET	[7:0]	CH0_SYNC_OFFSET									0x00	R/W
0x00A	CH1_SYNC_OFFSET	[7:0]	CH1_SYNC_OFFSET									0x00	R/W
0x00B	CH2_SYNC_OFFSET	[7:0]	CH2_SYNC_OFFSET									0x00	R/W
0x00C	CH3_SYNC_OFFSET	[7:0]	CH3_SYNC_OFFSET									0x00	R/W
0x00D	CH4_SYNC_OFFSET	[7:0]	CH4_SYNC_OFFSET									0x00	R/W
0x00E	CH5_SYNC_OFFSET	[7:0]	CH5_SYNC_OFFSET									0x00	R/W
0x00F	CH6_SYNC_OFFSET	[7:0]	CH6_SYNC_OFFSET									0x00	R/W
0x010	CH7_SYNC_OFFSET	[7:0]	CH7_SYNC_OFFSET									0x00	R/W
0x011	GENERAL_USER_CONFIG_1	[7:0]	ALL_CH_DIS_MCLK_EN	POWER-MODE	PDB_VCM	PDB_REFOUT_BUF	PDB_SAR	PDB_RC_OSC	SOFT_RESET		0x24	R/W	
0x012	GENERAL_USER_CONFIG_2	[7:0]	保留		SAR_DIAG_MODE_EN	SDO_DRIVE_STR		DOUT_DRIVE_STR		SPI_SYNC	0x09	R/W	
0x013	GENERAL_USER_CONFIG_3	[7:0]	CONVST_DEGLITCH_DIS		保留	SPI_SLAVE_MODE_EN	保留			CLK_QUAL_DIS	0x80	R/W	
0x014	DOUT_FORMAT	[7:0]	DOUT_FORMAT		DOUT_HEADER_FORMAT	保留	DCLK_CLK_DIV			保留	0x20	R/W	
0x015	ADC_MUX_CONFIG	[7:0]	REF_MUX_CTRL		MTR_MUX_CTRL				保留		0x00	R/W	
0x016	GLOBAL_MUX_CONFIG	[7:0]	GLOBAL_MUX_CTRL					保留				0x00	R/W
0x017	GPIO_CONFIG	[7:0]	保留					GPIO_OP_EN				0x00	R/W
0x018	GPIO_DATA	[7:0]	保留		GPIO_READ_DATA			GPIO_WRITE_DATA			0x00	R/W	
0x019	BUFFER_CONFIG_1	[7:0]	保留			REF_BUF_POS_EN	REF_BUF_NEG_EN	保留				0x38	R/W
0x01A	BUFFER_CONFIG_2	[7:0]	REF-BUFP_PREQ	REF-BUFN_PREQ	RESERVED			PDB_ALDO1_OVRDRV	PDB_ALDO2_OVRDRV	PDB_DLDO_OVRDRV	0xC0	R/W	

AD7779

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	R/W	
0x01C	CH0_OFFSET_UPPER_BYTE	[7:0]				CH0_OFFSET_ALL[23:16]						0x00	R/W
0x01D	CH0_OFFSET_MID_BYTE	[7:0]				CH0_OFFSET_ALL[15:8]						0x00	R/W
0x01E	CH0_OFFSET_LOWER_BYTE	[7:0]				CH0_OFFSET_ALL[7:0]						0x00	R/W
0x01F	CH0_GAIN_UPPER_BYTE	[7:0]				CH0_GAIN_ALL[23:16]						0x00	R/W
0x020	CH0_GAIN_MID_BYTE	[7:0]				CH0_GAIN_ALL[15:8]						0x00	R/W
0x021	CH0_GAIN_LOWER_BYTE	[7:0]				CH0_GAIN_ALL[7:0]						0x00	R/W
0x022	CH1_OFFSET_UPPER_BYTE	[7:0]				CH1_OFFSET_ALL[23:16]						0x00	R/W
0x023	CH1_OFFSET_MID_BYTE	[7:0]				CH1_OFFSET_ALL[15:8]						0x00	R/W
0x024	CH1_OFFSET_LOWER_BYTE	[7:0]				CH1_OFFSET_ALL[7:0]						0x00	R/W
0x025	CH1_GAIN_UPPER_BYTE	[7:0]				CH1_GAIN_ALL[23:16]						0x00	R/W
0x026	CH1_GAIN_MID_BYTE	[7:0]				CH1_GAIN_ALL[15:8]						0x00	R/W
0x027	CH1_GAIN_LOWER_BYTE	[7:0]				CH1_GAIN_ALL[7:0]						0x00	R/W
0x028	CH2_OFFSET_UPPER_BYTE	[7:0]				CH2_OFFSET_ALL[23:16]						0x00	R/W
0x029	CH2_OFFSET_MID_BYTE	[7:0]				CH2_OFFSET_ALL[15:8]						0x00	R/W
0x02A	CH2_OFFSET_LOWER_BYTE	[7:0]				CH2_OFFSET_ALL[7:0]						0x00	R/W
0x02B	CH2_GAIN_UPPER_BYTE	[7:0]				CH2_GAIN_ALL[23:16]						0x00	R/W
0x02C	CH2_GAIN_MID_BYTE	[7:0]				CH2_GAIN_ALL[15:8]						0x00	R/W
0x02D	CH2_GAIN_LOWER_BYTE	[7:0]				CH2_GAIN_ALL[7:0]						0x00	R/W
0x02E	CH3_OFFSET_UPPER_BYTE	[7:0]				CH3_OFFSET_ALL[23:16]						0x00	R/W
0x02F	CH3_OFFSET_MID_BYTE	[7:0]				CH3_OFFSET_ALL[15:8]						0x00	R/W
0x030	CH3_OFFSET_LOWER_BYTE	[7:0]				CH3_OFFSET_ALL[7:0]						0x00	R/W
0x031	CH3_GAIN_UPPER_BYTE	[7:0]				CH3_GAIN_ALL[23:16]						0x00	R/W
0x032	CH3_GAIN_MID_BYTE	[7:0]				CH3_GAIN_ALL[15:8]						0x00	R/W
0x033	CH3_GAIN_LOWER_BYTE	[7:0]				CH3_GAIN_ALL[7:0]						0x00	R/W
0x034	CH4_OFFSET_UPPER_BYTE	[7:0]				CH4_OFFSET_ALL[23:16]						0x00	R/W
0x035	CH4_OFFSET_MID_BYTE	[7:0]				CH4_OFFSET_ALL[15:8]						0x00	R/W
0x036	CH4_OFFSET_LOWER_BYTE	[7:0]				CH4_OFFSET_ALL[7:0]						0x00	R/W
0x037	CH4_GAIN_UPPER_BYTE	[7:0]				CH4_GAIN_ALL[23:16]						0x00	R/W
0x038	CH4_GAIN_MID_BYTE	[7:0]				CH4_GAIN_ALL[15:8]						0x00	R/W
0x039	CH4_GAIN_LOWER_BYTE	[7:0]				CH4_GAIN_ALL[7:0]						0x00	R/W
0x03A	CH5_OFFSET_UPPER_BYTE	[7:0]				CH5_OFFSET_ALL[23:16]						0x00	R/W

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	R/W	
0x03B	CH5_OFFSET_MID_BYTE	[7:0]	CH5_OFFSET_ALL[15:8]									0x00	R/W
0x03C	CH5_OFFSET_LOWER_BYTE	[7:0]	CH5_OFFSET_ALL[7:0]									0x00	R/W
0x03D	CH5_GAIN_UPPER_BYTE	[7:0]	CH5_GAIN_ALL[23:16]									0x00	R/W
0x03E	CH5_GAIN_MID_BYTE	[7:0]	CH5_GAIN_ALL[15:8]									0x00	R/W
0x03F	CH5_GAIN_LOWER_BYTE	[7:0]	CH5_GAIN_ALL[7:0]									0x00	R/W
0x040	CH6_OFFSET_UPPER_BYTE	[7:0]	CH6_OFFSET_ALL[23:16]									0x00	R/W
0x041	CH6_OFFSET_MID_BYTE	[7:0]	CH6_OFFSET_ALL[15:8]									0x00	R/W
0x042	CH6_OFFSET_LOWER_BYTE	[7:0]	CH6_OFFSET_ALL[7:0]									0x00	R/W
0x043	CH6_GAIN_UPPER_BYTE	[7:0]	CH6_GAIN_ALL[23:16]									0x00	R/W
0x044	CH6_GAIN_MID_BYTE	[7:0]	CH6_GAIN_ALL[15:8]									0x00	R/W
0x045	CH6_GAIN_LOWER_BYTE	[7:0]	CH6_GAIN_ALL[7:0]									0x00	R/W
0x046	CH7_OFFSET_UPPER_BYTE	[7:0]	CH7_OFFSET_ALL[23:16]									0x00	R/W
0x047	CH7_OFFSET_MID_BYTE	[7:0]	CH7_OFFSET_ALL[15:8]									0x00	R/W
0x048	CH7_OFFSET_LOWER_BYTE	[7:0]	CH7_OFFSET_ALL[7:0]									0x00	R/W
0x049	CH7_GAIN_UPPER_BYTE	[7:0]	CH7_GAIN_ALL[23:16]									0x00	R/W
0x04A	CH7_GAIN_MID_BYTE	[7:0]	CH7_GAIN_ALL[15:8]									0x00	R/W
0x04B	CH7_GAIN_LOWER_BYTE	[7:0]	CH7_GAIN_ALL[7:0]									0x00	R/W
0x04C	CH0_ERR_REG	[7:0]	保留			CH0_ERR_AINM_UV	CH0_ERR_AINM_OV	CH0_ERR_AINP_UV	CH0_ERR_AINP_OV	CH0_ERR_REF_DET		0x00	R
0x04D	CH1_ERR_REG	[7:0]	保留			CH1_ERR_AINM_UV	CH1_ERR_AINM_OV	CH1_ERR_AINP_UV	CH1_ERR_AINP_OV	CH1_ERR_REF_DET		0x00	R
0x04E	CH2_ERR_REG	[7:0]	保留			CH2_ERR_AINM_UV	CH2_ERR_AINM_OV	CH2_ERR_AINP_UV	CH2_ERR_AINP_OV	CH2_ERR_REF_DET		0x00	R
0x04F	CH3_ERR_REG	[7:0]	保留			CH3_ERR_AINM_UV	CH3_ERR_AINM_OV	CH3_ERR_AINP_UV	CH3_ERR_AINP_OV	CH3_ERR_REF_DET		0x00	R
0x050	CH4_ERR_REG	[7:0]	保留			CH4_ERR_AINM_UV	CH4_ERR_AINM_OV	CH4_ERR_AINP_UV	CH4_ERR_AINP_OV	CH4_ERR_REF_DET		0x00	R
0x051	CH5_ERR_REG	[7:0]	保留			CH5_ERR_AINM_UV	CH5_ERR_AINM_OV	CH5_ERR_AINP_UV	CH5_ERR_AINP_OV	CH5_ERR_REF_DET		0x00	R
0x052	CH6_ERR_REG	[7:0]	保留			CH6_ERR_AINM_UV	CH6_ERR_AINM_OV	CH6_ERR_AINP_UV	CH6_ERR_AINP_OV	CH6_ERR_REF_DET		0x00	R

AD7779

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	R/W	
0x053	CH7_ERR_REG	[7:0]	保留			CH7_ERR_AINM_UV	CH7_ERR_AINM_OV	CH7_ERR_AINP_UV	CH7_ERR_AINP_OV	CH7_ERR_REF_DET	0x00	R	
0x054	CH0_1_SAT_ERR	[7:0]	保留		CH1_ERR_MOD_SAT	CH1_ERR_FILTER_SAT	CH1_ERR_OUTPUT_SAT	CH0_ERR_MOD_SAT	CH0_ERR_FILTER_SAT	CH0_ERR_OUTPUT_SAT	0x00	R	
0x055	CH2_3_SAT_ERR	[7:0]	保留		CH3_ERR_MOD_SAT	CH3_ERR_FILTER_SAT	CH3_ERR_OUTPUT_SAT	CH2_ERR_MOD_SAT	CH2_ERR_FILTER_SAT	CH2_ERR_OUTPUT_SAT	0x00	R	
0x056	CH4_5_SAT_ERR	[7:0]	保留		CH5_ERR_MOD_SAT	CH5_ERR_FILTER_SAT	CH5_ERR_OUTPUT_SAT	CH4_ERR_MOD_SAT	CH4_ERR_FILTER_SAT	CH4_ERR_OUTPUT_SAT	0x00	R	
0x057	CH6_7_SAT_ERR	[7:0]	保留		CH7_ERR_MOD_SAT	CH7_ERR_FILTER_SAT	CH7_ERR_OUTPUT_SAT	CH6_ERR_MOD_SAT	CH6_ERR_FILTER_SAT	CH6_ERR_OUTPUT_SAT	0x00	R	
0x058	CHX_ERR_REG_EN	[7:0]	OUTPUT_SAT_TEST_EN	FILTER_SAT_TEST_EN	MOD_SAT_TEST_EN	AINM_UV_TEST_EN	AINM_OV_TEST_EN	AINP_UV_TEST_EN	AINP_OV_TEST_EN	REF_DET_TEST_EN	0xFE	R/W	
0x059	GEN_ERR_REG_1	[7:0]	保留		MEMMAP_CRC_ERR	ROM_CRC_ERR	SPI_CLK_COUNT_ERR	SPI_INVALID_READ_ERR	SPI_INVALID_WRITE_ERR	SPI_CRC_ERR	0x00	R	
0x05A	GEN_ERR_REG_1_EN	[7:0]	保留		MEMMAP_CRC_TEST_EN	ROM_CRC_TEST_EN	SPI_CLK_COUNT_TEST_EN	SPI_INVALID_READ_TEST_EN	SPI_INVALID_WRITE_TEST_EN	SPI_CRC_TEST_EN	0x3E	R/W	
0x05B	GEN_ERR_REG_2	[7:0]	保留		RESET_DETECTED	EXT_MCLK_SWITCH_ERR	RESERVED	ALDO1_PSM_ERR	ALDO2_PSM_ERR	DLDO_PSM_ERR	0x00	R	
0x05C	GEN_ERR_REG_2_EN	[7:0]	保留		RESET_DETECT_EN	保留	LDO_PSM_TEST_EN		LDO_PSM_TRIP_TEST_EN		0x3C	R/W	
0x05D	STATUS_REG_1	[7:0]	保留		CHIP_ERROR	ERR_LOC_CH4	ERR_LOC_CH3	ERR_LOC_CH2	ERR_LOC_CH1	ERR_LOC_CH0	0x00	R	
0x05E	STATUS_REG_2	[7:0]	保留		CHIP_ERROR	ERR_LOC_GEN2	ERR_LOC_GEN1	ERR_LOC_CH7	ERR_LOC_CH6	ERR_LOC_CH5	0x00	R	
0x05F	STATUS_REG_3	[7:0]	保留		CHIP_ERROR	INIT_COMPLETE	ERR_LOC_SAT_CH4_5	ERR_LOC_SAT_CH2_3	ERR_LOC_SAT_CH0_1	ERR_LOC_SAT_CH0_1	0x00	R	
0x060	SRC_N_MSB	[7:0]	保留				SRC_N_ALL[11:8]					0x00	R/W
0x061	SRC_N_LSB	[7:0]	SRC_N_ALL[7:0]									0x80	R/W
0x062	SRC_IF_MSB	[7:0]	SRC_IF_ALL[15:8]									0x00	R/W
0x063	SRC_IF_LSB	[7:0]	SRC_IF_ALL[7:0]									0x00	R/W
0x064	SRC_UPDATE	[7:0]	SRC_LOAD_SOURCE	保留						SRC_LOAD_UPDATE		0x00	R/W

寄存器详解

通道0配置寄存器

地址：0x000；复位：0x00；名称：CH0_CONFIG

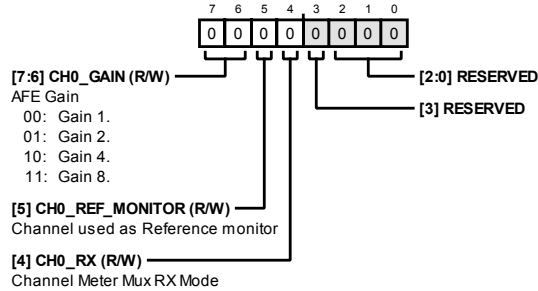


表44. CH0_CONFIG的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:6]	CH0_GAIN	00 01 10 11	AFE增益 增益1 增益2 增益4 增益8	0x0	R/W
5	CH0_REF_MONITOR		通道用作基准电压源监控器	0x0	R/W
4	CH0_RX		通道计复用Rx模式	0x0	R/W
[3:0]	保留		保留	0x0	R/W

通道1配置寄存器

地址：0x001；复位：0x00；名称：CH1_CONFIG

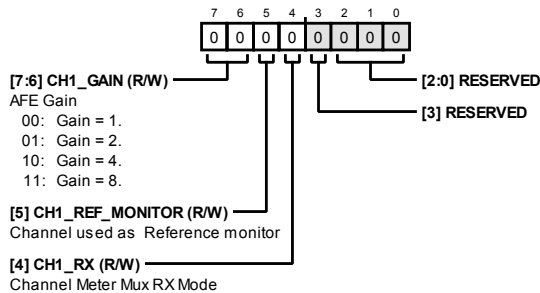


表45. CH1_CONFIG的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:6]	CH1_GAIN	00 01 10 11	AFE增益 增益1 增益2 增益4 增益8	0x0	R/W
5	CH1_REF_MONITOR		通道用作基准电压源监控器	0x0	R/W
4	CH1_RX		通道计复用Rx模式	0x0	R/W
[3:0]	保留		保留	0x0	R/W

AD7779

通道2配置寄存器

地址: 0x002; 复位: 0x00; 名称: CH2_CONFIG

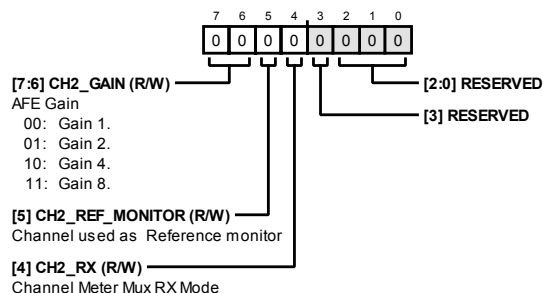


表46. CH2_CONFIG的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:6]	CH2_GAIN	00 01 10 11	AFE增益 增益1 增益2 增益4 增益8	0x0	R/W
5	CH2_REF_MONITOR		通道用作基准电压源监控器	0x0	R/W
4	CH2_RX		通道计复用Rx模式	0x0	R/W
[3:0]	保留		保留	0x0	R/W

通道3配置寄存器

地址: 0x003; 复位: 0x00; 名称: CH3_CONFIG

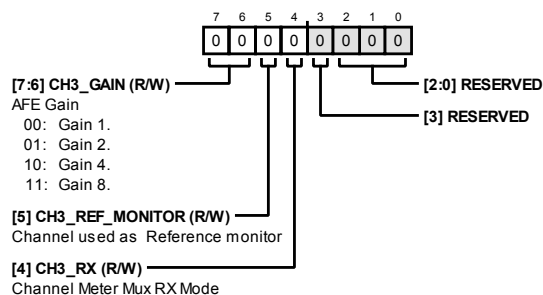


表47. CH3_CONFIG的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:6]	CH3_GAIN	00 01 10 11	AFE增益 增益1 增益2 增益4 增益8	0x0	R/W
5	CH3_REF_MONITOR		通道用作基准电压源监控器	0x0	R/W
4	CH3_RX		通道计复用Rx模式	0x0	R/W
[3:0]	保留		保留	0x0	R/W

通道4配置寄存器

地址：0x004；复位：0x00；名称：CH4_CONFIG

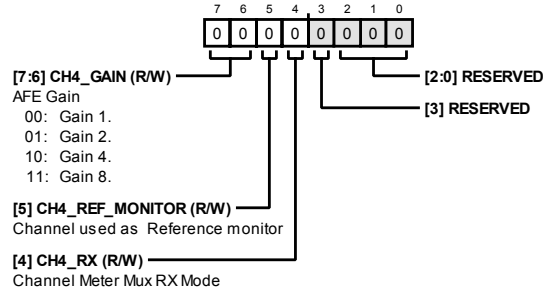


表48. CH4_CONFIG的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:6]	CH4_GAIN	00 01 10 11	AFE增益 增益1 增益2 增益4 增益8	0x0	R/W
5	CH4_REF_MONITOR		通道用作基准电压源监控器	0x0	R/W
4	CH4_RX		通道计复用Rx模式	0x0	R/W
[3:0]	保留		保留	0x0	R/W

通道5配置寄存器

地址：0x005；复位：0x00；名称：CH5_CONFIG

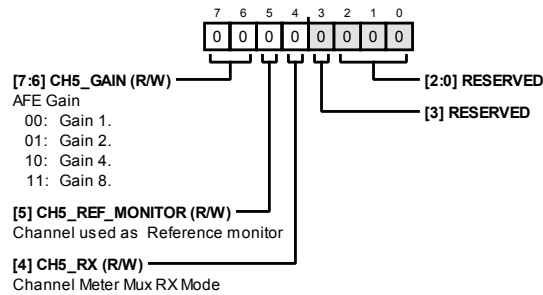


表49. CH5_CONFIG的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:6]	CH5_GAIN	00 01 10 11	AFE增益 增益1 增益2 增益4 增益8	0x0	R/W
5	CH5_REF_MONITOR		通道用作基准电压源监控器	0x0	R/W
4	CH5_RX		通道计复用Rx模式	0x0	R/W
[3:0]	保留		保留	0x0	R/W

AD7779

通道6配置寄存器

地址: 0x006; 复位: 0x00; 名称: CH6_CONFIG

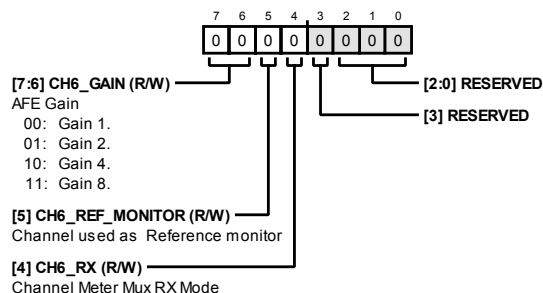


表50. CH6_CONFIG的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:6]	CH6_GAIN	00 01 10 11	AFE增益 增益1 增益2 增益4 增益8	0x0	R/W
5	CH6_REF_MONITOR		通道用作基准电压源监控器	0x0	R/W
4	CH6_RX		通道计复用Rx模式	0x0	R/W
[3:0]	保留		保留	0x0	R/W

通道7配置寄存器

地址: 0x007; 复位: 0x00; 名称: CH7_CONFIG

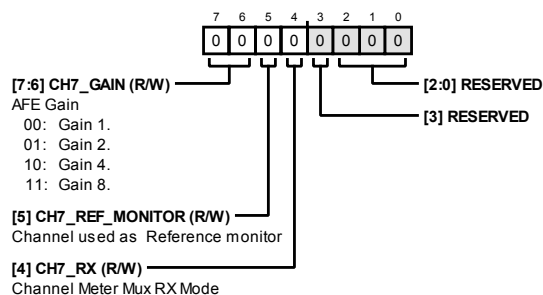


表51. CH7_CONFIG的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:6]	CH7_GAIN	00 01 10 11	AFE增益 增益1 增益2 增益4 增益8	0x0	R/W
5	CH7_REF_MONITOR		通道用作基准电压源监控器	0x0	R/W
4	CH7_RX		通道计复用Rx模式	0x0	R/W
[3:0]	保留		保留	0x0	R/W

禁用ADC通道寄存器时钟

地址：0x008；复位：0x00；名称：CH_DISABLE

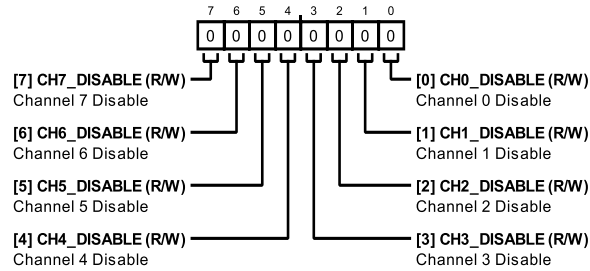


表52. CH_DISABLE的位功能描述

位	位名称	设置	描述	复位	访问类型
7	CH7_DISABLE		通道7禁用	0x0	R/W
6	CH6_DISABLE		通道6禁用	0x0	R/W
5	CH5_DISABLE		通道5禁用	0x0	R/W
4	CH4_DISABLE		通道4禁用	0x0	R/W
3	CH3_DISABLE		通道3禁用	0x0	R/W
2	CH2_DISABLE		通道2禁用	0x0	R/W
1	CH1_DISABLE		通道1禁用	0x0	R/W
0	CH0_DISABLE		通道0禁用	0x0	R/W

通道0同步失调寄存器

地址：0x009；复位：0x00；名称：CH0_SYNC_OFFSET

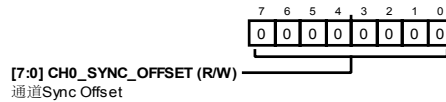


表53. CH0_SYNC_OFFSET的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH0_SYNC_OFFSET		通道同步失调。	0x0	R/W

通道1同步失调寄存器

地址：0x00A；复位：0x00；名称：CH1_SYNC_OFFSET

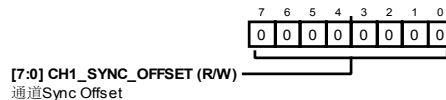


表54. CH1_SYNC_OFFSET的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH1_SYNC_OFFSET		通道同步失调。	0x0	R/W

AD7779

通道2同步失调寄存器

地址：0x00B；复位：0x00；名称：CH2_SYNC_OFFSET

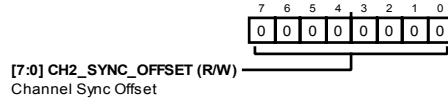


表55. CH2_SYNC_OFFSET的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH2_SYNC_OFFSET		通道同步失调。	0x0	R/W

通道3同步失调寄存器

地址：0x00C；复位：0x00；名称：CH3_SYNC_OFFSET

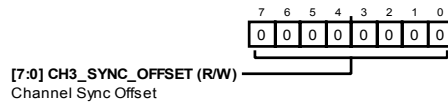


表56. CH3_SYNC_OFFSET的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH3_SYNC_OFFSET		通道同步失调。	0x0	R/W

通道4同步失调寄存器

地址：0x00D；复位：0x00；名称：CH4_SYNC_OFFSET

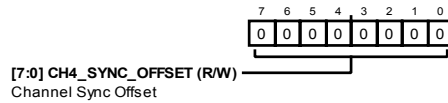


表57. CH4_SYNC_OFFSET的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH4_SYNC_OFFSET		通道同步失调。	0x0	R/W

通道5同步失调寄存器

地址：0x00E；复位：0x00；名称：CH5_SYNC_OFFSET

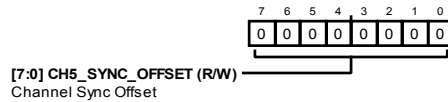


表58. CH5_SYNC_OFFSET的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH5_SYNC_OFFSET		通道同步失调。	0x0	R/W

通道6同步失调寄存器

地址：0x00F；复位：0x00；名称：CH6_SYNC_OFFSET

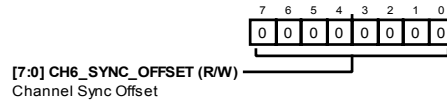


表59. CH6_SYNC_OFFSET的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH6_SYNC_OFFSET		通道同步失调。	0x0	R/W

通道7同步失调寄存器

地址：0x010；复位：0x00；名称：CH7_SYNC_OFFSET

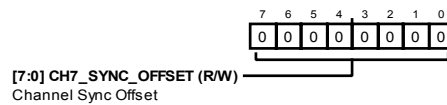


表60. CH7_SYNC_OFFSET的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH7_SYNC_OFFSET		通道同步失调。	0x0	R/W

通用用户配置1寄存器

地址：0x011；复位：0x24；名称：GENERAL_USER_CONFIG_1

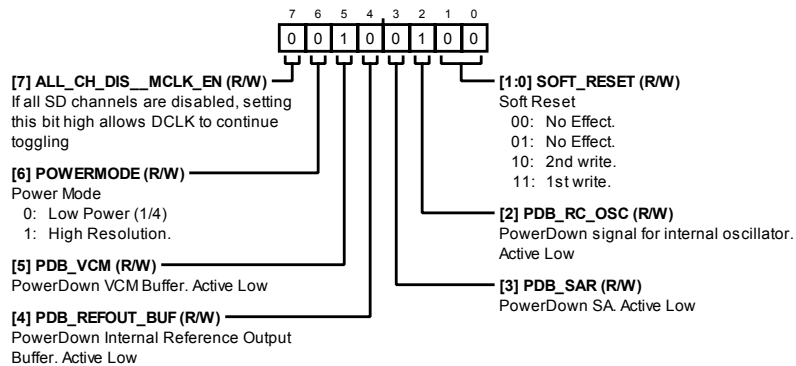


表61. GENERAL_USER_CONFIG_1的位功能描述

位	位名称	设置	描述	复位	访问类型
7	ALL_CH_DIS_MCLK_EN		如果所有 Σ - Δ 通道都禁用，则将此位设为高电平可让DCLK继续切换操作。	0x0	R/W
6	POWERMODE	0 1	功耗模式。 0 低功耗(1/4)。 1 高分辨率。	0x0	R/W
5	PDB_VCM		关断VCM缓冲器。低电平有效。	0x1	R/W
4	PDB_REFOUT_BUF		关断内部基准电压源输出缓冲器。低电平有效。	0x0	R/W
3	PDB_SAR		关断SAR。低电平有效。	0x0	R/W
2	PDB_RC_OSC		内部振荡器的关断信号。低电平有效。	0x1	R/W

AD7779

位	位名称	设置	描述	复位	访问类型
[1:0]	SOFT_RESET		软复位	0x0	R/W
		00	不起作用		
		01	不起作用		
		10	第二次写入		
		11	第一次写入		

通用用户配置2寄存器

地址：0x012；复位：0x09；名称：GENERAL_USER_CONFIG_2

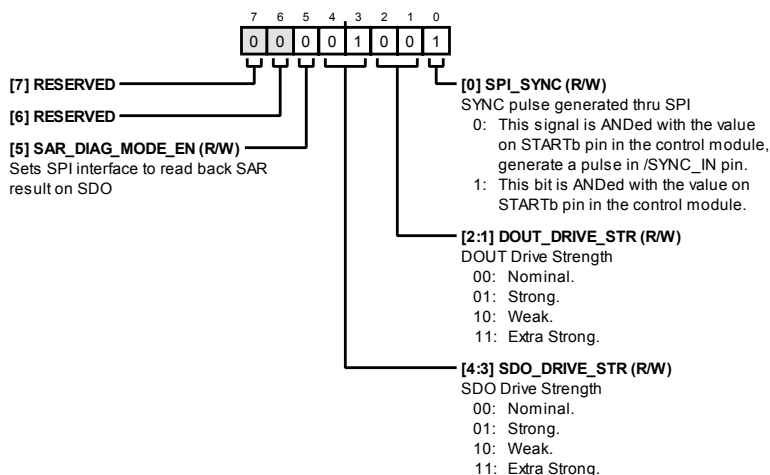


表62. GENERAL_USER_CONFIG_2的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:6]	保留		保留。	0x0	R/W
5	SAR_DIAG_MODE_EN		设置SPI接口，通过SDO回读SAR结果。	0x0	R/W
[4:3]	SDO_DRIVE_STR		SDO驱动强度。	0x1	R/W
		00	标称。		
		01	强。		
		10	弱。		
		11	极强。		
[2:1]	DOUT_DRIVE_STR		DOUTx驱动强度。	0x0	R/W
		00	标称。		
		01	强。		
		10	弱。		
		11	极强。		
0	SPI_SYNC		通过SPI产生的SYNC脉冲。 此信号与控制模块中START引脚上的值进行逻辑“和”运算，并在SYNC_IN引脚上产生一个脉冲。 此位与控制模块中START引脚上的值进行逻辑“和”运算。	0x1	R/W
		0			
		1			

通用用户配置3寄存器

地址：0x013；复位：0x80；名称：GENERAL_USER_CONFIG_3

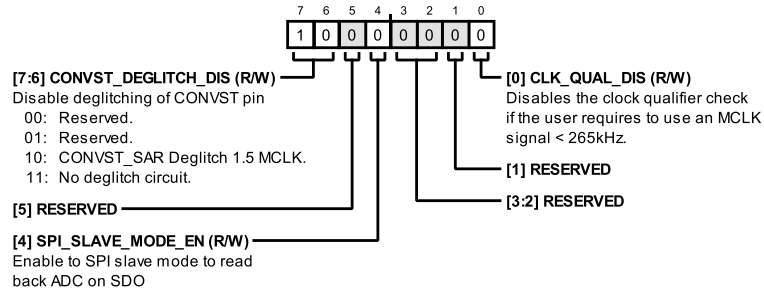


表63. GENERAL_USER_CONFIG_3的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:6]	CONVST_DEGLITCH_DIS	00 01 10 11	禁用CONVST_SAR引脚去毛刺。 保留。 保留。 CONVST_SAR去毛刺1.5 MCLK。 无去毛刺电路。	0x2	R/W
5	保留		保留。	0x0	R/W
4	SPI_SLAVE_MODE_EN		使能SPI从机模式，通过SDO回读ADC数据。	0x0	R/W
[3:2]	保留		保留。	0x0	R/W
1	保留		保留。	0x0	R/W
0	CLK_QUAL_DIS		如果用户要求使用265 kHz以下的MCLK信号，则禁用时钟限定检查。	0x0	R/W

数据输出格式寄存器

地址：0x014；复位：0x20；名称：DOUT_FORMAT

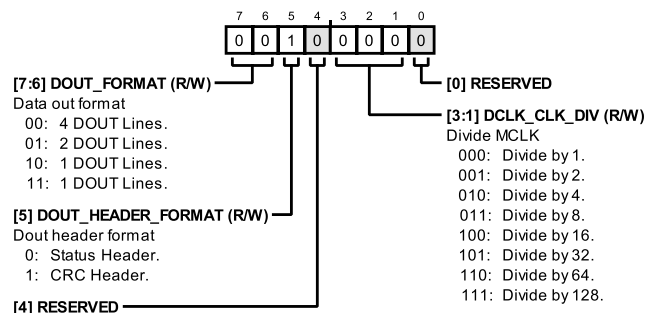


表64. DOUT_FORMAT的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:6]	DOUT_FORMAT	00 01 10 11	数据输出格式。 4 DOUT线 2 DOUT线 1 DOUT线 1 DOUT线	0x0	R/W

AD7779

位	位名称	设置	描述	复位	访问类型
5	DOUT_HEADER_FORMAT	0	DOUT报头格式 状态报头	0x1	R/W
		1	CRC报头		
4	保留		保留。	0x0	R/W
[3:1]	DCLK_CLK_DIV		MCLK分频	0x0	R/W
		000	1分频		
		001	2分频		
		010	4分频		
		011	8分频		
		100	16分频		
		101	32分频		
		110	64分频		
111	128分频				
0	保留		保留。	0x0	R/W

主ADC计和基准多路复用控制寄存器

地址: 0x015; 复位: 0x00; 名称: ADC_MUX_CONFIG

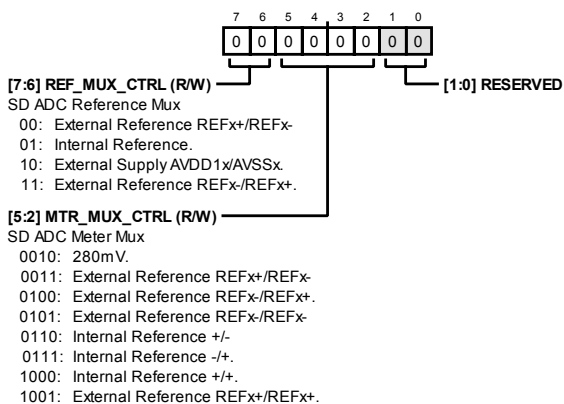


表65. ADC_MUX_CONFIG的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:6]	REF_MUX_CTRL		SD ADC基准电压源复用	0x0	R/W
		00	外部基准电压源REFx+/REFx-		
		01	内部基准电压源。		
		10	外部电源AVDD1x/AVSSx。		
		11	外部基准电压源REFx-/REFx+。		
[5:2]	MTR_MUX_CTRL		SD ADC计复用	0x0	R/W
		0010	280 mV		
		0011	外部基准电压源REFx+/REFx-		
		0100	外部基准电压源REFx-/REFx+		
		0101	外部基准电压源REFx-/REFx-		
		0110	内部基准电压源+/-		
		0111	内部基准电压源-/+		

位	位名称	设置	描述	复位	访问类型
		1000	内部基准电压源+/-		
		1001	外部基准电压源REFx+/REFx-		
[1:0]	保留		保留。	0x0	R/W

全局诊断多路复用寄存器

地址: 0x016; 复位: 0x00; 名称: GLOBAL_MUX_CONFIG

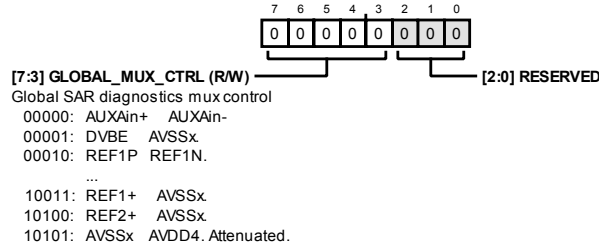


表66.GLOBAL_MUX_CONFIG的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:3]	GLOBAL_MUX_CTRL		全局SAR诊断复用控制。	0x0	R/W
		00000	AUXAIN+/AUXAIN-。		
		00001	DVBE/AVSSx。		
		00010	REF1+/REF1-。		
		10011	REF2+/REF2-。		
		10100	REF_OUT/AVSSx。		
		10101	VCM/AVSSx。		
		10110	AREG1CAP/AVSSx。		
		10111	AREG2CAP/AVSSx。		
		11000	DREGCAP/DGND。		
		11001	AVDD1A/AVSSx。		
		11010	AVDD1B/AVSSx。		
		11011	AVDD2A/AVSSx。		
		11100	AVDD2B/AVSSx。		
		11101	IOVDD/DGND。		
		11110	AVDD4/AVSSx。		
		11111	DGND/AVSS1A。		
		10000	DGND/AVSS1B。		
		10001	DGND/AVSSx。		
		10010	AVDD4/AVSSx。		
		10011	REF1+/AVSSx。		
		10100	REF2+/AVSSx。		
		10101	AVDD4/AVSSx。 已衰减。		
[2:0]	保留		保留。	0x0	R/W

AD7779

GPIO配置寄存器

地址：0x017；复位：0x00；名称：GPIO_CONFIG

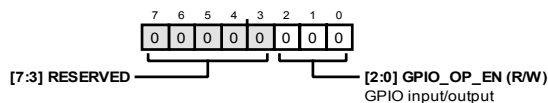


表67. GPIO_CONFIG的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:3]	保留		保留。	0x0	R/W
[2:0]	GPIO_OP_EN		GPIO输入/输出	0x0	R/W

GPIO数据寄存器

地址：0x018；复位：0x00；名称：GPIO_DATA

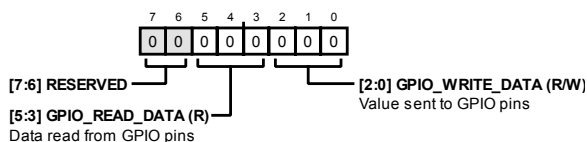


表68. GPIO_DATA的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:6]	保留		保留。	0x0	R/W
[5:3]	GPIO_READ_DATA		从GPIO引脚读取的数据	0x0	R
[2:0]	GPIO_WRITE_DATA		送至GPIO引脚的值	0x0	R/W

缓冲器配置1寄存器

地址：0x019；复位：0x38；名称：BUFFER_CONFIG_1

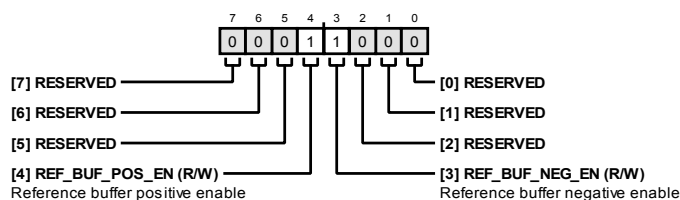


表69. BUFFER_CONFIG_1的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:5]	保留		保留	0x0	R/W
4	REF_BUF_POS_EN		基准电压源缓冲器正使能	0x1	R/W
3	REF_BUF_NEG_EN		基准电压源缓冲器负使能	0x1	R/W
[2:0]	保留		保留	0x0	R/W

缓冲器配置2寄存器

地址：0x01A；复位：0xC0；名称：BUFFER_CONFIG_2

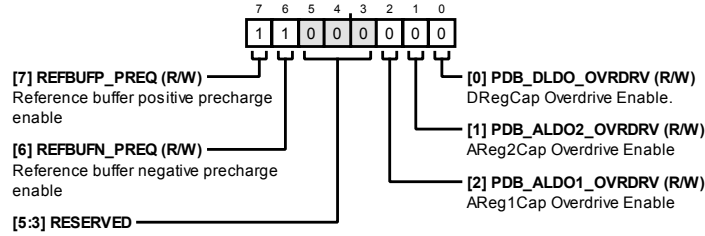


表70.BUFFER_CONFIG_2的位功能描述

位	位名称	设置	描述	复位	访问类型
7	REFBUFP_PREQ		基准电压源缓冲器正预充电使能	0x1	R/W
6	REFBUFN_PREQ		基准电压源缓冲器负预充电使能	0x1	R/W
[5:3]	保留		保留。	0x0	R/W
2	PDB_ALDO1_OVRDRV		AREG1CAP过驱使能	0x0	R/W
1	PDB_ALDO2_OVRDRV		AREG2CAP过驱使能	0x0	R/W
0	PDB_DLDO_OVRDRV		DREGCAP过驱使能	0x0	R/W

通道0失调高位字节寄存器

地址：0x01C；复位：0x00；名称：CH0_OFFSET_UPPER_BYTE

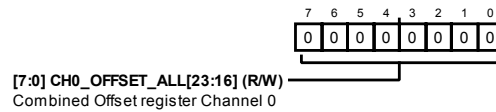


表71.CH0_OFFSET_UPPER_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH0_OFFSET_ALL[23:16]		合并失调寄存器通道0	0x0	R/W

通道0失调中间字节寄存器

地址：0x01D；复位：0x00；名称：CH0_OFFSET_MID_BYTE

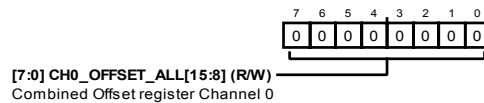


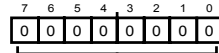
表72.CH0_OFFSET_MID_BYTE的位功能描述

描述	位名称	设置	描述	复位	访问类型
[7:0]	CH0_OFFSET_ALL[15:8]		合并失调寄存器通道0	0x0	R/W

AD7779

通道0失调低位字节寄存器

地址：0x01E；复位：0x00；名称：CH0_OFFSET_LOWER_BYTE



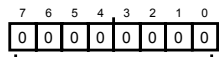
[7:0] CH0_OFFSET_ALL[7:0] (R/W)
Combined Offset register Channel 0

表73. CH0_OFFSET_LOWER_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH0_OFFSET_ALL[7:0]		合并失调寄存器通道0	0x0	R/W

通道0增益高位字节寄存器

地址：0x01F；复位：0x00；名称：CH0_GAIN_UPPER_BYTE



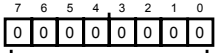
[7:0] CH0_GAIN_ALL[23:16] (R/W)
Combined gain register Channel 0

表74. CH0_GAIN_UPPER_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH0_GAIN_ALL[23:16]		合并增益寄存器通道0	0x0	R/W

通道0增益中间字节寄存器

地址：0x020；复位：0x00；名称：CH0_GAIN_MID_BYTE



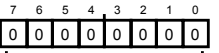
[7:0] CH0_GAIN_ALL[15:8] (R/W)
Combined gain register Channel 0

表75. CH0_GAIN_MID_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH0_GAIN_ALL[15:8]		合并增益寄存器通道0	0x0	R/W

通道0增益低位字节寄存器

地址：0x021；复位：0x00；名称：CH0_GAIN_LOWER_BYTE



[7:0] CH0_GAIN_ALL[7:0] (R/W)
Combined gain register Channel 0

表76. CH0_GAIN_LOWER_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH0_GAIN_ALL[7:0]		合并增益寄存器通道0	0x0	R/W

通道1失调高位字节寄存器

地址：0x022；复位：0x00；名称：CH1_OFFSET_UPPER_BYTE

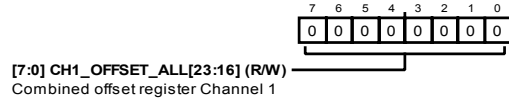


表77. CH1_OFFSET_UPPER_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH1_OFFSET_ALL[23:16]		合并失调寄存器通道1	0x0	R/W

通道1失调中间字节寄存器

地址：0x023；复位：0x00；名称：CH1_OFFSET_MID_BYTE

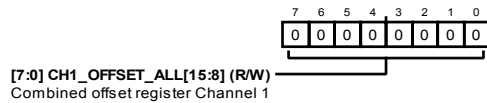


表78. CH1_OFFSET_MID_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH1_OFFSET_ALL[15:8]		合并失调寄存器通道1	0x0	R/W

通道1失调低位字节寄存器

地址：0x024；复位：0x00；名称：CH1_OFFSET_LOWER_BYTE

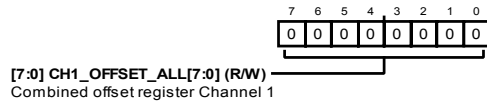


表79. CH1_OFFSET_LOWER_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH1_OFFSET_ALL[7:0]		合并失调寄存器通道1	0x0	R/W

通道1增益高位字节寄存器

地址：0x025；复位：0x00；名称：CH1_GAIN_UPPER_BYTE

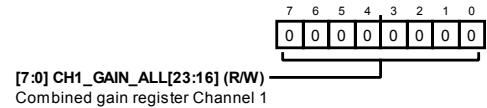


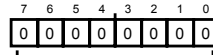
表80. CH1_GAIN_UPPER_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH1_GAIN_ALL[23:16]		合并失调寄存器通道1	0x0	R/W

AD7779

通道1增益中间字节寄存器

地址：0x026；复位：0x00；名称：CH1_GAIN_MID_BYTE



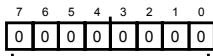
[7:0] CH1_GAIN_ALL[15:8] (R/W)
Combined gain register Channel 1

表81. CH1_GAIN_MID_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH1_GAIN_ALL[15:8]		合并增益寄存器通道1	0x0	R/W

通道1增益低位字节寄存器

地址：0x027；复位：0x00；名称：CH1_GAIN_LOWER_BYTE



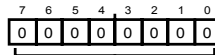
[7:0] CH1_GAIN_ALL[7:0] (R/W)
Combined gain register Channel 1

表82. CH1_GAIN_LOWER_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH1_GAIN_ALL[7:0]		合并增益寄存器通道1	0x0	R/W

通道2失调高位字节寄存器

地址：0x028；复位：0x00；名称：CH2_OFFSET_UPPER_BYTE



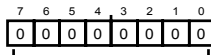
[7:0] CH2_OFFSET_ALL[23:16] (R/W)
Combined offset register Channel 2

表83. CH2_OFFSET_UPPER_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH2_OFFSET_ALL[23:16]		合并失调寄存器通道2	0x0	R/W

通道2失调中间字节寄存器

地址：0x029；复位：0x00；名称：CH2_OFFSET_MID_BYTE



[7:0] CH2_OFFSET_ALL[15:8] (R/W)
Combined offset register Channel 2

表84. CH2_OFFSET_MID_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH2_OFFSET_ALL[15:8]		合并失调寄存器通道2	0x0	R/W

通道2失调低位字节寄存器

地址：0x02A；复位：0x00；名称：CH2_OFFSET_LOWER_BYTE

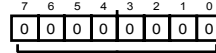
[7:0] CH2_OFFSET_ALL[7:0] (R/W)
Combined offset register Channel 2

表85. CH2_OFFSET_LOWER_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH2_OFFSET_ALL[7:0]		合并失调寄存器通道2	0x0	R/W

通道2增益高位字节寄存器

地址：0x02B；复位：0x00；名称：CH2_GAIN_UPPER_BYTE

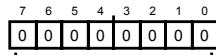
[7:0] CH2_GAIN_ALL[23:16] (R/W)
Combined gain register Channel 2

表86. CH2_GAIN_UPPER_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH2_GAIN_ALL[23:16]		合并增益寄存器通道2	0x0	R/W

通道2增益中间字节寄存器

地址：0x02C；复位：0x00；名称：CH2_GAIN_MID_BYTE

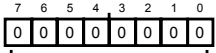
[7:0] CH2_GAIN_ALL[15:8] (R/W)
Combined gain register Channel 2

表87. CH2_GAIN_MID_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH2_GAIN_ALL[15:8]		合并增益寄存器通道2	0x0	R/W

通道2增益低位字节寄存器

地址：0x02D；复位：0x00；名称：CH2_GAIN_LOWER_BYTE

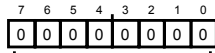
[7:0] CH2_GAIN_ALL[7:0] (R/W)
Combined gain register Channel 2

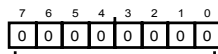
表88. CH2_GAIN_LOWER_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH2_GAIN_ALL[7:0]		合并增益寄存器通道2	0x0	R/W

AD7779

通道3失调高位字节寄存器

地址：0x02E；复位：0x00；名称：CH3_OFFSET_UPPER_BYTE



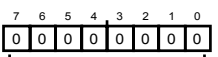
[7:0] CH3_OFFSET_ALL[23:16] (R/W)
Combined offset register Channel 3

表89. CH3_OFFSET_UPPER_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH3_OFFSET_ALL[23:16]		合并失调寄存器通道3	0x0	R/W

通道3失调中间字节寄存器

地址：0x02F；复位：0x00；名称：CH3_OFFSET_MID_BYTE



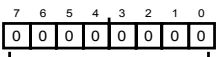
[7:0] CH3_OFFSET_ALL[15:8] (R/W)
Combined offset register Channel 3

表90. CH3_OFFSET_MID_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH3_OFFSET_ALL[15:8]		合并失调寄存器通道3	0x0	R/W

通道3失调低位字节寄存器

地址：0x030；复位：0x00；名称：CH3_OFFSET_LOWER_BYTE



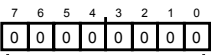
[7:0] CH3_OFFSET_ALL[7:0] (R/W)
Combined offset register Channel 3

表91. CH3_OFFSET_LOWER_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH3_OFFSET_ALL[7:0]		合并失调寄存器通道3	0x0	R/W

通道3增益高位字节寄存器

地址：0x031；复位：0x00；名称：CH3_GAIN_UPPER_BYTE



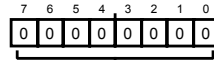
[7:0] CH3_GAIN_ALL[23:16] (R/W)
Combined gain register Channel 3

表92. CH3_GAIN_UPPER_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH3_GAIN_ALL[23:16]		合并增益寄存器通道3	0x0	R/W

通道3增益中间字节寄存器

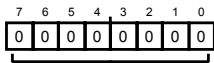
地址：0x032；复位：0x00；名称：CH3_GAIN_MID_BYTE

[7:0] CH3_GAIN_ALL[15:8] (R/W)
Combined gain register Channel 3**表93. CH3_GAIN_MID_BYTE的位功能描述**

位	位名称	设置	描述	复位	访问类型
[7:0]	CH3_GAIN_ALL[15:8]		合并增益寄存器通道3	0x0	R/W

通道3增益低位字节寄存器

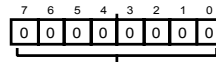
地址：0x033；复位：0x00；名称：CH3_GAIN_LOWER_BYTE

[7:0] CH3_GAIN_ALL[7:0] (R/W)
Combined gain register Channel 3**表94. CH3_GAIN_LOWER_BYTE的位功能描述**

位	位名称	设置	描述	复位	访问类型
[7:0]	CH3_GAIN_ALL[7:0]		合并增益寄存器通道3	0x0	R/W

通道4失调高位字节寄存器

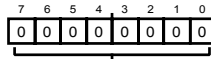
地址：0x034；复位：0x00；名称：CH4_OFFSET_UPPER_BYTE

[7:0] CH4_OFFSET_ALL[23:16] (R/W)
Combined offset register Channel 4**表95. CH4_OFFSET_UPPER_BYTE的位功能描述**

位	位名称	设置	描述	复位	访问类型
[7:0]	CH4_OFFSET_ALL[23:16]		合并失调寄存器通道4	0x0	R/W

通道4失调中间字节寄存器

地址：0x035；复位：0x00；名称：CH4_OFFSET_MID_BYTE

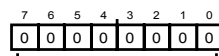
[7:0] CH4_OFFSET_ALL[15:8] (R/W)
Combined offset register Channel 4**表96. CH4_OFFSET_MID_BYTE的位功能描述**

位	位名称	设置	描述	复位	访问类型
[7:0]	CH4_OFFSET_ALL[15:8]		合并失调寄存器通道4	0x0	R/W

AD7779

通道4失调低位字节寄存器

地址：0x036；复位：0x00；名称：CH4_OFFSET_LOWER_BYTE



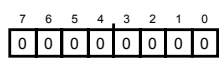
[7:0] CH4_OFFSET_ALL[7:0] (R/W)
Combined offset register Channel 4

表97. CH4_OFFSET_LOWER_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH4_OFFSET_ALL[7:0]		合并失调寄存器通道4	0x0	R/W

通道4增益高位字节寄存器

地址：0x037；复位：0x00；名称：CH4_GAIN_UPPER_BYTE



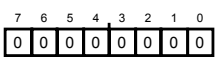
[7:0] CH4_GAIN_ALL[23:16] (R/W)
Combined gain register Channel 4

表98. CH4_GAIN_UPPER_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH4_GAIN_ALL[23:16]		合并增益寄存器通道4	0x0	R/W

通道4增益中间字节寄存器

地址：0x038；复位：0x00；名称：CH4_GAIN_MID_BYTE



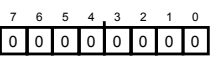
[7:0] CH4_GAIN_ALL[15:8] (R/W)
Combined gain register Channel 4

表99. CH4_GAIN_MID_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH4_GAIN_ALL[15:8]		合并增益寄存器通道4	0x0	R/W

通道4增益低位字节寄存器

地址：0x039；复位：0x00；名称：CH4_GAIN_LOWER_BYTE



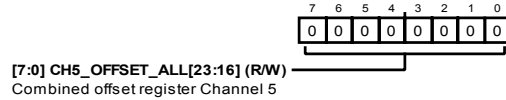
[7:0] CH4_GAIN_ALL[7:0] (R/W)
Combined gain register Channel 4

表100. CH4_GAIN_LOWER_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH4_GAIN_ALL[7:0]		合并增益寄存器通道4	0x0	R/W

通道5失调高位字节寄存器

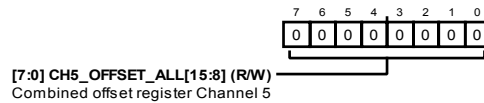
地址：0x03A；复位：0x00；名称：CH5_OFFSET_UPPER_BYTE

**表101. CH5_OFFSET_UPPER_BYTE的位功能描述**

位	位名称	设置	描述	复位	访问类型
[7:0]	CH5_OFFSET_ALL[23:16]		合并失调寄存器通道5	0x0	R/W

通道5失调中间字节寄存器

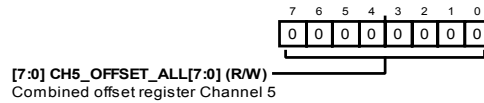
地址：0x03B；复位：0x00；名称：CH5_OFFSET_MID_BYTE

**表102. CH5_OFFSET_MID_BYTE的位功能描述**

位	位名称	设置	描述	复位	访问类型
[7:0]	CH5_OFFSET_ALL[15:8]		合并失调寄存器通道5	0x0	R/W

通道5失调低位字节寄存器

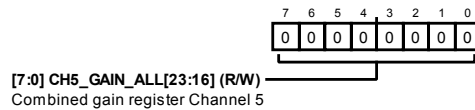
地址：0x03C；复位：0x00；名称：CH5_OFFSET_LOWER_BYTE

**表103. CH5_OFFSET_LOWER_BYTE的位功能描述**

位	位名称	设置	描述	复位	访问类型
[7:0]	CH5_OFFSET_ALL[7:0]		合并失调寄存器通道5	0x0	R/W

通道5增益高位字节寄存器

地址：0x03D；复位：0x00；名称：CH5_GAIN_UPPER_BYTE

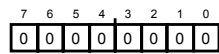
**表104. CH5_GAIN_UPPER_BYTE的位功能描述**

位	位名称	设置	描述	复位	访问类型
[7:0]	CH5_GAIN_ALL[23:16]		合并增益寄存器通道5	0x0	R/W

AD7779

通道5增益中间字节寄存器

地址：0x03E；复位：0x00；名称：CH5_GAIN_MID_BYTE



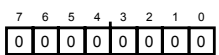
[7:0] CH5_GAIN_ALL[15:8] (R/W)
Combined gain register Channel 5

表105. CH5_GAIN_MID_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH5_GAIN_ALL[15:8]		合并增益寄存器通道5	0x0	R/W

通道5增益低位字节寄存器

地址：0x03F；复位：0x00；名称：CH5_GAIN_LOWER_BYTE



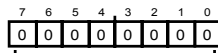
[7:0] CH5_GAIN_ALL[7:0] (R/W)
Combined gain register Channel 5

表106. CH5_GAIN_LOWER_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH5_GAIN_ALL[7:0]		合并增益寄存器通道5	0x0	R/W

通道6失调高位字节寄存器

地址：0x040；复位：0x00；名称：CH6_OFFSET_UPPER_BYTE



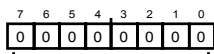
[7:0] CH6_OFFSET_ALL[23:16] (R/W)
Combined offset register Channel 6

表107. CH6_OFFSET_UPPER_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH6_OFFSET_ALL[23:16]		合并失调寄存器通道6	0x0	R/W

通道6失调中间字节寄存器

地址：0x041；复位：0x00；名称：CH6_OFFSET_MID_BYTE



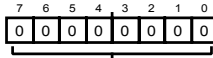
[7:0] CH6_OFFSET_ALL[15:8] (R/W)
Combined offset register Channel 6

表108. CH6_OFFSET_MID_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH6_OFFSET_ALL[15:8]		合并失调寄存器通道6	0x0	R/W

通道5增益中间字节寄存器

地址：0x042；复位：0x00；名称：CH6_OFFSET_LOWER_BYTE



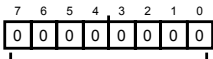
[7:0] CH6_OFFSET_ALL[7:0] (R/W)
Combined offset register Channel 6

表109. CH6_OFFSET_LOWER_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH6_OFFSET_ALL[7:0]		合并失调寄存器通道6	0x0	R/W

通道6增益高位字节寄存器

地址：0x043；复位：0x00；名称：CH6_GAIN_UPPER_BYTE



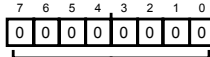
[7:0] CH6_GAIN_ALL[23:16] (R/W)
Combined gain register Channel 6

表110. CH6_GAIN_UPPER_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH6_GAIN_ALL[23:16]		合并增益寄存器通道6	0x0	R/W

通道6增益中间字节寄存器

地址：0x044；复位：0x00；名称：CH6_GAIN_MID_BYTE



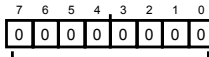
[7:0] CH6_GAIN_ALL[15:8] (R/W)
Combined gain register Channel 6

表111. CH6_GAIN_MID_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH6_GAIN_ALL[15:8]		合并增益寄存器通道6	0x0	R/W

通道6增益低位字节寄存器

地址：0x045；复位：0x00；名称：CH6_GAIN_LOWER_BYTE



[7:0] CH6_GAIN_ALL[7:0] (R/W)
Combined gain register Channel 6

表112. CH6_GAIN_LOWER_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH6_GAIN_ALL[7:0]		合并增益寄存器通道6	0x0	R/W

AD7779

通道7失调高位字节寄存器

地址：0x046；复位：0x00；名称：CH7_OFFSET_UPPER_BYTE

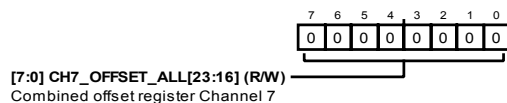


表113. CH7_OFFSET_UPPER_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH7_OFFSET_ALL[23:16]		合并失调寄存器通道7	0x0	R/W

通道7失调中间字节寄存器

地址：0x047；复位：0x00；名称：CH7_OFFSET_MID_BYTE

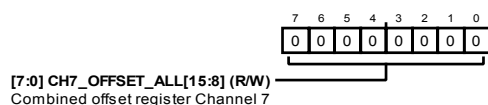


表114. CH7_OFFSET_MID_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH7_OFFSET_ALL[15:8]		合并失调寄存器通道7	0x0	R/W

通道7失调低位字节寄存器

地址：0x048；复位：0x00；名称：CH7_OFFSET_LOWER_BYTE

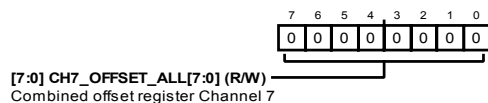


表115. CH7_OFFSET_LOWER_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH7_OFFSET_ALL[7:0]		合并失调寄存器通道7	0x0	R/W

通道7增益高位字节寄存器

地址：0x049；复位：0x00；名称：CH7_GAIN_UPPER_BYTE

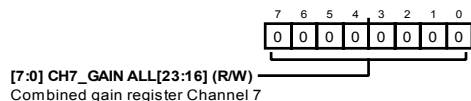


表116. CH7_GAIN_UPPER_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH7_GAIN ALL[23:16]		合并增益寄存器通道7	0x0	R/W

通道7增益中间字节寄存器

地址：0x04A；复位：0x00；名称：CH7_GAIN_MID_BYTE

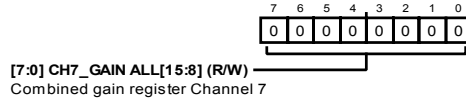


表117. CH7_GAIN_MID_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH7_GAIN ALL[15:8]		合并增益寄存器通道7	0x0	R/W

通道7增益低位字节寄存器

地址：0x04B；复位：0x00；名称：CH7_GAIN_LOWER_BYTE

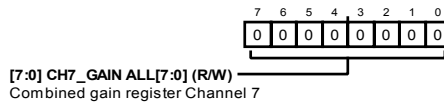


表118. CH7_GAIN_LOWER_BYTE的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	CH7_GAIN ALL[7:0]		合并增益寄存器通道7	0x0	R/W

通道0状态寄存器

地址：0x04C；复位：0x00；名称：CH0_ERR_REG

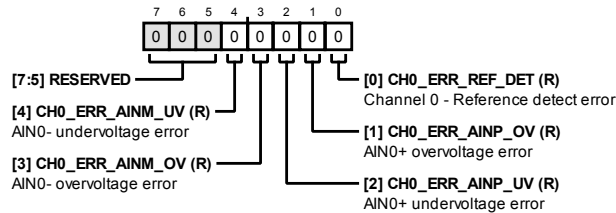


表119. CH0_ERR_REG的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:5]	保留		保留	0x0	R/W
4	CH0_ERR_AINM_UV		通道0—AIN0—欠压错误	0x0	R
3	CH0_ERR_AINM_OV		通道0—AIN0—过压错误	0x0	R
2	CH0_ERR_AINP_UV		通道0—AIN0+欠压错误	0x0	R
1	CH0_ERR_AINP_OV		通道0—AIN0+过压错误	0x0	R
0	CH0_ERR_REF_DET		通道0—基准电压源检测错误	0x0	R

通道1状态寄存器

地址：0x04D；复位：0x00；名称：CH1_ERR_REG

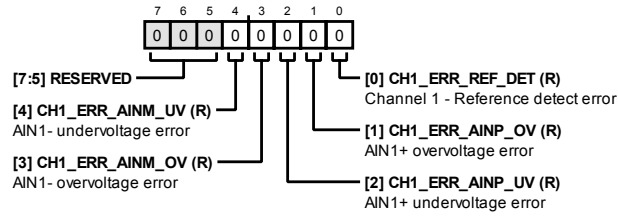


表120. CH1_ERR_REG的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:5]	保留		保留	0x0	R/W
4	CH1_ERR_AINM_UV		通道1—AIN1—欠压错误	0x0	R
3	CH1_ERR_AINM_OV		通道1—AIN1—过压错误	0x0	R
2	CH1_ERR_AINP_UV		通道1—AIN1+欠压错误	0x0	R
1	CH1_ERR_AINP_OV		通道1—AIN1+过压错误	0x0	R
0	CH1_ERR_REF_DET		通道1—基准电压源检测错误	0x0	R

通道2状态寄存器

地址：0x04E；复位：0x00；名称：CH2_ERR_REG

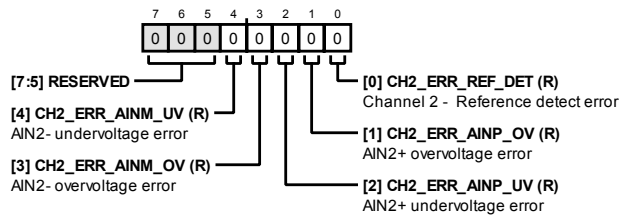


表121. CH2_ERR_REG的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:5]	保留		保留	0x0	R/W
4	CH2_ERR_AINM_UV		通道2—AIN2—欠压错误	0x0	R
3	CH2_ERR_AINM_OV		通道2—AIN2—过压错误	0x0	R
2	CH2_ERR_AINP_UV		通道2—AIN2+欠压错误	0x0	R
1	CH2_ERR_AINP_OV		通道2—AIN2+过压错误	0x0	R
0	CH2_ERR_REF_DET		通道2—基准电压源检测错误	0x0	R

通道3状态寄存器

地址：0x04F；复位：0x00；名称：CH3_ERR_REG

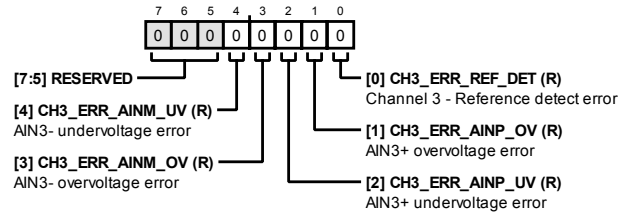


表122. CH3_ERR_REG的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:5]	保留		保留	0x0	R/W
4	CH3_ERR_AINM_UV		通道3—AIN3—欠压错误	0x0	R
3	CH3_ERR_AINM_OV		通道3—AIN3—过压错误	0x0	R
2	CH3_ERR_AINP_UV		通道3—AIN3+欠压错误	0x0	R
1	CH3_ERR_AINP_OV		通道3—AIN3+过压错误	0x0	R
0	CH3_ERR_REF_DET		通道3—基准电压源检测错误	0x0	R

通道4状态寄存器

地址：0x050；复位：0x00；名称：CH4_ERR_REG

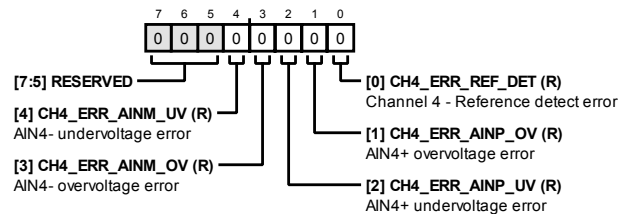


表123. CH4_ERR_REG的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:5]	RESERVED		保留	0x0	R/W
4	CH4_ERR_AINM_UV		通道4—AIN4—欠压错误	0x0	R
3	CH4_ERR_AINM_OV		通道4—AIN4—过压错误	0x0	R
2	CH4_ERR_AINP_UV		通道4—AIN4+欠压错误	0x0	R
1	CH4_ERR_AINP_OV		通道4—AIN4+过压错误	0x0	R
0	CH4_ERR_REF_DET		通道4—基准电压源检测错误	0x0	R

AD7779

通道5状态寄存器

地址：0x051；复位：0x00；名称：CH5_ERR_REG

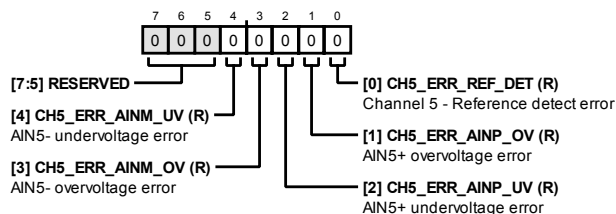


表124. CH5_ERR_REG的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:5]	保留		保留	0x0	R/W
4	CH5_ERR_AINM_UV		通道5—AIN5-欠压错误	0x0	R
3	CH5_ERR_AINM_OV		通道5—AIN5-过压错误	0x0	R
2	CH5_ERR_AINP_UV		通道5—AIN5+欠压错误	0x0	R
1	CH5_ERR_AINP_OV		通道5—AIN5+过压错误	0x0	R
0	CH5_ERR_REF_DET		通道5—基准电压源检测错误	0x0	R

通道6状态寄存器

地址：0x052；复位：0x00；名称：CH6_ERR_REG

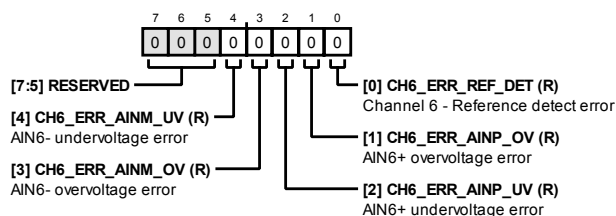


表125. CH6_ERR_REG的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:5]	保留		保留	0x0	R/W
4	CH6_ERR_AINM_UV		通道6—AIN6-欠压错误	0x0	R
3	CH6_ERR_AINM_OV		通道6—AIN6-过压错误	0x0	R
2	CH6_ERR_AINP_UV		通道6—AIN6+欠压错误	0x0	R
1	CH6_ERR_AINP_OV		通道6—AIN6+过压错误	0x0	R
0	CH6_ERR_REF_DET		通道6—基准电压源检测错误	0x0	R

通道7状态寄存器

地址：0x053；复位：0x00；名称：CH7_ERR_REG

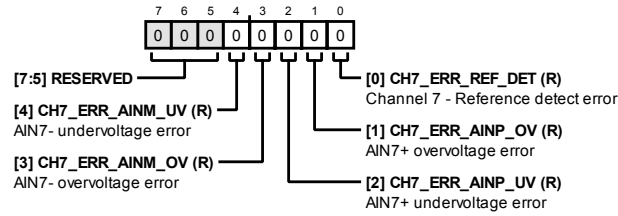


表126. CH7_ERR_REG的位功能描述

位	位名称	设置	描述	复位	访问类型
4	CH7_ERR_AINM_UV		通道7—AIN7—欠压错误	0x0	R
3	CH7_ERR_AINM_OV		通道7—AIN7—过压错误	0x0	R
2	CH7_ERR_AINP_UV		通道7—AIN7+欠压错误	0x0	R
1	CH7_ERR_AINP_OV		通道7—AIN7+过压错误	0x0	R
0	CH7_ERR_REF_DET		通道7—基准电压源检测错误	0x0	R

通道0/通道1 DSP错误寄存器

地址：0x054；复位：0x00；名称：CH0_1_SAT_ERR

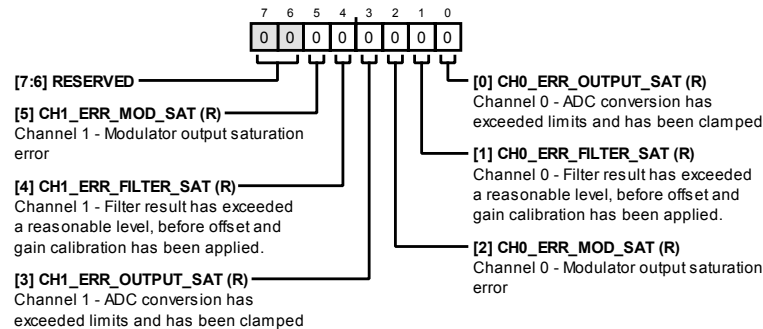


表127. CH0_1_SAT_ERR的位功能描述

位	位名称	设置	描述	复位	访问类型
5	CH1_ERR_MOD_SAT		通道1—调制器输出饱和错误	0x0	R
4	CH1_ERR_FILTER_SAT		通道1—应用失调和增益校准之前，滤波器结果超出合理水平	0x0	R
3	CH1_ERR_OUTPUT_SAT		通道1—ADC转换结果超出限值，已被箝位	0x0	R
2	CH0_ERR_MOD_SAT		通道0—调制器输出饱和错误	0x0	R
1	CH0_ERR_FILTER_SAT		通道0—应用失调和增益校准之前，滤波器结果超出合理水平	0x0	R
0	CH0_ERR_OUTPUT_SAT		通道0—ADC转换结果超出限值，已被箝位	0x0	R

AD7779

通道2/通道3 DSP错误寄存器

地址: 0x055; 复位: 0x00; 名称: CH2_3_SAT_ERR

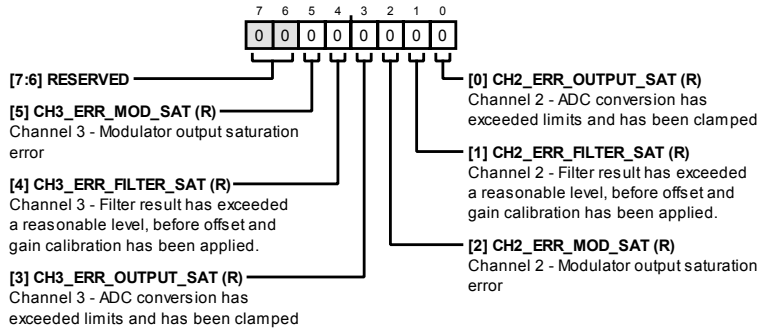


表128. CH2_3_SAT_ERR的位功能描述

位	位名称	设置	描述	复位	访问类型
5	CH3_ERR_MOD_SAT		通道3—调制器输出饱和和错误	0x0	R
4	CH3_ERR_FILTER_SAT		通道3—应用失调和增益校准之前, 滤波器结果超出合理水平	0x0	R
3	CH3_ERR_OUTPUT_SAT		通道3—ADC转换结果超出限值, 已被箝位		
2	CH2_ERR_MOD_SAT		通道2—调制器输出饱和和错误	0x0	R
1	CH2_ERR_FILTER_SAT		通道2—应用失调和增益校准之前, 滤波器结果超出合理水平	0x0	R
0	CH2_ERR_OUTPUT_SAT		通道2—ADC转换结果超出限值, 已被箝位		

通道4/通道5 DSP错误寄存器

地址: 0x056; 复位: 0x00; 名称: CH4_5_SAT_ERR

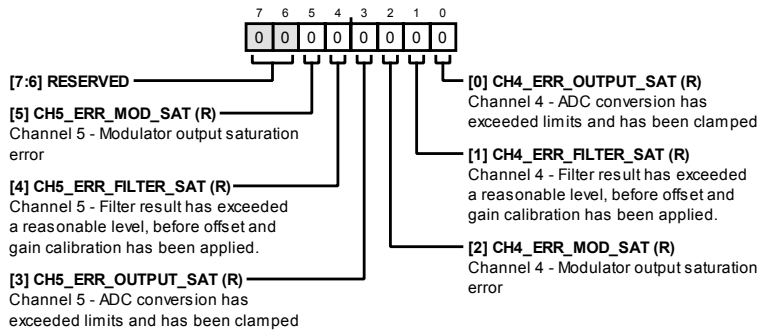


表129. CH4_5_SAT_ERR的位功能描述

位	位名称	设置	描述	复位	访问类型
5	CH5_ERR_MOD_SAT		通道5—调制器输出饱和和错误	0x0	R
4	CH5_ERR_FILTER_SAT		通道5—应用失调和增益校准之前, 滤波器结果超出合理水平	0x0	R
3	CH5_ERR_OUTPUT_SAT		通道5—ADC转换结果超出限值, 已被箝位	0x0	R
2	CH4_ERR_MOD_SAT		通道4—调制器输出饱和和错误	0x0	R
1	CH4_ERR_FILTER_SAT		通道4—应用失调和增益校准之前, 滤波器结果超出合理水平	0x0	R
0	CH4_ERR_OUTPUT_SAT		通道4—ADC转换结果超出限值, 已被箝位	0x0	R

通道6/通道7 DSP错误寄存器

地址：0x057；复位：0x00；名称：CH6_7_SAT_ERR

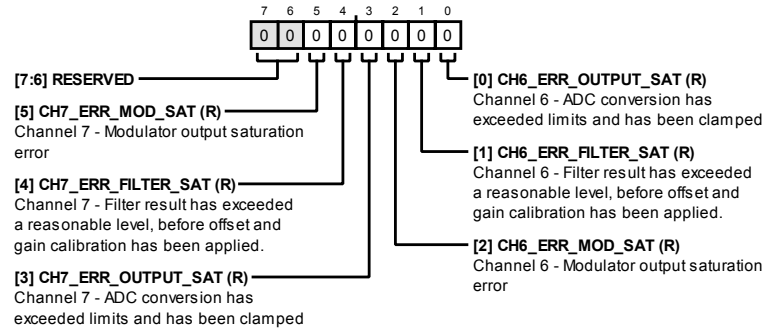


表130. CH6_7_SAT_ERR的位功能描述

位	位名称	设置	描述	复位	访问类型
5	CH7_ERR_MOD_SAT		通道7—调制器输出饱和和错误	0x0	R
4	CH7_ERR_FILTER_SAT		通道7—应用失调和增益校准之前，滤波器结果超出合理水平	0x0	R
3	CH7_ERR_OUTPUT_SAT		通道7—ADC转换结果超出限值，已被箝位	0x0	R
2	CH6_ERR_MOD_SAT		通道6—调制器输出饱和和错误	0x0	R
1	CH6_ERR_FILTER_SAT		通道6—应用失调和增益校准之前，滤波器结果超出合理水平	0x0	R
0	CH6_ERR_OUTPUT_SAT		通道6—ADC转换结果超出限值，已被箝位	0x0	R

通道0至通道7错误寄存器使能寄存器

地址：0x058；复位：0xFE；名称：CHX_ERR_REG_EN

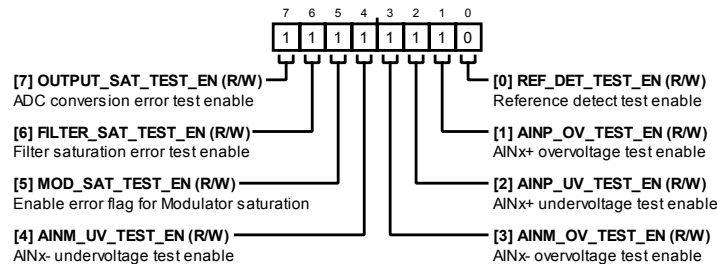


表131. CHX_ERR_REG_EN的位功能描述

位	位名称	设置	描述	复位	访问类型
7	OUTPUT_SAT_TEST_EN		ADC转换错误测试使能	0x1	R/W
6	FILTER_SAT_TEST_EN		滤波器饱和测试使能	0x1	R/W
5	MOD_SAT_TEST_EN		调制器饱和和错误标志使能	0x1	R/W
4	AINM_UV_TEST_EN		AINx-欠压测试使能	0x1	R/W
3	AINM_OV_TEST_EN		AINx-过压测试使能	0x1	R/W
2	AINP_UV_TEST_EN		AINx+欠压测试使能	0x1	R/W
1	AINP_OV_TEST_EN		AINx+过压测试使能	0x1	R/W
0	REF_DET_TEST_EN		基准电压源检测测试使能	0x0	R/W

AD7779

通用错误寄存器1

地址：0x059；复位：0x00；名称：GEN_ERR_REG_1

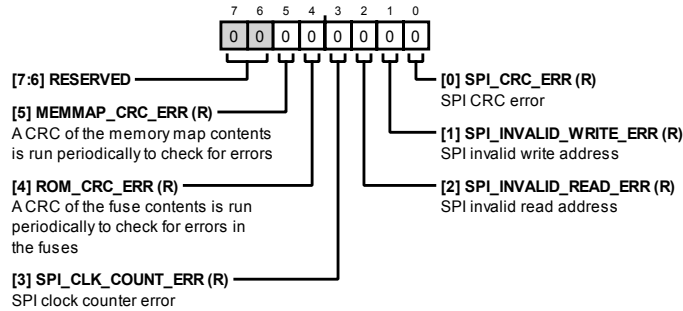


表132. GEN_ERR_REG_1的位功能描述

位	位名称	设置	描述	复位	访问类型
5	MEMMAP_CRC_ERR		定期运行存储器映射内容CRC，以检查有无错误	0x0	R
4	ROM_CRC_ERR		定期运行ROM内容CRC，以检查ROM中是否有错误	0x0	R
3	SPI_CLK_COUNT_ERR		SPI时钟计数器错误	0x0	R
2	SPI_INVALID_READ_ERR		SPI无效读取地址	0x0	R
1	SPI_INVALID_WRITE_ERR		SPI无效写入地址	0x0	R
0	SPI_CRC_ERR		SPI CRC错误	0x0	R

通用错误寄存器1使能

地址：0x05A；复位：0x3E；名称：GEN_ERR_REG_1_EN

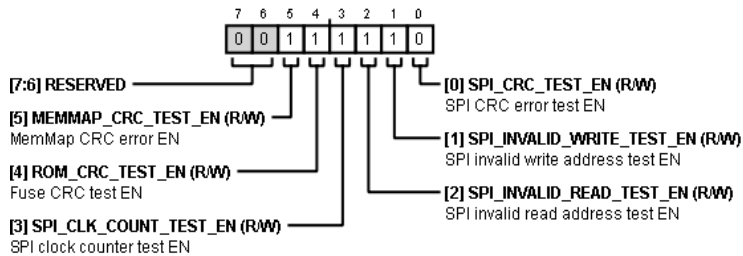


表133. GEN_ERR_REG_1_EN的位功能描述

位	位名称	设置	描述	复位	访问类型
5	MEMMAP_CRC_TEST_EN		存储器映射CRC测试使能	0x1	R/W
4	ROM_CRC_TEST_EN		ROM CRC测试使能	0x1	R/W
3	SPI_CLK_COUNT_TEST_EN		SPI时钟计数器测试使能	0x1	R/W
2	SPI_INVALID_READ_TEST_EN		SPI无效读取地址测试使能	0x1	R/W
1	SPI_INVALID_WRITE_TEST_EN		SSPI无效写入地址测试使能	0x1	R/W
0	SPI_CRC_TEST_EN		SPI CRC错误测试使能	0x0	R/W

通用错误寄存器2

地址：0x05B；复位：0x00；名称：GEN_ERR_REG_2

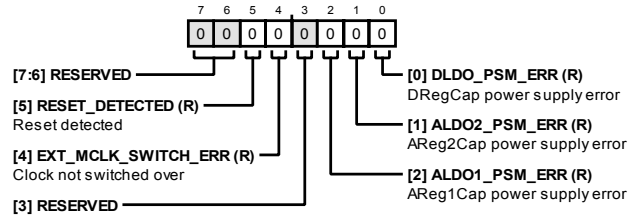


表134. GEN_ERR_REG_2的位功能描述

位	位名称	设置	描述	复位	访问类型
5	RESET_DETECTED		检测到复位	0x0	R
4	EXT_MCLK_SWITCH_ERR		时钟未切换	0x0	R
2	ALDO1_PSM_ERR		AREG1CAP电源错误	0x0	R
1	ALDO2_PSM_ERR		AREG2CAP电源错误	0x0	R
0	DLDO_PSM_ERR		DREGCAP电源错误	0x0	R

通用错误寄存器2使能

地址：0x05C；复位：0x3C；名称：GEN_ERR_REG_2_EN

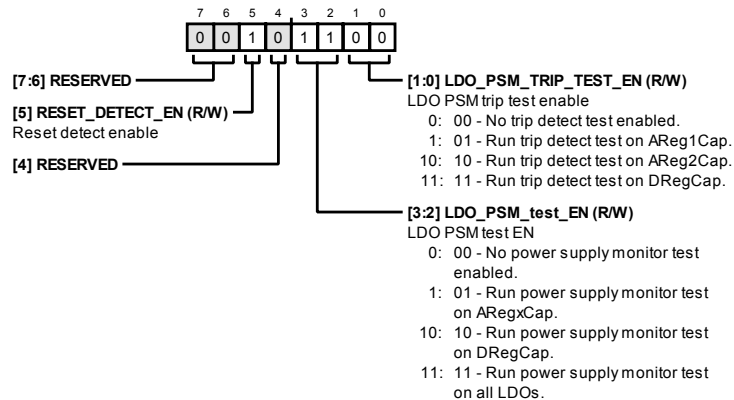


表135. GEN_ERR_REG_2_EN的位功能描述

位	位名称	设置	描述	复位	访问类型
5	RESET_DETECT_EN		复位检测使能	0x1	R/W
4	RESERVED		保留	0x1	R/W
[3:2]	LDO_PSM_TEST_EN		LDO PSM测试使能 0 00—未使能电源监控器测试。 1 01—在AREGxCAP上运行电源监控器测试 10 10—在DREGCAP上运行电源监控器测试 11 11—在所有LDO上运行电源监控器测试	0x3	R/W
[1:0]	LDO_PSM_TRIP_TEST_EN		LDO PSM跳变测试使能 0 00—未使能跳变检测测试 1 01—在AREG1CAP上运行跳变检测测试 10 10—在AREG2CAP上运行跳变检测测试 11 11—在DREGCAP上运行跳变检测测试	0x0	R/W

AD7779

错误状态寄存器1

地址: 0x05D; 复位: 0x00; 名称: STATUS_REG_1

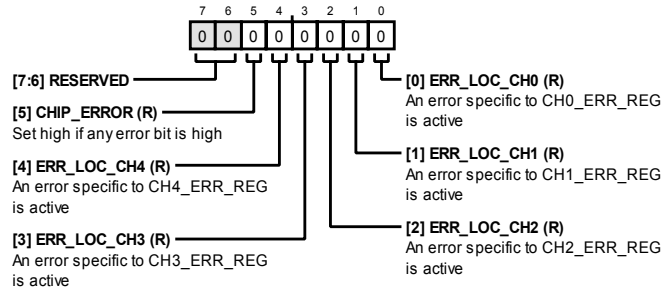


表136. STATUS_REG_1的位功能描述

位	位名称	设置	描述	复位	访问类型
5	CHIP_ERROR		若有任何错误位为高电平, 则将此位设置为高电平	0x0	R
4	ERR_LOC_CH4		CH4_ERR_REG特定的错误激活	0x0	R
3	ERR_LOC_CH3		CH3_ERR_REG特定的错误激活	0x0	R
2	ERR_LOC_CH2		CH2_ERR_REG特定的错误激活	0x0	R
1	ERR_LOC_CH1		CH1_ERR_REG特定的错误激活	0x0	R
0	ERR_LOC_CH0		CH0_ERR_REG特定的错误激活	0x0	R

错误状态寄存器2

地址: 0x05E; 复位: 0x00; 名称: STATUS_REG_2

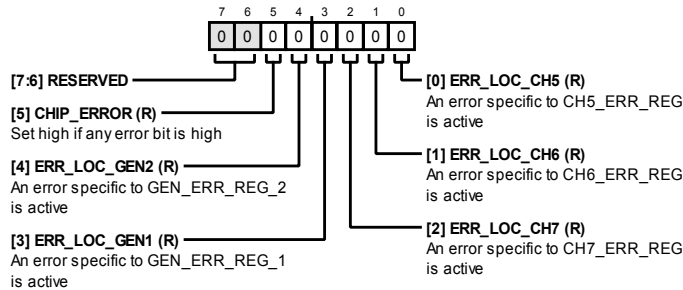


表137. STATUS_REG_2的位功能描述

位	位名称	设置	描述	复位	访问类型
5	CHIP_ERROR		若有任何错误位为高电平, 则将此位设置为高电平	0x0	R
4	ERR_LOC_GEN2		GEN_ERR_REG_2特定的错误激活	0x0	R
3	ERR_LOC_GEN1		GEN_ERR_REG_1特定的错误激活	0x0	R
2	ERR_LOC_CH7		CH7_ERR_REG特定的错误激活	0x0	R
1	ERR_LOC_CH6		CH6_ERR_REG特定的错误激活	0x0	R
0	ERR_LOC_CH5		CH5_ERR_REG特定的错误激活	0x0	R

错误状态寄存器3

地址：0x05F；复位：0x00；名称：STATUS_REG_3

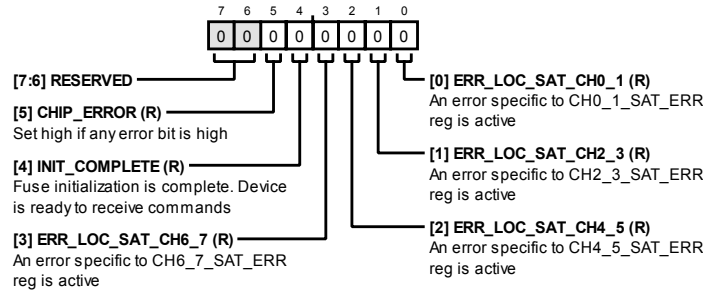


表138. STATUS_REG_3的位功能描述

位	位名称	设置	描述	复位	访问类型
5	CHIP_ERROR		若有任何错误位为高电平，则将此位设置为高电平。	0x0	R
4	INIT_COMPLETE		ROM初始化完毕。器件已准备好接收命令。	0x0	R
3	ERR_LOC_SAT_CH6_7		CH6_7_SAT_ERR寄存器特定的错误激活。	0x0	R
2	ERR_LOC_SAT_CH4_5		CH4_5_SAT_ERR寄存器特定的错误激活。	0x0	R
1	ERR_LOC_SAT_CH2_3		CH2_3_SAT_ERR寄存器特定的错误激活。	0x0	R
0	ERR_LOC_SAT_CH0_1		CH0_1_SAT_ERR寄存器特定的错误激活。	0x0	R

抽取率(N) MSB寄存器

地址：0x060；复位：0x00；名称：SRC_N_MSB

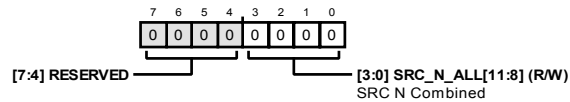


表139. SRC_N_MSB的位功能描述

位	位名称	设置	描述	复位	访问类型
[3:0]	SRC_N_ALL[11:8]		SRC N 组合	0x0	R/W

抽取率(N) LSB寄存器

地址：0x061；复位：0x80；名称：SRC_N_LSB

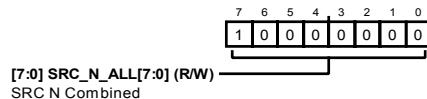


表140. SRC_N_LSB的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	SRC_N_ALL[7:0]		SRC N 组合	0x0	R/W

AD7779

抽取率(IF) MSB寄存器

地址: 0x062; 复位: 0x00; 名称: SRC_IF_MSB

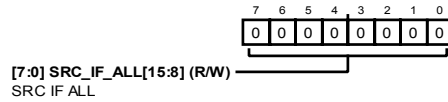


表141. SRC_IF_MSB的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	SRC_IF_ALL[15:8]		SRC IF全部	0x0	R/W

抽取率(IF) LSB寄存器

地址: 0x063; 复位: 0x00; 名称: SRC_IF_LSB

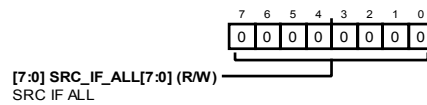


表142. SRC_IF_LSB的位功能描述

位	位名称	设置	描述	复位	访问类型
[7:0]	SRC_IF_ALL[7:0]		SRC IF全部	0x0	R/W

SRC加载源和加载更新寄存器

地址: 0x064; 复位: 0x00; 名称: SRC_UPDATE

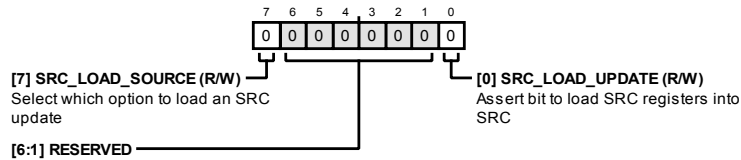
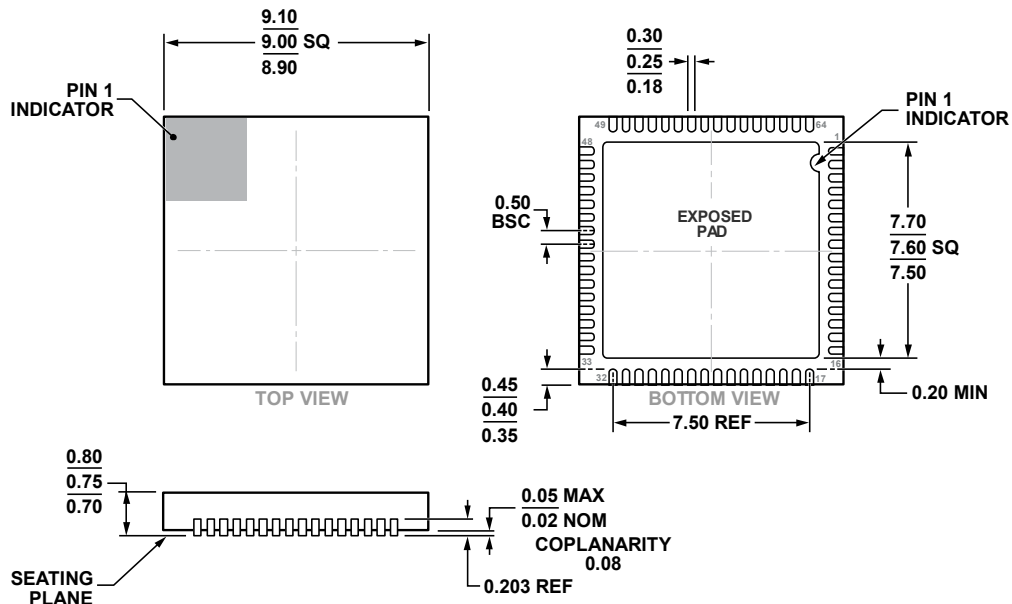


表143. SRC_UPDATE的位功能描述

位	位名称	设置	描述	复位	访问类型
7	SRC_LOAD_SOURCE		选择SRC更新加载选项	0x0	R/W
0	SRC_LOAD_UPDATE		置位该位可将SRC寄存器加载至SRC	0x0	R/W

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-WMMD

图120.64引脚引线框芯片级封装[LFCSP]
 9 mm × 9 mm本体、0.75 mm封装高度
 (CP-64-15)
 图示尺寸单位: mm

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD7779ACPZ	-40°C至+125°C	64引脚引线框芯片级封装[LFCSP]	CP-64-15
AD7779ACPZ-RL	-40°C至+125°C	64引脚引线框芯片级封装[LFCSP]	CP-64-15

¹ Z = 符合RoHS标准的器件。