

产品特性

引脚可编程滤波器响应
 更新速率: 10 Hz或16.7 Hz
 均方根(RMS)噪声: 65 nV
 分辨率: 17.5位(峰峰值)
 引脚控制的关断和复位
 状态函数
 仪表放大器(增益=128)
 内部时钟振荡器
 内部低端功率开关
 电流: 380 μA(典型值)
 50 Hz/60 Hz同时抑制
 电源: 2.7 V至5.25 V
 温度范围: -40°C至+85°C
 独立数字接口电源
 14引脚窄体SOIC封装

接口

两线式串行接口
 SPI®兼容
 SCLK上为施密特触发器

概述

AD70/015是一款适合电子秤等高精度桥式传感器应用的完整模拟前端，内置一个24位Σ-Δ型ADC。片内仪表放大器具有128的固定增益，因此可直接输入来自桥式传感器等的小信号。该器件具有一个差分输入。

每次发生数据读取操作时，8个状态位便会附加到24位转换结果上。这些状态位含有一个码序列，可用来确认串行传输的有效性。

该器件具有两个滤波器响应选项。16.7 Hz更新速率对应的滤波器响应提供出色的动态性能，建立时间为120 ms。10 Hz更新速率对应的滤波器响应提供优于-45 dB的阻带衰减，有助于抑制称重传感器的低频机械振动。这两个速率下均可实现50 Hz/60 Hz同时抑制。该器件使用内部时钟。

AD70/015采用2.7 V至5.25 V电源供电，典型功耗为380 μA，采用14引脚窄体SOIC封装。

功能框图

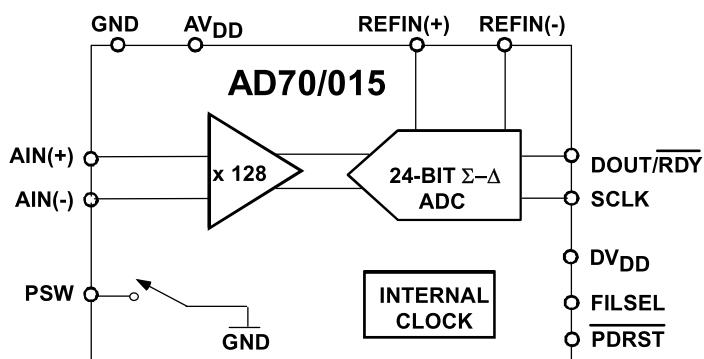


图1.

Rev.Sp0

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
 Tel: 781.329.4700 www.analog.com
 Fax: 781.461.3113

©2008 Analog Devices, Inc. All rights reserved.

目录

产品特性.....	1	ADC电路信息.....	9
接口.....	1	概述	9
概述.....	1	数字接口.....	9
功能框图.....	1	电路描述.....	11
修订历史.....	2	模拟输入通道.....	11
技术规格.....	3	双极性配置	11
时序特性.....	5	数据输出编码.....	11
时序图	5	基准电压源	11
绝对最大额定值.....	6	关断/复位(\overline{pdrst})	11
热阻	6	接地和布局布线.....	12
ESD警告	6	外形尺寸	13
引脚配置和功能描述.....	7	订购指南.....	13
典型性能参数	8		

修订历史

5/13—修订版Sp0

技术规格

除非另有说明, $AV_{DD} = 2.7\text{ V}$ 至 5.25 V , $V_{REF} = AV_{DD}$, $DV_{DD} = 2.7\text{ V}$ 至 5.25 V , $GND = 0\text{ V}$, 所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。

表1.

参数	AD70/015 ¹	单位	测试条件/注释
ADC通道			
输出数据速率(f_{ADC})	10 16.7	Hz, 标称值 Hz, 标称值	$FILSEL = 1$, 建立时间 = $3/f_{ADC}$ $FILSEL = 0$, 建立时间 = $2/f_{ADC}$
无失码 ²	24	位, 最小值	
峰峰值分辨率	17.5	位, 标称峰峰值	$A_{IN} = 0\text{ V}$, $V_{REF} = 5\text{ V}$
均方根噪声	65	nV, 典型值	$A_{IN} = 0\text{ V}$, $V_{REF} = 5\text{ V}$
积分非线性	± 5	FSR的ppm, 典型值	
失调误差	± 1	μV , 典型值	$FILSEL = 0$
	± 4	μV , 典型值	$FILSEL = 1$
失调误差温漂	± 10	$\text{nV}/^{\circ}\text{C}$, 典型值	
满量程误差	± 100	μV , 典型值	$V_{REF} = 5\text{ V}$ 。由用户系统校准消除
增益温漂	± 3	$\text{ppm}/^{\circ}\text{C}$, 典型值	
电源抑制	100	dB, 典型值	$A_{IN} = 7.81\text{ mV}$
模拟输入			
差分输入电压范围	$\pm V_{REF}/128$	V, 标称值	$V_{REF} = \text{REFIN}(+) - \text{REFIN}(-)$
绝对AIN电压限值 ²	$GND + 450\text{ mV}$ $AV_{DD} - 1.1$	V, 最小值 V, 最大值	
共模电压 V_{CM}	0.5	V, 最小值	$FILSEL = 1$ 且 $V_{CM} = 0.5\text{ V}$ 时, AIN最大值以10 mV为限。 $V_{CM} = (AIN(+)) + AIN(-))/2$ 。
模拟输入电流			
平均输入电流 ²	± 250	pA, 最大值	
平均输入电流温漂	± 2	$\text{pA}/^{\circ}\text{C}$, 典型值	
常模抑制 ²			
50 Hz、60 Hz时	65	dB, 最小值	75 dB典型值, $50 \pm 1\text{ Hz}$, $60 \pm 1\text{ Hz}$, $f_{ADC} = 16.7\text{ Hz}$
50 Hz、60 Hz时	75	dB, 最小值	90 dB典型值, $50 \pm 1\text{ Hz}$, $60 \pm 1\text{ Hz}$, $f_{ADC} = 10\text{ Hz}$
共模抑制			
在直流条件下	100	dB, 典型值	$A_{IN} = 7.81\text{ mV}$
50 Hz、60 Hz时	100	dB, 典型值	$50 \pm 1\text{ Hz}$, $60 \pm 1\text{ Hz}$
基准电压源			
外部REFIN电压	5	V, 标称值	$\text{REFIN} = \text{REFIN}(+) - \text{REFIN}(-)$
基准电压范围 ²	0.5 AV_{DD}	V, 最小值 V, 最大值	
绝对REFIN电压限值 ²	$GND - 30\text{ mV}$ $AV_{DD} + 30\text{ mV}$	V, 最小值 V, 最大值	
平均基准输入电流	400	nA/V, 典型值	
平均基准输入电流漂移	± 0.03	$\text{nA}/V/^{\circ}\text{C}$, 典型值	
常模抑制	同模拟输入		
共模抑制	100	dB, 典型值	
低端功率开关			
R_{ON}	7 9	Ω , 最大值 Ω , 最大值	$AV_{DD} = 5\text{ V}$ $AV_{DD} = 3\text{ V}$
容许电流 ²	30	mA, 最大值	连续电流
内部时钟			
频率 ²	$64 \pm 3\%$	kHz, 最小值/最大值	
占空比	50:50	%, 典型值	

AD70/015

参数	AD70/015 ¹	单位	测试条件/注释
逻辑输入 FILSEL, \overline{PDRST} ² 输入低电压 V_{INL} 输入高电压 V_{INH} SCLK(施密特触发输入) ² $V_T(+)$ $V_T(-)$ $V_T(+)-V_T(-)$ $V_T(+)$ $V_T(-)$ $V_T(+)-V_T(-)$ 输入电流 输入电容	0.8 0.4 2.0 1.4/2 0.8/1.8 0.1/0.17 0.9/2 0.4/1.35 0.06/0.13 ± 10 10	V, 最大值 V, 最大值 V, 最小值 V, 最小值/最大值 V, 最小值/最大值 V, 最小值/最大值 V, 最小值/最大值 V, 最小值/最大值 V, 最小值/最大值 μA, 最大值 pF, 典型值	$DV_{DD} = 5\text{ V}$ $DV_{DD} = 3\text{ V}$ $DV_{DD} = 3\text{ V}$ 或 5 V $DV_{DD} = 5\text{ V}$ $DV_{DD} = 5\text{ V}$ $DV_{DD} = 5\text{ V}$ $DV_{DD} = 3\text{ V}$ $DV_{DD} = 3\text{ V}$ $DV_{DD} = 3\text{ V}$ $V_{IN} = DV_{DD}$ 或GND 所有数字输入
逻辑输出 输出高电压 V_{OH} ² 输出低电压 V_{OL} ² 浮空态漏电流 浮空态输出电容 数据输出编码	$DV_{DD} - 0.6$ 4 0.4 0.4 ± 10 10 偏移二进制	V, 最小值 V, 最小值 V, 最大值 V, 最大值 μA, 最大值 pF, 典型值	$DV_{DD} = 3\text{ V}$, $I_{SOURCE} = 100\text{ }\mu\text{A}$ $DV_{DD} = 5\text{ V}$, $I_{SOURCE} = 200\text{ }\mu\text{A}$ $DV_{DD} = 3\text{ V}$, $I_{SINK} = 100\text{ }\mu\text{A}$ $DV_{DD} = 5\text{ V}$, $I_{SINK} = 1.6\text{ mA}$
电源要求 ³ 电源电压 $AV_{DD} - GND$ $DV_{DD} - GND$ 电源电流 I_{DD} 电流 I_{DD} (关断/复位模式)	2.7/5.25 2.7/5.25 500 10	V, 最小值/最大值 V, 最小值/最大值 μA, 最大值 μA, 最大值	380 μA典型值($AV_{DD} = 3\text{ V}$), 440 μA典型值($AV_{DD} = 5\text{ V}$)

¹ 温度范围为 -40°C 至 $+85^{\circ}\text{C}$ 。

² 技术规格未经生产测试，但受产品初始发布时的特性数据支持。

³ 数字输入等于 DV_{DD} 或GND。

时序特性

除非另有说明, $A_{V_{DD}} = 2.7\text{ V}$ 至 5.25 V , $D_{V_{DD}} = 2.7\text{ V}$ 至 5.25 V , $GND = 0\text{ V}$, 输入逻辑 $0 = 0\text{ V}$, 输入逻辑 $1 = D_{V_{DD}}$ 。

表2.

参数 ^{1,2}	在 T_{MIN} 、 T_{MAX} 时的限值	单位	条件/注释
t_1	100	ns(最小值)	SCLK高电平脉宽
t_2	100	ns(最小值)	SCLK低电平脉宽
t_3^3	0	ns(最小值)	SCLK有效沿到数据有效延迟 ⁴
	60	ns(最大值)	$D_{V_{DD}} = 4.75\text{ V}$ 至 5.25 V
	80	ns(最大值)	$D_{V_{DD}} = 2.7\text{ V}$ 至 3.6 V
t_4	10	ns(最小值)	SCLK无效沿到DOUT/RDY高电平

¹ 样片在初次发布期间均经过测试, 以确保符合标准要求。所有输入信号均指定 $t_r = t_f = 5\text{ ns}$ ($D_{V_{DD}}$ 的10%到90%), 并从1.6V电平起开始计时。

² 参见图3。

³ 这些数值是采用图2所示负载电路的测量结果, 定义为输出跨越 V_{OL} 或 V_{OH} 限值所需的时间。

⁴ SCLK有效沿为SCLK的下降沿。

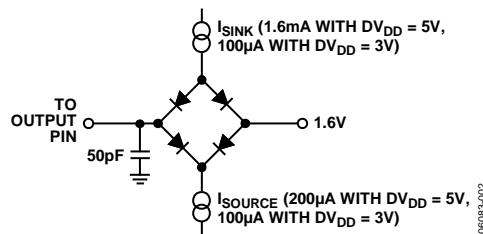


图2. 用于测定时序的负载电路

时序图

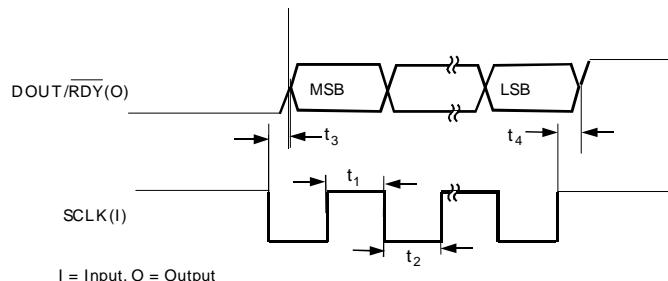


图3. 读取周期时序图

绝对最大额定值

除非另有说明, $T_A = 25^\circ\text{C}$ 。

表3.

参数	额定值
AV_{DD} 至GND	-0.3 V至+7 V
DV_{DD} 至GND	-0.3 V至+7 V
模拟输入电压至GND	-0.3 V至 $\text{AV}_{\text{DD}} + 0.3$ V
基准输入电压至GND	-0.3 V至 $\text{AV}_{\text{DD}} + 0.3$ V
数字输入电压至GND	-0.3 V至 $\text{DV}_{\text{DD}} + 0.3$ V
数字输出电压至GND	-0.3 V至 $\text{DV}_{\text{DD}} + 0.3$ V
AIN/数字输入电流	10 mA
工作温度范围	-40°C至+85°C
存储温度范围	-65°C至+150°C
最高结温	150°C
引脚温度, 焊接 温度	260°C

注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值, 并不能以这些条件或者在任何其他超出本技术规范操作章节中所示规格的条件下, 推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 针对最差条件, 即器件焊接在电路板上实现表贴封装。

表4.

封装类型	θ_{JA}	θ_{JC}	单位
SOIC	104.5	42.9	°C/W

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量ESD时, 器件可能会损坏。因此, 应当采取适当的ESD防范措施, 以避免器件性能下降或功能丧失。

引脚配置和功能描述

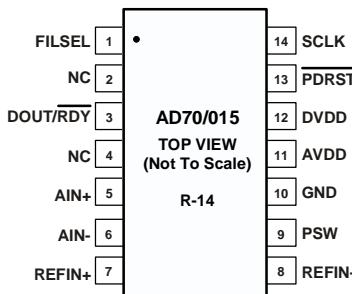


图4. 引脚配置

表5. 引脚功能描述

引脚编号	引脚名称	描述
1	FILSEL	滤波器选择引脚。 FILSEL为低电平时，选择快速建立滤波器。更新速率设置为16.7 Hz，滤波器建立时间为120 ms。 FILSEL为高电平时，选择高抑制性能滤波器。更新速率设置为10 Hz，滤波器建立时间为300 ms。 使用此滤波器时，阻带(高于 f_{ADC})衰减优于-45 dB。
2, 4	NC	不连接。这些引脚可保持浮空。
3	DOUT/RDY	串行数据输出/数据就绪输出引脚。DOUT/RDY具有双重作用。DOUT/RDY可以用作数据就绪引脚，变为低电平时表示转换已完成。此外，它也可以用作串行数据输出引脚，以访问ADC的数据寄存器。每次读取的数据都会伴随8个状态位。更多信息参见图12。 DOUT/RDY下降沿可以用作处理器的中断，表示新数据可用。转换完成后，如果数据未被读取，该引脚将在下一次更新之前变为高电平。
5	AIN(+)	模拟输入引脚。AIN(+)是差分模拟输入对AIN(+)/AIN(-)的正端。
6	AIN(-)	模拟输入引脚。AIN(-)是差分模拟输入对AIN(+)/AIN(-)的负端。
7	REFIN(+)	正基准电压输入。可以在REFIN(+)与REFIN(-)之间施加一个外部基准电压。标称基准电压($REFIN(+) - REFIN(-)$)为5 V，但该器件可以采用0.5 V至 AV_{DD} 范围内的基准电压工作。
8	REFIN(-)	负基准电压输入。
9	PSW	低端功率开关，接GND。当PDRST为低电平时，低端功率开关断开。当PDRST为高电平时，低端功率开关闭合。
10	GND	接地基准点。
11	AV _{DD}	电源电压(2.7 V至5.25 V)。
12	DV _{DD}	数字接口电源电压。串行接口引脚和数字控制引脚的逻辑电平与该电源(2.7 V至5.25 V)有关。 DV _{DD} 电压与AV _{DD} 电压无关；因此，DV _{DD} 为3 V时AV _{DD} 可以等于5 V，反之亦然。
13	PDRST	关断/复位。 此引脚为低电平时，ADC处于关断模式，低端功率开关断开。芯片上的所有逻辑复位，DOUT/RDY引脚变为三态。 当PDRST为高电平时，ADC退出关断模式，片内时钟上电并建立，ADC连续转换。 低端功率开关也会闭合。内部时钟上电大约需要1 ms。
14	SCLK	串行时钟输入。用于从ADC传输数据。SCLK具有施密特触发式输入。SCLK只能在数据传输期间变为有效。转换数据以32位字传输。或者，SCLK可以是非连续式时钟，来自ADC的信息以较小的数据包形式传输。

典型性能参数

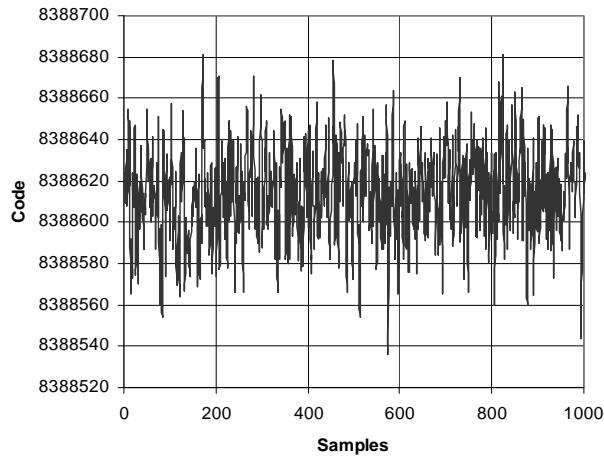


图5. AD70/015噪声($V_{REF} = AV_{DD}$, 更新速率 = 16.7 Hz)

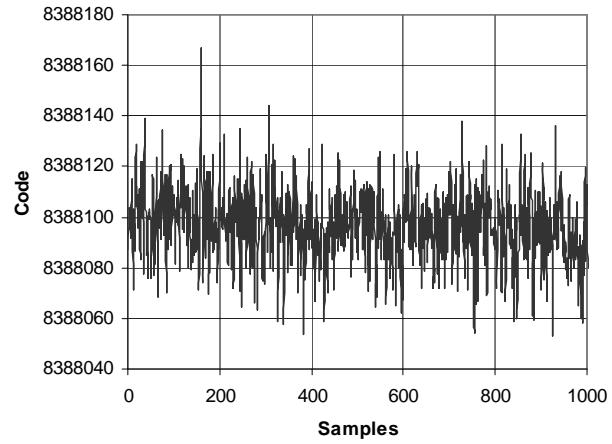


图7. AD70/015噪声($V_{REF} = AV_{DD}$, 更新速率 = 10 Hz)

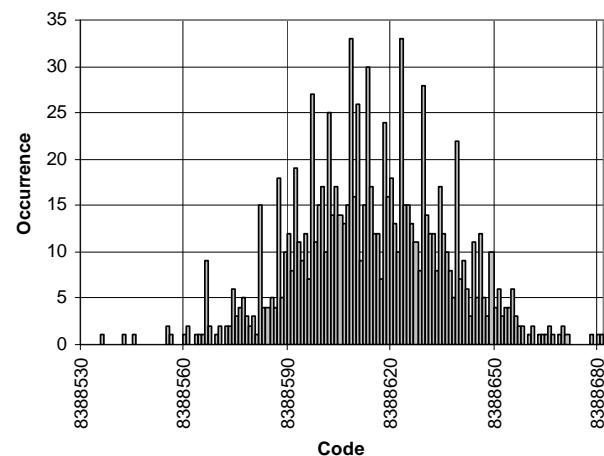


图6. AD70/015噪声分布直方图
($V_{REF} = AV_{DD}$, 更新速率 = 16.7 Hz)

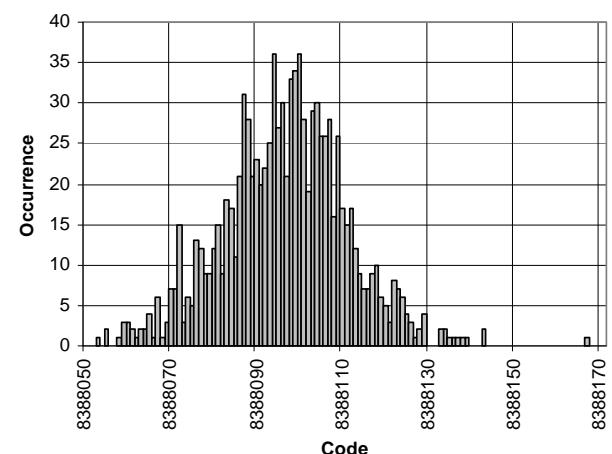


图8. AD70/015噪声分布直方图
($V_{REF} = AV_{DD}$, 更新速率 = 10 Hz)

ADC电路信息

概述

AD70/015是一款低功耗ADC，片内集成Σ-Δ型调制器、仪表放大器和数字滤波器，用于测量宽动态范围、低频信号。该器件有一路缓冲式差分输入。

图9显示了该器件工作所需的基本连接。

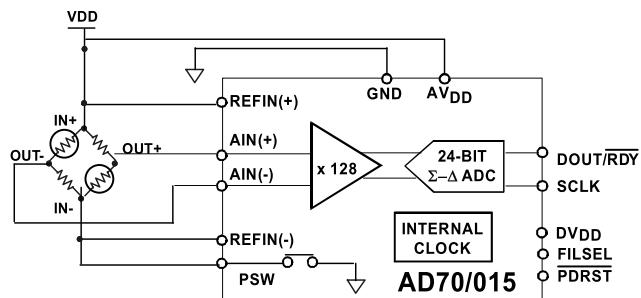


图9. 基本连接图

AD70/015的输出速率(f_{ADC})可利用FILSEL引脚设置为16.7 Hz或10 Hz。使用16.7 Hz更新速率时，ADC的建立时间为120 ms。使用10 Hz更新速率时，ADC的建立时间为300 ms。在该更新速率下，阻带衰减优于-45 dB。图10和图11显示了这两个滤波器类型的频率响应。

均方根噪声典型值为65 nV。对于5 V基准电压，这相当于17.5位分辨率。必须注意，峰峰值分辨率表示无码闪烁(即无噪声)的分辨率。这些数据为典型值，已四舍五入到最接近的0.5 LSB。

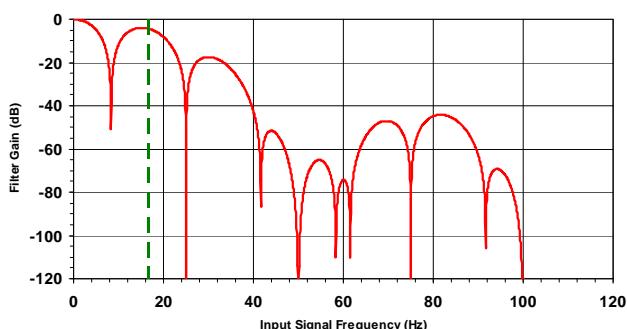


图10. 更新速率为16.7 Hz (FILSEL = 0)时的滤波器响应曲线

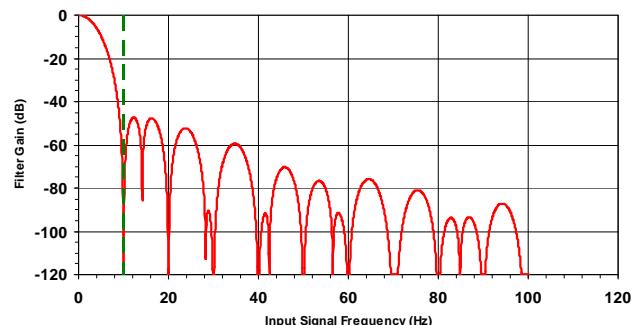


图11. 更新速率为10 Hz (FILSEL = 1)时的滤波器响应曲线

数字接口

AD70/015的串行接口包含两个信号：SCLK和DOUT/RDY。SCLK是器件的串行时钟输入，数据传输与SCLK信号相关。DOUT/RDY引脚有双重作用，既可用作数据就绪引脚，也可用作数据输出引脚。当输出寄存器中有新数据字可用时，DOUT/RDY变为低电平。当提供足够多的SCLK脉冲时，DOUT/RDY引脚输出一个32位字，它由24位转换结果和8个状态位组成。图12显示了状态位的功能。

RDY: 就绪位。此位置低表示有一个转换结果可用。

FILT: 滤波器位：FILT置1时，选择10 Hz滤波器。FILT置0时，选择16.7 Hz滤波器。

ERR: 如果转换过程中发生错误，此位置1。当模拟输入超出范围时，就会发生错误。

ID1、ID0: ID位。这些位表示AD70/015的ID号。ID1设为0，ID0设为1。

PAT2、PAT1、PAT0: 状态模式位。默认设置为101。当用户从AD70/015读取数据时，可以执行模式检查。如果PAT2 - PAT0位与默认值不同，则说明从ADC收到的数据无效。

RDY	FILT	ERR	ID1	ID0	PAT2	PAT1	PAT0
-----	------	-----	-----	-----	------	------	------

图12. 状态位

读取转换结果后，DOUT/RDY复位到高电平。如果未读取转换结果，则DOUT/RDY在数据寄存器更新之前变为高电平，表示不要从器件读取转换结果。这是为了确保寄存器正在更新时，不会尝试执行读操作。每个转换结果只能读取一次。每次转换完成，数据寄存器都会更新。当完成一

次转换时，串行接口复位，新转换结果被置于数据寄存器中。因此，用户必须确保在下一次转换完成之前读取完整的转换字。

当PDRST为低电平时，DOUT/RDY引脚为三态。当PDRST变为高电平时，内部时钟上电大约需要1ms。然后，ADC连续转换。第一次转换需要完整的建立时间。DOUT/RDY在PDRST变为高电平时变为高电平，但仅在有转换结果可用时才变为低电平。然后，ADC连续转换，随后的转换结果

以所选更新速率提供。图3显示了对AD70/015执行读操作的时序。

滤波器响应改变时(利用FILSEL)，调制器和滤波器立即复位。DOUT/RDY设为高电平。然后，ADC利用所选的滤波器响应开始转换。因此，DOUT/RDY将保持高电平，直到经过该滤波器的相应建立时间为止。因此，用户应在更改滤波器响应之前完成全部读操作。否则将会从器件读出1，因为更改滤波器后，DOUT/RDY引脚设为高电平。

电路描述

模拟输入通道

AD70/015有一个差分模拟输入通道。输入通道馈入放大器的高阻抗输入级。

低噪声仪表放大器的存在意味着小幅度信号可以在AD70/015内被放大，同时仍然保持出色的噪声性能。放大器的增益配置为128。因此，采用外部5 V基准电压源时，范围为 ± 40 mV。共模电压($(AIN(+)+AIN(-))/2$)必须 ≥ 0.5 V。

双极性配置

AD70/015支持双极性输入范围。双极性输入范围不代表器件可以耐受相对于系统GND的负电压。AIN(+)输入端的信号以AIN(−)输入端的电压为基准。例如，如果AIN(−)为2.5 V，则AIN(+)输入的模拟输入范围为2.46 V至2.54 V。

数据输出编码

AD70/015使用偏移二进制编码。因此，负满量程电压对应的代码为000...000，零差分输入电压对应的代码为100...000，正满量程输入电压对应的代码为111...111。任意模拟输入电压的输出码可以表示为：

$$Code = 2^{N-1} \times [(AIN \times 128 / V_{REF}) + 1]$$

其中：

AIN为模拟输入电压

$N = 24$ (对于AD70/015)。

基准电压源

AD70/015支持全差分输入。这些差分输入的共模电压范围为GND至 AV_{DD} 。基准电压输入是无缓冲的；因此，过大的R-C源阻抗会导致增益误差。标称基准电压 $REFIN$ ($REFIN(+)-REFIN(-)$)为2.5 V，但AD70/015可以采用的基准电压范围为0.5 V至 AV_{DD} 。如果应用中模拟输入端的传感器的激励电压或激励电流也为器件提供基准电压，则可以消除激励源中低频噪声的影响，其原因是应用是比率式的。如果在非比率式应用中使用AD70/015，应使用低噪声基准电压源。

关断/复位(PDRST)

PDRST引脚用作关断引脚和复位引脚。当PDRST变为低电平时，AD70/015关断。整个ADC关断(包括片内时钟)，低端功率开关断开，DOUT/RDY引脚变为三态。电路和串行接口也会复位，逻辑、数字滤波器和模拟调制器均复位。

当PDRST变为高电平时，AD70/015退出关断模式。片内时钟完成上电(典型值为1 ms)后，调制器开始对模拟输入进行采样。低端功率开关闭合，DOUT/RDY引脚变为有效。

上电时会自动执行复位操作

接地和布局布线

由于ADC的模拟输入和基准输入均为差分输入，因此，模拟调制器中的多数电压为共模电压。器件的出色共模抑制性能可消除这些输入上的共模噪声。数字滤波器可抑制电源上的宽带噪声，但无法抑制那些频率为调制器采样频率的整数倍的噪声。数字滤波器也可以消除来自模拟和基准输入端的噪声，但前提是这些噪声源没有使模拟调制器饱和。因此，AD70/015的抗噪能力比传统高分辨率转换器更强。然而，由于AD70/015的分辨率极高，但其噪声电平非常低，因此，必须谨慎对待接地和布局布线。

AD70/015所在的印刷电路板应采用模拟部分与数字部分分离设计，并限制在电路板的一定区域内。为实现最佳屏蔽，接地层一般应尽量少采用蚀刻技术。

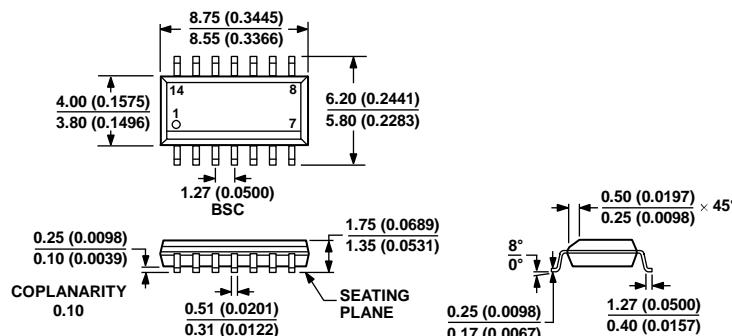
建议将AD70/015的GND引脚连到系统的AGND层。无论采取何种布局，用户均必须注意规划系统中电流的回流路径，确保所有电流的回流路径均尽可能靠近电流到达目的地所经过的路径。切勿强制数字电流流过布局的AGND部分。

将AD70/015的接地层放在其下方可以防止噪声耦合。AD70/015的电源线路应采用尽可能宽的走线，以提供低阻抗路径，并减小电源线路上的毛刺噪声效应。为避免向电路板上的其它部分辐射噪声，应利用数字地屏蔽时钟信号等快速开关信号，同时保证时钟信号远离模拟输入。避免

数字信号与模拟信号交叠。电路板相对两侧上的走线应当彼此垂直，这样做有助于减小电路板上的馈通效应。微带线技术在目前看来是最佳选择，但这种技术对于双面电路板未必总是可行。采用这种技术时，电路板的元件侧专用于接地层，信号走线则布设在焊接侧。

使用高分辨率ADC时，良好的去耦十分重要。应将 $10\text{ }\mu\text{F}$ 钽电容与 $0.1\text{ }\mu\text{F}$ 电容并联，将 AV_{DD} 去耦到GND。同时应将 $10\text{ }\mu\text{F}$ 钽电容与 $0.1\text{ }\mu\text{F}$ 电容并联，将 DV_{DD} 去耦到GND，并且系统的AGND到DGND连接应靠近AD70/015。为使这些去耦元件发挥其最佳性能，应将其尽可能靠近器件，最好将其紧贴器件。应利用 $0.1\text{ }\mu\text{F}$ 陶瓷电容将所有逻辑芯片去耦到DGND。

外形尺寸



COMPLIANT TO JEDEC STANDARDS MS-012-AB
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

060606-A

图13. 14引脚窄体小型IC [SOIC]
 (R-14)
 尺寸单位: mm

订购指南

型号	温度范围	封装描述	封装选项
AD70/015Z-0RL ¹	-40°C至+85°C	14引脚窄体SOIC封装	R-14

¹Z = 无铅器件。