

产品特性

高相对精度(INL): 16位时最大 ± 2 LSB
 小型封装: 3 mm \times 3 mm、16引脚LFCSP
 总不可调整误差(TUE): $\pm 0.1\%$ FSR(最大值)

偏置误差: ± 1.5 mV(最大值)
 增益误差: $\pm 0.1\%$ FSR(最大值)
 高驱动能力: 20 mA, 0.5 V(供电轨)
 用户可选增益: 1或2(GAIN引脚)
 复位到零电平或中间电平(RSTSEL引脚)

1.8 V逻辑兼容

带回读或菊花链的50 MHz SPI
 低毛刺: 0.5 nV-sec
 鲁棒的HBM(额定值为4 kV)和FICDM ESD(额定值为1.5 kV)性能
 低功耗: 3.3 mW (3 V)
 2.7 V至5.5 V电源
 温度范围: -40°C 至 $+105^{\circ}\text{C}$

应用

光收发器
 基站功率放大器
 过程控制(PLC I/O卡)
 工业自动化
 数据采集系统

概述

AD5689/AD5687属于nanoDAC+™系列，分别是低功耗、双通道、16/12位缓冲电压输出模数转换器(DAC)。器件内置增益选择引脚，满量程输出为2.5 V(增益=1)或5 V(增益=2)。

AD5689/AD5687采用2.7 V至5.5 V单电源供电，通过设计保证单调性，并具有小于0.1% FSR的增益误差和1.5 mV的偏置误差性能。两款器件均提供3 mm \times 3 mm LFCSP和TSSOP封装。

AD5689/AD5687还内置一个上电复位电路和一个RSTSEL引脚，确保DAC输出上电至零电平或中间电平，直到执行一次有效的写操作为止。每个器件都具有各通道独立掉电特性，在掉电模式下，器件在3 V时的功耗降至4 μ A。

AD5689/AD5687采用多功能串行外设接口，时钟速率最高达50 MHz，并均包含一个为1.8 V/3 V/5 V逻辑电平准备的V_{LOGIC}引脚。

Rev. 0

[Document Feedback](#)

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

功能框图

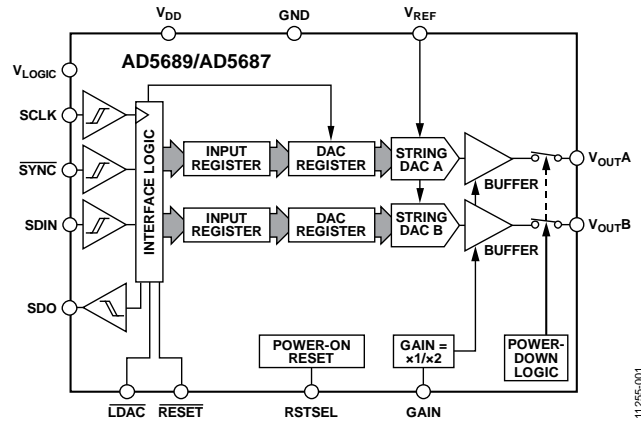


图1.

表1. 相关器件

| 接口 | 基准电压源 | 16位 | 12位 |
|------------------|-------|---------|---------|
| SPI | 内部 | AD5689R | AD5687R |
| | 外部 | AD5689 | AD5687 |
| I ² C | 内部 | N/A | AD5697R |
| | 外部 | N/A | N/A |

产品特色

- 高相对精度(INL)。
 - AD5689(16位): ± 2 LSB(最大值)
 - AD5687(12位): ± 1 LSB(最大值)
- 出色的直流性能。
 - 总不可调整误差: $\pm 0.1\%$ FSR(最大值)
 - 偏置误差: ± 1.5 mV(最大值)
 - 增益误差: $\pm 0.1\%$ FSR(最大值)
- 两种封装选择。
 - 3 mm \times 3 mm、16引脚LFCSP
 - 16引脚TSSOP

目录

| | | | |
|------------------|----|---|----|
| 产品特性 | 1 | 串行接口 | 18 |
| 应用 | 1 | 独立操作 | 19 |
| 功能框图 | 1 | 写命令和更新命令 | 19 |
| 概述 | 1 | 菊花链操作 | 19 |
| 产品特色 | 1 | 回读操作 | 20 |
| 修订历史 | 2 | 掉电工作模式 | 20 |
| 技术规格 | 3 | 加载DAC(硬件 $\overline{\text{LDAC}}$ 引脚) | 21 |
| 交流特性 | 4 | $\overline{\text{LDAC}}$ 屏蔽寄存器 | 21 |
| 时序特性 | 5 | 硬件复位(RESET) | 22 |
| 菊花链和回读时序特性 | 6 | 复位选择引脚(RSTSEL) | 22 |
| 绝对最大额定值 | 8 | 应用信息 | 23 |
| ESD警告 | 8 | 微处理器接口 | 23 |
| 引脚配置和功能描述 | 9 | AD5689/AD5687与ADSP-BF531的接口 | 23 |
| 典型性能参数 | 10 | AD5689/AD5687与SPORT的接口 | 23 |
| 术语 | 15 | 布局布线指南 | 23 |
| 工作原理 | 17 | 电流隔离接口 | 23 |
| 数模转换器(DAC) | 17 | 外形尺寸 | 24 |
| 传递函数 | 17 | 订购指南 | 24 |
| DAC架构 | 17 | | |

修订历史

2013年2月—修订版0：初始版

技术规格

除非另有说明， $V_{DD} = 2.7\text{ V}$ 至 5.5 V ； $1.8\text{ V} \leq V_{LOGIC} \leq 5.5\text{ V}$ ；所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。 $R_L = 2\text{ k}\Omega$ ； $C_L = 200\text{ pF}$ 。

表2.

| 参数 | 最小值 | 典型值 | 最大值 | 单位 | 测试条件/注释 |
|------------------------|------------------------|------------|------------------------|------------------------------|---|
| 静态性能 ¹ | | | | | |
| AD5689 | | | | | |
| 分辨率 | 16 | | | 位 | |
| 相对精度 | | ± 1 | ± 2 | LSB | 增益 = 2 |
| | | ± 1 | ± 3 | | 增益 = 1 |
| 差分非线性 | | | ± 1 | LSB | 通过设计保证单调性 |
| AD5687 | | | | | |
| 分辨率 | 12 | | | 位 | |
| 相对精度 | | ± 0.12 | ± 1 | LSB | |
| 差分非线性 | | | ± 1 | LSB | 通过设计保证单调性 |
| 零代码误差 | | 0.4 | 1.5 | mV | DAC寄存器载入全0 |
| 偏置误差 | | +0.1 | ± 1.5 | mV | |
| 满量程误差 | | +0.01 | ± 0.1 | % of FSR | DAC寄存器载入全1 |
| 增益误差 | | ± 0.02 | ± 0.1 | % of FSR | |
| 总不可调整误差 | | ± 0.01 | ± 0.1 | % of FSR | 增益 = 2; TSSOP |
| | | | ± 0.2 | % of FSR | 增益 = 1; TSSOP |
| 偏置误差漂移 ² | | ± 1 | | $\mu\text{V}/^\circ\text{C}$ | |
| 增益温度系数 ² | | ± 1 | | ppm | 用FSR/ $^\circ\text{C}$ 表示 |
| 直流电源抑制比 ² | | 0.15 | | mV/V | DAC代码 = 中间电平; $V_{DD} = 5\text{ V} \pm 10\%$ |
| 直流串扰 ² | | | | | |
| | | ± 2 | | μV | 单通道、满量程输出变化引起 |
| | | ± 3 | | $\mu\text{V}/\text{mA}$ | 负载电流变化引起 |
| | | ± 2 | | μV | (各通道)掉电引起 |
| 输出特性 ² | | | | | |
| 输出电压范围 | 0 | | V_{REF} | V | 增益 = 1 |
| | 0 | | $2 \times V_{REF}$ | V | 增益 = 2; 参见图23 |
| 容性负载稳定性 | | 2 | | nF | $R_L = \infty$ |
| | | 10 | | nF | $R_L = 1\text{ k}\Omega$ |
| 阻性负载 ³ | 1 | | | k Ω | |
| 负载调整率 | | 80 | | $\mu\text{V}/\text{mA}$ | $5\text{ V} \pm 10\%$, DAC代码 = 中间电平; $-30\text{ mA} \leq I_{OUT} \leq 30\text{ mA}$ |
| | | 80 | | $\mu\text{V}/\text{mA}$ | $3\text{ V} \pm 10\%$, DAC代码 = 中间电平; $-20\text{ mA} \leq I_{OUT} \leq 20\text{ mA}$ |
| 短路电流 ⁴ | | 40 | | mA | |
| 供电轨上的负载阻抗 ⁵ | | 25 | | Ω | 参见图23 |
| 上电时间 | | 2.5 | | μs | 退出掉电模式; $V_{DD} = 5\text{ V}$ |
| 基准输入 | | | | | |
| 基准电流 ⁶ | | 90 | | μA | $V_{REF} = V_{DD} = V_{LOGIC} = 5.5\text{ V}$, 增益 = 1 |
| | | 180 | | μA | $V_{REF} = V_{DD} = V_{LOGIC} = 5.5\text{ V}$, 增益 = 2 |
| 基准输入范围 | 1 | | V_{DD} | V | 增益 = 1 |
| | 1 | | $V_{DD}/2$ | V | 增益 = 2 |
| 基准输入阻抗 | | 16 | | k Ω | 增益 = 1 |
| | | 32 | | k Ω | 增益 = 2 |
| 逻辑输入 ² | | | | | |
| 输入电流 | | | ± 2 | μA | 每引脚 |
| 输入低电压(V_{INL}) | | | $0.3 \times V_{LOGIC}$ | V | |
| 输入高电压(V_{INH}) | $0.7 \times V_{LOGIC}$ | | | V | |
| 引脚电容 | | 2 | | pF | |

AD5689/AD5687

| 参数 | 最小值 | 典型值 | 最大值 | 单位 | 测试条件/注释 |
|------------------------|-------------------|------|-----|---------|---|
| 逻辑输出(SDO) ² | | | | | |
| 输出低电压(V_{OL}) | | | 0.4 | V | $I_{SINK} = 200 \mu A$ |
| 输出高电压(V_{OH}) | $V_{LOGIC} - 0.4$ | | | V | $I_{SOURCE} = 200 \mu A$ |
| 悬空态输出电容 | | 4 | | pF | |
| 电源要求 | | | | | |
| V_{LOGIC} | 1.8 | | 5.5 | V | |
| I_{LOGIC} | | | 3 | μA | |
| V_{DD} | 2.7 | | 5.5 | V | 增益 = 1 |
| V_{DD} | $V_{REF} + 1.5$ | | 5.5 | V | 增益 = 2 |
| I_{DD} | | | | | $V_{IH} = V_{DD}$, $V_{IL} = GND$, $V_{DD} = 2.7 V$ 至 $5.5 V$ |
| 正常模式 ⁷ | | 0.59 | 0.7 | mA | |
| 全掉电模式 ⁸ | | 1 | 4 | μA | -40°C至+85°C |
| | | | 6 | μA | -40°C至+105°C |

¹ 除非另有说明，直流规格均在输出端无负载的情况下测得。上行死区 = 10 mV，它仅存在于 $V_{REF} = V_{DD}$ 且增益 = 1时或 $V_{REF}/2 = V_{DD}$ 且增益 = 2时。线性度计算使用缩减的代码范围：256至65,280 (AD5689)和12至4080 (AD5687)。

² 通过设计和特性保证，但未经生产测试。

³ 通道A的输出电流最高可达30 mA。类似地，在结温高达110°C下，通道B的输出电流最高可达30 mA。

⁴ $V_{DD} = 5 V$ 。器件包含限流功能，旨在保护器件免受暂时性过载条件影响。限流期间结温可以超过最大值，但在额定最大结温以上的温度下工作时，器件可靠性会受影响。

⁵ 从任一供电轨吸取负载电流时，相对于该供电轨的输出电压裕量受输出器件的25 Ω 典型通道电阻限制。例如，当吸电流为1 mA时，最小输出电压 = $25 \Omega \times 1 mA = 25 mV$ (见图23)。

⁶ 初始精度预焊回流为 $\pm 750 \mu V$ ；输出电压包括预调理漂移的影响。

⁷ 接口未启用。两个DAC启用。DAC输出端无负载。

⁸ 两个DAC掉电。

交流特性

除非另有说明， $V_{DD} = 2.7 V$ 至 $5.5 V$ ； $R_L = 2 k\Omega$ 至GND； $C_L = 200 pF$ 至GND； $1.8 V \leq V_{LOGIC} \leq 5.5 V$ ；所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。温度范围为-40°C至+105°C，典型值25°C。通过设计和特性保证，未经生产测试。

表3.

| 参数 ¹ | 最小值 | 典型值 | 最大值 | 单位 | 测试条件/注释 |
|-------------------------|-----|------|-----|-----------------|---|
| 输出电压建立时间 | | | | | |
| AD5689 | | 5 | 8 | μs | 1/4到3/4量程建立到 ± 2 LSB |
| AD5687 | | 5 | 7 | μs | 1/4到3/4量程建立到 ± 2 LSB |
| 压摆率 | | 0.8 | | V/ μs | |
| 数模转换毛刺脉冲 | | 0.5 | | nV-sec | 主进位1 LSB变化 |
| 数字馈通 | | 0.13 | | nV-sec | |
| 数字串扰 | | 0.1 | | nV-sec | |
| 模拟串扰 | | 0.2 | | nV-sec | |
| DAC间串扰 | | 0.3 | | nV-sec | |
| 总谐波失真(THD) ² | | -80 | | dB | 环境温度下；BW = 20 kHz, $V_{DD} = 5 V$, $f_{OUT} = 1 kHz$ |
| 输出噪声谱密度(NSD) | | 300 | | nV/ \sqrt{Hz} | DAC代码 = 中间电平, 10 kHz, 增益 = 2 |
| 输出噪声 | | 6 | | μV p-p | 0.1 Hz至10 Hz |
| 信噪比(SNR) | | 90 | | dB | 环境温度下；BW = 20 kHz, $V_{DD} = 5 V$, $f_{OUT} = 1 kHz$ |
| 无杂散动态范围(SFDR) | | 83 | | dB | 环境温度下；BW = 20 kHz, $V_{DD} = 5 V$, $f_{OUT} = 1 kHz$ |
| 信纳比(SINAD) | | 80 | | dB | 环境温度下；BW = 20 kHz, $V_{DD} = 5 V$, $f_{OUT} = 1 kHz$ |

¹ 参见术语部分。

² 以数字方式生成频率为1 kHz的正弦波。

时序特性

所有输入信号均在 $t_R = t_F = 1 \text{ ns/V}$ (10%到90%的 V_{DD})情况下标定并从 $(V_{IL} + V_{IH})/2$ 电平起开始计时(见图2)。 $V_{DD} = 2.7 \text{ V}$ 至 5.5 V ； $1.8 \text{ V} \leq V_{LOGIC} \leq 5.5 \text{ V}$ ； $V_{REF} = 2.5 \text{ V}$ 。除非另有说明，所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。

表4.

| 参数 ¹ | $1.8 \text{ V} \leq V_{LOGIC} < 2.7 \text{ V}$ | | $2.7 \text{ V} \leq V_{LOGIC} \leq 5.5 \text{ V}$ | | 单位 | 描述 |
|-----------------|--|-----|---|-----|---------------|---|
| | 最小值 | 最大值 | 最小值 | 最大值 | | |
| t_1 | 33 | | 20 | | ns | SCLK周期时间 |
| t_2 | 16 | | 10 | | ns | SCLK高电平时间 |
| t_3 | 16 | | 10 | | ns | SCLK低电平时间 |
| t_4 | 15 | | 10 | | ns | $\overline{\text{SYNC}}$ 到SCLK下降沿建立时间 |
| t_5 | 5 | | 5 | | ns | 数据建立时间 |
| t_6 | 5 | | 5 | | ns | 数据保持时间 |
| t_7 | 15 | | 10 | | ns | SCLK下降沿到 $\overline{\text{SYNC}}$ 上升沿 |
| t_8 | 20 | | 20 | | ns | 最小 $\overline{\text{SYNC}}$ 高电平时间(更新单通道或双通道) |
| t_9 | 16 | | 10 | | ns | $\overline{\text{SYNC}}$ 下降沿到SCLK下降沿忽略 |
| t_{10} | 25 | | 15 | | ns | $\overline{\text{LDAC}}$ 低电平脉冲宽度 |
| t_{11} | 30 | | 20 | | ns | SCLK下降沿到 $\overline{\text{LDAC}}$ 上升沿 |
| t_{12} | 20 | | 20 | | ns | SCLK下降沿到 $\overline{\text{LDAC}}$ 下降沿 |
| t_{13} | 30 | | 30 | | ns | $\overline{\text{RESET}}$ 低电平最小脉冲宽度 |
| t_{14} | 30 | | 30 | | ns | $\overline{\text{RESET}}$ 脉冲启动时间 |
| 上电时间 | 4.5 | | 4.5 | | μs | 退出掉电模式并进入正常工作模式所需的时间；第24个时钟沿到DAC中间电平值的90%，且输出端无负载 |

¹ $V_{DD} = 2.7 \text{ V}$ 至 5.5 V 且 $2.7 \text{ V} \leq V_{LOGIC} \leq V_{DD}$ 时，最大SCLK频率为50 MHz。通过设计和特性保证，未经生产测试。

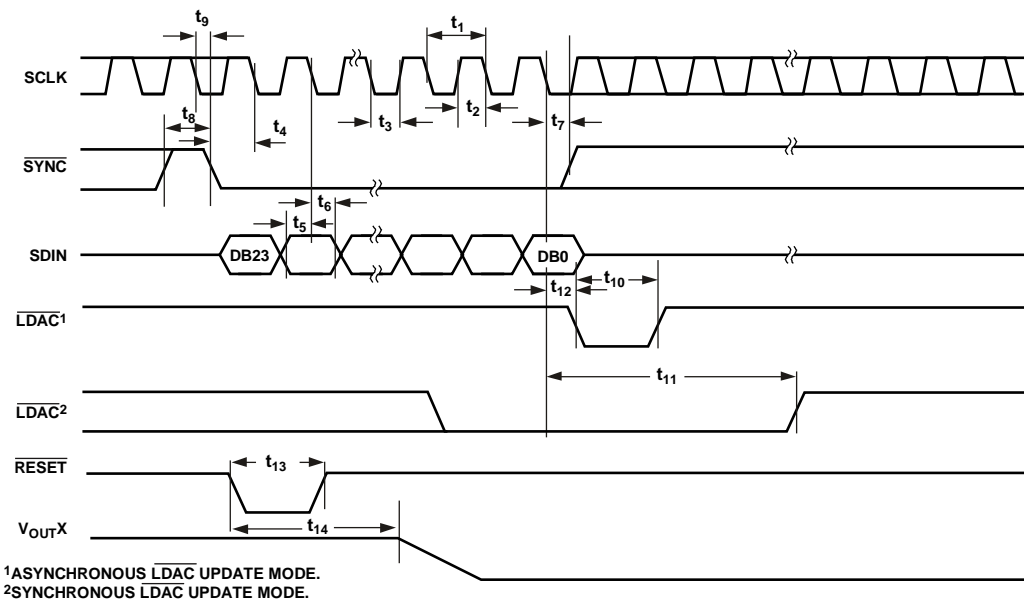


图2. 串行写入操作

11255-002

AD5689/AD5687

菊花链和回读时序特性

所有输入信号均在 $t_R = t_F = 1 \text{ ns/V}$ (10%到90%的 V_{DD})情况下标定并从 $(V_{IL} + V_{IH})/2$ 电平起开始计时(见图4和图5)。 $V_{DD} = 2.7 \text{ V}$ 至 5.5 V , $1.8 \text{ V} \leq V_{LOGIC} \leq 5.5 \text{ V}$, $V_{REF} = 2.5 \text{ V}$ 。除非另有说明,所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。 $V_{DD} = 2.7 \text{ V}$ 至 5.5 V 。

表5.

| 参数 ¹ | $1.8 \text{ V} \leq V_{LOGIC} < 2.7 \text{ V}$ | | $2.7 \text{ V} \leq V_{LOGIC} \leq 5.5 \text{ V}$ | | 单位 | 描述 |
|-----------------|--|-----|---|-----|----|-------------------|
| | 最小值 | 最大值 | 最小值 | 最大值 | | |
| t_1 | 66 | | 40 | | ns | SCLK周期时间 |
| t_2 | 33 | | 20 | | ns | SCLK高电平时间 |
| t_3 | 33 | | 20 | | ns | SCLK低电平时间 |
| t_4 | 33 | | 20 | | ns | SYNC到SCLK下降沿 |
| t_5 | 5 | | 5 | | ns | 数据建立时间 |
| t_6 | 5 | | 5 | | ns | 数据保持时间 |
| t_7 | 15 | | 10 | | ns | SCLK下降沿到SYNC上升沿 |
| t_8 | 60 | | 30 | | ns | 最小SYNC高电平时间 |
| t_9 | 60 | | 30 | | ns | 最小SYNC高电平时间 |
| t_{10} | | 36 | | 25 | ns | SCLK上升沿到SDO数据有效时间 |
| t_{11} | 15 | | 10 | | ns | SCLK下降沿到SYNC上升沿 |
| t_{12} | 15 | | 10 | | ns | SYNC上升沿到SCLK上升沿 |

¹ $V_{DD} = 2.7 \text{ V}$ 至 5.5 V 且 $1.8 \text{ V} \leq V_{LOGIC} \leq V_{DD}$ 时,最大SCLK频率为25 MHz或15 MHz。通过设计和特性保证,未经生产测试。

电路图和时序图

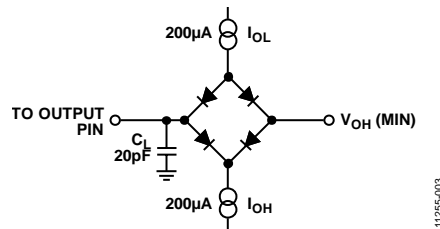


图3.数字输出(SDO)时序规格的负载电路

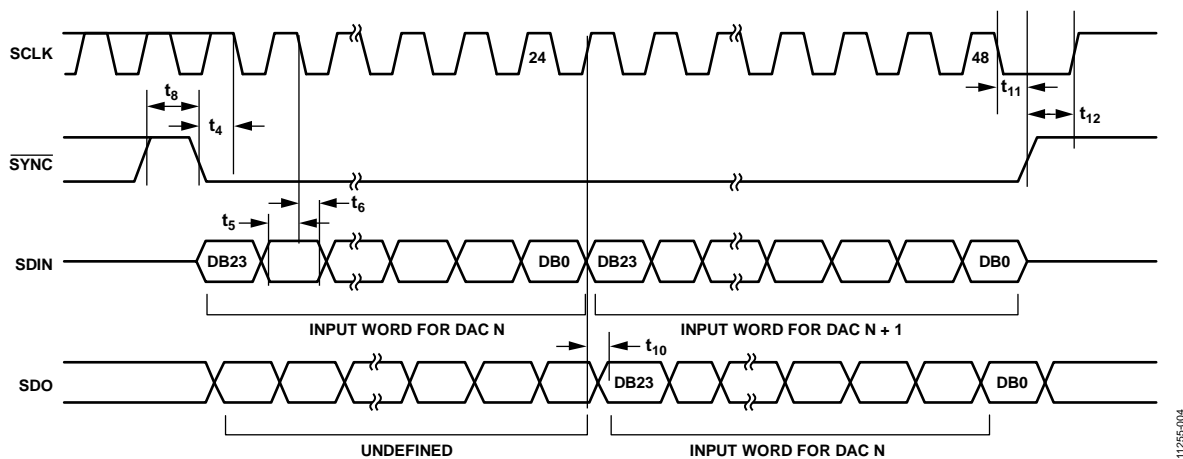


图4.菊花链时序图

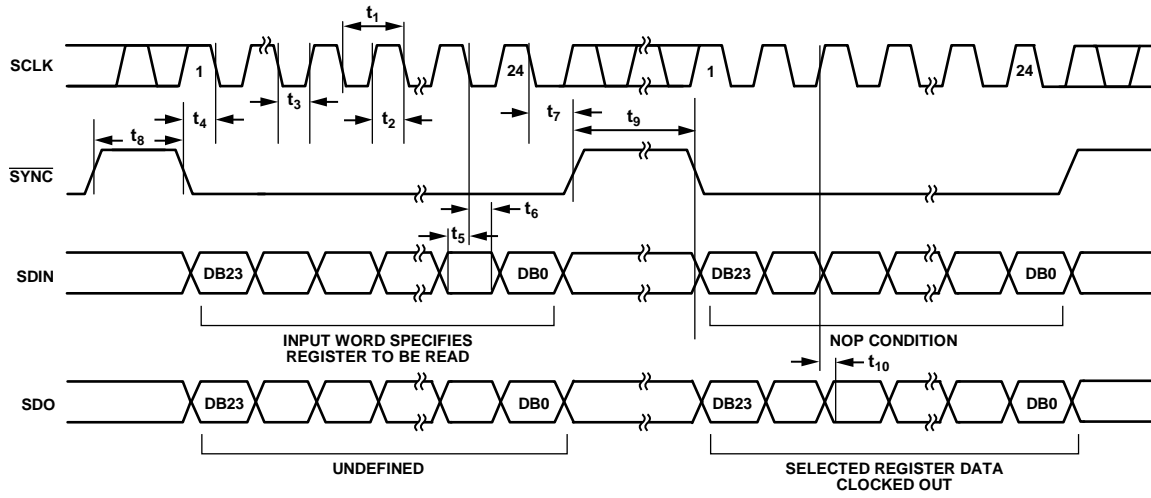


图5. 回读时序图

112955-005

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表6.

| 参数 | 额定值 |
|--|-----------------------------|
| V_{DD} 至GND | -0.3 V至+7 V |
| V_{LOGIC} 至GND | -0.3 V至+7 V |
| V_{OUT} 至GND | -0.3 V至 $V_{DD} + 0.3$ V |
| V_{REF} 至GND | -0.3 V至 $V_{DD} + 0.3$ V |
| 数字输入电压至GND | -0.3 V至 $V_{LOGIC} + 0.3$ V |
| 工作温度范围 | -40°C至+105°C |
| 存储温度范围 | -65°C至+150°C |
| 结温 | 125°C |
| 16引脚TSSOP, θ_{JA} 热阻, 0气流(4层板) | 112.6°C/W |
| 16引脚LFCSP, θ_{JA} 热阻, 0气流(4层板) | 70°C/W |
| 回流焊峰值温度, 无铅(J-STD-020) | 260°C |
| ESD ¹ | 4 kV |
| FICDM | 1.5 kV |

¹ 人体模型(HBM)分类。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

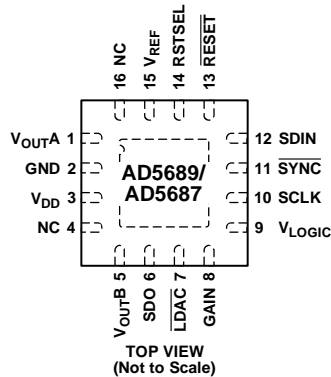
ESD警告



ESD(静电放电)敏感器件。

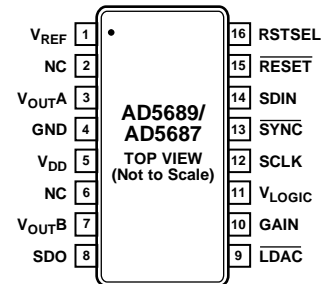
带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



- NOTES
 1. NC = NO CONNECT. DO NOT CONNECT TO THIS PIN.
 2. THE EXPOSED PAD MUST BE TIED TO GND.

图6. 16引脚LFCSP的引脚配置



- NOTES
 1. NC = NO CONNECT. DO NOT CONNECT TO THIS PIN.

图7. 16引脚TSSOP引脚配置

表7. 引脚功能描述

| 引脚编号 | | 引脚名称 | 描述 |
|-------|-------|--------------------|---|
| LFCSP | TSSOP | | |
| 1 | 3 | V _{OUTA} | DAC A的模拟输出电压。输出放大器能以轨到轨方式工作。 |
| 2 | 4 | GND | AD5689/AD5687上所有电路的接地基准点。 |
| 3 | 5 | V _{DD} | 电源输入引脚。AD5689/AD5687可以采用2.7 V至5.5 V电源供电，电源应通过并联的10 μF电容和0.1 μF电容去耦至GND。 |
| 4 | 2 | NC | 不连接。请勿连接该引脚。 |
| 5 | 7 | V _{OUTB} | DAC B的模拟输出电压。输出放大器能以轨到轨方式工作。 |
| 6 | 8 | SDO | 串行数据输出。SDO可用于以菊花链形式将多个AD5689/AD5687器件连接在一起或用于回读。串行数据在SCLK上升沿传输，而且在该时钟下降沿有效。 |
| 7 | 9 | LDAC | LDAC支持两种工作模式：异步和同步。发送脉冲使该引脚变为低电平后，当输入寄存器有新数据时，可以更新任意或全部DAC寄存器；两个DAC输出可以同时更新。也可以将该引脚永久接为低电平。 |
| 8 | 10 | GAIN | 增益选择。当该引脚与GND相连时，两个DAC的输出范围均为0 V至V _{REF} 。如果该引脚与V _{LOGIC} 相连，则两个DAC的输出范围为0 V至2 × V _{REF} 。 |
| 9 | 11 | V _{LOGIC} | 数字电源。电压范围为1.8 V至5.5 V。 |
| 10 | 12 | SCLK | 串行时钟输入。数据在串行时钟输入的下降沿读入移位寄存器。数据能够以最高50 MHz的速率传输。 |
| 11 | 13 | SYNC | 低电平有效控制输入。这是输入数据的帧同步信号。当SYNC变为低电平时，数据在后续24个时钟的下降沿读入。 |
| 12 | 14 | SDIN | 串行数据输入。该器件有一个24位输入移位寄存器。数据在串行时钟输入的下降沿读入寄存器。 |
| 13 | 15 | RESET | 异步复位输入。RESET输入对下降沿敏感。当RESET为低电平时，所有LDAC脉冲都被忽略。当RESET有效时，输入寄存器和DAC寄存器更新为零电平或中间电平，具体取决于RSTSEL引脚的状态。 |
| 14 | 16 | RSTSEL | 上电复位选择。将该引脚连接至GND时，可将两个DAC上电至零电平。将该引脚连接至V _{LOGIC} 时，可将两个DAC上电至中间电平。 |
| 15 | 1 | V _{REF} | 基准输入电压。 |
| 16 | 6 | NC | 不连接。请勿连接该引脚。 |
| 17 | N/A | EPAD | 裸露焊盘。裸露焊盘必须连接到GND。 |

典型性能参数

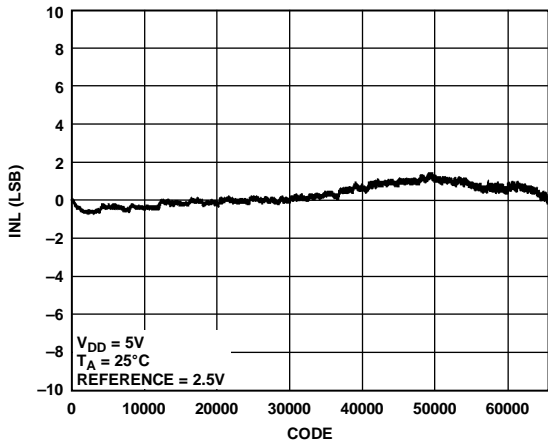


图8. AD5689积分非线性(INL)与代码的关系

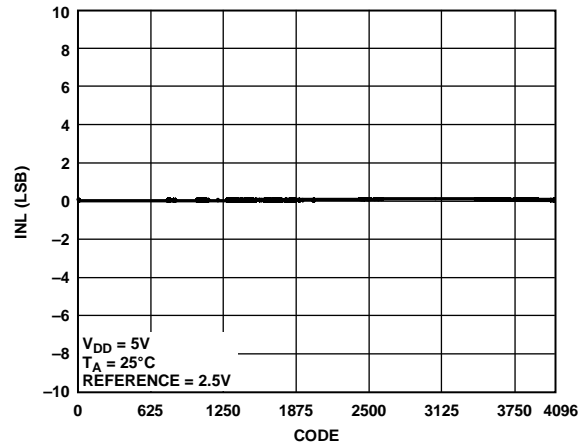


图11. AD5687 INL与代码的关系

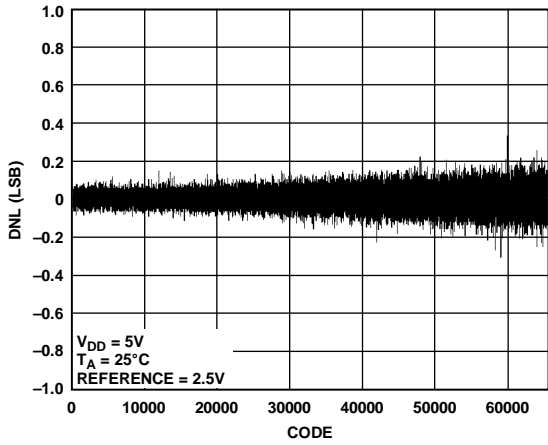


图9. AD5689差分非线性(DNL)与代码的关系

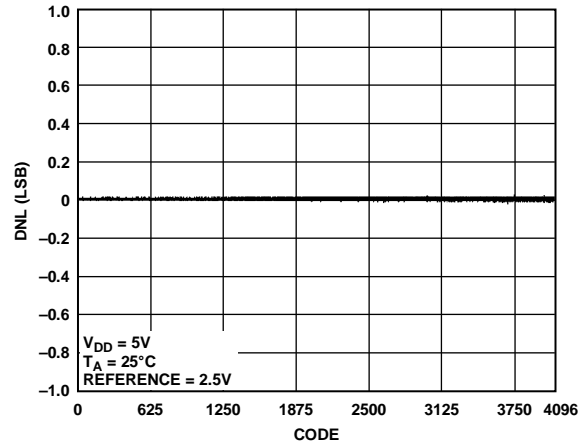


图12. AD5687 DNL与代码的关系

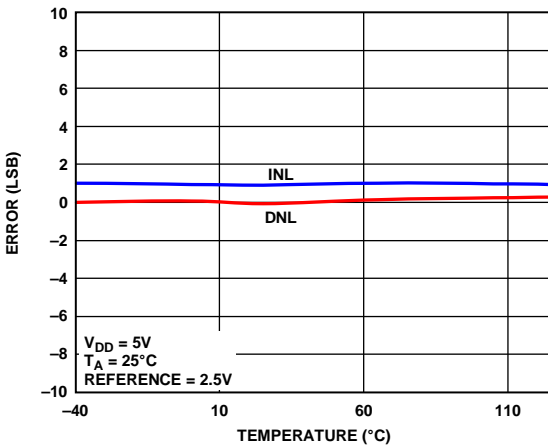


图10. INL误差和DNL误差与温度的关系

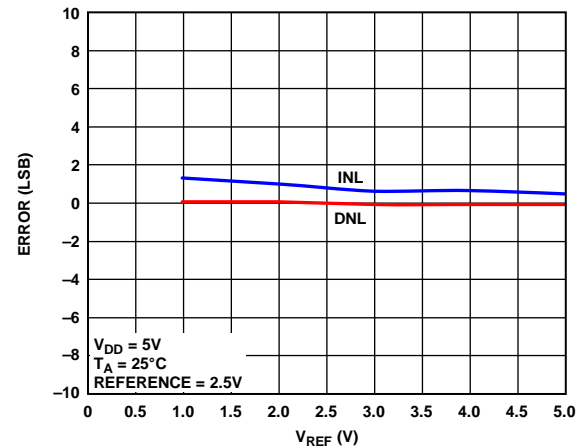


图13. INL误差和DNL误差与 V_{REF} 的关系

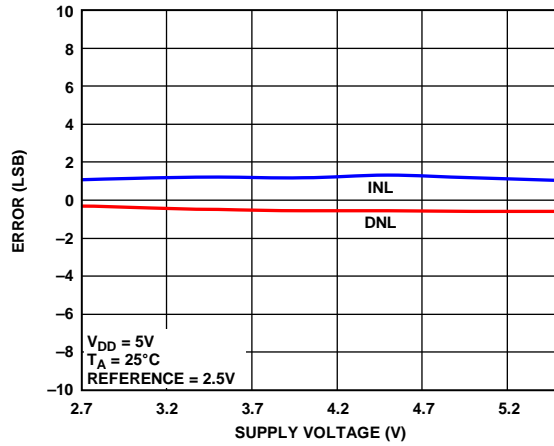


图14. INL误差和DNL误差与电源电压的关系

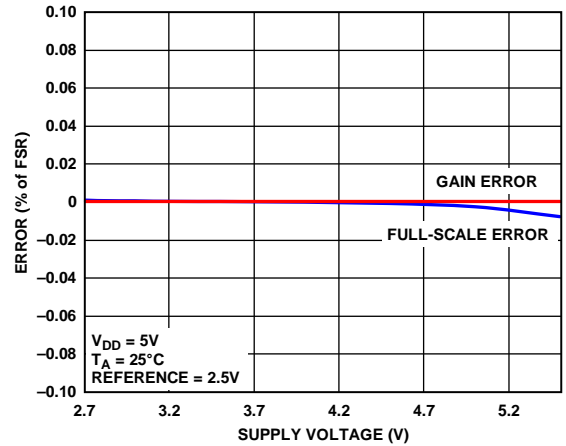


图17. 增益误差和满量程误差与电源电压的关系

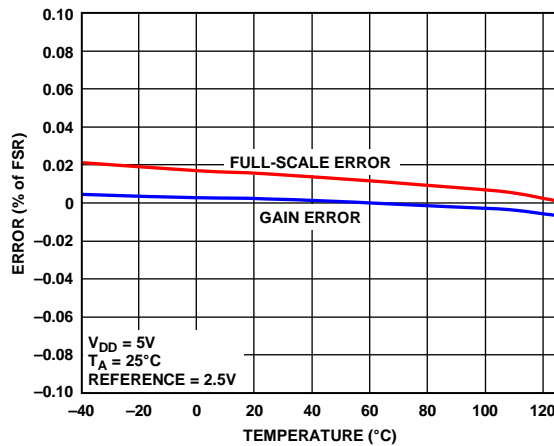


图15. 增益误差和满量程误差与温度的关系

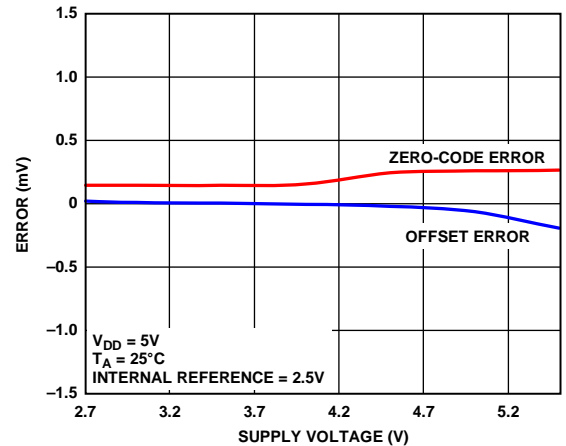


图18. 零编码误差和偏置误差与电源电压的关系

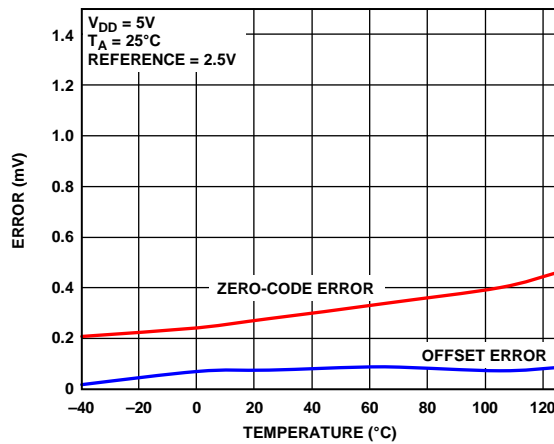


图16. 零代码误差和偏置误差与温度的关系

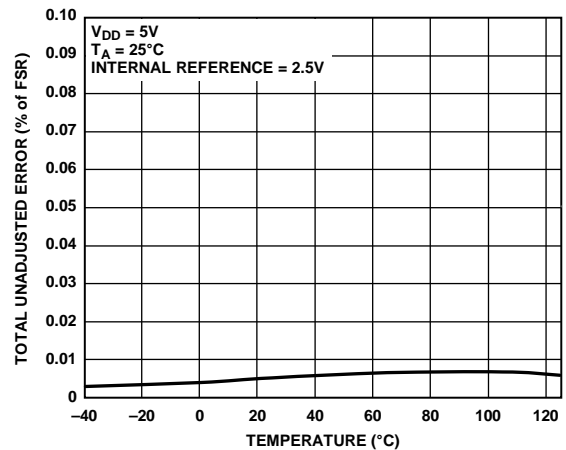


图19. 总不可调整误差(TUE)与温度的关系

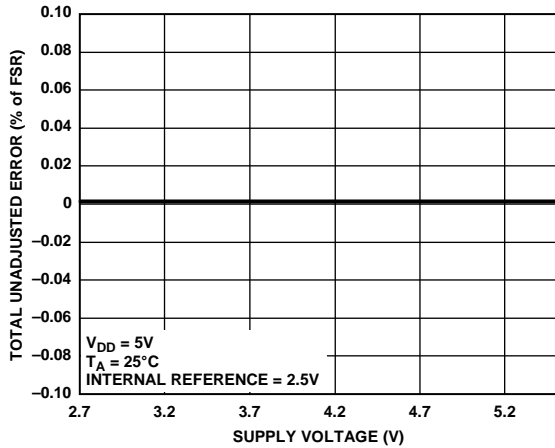


图20. TUE与电源电压的关系(增益=1)

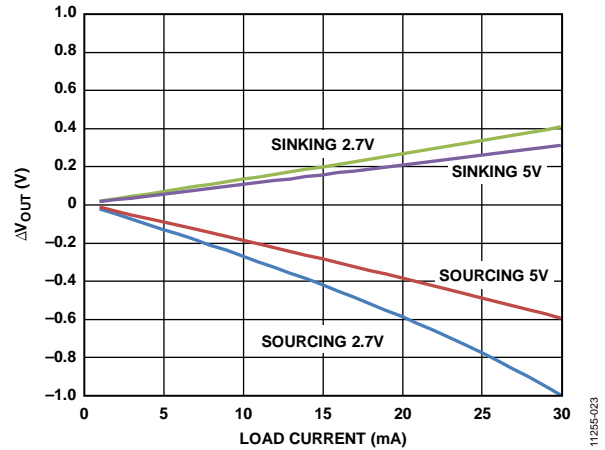


图23. 上裕量/下裕量与负载电流的关系

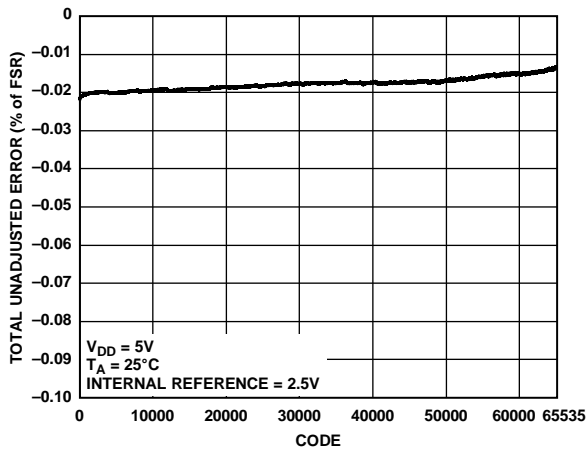


图21. TUE与代码的关系

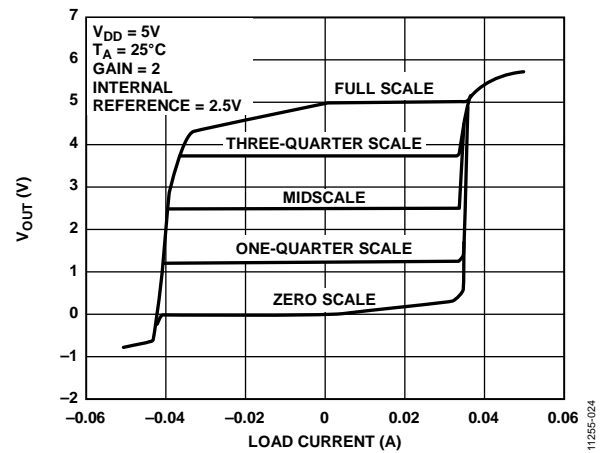


图24. 5V时的源电流和吸电流能力

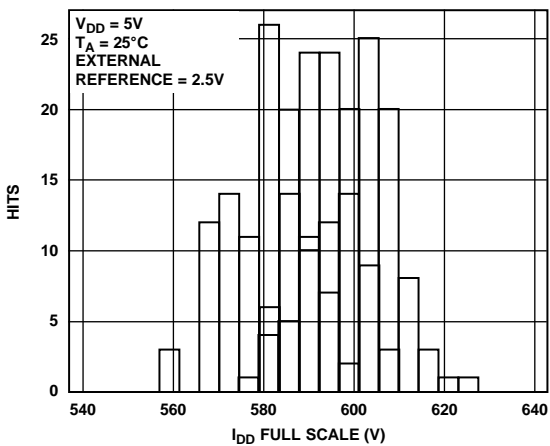


图22. I_{DD} 直方图

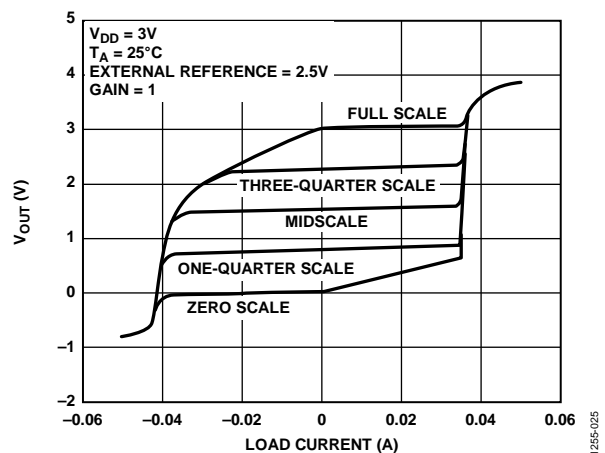
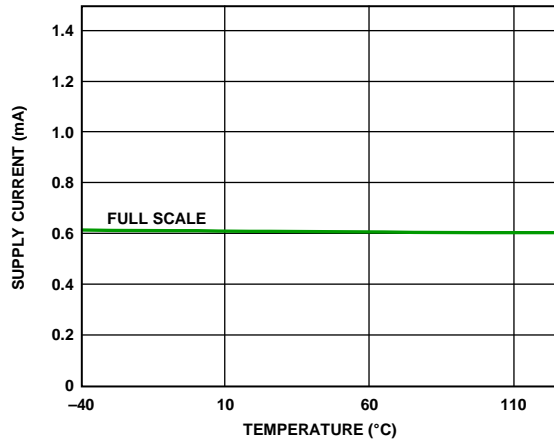
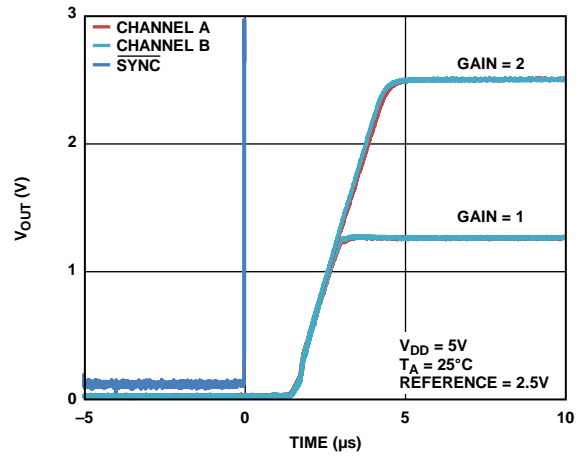


图25. 3V时的源电流和吸电流能力



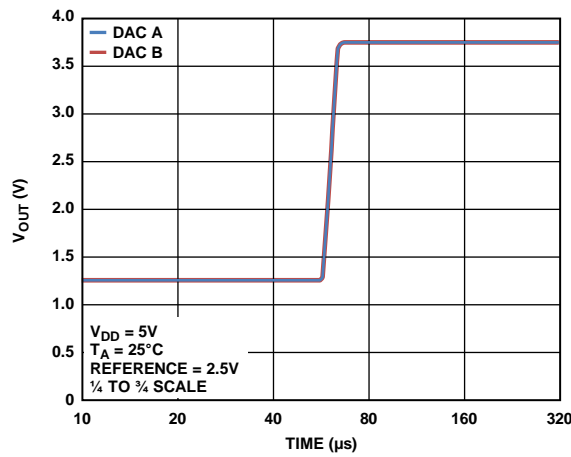
11255-026

图26. 电源电流与温度的关系



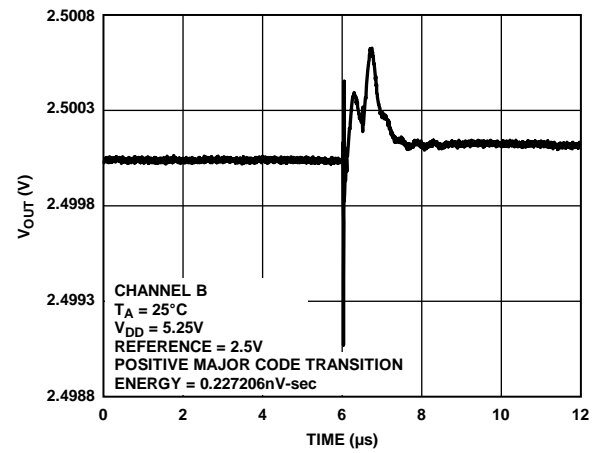
11255-029

图29. 退出掉电模式进入中间电平



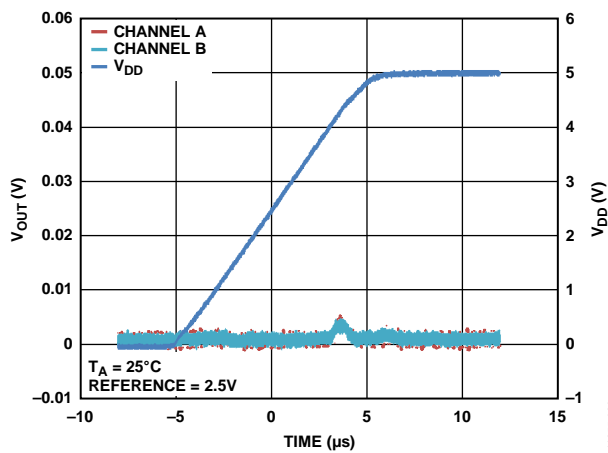
11255-027

图27. 建立时间(5 V)



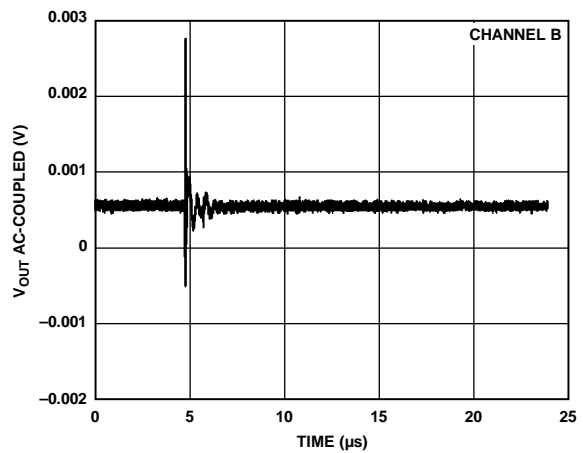
11255-030

图30. 数模转换毛刺脉冲



11255-028

图28. 上电复位至0 V



11255-031

图31. 模拟串扰(通道A)

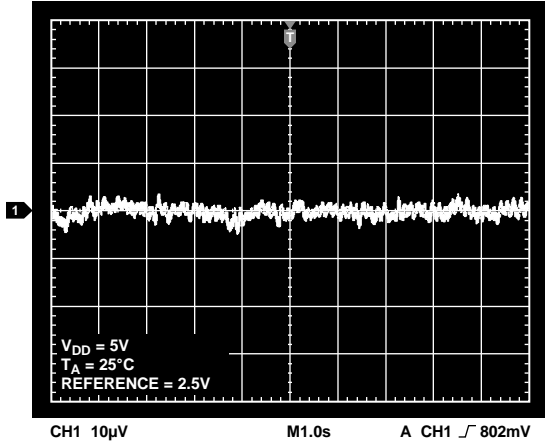


图32. 0.1 Hz至10 Hz输出噪声曲线

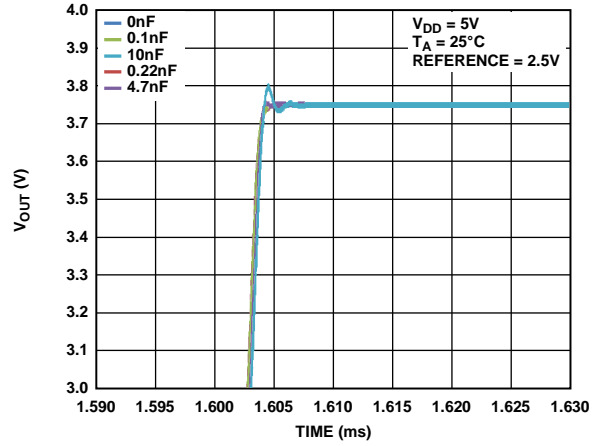


图34. 建立时间与容性负载的关系

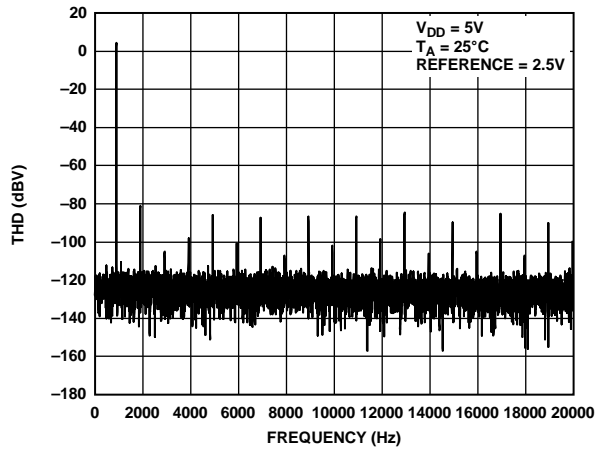


图33. 1 kHz时的总谐波失真

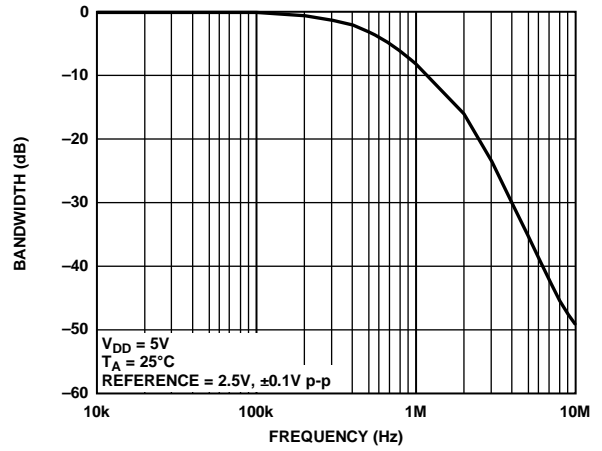


图35. 乘法带宽(基准电压源 = 2.5 V, ± 0.1 V p-p, 10 kHz至10 MHz)

术语

相对精度或积分非线性(INL)

对于DAC，相对精度或积分非线性是指DAC输出与通过DAC传递函数的两个端点的直线之间的最大偏差，单位为LSB。图8和图11显示典型的INL与代码关系曲线图。

差分非线性(DNL)

差分非线性是指任意两个相邻编码之间所测得变化值与理想的1 LSB变化值之间的差异。最大 ± 1 LSB的额定差分非线性可确保单调性。本DAC通过设计保证单调性。图9和图12显示典型的DNL与代码关系曲线图。

零代码误差

零代码误差衡量将零电平码(0x0000)载入DAC寄存器时的输出误差。理想情况下，输出应为0 V。器件的零代码误差始终为正值，因为在DAC和输出放大器中的偏置误差的共同作用下，DAC输出不能低于0 V。零代码误差用mV表示。从图16可以看出零代码误差与温度的关系。

满量程误差

满量程误差衡量将满量程代码(0xFFFF)载入DAC寄存器时的输出误差。理想情况下，输出应为 $V_{DD} - 1$ LSB。满量程误差用满量程范围的百分比(% FSR)表示。从图15可以看出满量程误差与温度的关系。

增益误差

增益误差衡量DAC的满量程误差，表示DAC传递特性的斜率与理想值之间的偏差，用% FSR表示。

偏置误差漂移

偏置误差漂移衡量偏置误差随温度的变化，用 $\mu\text{V}/^\circ\text{C}$ 表示。

增益温度系数

增益温度系数用来衡量增益误差随温度的变化，用ppm FSR/ $^\circ\text{C}$ 表示。

偏置误差

偏置误差是指传递函数线性区内 V_{OUT} (实际)和 V_{OUT} (理想)之间的差值，用mV表示。偏置误差是在器件上通过将代码512载入DAC寄存器测得的。该值可以为正，也可为负。

直流电源抑制比(PSTR)

PSTR表示电源电压变化对DAC输出的影响大小，是指DAC满量程输出的条件下 V_{OUT} 变化量与 V_{DD} 变化量之比，用mV/V表示。 V_{REF} 保持在2 V，而 V_{DD} 的变化范围为 $\pm 10\%$ 。

输出电压建立时间

输出电压建立时间是指对于一个 $\frac{1}{4}$ 至 $\frac{3}{4}$ 满量程输入变化，DAC输出建立为指定电平所需的时间。该时间从 $\overline{\text{SYNC}}$ 上升沿开始测量。

数模转换毛刺脉冲

数模转换毛刺脉冲是DAC寄存器中的编码输入变化时注入到模拟输出的脉冲。在数字输入代码主进位发生1 LSB转换(0x7FFF到0x8000)时测量，它一般定义为以nV-sec为单位的毛刺面积(见图30)。

数字馈通

数字馈通衡量从DAC的数字输入注入DAC的模拟输出的脉冲，但在DAC输出未更新时进行测量。单位为nV-sec，测量数据总线上发生满量程编码变化时的情况，即全0至全1，反之亦然。

基准馈通

基准馈通是指DAC输出未更新时的DAC输出端的信号幅度与基准输入之比，用dB表示。

噪声谱密度(NSD)

NSD衡量内部产生的随机噪声。随机噪声表示为频谱密度，单位为 $\text{nV}/\sqrt{\text{Hz}}$ ，测量方法是将DAC加载到中间电平，然后测量输出端噪声。

直流串扰

直流串扰是一个DAC输出电平因响应另一个DAC输出变化而发生的直流变化。其测量方法是让一个DAC发生满量程输出变化(或软件关断并上电)，同时监控另一个保持中间电平的DAC。单位为 μV 。

负载电流变化引起的直流串扰用来衡量一个DAC的负载电流变化对另一个保持中间电平的DAC的影响。单位为 $\mu\text{V}/\text{mA}$ 。

数字串扰

数字串扰是指一个输出为中间电平的DAC，其输出因响应另一个DAC的输入寄存器的满量程编码变化(全0至全1或相反)而引起的毛刺脉冲，该值在独立模式下进行测量，用nV-sec表示。

模拟串扰

模拟串扰是指一个DAC的输出因响应另一个DAC输出的变化引起毛刺脉冲，它的测量方法是，向一个DAC加载满量程代码变化(全0至全1或相反)，然后执行软件LDAC并监控数字编码未改变的DAC的输出。毛刺面积用nV-sec表示。

AD5689/AD5687

DAC间串扰

DAC间串扰是指一个DAC的输出因响应另一个DAC的数字编码变化和后续的模拟输出变化，而引起的毛刺脉冲，其测量方法是使用写入和更新命令让一个通道发生满量程编码变化(全0到全1，或相反)，同时监控处于中间量程的另一个通道的输出。毛刺的能量用nV-sec表示。

乘法带宽

DAC内部的放大器具有有限的带宽，乘法带宽即是衡量该带宽。参考端的正弦波(DAC加载满量程编码)出现在输出端。乘法带宽指输出幅度降至输入幅度以下3 dB时的频率。

总谐波失真(THD)

总谐波失真(THD)是指理想正弦波与使用DAC时其衰减形式的差别。正弦波用作DAC的参考，而THD用来衡量DAC输出端存在的谐波。单位为dB。

工作原理

数模转换器(DAC)

AD5689/AD5687分别为双通道、16/12位、串行输入、电压输出DAC，采用2.7V至5.5V电源供电。数据通过三线式串行接口以24位字格式写入AD5689/AD5687。http://www.analog.com/AD5317R器件内置一个上电复位电路，确保DAC输出上电至已知的输出状态。AD5689/AD5687也有软件掉电模式，可以将典型功耗降至4 μA。

传递函数

DAC的输入编码为直接二进制，使用外部基准电压源时的理想输出电压为：

$$V_{OUT} = V_{REF} \times Gain \left[\frac{D}{2^N} \right]$$

其中：

*Gain*是输出放大器的增益，默认设置为1。可使用增益选择引脚将其设置为×1或×2。当GAIN引脚与GND相连时，两个DAC的输出范围均为0 V至 V_{REF} 。如果GAIN引脚与 V_{LOGIC} 相连，则两个DAC的输出范围为0 V至 $2 \times V_{REF}$ 。

*D*是载入DAC寄存器的二进制编码的十进制等效值：0至4,095(12位器件)；0至65,535(16位器件)。

*N*为DAC分辨率。

DAC架构

DAC架构由一个电阻串DAC和一个输出放大器构成。图36为DAC架构框图。

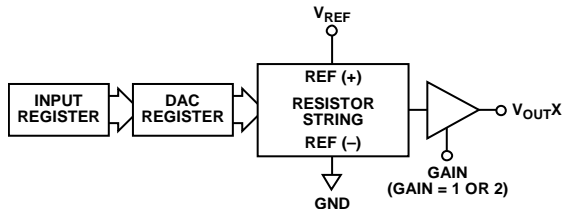


图36. DAC单通道架构框图

电阻串结构如图37所示。它是一串电阻，各电阻的值为 R 。载入DAC寄存器的编码决定抽取电阻串上哪一个节点的电压，以馈入输出放大器。抽取电压的方法是将连接电阻串与放大器的开关之一闭合。由于它是一串电阻，因此可以保证单调性。

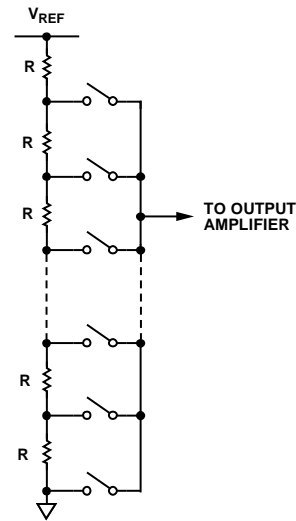


图37. 电阻串结构

输出放大器

输出缓冲放大器可以在其输出端产生轨到轨电压，输出范围为0 V至 V_{DD} 。实际范围取决于 V_{REF} 的值、GAIN引脚、偏置误差和增益误差。GAIN引脚选择输出的增益，如下所述：

- 如果GAIN引脚连接到GND，则两个DAC输出的增益均为1，且输出范围为0 V至 V_{REF} 。
- 如果GAIN引脚连接到 V_{LOGIC} ，则两个DAC输出的增益均为2，且输出范围为0 V至 $2 \times V_{REF}$ 。

这些放大器能驱动连接至GND的一个与2 nF电容并联的1 kΩ负载。压摆率为0.8 V/μs， $\frac{1}{4}$ 到 $\frac{3}{4}$ 量程建立时间为5 μs。

AD5689/AD5687

串行接口

AD5689/AD5687的三线式串行接口(SYNC、SCLK和SDIN)与SPI、QSPI™和MICROWIRE®接口标准以及大多数DSP兼容。典型写序列的时序图参见图2。AD5689/AD5687带有一个SDO引脚,允许用户以菊花链形式将多个器件连接在一起(参见“菊花链操作”部分)或回读数据。

输入移位寄存器

AD5689/AD5687的输入移位寄存器为24位宽,数据以MSB优先(DB23)方式加载。前四位是命令位C3至C0(参见表9),然后是由DAC B、DAC A和两个无关位(设为0)组成的4位DAC地址(参见表8),最后是数据字。

数据字包括16位或12位输入编码,之后是0个无关位(AD5689)或4个无关位(AD5687),如图38和图39所示。这些数据位在SCLK的24个下降沿传送至输入移位寄存器,并在SYNC上升沿进行更新。

命令可以在个别DAC通道或两个DAC通道上执行,具体取决于所选的地址位。

表8. 地址命令

| DAC B | 地址(n) | | | 选定的DAC通道 |
|-------|-------|---|-------|-------------|
| | 0 | 0 | DAC A | |
| 0 | 0 | 0 | 1 | DAC A |
| 1 | 0 | 0 | 0 | DAC B |
| 1 | 0 | 0 | 1 | DAC A和DAC B |

表9. 命令定义

| 命令 | | | | 描述 |
|-----|-----|-----|-----|---------------------|
| C3 | C2 | C1 | C0 | |
| 0 | 0 | 0 | 0 | 无操作 |
| 0 | 0 | 0 | 1 | 写入输入寄存器n(取决于LDAC) |
| 0 | 0 | 1 | 0 | 以输入寄存器n的内容更新DAC寄存器n |
| 0 | 0 | 1 | 1 | 写入并更新DAC通道n |
| 0 | 1 | 0 | 0 | DAC掉电/上电 |
| 0 | 1 | 0 | 1 | 硬件LDAC屏蔽寄存器 |
| 0 | 1 | 1 | 0 | 软件复位(上电复位) |
| 0 | 1 | 1 | 1 | 保留 |
| 1 | 0 | 0 | 0 | 设置DCEN寄存器(菊花链使能) |
| 1 | 0 | 0 | 1 | 设置回读寄存器(回读使能) |
| 1 | 0 | 1 | 0 | 保留 |
| ... | ... | ... | ... | 保留 |
| 1 | 1 | 1 | 1 | 保留 |

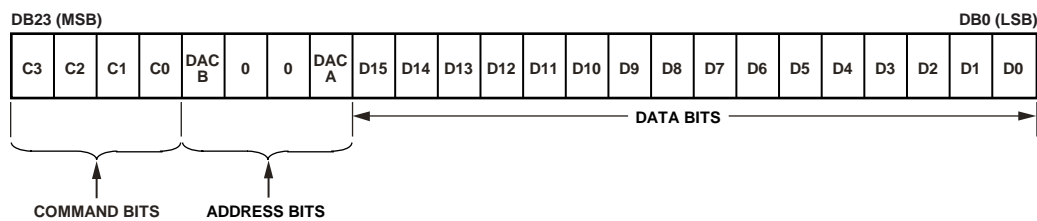


图38. AD5689输入移位寄存器内容

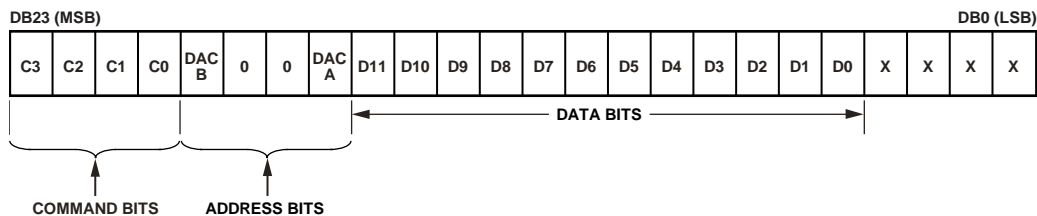


图39. AD5687输入移位寄存器内容

独立操作

写序列通过将 $\overline{\text{SYNC}}$ 线置为低电平来启动。来自SDIN线的数据在SCLK的下降沿进入24位输入移位寄存器。输入24个数据位的最后一位后，应将 $\overline{\text{SYNC}}$ 拉高。接着执行编程功能，即DAC寄存器内容会根据 $\overline{\text{LDAC}}$ 发生变化，以及/或者工作模式会改变。如果在第24个时钟周期之前 $\overline{\text{SYNC}}$ 变为高电平，则会被视为有效帧，进而可能向DAC中载入无效数据。 $\overline{\text{SYNC}}$ 必须在下一个写序列之前保持至少20 ns(单通道，参见图2中的t8)的高电平，这样才能通过 $\overline{\text{SYNC}}$ 下降沿启动下一个写序列。在写序列之间，供电轨处 $\overline{\text{SYNC}}$ 应为低电平，以进一步降低器件功耗。 $\overline{\text{SYNC}}$ 线在24个SCLK的下降沿保持为低电平，DAC则会在 $\overline{\text{SYNC}}$ 的上升沿更新。

当数据传送到寻址DAC的输入寄存器后，两个DAC寄存器和输出端可以通过将 $\overline{\text{LDAC}}$ 置为低电平并使 $\overline{\text{SYNC}}$ 线保持高电平来更新。

写命令和更新命令

写入输入寄存器n(取决于LDAC)

命令0001允许用户逐个写入各个DAC的专用输入寄存器。当 $\overline{\text{LDAC}}$ 为低电平时，输入寄存器是透明的(如果不由 $\overline{\text{LDAC}}$ 屏蔽寄存器控制)。

以输入寄存器n的内容更新DAC寄存器n

命令0010会在DAC寄存器/输出中加载选定输入寄存器的内容并直接更新DAC输出。

写入和更新DAC通道n(与LDAC无关)

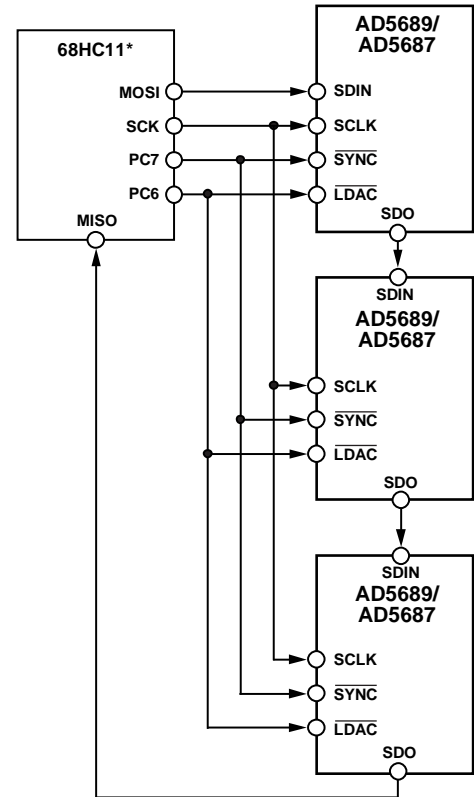
命令0011允许用户写入DAC寄存器并直接更新DAC输出。

菊花链操作

对于包含数个DAC的系统，可利用SDO引脚通过菊花链方式将多个器件连接起来。SDO通过软件可执行菊花链使能(DCEN)命令来使能。命令1000保留用于该DCEN功能(见表9)。通过将DCEN寄存器的位DB0置1可以使能菊花链模式。默认设置为独立模式，其中DB0(LSB)=0。表10列出了该位的状态与器件工作模式的对应关系。

表10. 菊花链使能(DCEN)寄存器

| DB0 (LSB) | 描述 |
|-----------|----------|
| 0 | 独立模式(默认) |
| 1 | DCEN模式 |



*ADDITIONAL PINS OMITTED FOR CLARITY.

图40. 以菊花链方式连接多个AD5689/AD5687器件

当 $\overline{\text{SYNC}}$ 为低电平时，SCLK引脚不断施加到输入移位寄存器。如果施加24个以上的时钟脉冲，数据将溢出输入移位寄存器，而出现在SDO线上。此数据在SCLK上升沿逐个输出，并在SCLK的下降沿有效。通过将该线路连接到菊花链中下一个DAC的SDIN输入，即可构成菊花链接口。系统中的每个DAC都需要24个时钟脉冲，因此总时钟周期数必须等于 $24 \times N$ ，其中N为要更新的器件总数。如果 $\overline{\text{SYNC}}$ 在并非24倍数的时钟周期上变为高电平，则会被视为有效帧，进而可能向DAC中载入无效数据。当对所有器件的串行传输结束时， $\overline{\text{SYNC}}$ 变为高电平，这样可以锁存菊花链中各器件的输入数据，防止额外的数据进入输入移位寄存器。串行时钟可以是连续时钟或选通时钟。只有当 $\overline{\text{SYNC}}$ 可以在正确的时钟周期数内保持为低电平时，才能使用连续的SCLK时钟源。在选通时钟模式下，必须采用包含确切时钟周期数的突发时钟，在时钟周期结束后必须将 $\overline{\text{SYNC}}$ 置为高电平来锁存数据。

AD5689/AD5687

回读操作

回读模式通过软件可执行回读命令来调用。如果通过控制寄存器中的菊花链模式禁用位禁用了SDO输出，则读操作期间会自动启用该输出，之后再次禁用。命令1001保留用于回读功能。该命令与地址位DAC B或DAC A配合使用来选择要读取的寄存器。注意，回读期间只能选择一个DAC寄存器。余下的三个地址位(包括两个无关位)必须设为逻辑0。写序列中的余下数据位都被忽略。如果选择了多个地址位或未选择任何地址位，则默认回读DAC通道A。在下次SPI写操作期间，SDO输出端的数据包含之前寻址寄存器的数据。

例如，回读通道A的DAC寄存器时，执行以下序列：

1. 将0x900000写入AD5689/AD5687输入寄存器。此设置会将器件配置为读取模式，同时选中通道A的DAC寄存器。注意，从DB15至DB0的所有数据位都是无关位。
2. 然后执行第二个写操作，写入NOP条件0x000000。在此写入期间，来自寄存器的数据在SDO线路上逐个输出。DB23至DB20包含未定义的数据，后16位则包含DB19至DB4 DAC寄存器内容。

掉电工作模式

AD5689/AD5687支持三种独立的掉电模式。命令0100控制掉电功能(见表9)。这些掉电模式可通过软件编程，方法是设置输入移位寄存器中的八个位(位DB7至位DB0)。每个DAC通道对应两个位。表11列出了这两个位的状态与器件工作模式的对应关系。

通过设置相应位，可以关断任意或所有DAC(DAC B和DAC A)，使其进入选定模式。表12列出了掉电/上电期间输入移位寄存器的内容。

表12. 掉电/上电操作的24位输入移位寄存器内容¹

| DB23 (MSB) | DB22 | DB21 | DB20 | DB19至DB16 | DB15至DB8 | DB7 | DB6 | DB5 | DB4 | DB3 | DB2 | DB1 | DB0 (LSB) |
|------------|------|------|------|-----------|----------|-------------|------|-----|-----|-----|-----|-------------|-----------|
| 0 | 1 | 0 | 0 | X | X | PDB1 | PDB0 | 1 | 1 | 1 | 1 | PDA1 | PDA0 |
| 命令位(C3至C0) | | | | 地址位(无关位) | | 掉电, 选择DAC B | | 置1 | | 置1 | | 掉电, 选择DAC A | |

¹X = 无关位。

表11. 工作模式

| 工作模式 | PDx1 | PDx0 |
|------------|------|------|
| 正常工作模式 | 0 | 0 |
| 掉电模式 | | |
| 1 kΩ接GND | 0 | 1 |
| 100 kΩ接GND | 1 | 0 |
| 三态 | 1 | 1 |

当输入移位寄存器中的位PDx1和位PDx0(其中x为选定的通道)均设为0时，器件正常工作，5 V时正常模式功耗为4 mA。在AD5689/AD5687的三种掉电模式下，5 V时电源电流降至4 μA。不仅是供电电流下降，输出级也从放大器输出切换为已知值的电阻网络，这种切换是有好处的，因为在掉电模式下器件的输出阻抗是已知的。三个掉电选项如下：

- 输出通过1 kΩ电阻内部连接到GND。
- 输出通过100 kΩ电阻内部连接到GND。
- 输出保持开路(三态)。

图41显示了此输出级。

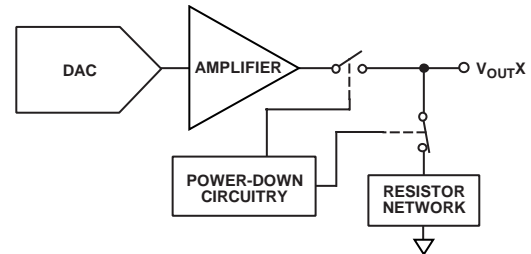


图41. 掉电模式下的输出级

在掉电模式有效时，偏置发生器、输出放大器、电阻串以及其它相关线性电路全部关断。然而，DAC寄存器的内容不受掉电模式的影响，且掉电模式下可更新DAC寄存器。当V_{DD} = 5 V时，退出掉电模式所需时间通常为4.5 μs。

加载DAC(硬件LDAC引脚)

AD5689/AD5687 DAC具有由两个寄存器库组成的双缓冲接口：输入寄存器和DAC寄存器。用户可以写入任意组合的输入寄存器。DAC寄存器更新由LDAC引脚控制。

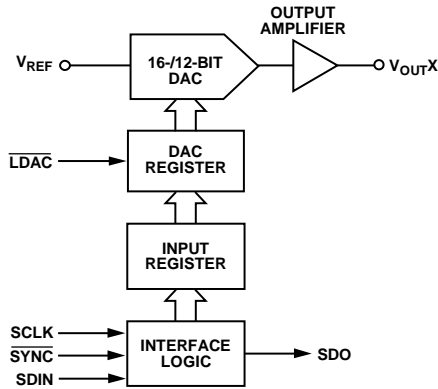


图42. 单个DAC的输入加载电路示意图

DAC同步更新(LDAC保持低电平)

利用命令0001将数据输入输入寄存器时，LDAC保持低电平。被寻址的输入寄存器和DAC寄存器均会在SYNC的上升沿更新，并且输出开始发生变化(见表14和表15)。

DAC延迟更新(LDAC变为低电平)

利用命令0001将数据输入输入寄存器时，LDAC保持高电平。在SYNC变为高电平后通过拉低LDAC，异步更新两个DAC输出。此时在LDAC的下降沿进行更新。

LDAC屏蔽寄存器

命令0101保留用于软件LDAC屏蔽功能，它允许忽略地址位。使用命令0101写入DAC将加载4位LDAC屏蔽寄存器(DB3至DB0)。各通道的默认设置为0，即LDAC引脚正常工作。将选定的位设为1时，可强制DAC通道忽略LDAC引脚上发生的高低跃迁，不管硬件LDAC引脚的状态如何。在用户希望选择由哪个通道来响应LDAC引脚的应用中，这种灵活性非常有用。

利用LDAC屏蔽寄存器，用户可以更加灵活地控制硬件LDAC引脚(参见表13)。如果将某一DAC通道的LDAC位(DB3、DB0)设为0，则意味着此通道的更新受硬件LDAC引脚的控制。

表13. LDAC覆写定义

| 加载LDAC寄存器 | | LDAC 操作 |
|-------------------|----------------|------------------------------------|
| LDAC 位 (DB3, DB0) | LDAC 引脚 | |
| 0 | 1或0 | 由LDAC引脚决定。 |
| 1 | X ¹ | DAC通道更新并覆盖LDAC引脚。DAC通道视LDAC引脚设置为1。 |

¹X = 无关位。

表14. 用于LDAC操作的24位输入移位寄存器内容¹

| DB23 (MSB) | DB22 | DB21 | DB20 | DB19 | DB18 | DB17 | DB16 | DB15 to DB4 | DB3 | DB2 | DB1 | DB0 (LSB) |
|------------|------|------|------|----------|------|------|------|-------------|-------------------|-----|-----|-----------|
| 0 | 0 | 0 | 1 | X | X | X | X | X | DAC B | 0 | 0 | DAC A |
| 命令位(C3至C0) | | | | 地址位(无关位) | | | | 无关 | LDAC位设为1将覆盖LDAC引脚 | | | |

¹X = 无关位。

表15. 写命令和LDAC引脚真值表¹

| 命令 | 描述 | 硬件LDAC 引脚状态 | 输入寄存器内容 | DAC寄存器内容 |
|------|---------------------|--------------------|---------|------------|
| 0001 | 写入输入寄存器n (取决于LDAC) | V _{LOGIC} | 数据更新 | 无变化(无更新) |
| | | GND ² | 数据更新 | 数据更新 |
| 0010 | 以输入寄存器n的内容更新DAC寄存器n | V _{LOGIC} | 无变化 | 用输入寄存器内容更新 |
| | | GND | 无变化 | 用输入寄存器内容更新 |
| 0011 | 写入并更新DAC通道n | V _{LOGIC} | 数据更新 | 数据更新 |
| | | GND | 数据更新 | 数据更新 |

¹当硬件LDAC引脚上发生高电平至低电平转换时，始终会以未被LDAC屏蔽寄存器屏蔽(阻止)的通道上输入寄存器的内容来更新DAC寄存器的内容。

²当LDAC引脚永久接为低电平时，LDAC屏蔽位会被忽略。

硬件复位($\overline{\text{RESET}}$)

$\overline{\text{RESET}}$ 是低电平有效复位引脚，可用于将输出清零至零电平或中间电平。用户可通过上电复位选择(RSTSEL)引脚来选择清零代码值。 $\overline{\text{RESET}}$ 必须至少保持一段时间的低电平才能完成该操作(见图2)。当 $\overline{\text{RESET}}$ 信号变回高电平后，输出会保持为清零值，直到设置新值。当 $\overline{\text{RESET}}$ 引脚为低电平时，无法用新值更新输出。还有一个软件可执行的复位功能，它可将DAC复位至上电复位代码。命令0110用于该软件复位功能(见表9)。上电复位期间， $\overline{\text{LDAC}}$ 或 $\overline{\text{RESET}}$ 上的所有事件都会被忽略。

复位选择引脚(RESET)

AD5689/AD5687具有上电复位电路，可以在上电时控制输出电压。当RSTSEL引脚与低电平相连(至GND)时，输出上电至零电平。注意，这超出了DAC的线性区域范围。当RSTSEL引脚与高电平相连(至 V_{LOGIC})时， V_{OUTX} 上电至中间电平。输出一直保持该电平，直到向DAC发送有效的写序列。

应用信息

微处理器接口

AD5689/AD5687的微处理器接口是通过串行总线实现的，使用与DSP处理器和微控制器兼容的标准协议。通信通道需要一个三线或四线接口，该接口包含一个时钟信号、一个数据信号和一个同步信号。每个器件需要24位数据字，数据在 $\overline{\text{SYNC}}$ 的上升沿有效。

AD5689/AD5687与ADSP-BF531的接口

AD5689/AD5687的SPI接口用于连接符合工业标准的DSP和微控制器。图43显示AD5689/AD5687连接到ADI公司的Blackfin® DSP。该Blackfin处理器集成了一个SPI端口，可直接与AD5689/AD5687的SPI引脚相连。

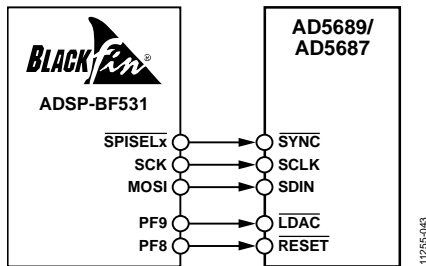


图43. ADSP-BF531与AD5689/AD5687接口

AD5689/AD5687与SPORT的接口

ADI公司的ADSP-BF527有一个SPORT串行端口。图44显示如何利用一个SPORT接口来控制AD5689/AD5687。

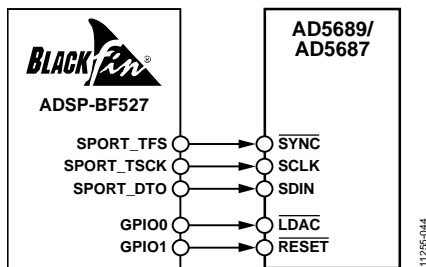


图44. AD5689/AD5687与SPORT接口

布局布线指南

在任何注重精度的电路中，精心考虑电源和接地回路布局都有助于确保达到规定的性能。安装AD5689/AD5687所用的PCB应经过专门设计，使AD5689/AD5687位于模拟平面。

AD5689/AD5687应当具有足够大的10 μF 电源旁路电容，与每个电源上的0.1 μF 电容并联，并且尽可能靠近封装，最好是正对着该器件。10 μF 电容应为钽珠型电容。0.1 μF 电容应具有低有效串联电阻(ESR)和低有效串联电感(ESI)，如高频时提供低阻抗接地路径的普通陶瓷型电容，以便处理内

部逻辑开关所引起的瞬态电流。

在一个电路板上使用多个器件的系统中，提供一定的散热能力通常有助于功率耗散。

每个AD5689或AD5687在器件底部具有裸露焊盘，该焊盘与器件的GND电源相连。为了获得最佳性能，在设计母板和安装器件封装时需要有一些特殊考虑。为了改善散热、电气和板级性能，需将封装底部的裸露焊盘焊接到PCB上相应的散热焊盘上。为进一步改善散热性能，PCB焊盘区可以设计一些散热通路。

可以扩大器件上的GND平面(如图45所示)，以提供自然散热效应。

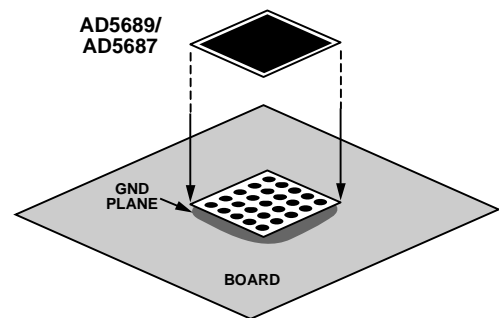
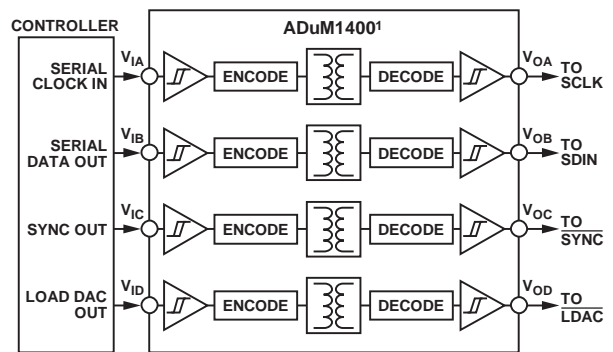


图45. 焊盘与电路板的连接

电流隔离接口

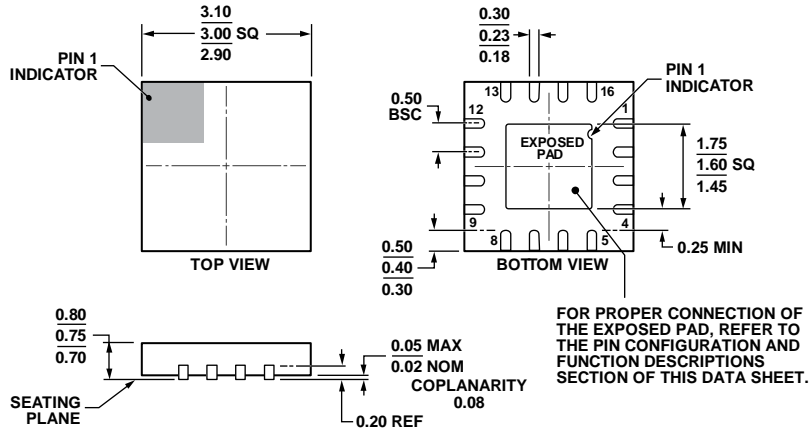
在许多过程控制应用中，需要在控制器与受控单元之间提供一个隔离栅，以保护和隔离控制电路遭受可能发生的任何危险的共模电压。ADI公司iCoupler®产品可提供超过2.5 kV的电压隔离。AD5689/AD5687采用串行加载结构，使接口线路数量保持在最小值，因此成为隔离接口的理想选择。图46显示使用ADuM14001与AD5689/AD5687的4通道隔离接口。欲了解更多信息，请访问www.analog.com/icouplers。



¹ ADDITIONAL PINS OMITTED FOR CLARITY.

图46. 隔离接口

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-WEED-6.

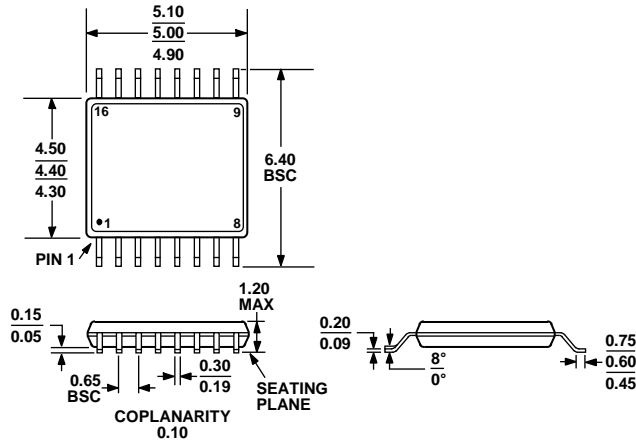
图47. 16引脚引脚架构芯片级封装[LFCSP_WQ]

3 mm x 3 mm, 超薄体

(CP-16-22)

尺寸单位: mm

08-16-2010E



COMPLIANT TO JEDEC STANDARDS MO-153-AB

图48. 16引脚超薄紧凑型封装[TSSOP]

(RU-16)

尺寸单位: mm

订购指南

| 型号 ¹ | 分辨率 | 温度范围 | 精度 | 封装描述 | 封装选项 | 标识 |
|-----------------|-----|--------------|------------|---------------|----------|-----|
| AD5689BCPZ-RL7 | 16位 | -40°C至+105°C | ±2 LSB INL | 16引脚 LFCSP_WQ | CP-16-22 | DKW |
| AD5689BRUZ | 16位 | -40°C至+105°C | ±2 LSB INL | 16引脚 TSSOP | RU-16 | |
| AD5689BRUZ-RL7 | 16位 | -40°C至+105°C | ±2 LSB INL | 16引脚 TSSOP | RU-16 | |
| AD5687BCPZ-RL7 | 12位 | -40°C至+105°C | ±1 LSB INL | 16引脚 LFCSP_WQ | CP-16-22 | DL0 |
| AD5687BRUZ | 12位 | -40°C至+105°C | ±1 LSB INL | 16引脚 TSSOP | RU-16 | |
| AD5687BRUZ-RL7 | 12位 | -40°C至+105°C | ±1 LSB INL | 16引脚 TSSOP | RU-16 | |

¹Z = 符合RoHS标准的器件。