

主要特性

12/16位分辨率

1 LSB INL

噪声频谱密度: 11.8 nV/√Hz

建立时间: 1 μs

毛刺能量: 1.1 nV-s

温度漂移: 0.05 ppm/°C

5 kV HBM ESD额定值

当供电电压为3 V时, 功耗为0.375 mW

单电源供电: 2.7 V至5.5 V

硬件 CLR 和 LDAC 功能

50 MHz 与SPI-/QSPI-/MICROWIRE-/DSP接口兼容

上电复位可将DAC输出设置至中量程

提供3 mm × 3 mm、10/16引脚LFCSP和16引脚TSSOP封装

应用

自动测试设备

精密源测量仪器

数据采集系统

医疗与航空仪器

通信设备

概述

AD5512A/AD5542A单通道、12/16位、串行输入、无缓冲电压输出数模转换器(DAC), 采用2.7 V至5.5 V单电源供电。器件的DAC输出范围为0 V至 V_{REF} , 保证单调性, 提供1 LSB INL精度(16位), 无需调整, 额定温度范围为-40°C至+85°C (AD5542A)或-40°C至+125°C (AD5512A)。

AD5512A/AD5542A提供无缓冲输出, 建立时间为1 μs, 失调误差小, 非常适合高速开环控制应用。

AD5512A/AD5542A采用双极性工作模式, 可产生 $\pm V_{REF}$ 输出摆幅。二者还含有用于基准电压与模拟接地引脚的开尔文检测连接, 以降低布局敏感度。

AD5512A/AD5542A提供16引脚LFCSP封装, AD5542A还提供10引脚LFCSP和16引脚TSSOP两种封装。AD5512A/AD5542A采用多功能三线式接口, 并且与50 MHz SPI、QSPI™、MICROWIRE™、DSP接口标准兼容。

Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

功能框图

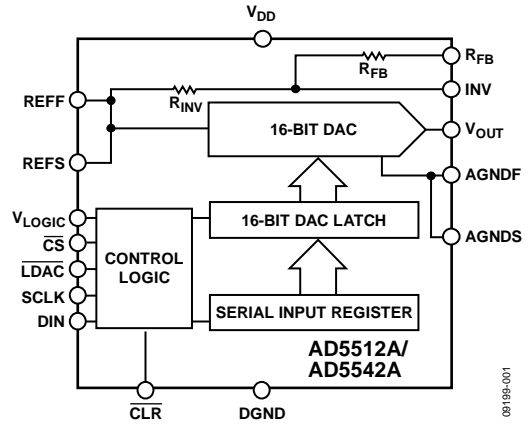


图1. 16引脚TSSOP和16引脚LFCSP

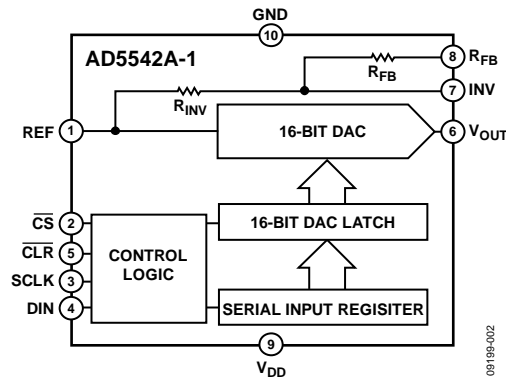


图2. 10引脚LFCSP

表1. 相关器件

产品型号	描述
AD5040/AD5060	2.7 V至5.5 V 14/16位缓冲输出DAC
AD5541/AD5542	2.7 V至5.5 V 16位电压输出DAC
AD5781/AD5791	18/20位电压输出DAC
AD5570	16位 ±12 V/±15 V双极性输出DAC
AD5024/AD5064	4.5V至5.5V 12/16位四通道 DAC
AD5764	16位双极性电压输出DAC

产品聚焦

- 16位性能, 无需调整
- 2.7 V至5.5 V单电源供电。
- 低噪声频谱密度: 11.8 nV/√Hz。
- 低温度漂移: 0.05 ppm/°C。
- 3 mm × 3 mm LFCSP和TSSOP封装。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2010 Analog Devices, Inc. All rights reserved.

目录

特性.....	1	单极性输出操作.....	15
应用.....	1	双极性输出操作.....	16
概述.....	1	输出电压选择.....	17
功能框图.....	1	强制检测放大器选择.....	17
产品聚焦.....	1	基准电压与接地电压.....	17
修订历史.....	2	上电复位.....	17
技术规格.....	3	电源与基准旁路.....	17
AD5512A.....	3	应用信息.....	18
AD5542A.....	4	微处理器接口.....	18
交流特性.....	5	AD5512A/AD5542A与ADSP-BF531的接口.....	18
时序特性.....	6	AD5512A/AD5542A与SPORT的接口.....	18
绝对最大额定值.....	7	AD5512A/AD5542A与68HC11/68L11的接口.....	18
ESD警告.....	7	AD5512A/AD5542A与ADSP-2101的接口.....	18
引脚配置和功能描述.....	8	AD5512A/AD5542A与MICROWIRE的接口.....	18
典型工作特性.....	10	布局指南.....	19
术语.....	14	电流隔离接口.....	19
工作原理.....	15	解码多个DAC.....	19
Digital-to-Analog Section.....	15	外形尺寸.....	20
串行接口.....	15	订购指南.....	21

修订历史

2010年10月—修订版0：初始版

技术规格

AD5512A

除非另有说明, $V_{DD} = 2.7\text{ V}$ 至 5.5 V , $V_{LOGIC} = 2.7\text{ V}$ 至 5.5 V , $V_{REF} = 2.5\text{ V}$, $AGND = DGND = 0\text{ V}$, $-40^\circ\text{C} < T_A < +125^\circ\text{C}$ 。

表2

参数 ¹	最小值	典型值	最大值	单位	测试条件
静态性能					
分辨率	12			Bits	
相对精度(INL)		±0.5	±1.0	LSB	保证单调性 R_{FB}/R_{INV} , 通常 $R_{FB} = R_{INV} = 28\text{ k}\Omega$ 比率误差
微分非线性(DNL)		±0.5	±1.0	LSB	
增益误差		+0.5	±2	LSB	
增益误差温度系数		±0.1		ppm/°C	
单极性零代码误差		0.03	±0.5	LSB	
单极性零代码温度系数		±0.05		ppm/°C	
双极性电阻匹配		1		Ω/Ω	
		±0.02	±0.08	%	
双极性零偏移误差		±0.07	±2	LSB	
双极性零温度系数		±0.2		ppm/°C	
双极性零代码偏移误差		±0.02	±0.5	LSB	
双极性增益误差		±0.07	±2	LSB	
双极性增益温度系数		±0.1		ppm/°C	
输出特性					
输出电压范围	0 $-V_{REF}$		$V_{REF} - 1\text{ LSB}$ $+V_{REF} - 1\text{ LSB}$	V V	单极性操作 双极性操作
DAC输出阻抗		6.25		k Ω	公差通常为20%
电源抑制比			±1.0	LSB	$\Delta V_{DD} \pm 10\%$
输出噪声频谱密度		11.8		nV/ $\sqrt{\text{Hz}}$	DAC代码 = 0x840 (AD5512A) 或 0x8400 (AD5542A), 频率 = 1 kHz
输出噪声		0.134		$\mu\text{V p-p}$	z, 单极性模式 0.1 Hz至10 Hz, 单极性模式
DAC基准电压输入 ²					
基准电压输入范围	2.0		V_{DD}	V	单极性操作 双极性操作 代码0x0000 代码0x3FFF
基准输入电阻 ³	9 7.5			k Ω k Ω	
基准输入电容		26		pF	
		26		pF	
逻辑输入					
输入电流			±1	μA	$V_{DD} = 2.7\text{ V}$ 至 5.5 V $V_{DD} = 2.7\text{ V}$ 至 5.5 V
低输入电压 V_{INL}			0.8	V	
高输入电压 V_{INH}	2.4			V	
输入电容 ²			10	pF	
迟滞电压 ²		0.15		V	
电源要求					
V_{DD}	2.7		5.5	V	所有数字输入为0V、 V_{LOGIC} 或 V_{DD}
I_{DD}		125	150	μA	
V_{LOGIC}	1.8		5.5	V	$V_{IH} = V_{LOGIC}$ 或 V_{DD} , $V_{IL} = \text{GND}$
I_{LOGIC}		15	24	μA	
功耗		1.5	6.05	mW	所有数字输入为0V、 V_{LOGIC} 或 V_{DD}

¹ 温度范围如下: -40°C 至 $+125^\circ\text{C}$ (A版)。

² 通过设计保证, 但未经生产测试。

³ 基准输入电阻与代码相关, 最小值为0x855。

AD5512A/AD5542A

AD5542A

除非另有说明, $V_{DD} = 2.7\text{ V}$ 至 5.5 V , $V_{LOGIC} = 2.7\text{ V}$ 至 5.5 V , $V_{REF} = 2.5\text{ V}$, $AGND = DGND = 0\text{ V}$, $-40^\circ\text{C} < T_A < +85^\circ\text{C}$ 。

表3

参数 ¹	最小值	典型值	最大值	单位	测试条件
静态性能					
分辨率	16			位	
相对精度(INL)		± 0.5	± 1.0	LSB	B级 A级
微分非线性(DNL)		± 0.5	± 1.0	LSB	保证单调性
增益误差		$+0.5$	± 2	LSB	$T_A = 25^\circ\text{C}$
			± 3	LSB	
增益误差温度系数		± 0.1		ppm/ $^\circ\text{C}$	
单极性零代码误差		0.3	± 0.7	LSB	$T_A = 25^\circ\text{C}$
			± 1.5	LSB	
单极性零代码温度系数		± 0.05		ppm/ $^\circ\text{C}$	
双极性电阻匹配		1.000		Ω/Ω	
		± 0.0015	± 0.0076	%	R_{FB}/R_{INV} , 通常, $R_{FB} = R_{INV}$ = 28 k Ω 比率误差
双极性零偏移误差		± 1	± 5	LSB	$T_A = 25^\circ\text{C}$
			± 6	LSB	
双极性零温度系数		± 0.2		ppm/ $^\circ\text{C}$	
双极性零代码偏移误差		± 1	± 5	LSB	$T_A = 25^\circ\text{C}$
			± 6	LSB	
双极性增益误差		± 1	± 5	LSB	$T_A = 25^\circ\text{C}$
			± 6	LSB	
双极性增益温度系数		± 0.1		ppm/ $^\circ\text{C}$	
输出特性					
输出电压范围	0 $-V_{REF}$		$V_{REF} - 1\text{ LSB}$ $+V_{REF} - 1\text{ LSB}$	V V	单极性操作 双极性操作
DAC输出阻抗		6.25		k Ω	公差通常为20%
电源抑制比			± 1.0	LSB	$\Delta V_{DD} \pm 10\%$
输出噪声频谱密度		11.8		nV/ $\sqrt{\text{Hz}}$	DAC代码= 0x840 (AD5512A) 或0x8400 (AD5542A), 频率 =
输出噪声		0.134		$\mu\text{V p-p}$	1 kHz, 单极性模式 0.1 Hz至10 Hz
DAC基准电压输入 ²					
基准电压输入范围	2.0		V_{DD}	V	
基准输入电阻 ³	9			k Ω	单极性操作
	7.5			k Ω	双极性操作
基准输入电容		26		pF	代码0x0000
		26		pF	代码0xFFFF
逻辑输入					
输入电流			± 1	μA	
低输入电压 V_{INL}			0.8	V	
高输入电压 V_{INH}	2.4			V	$V_{DD} = 2.7\text{ V}$ 至 5.5 V
输入电容 ²			10	pF	$V_{DD} = 2.7\text{ V}$ 至 5.5 V
迟滞电压 ²		0.15		V	
电源要求					
V_{DD}	2.7		5.5	V	所有数字输入为0 V、 V_{LOGIC} 或 V_{DD}
I_{DD}		125	150	μA	
V_{LOGIC}	1.8		5.5	V	$V_{IH} = V_{LOGIC}$ 或 V_{DD} , $V_{IL} = \text{GND}$
I_{LOGIC}		15	24	μA	
功耗		1.5	6.05	mW	所有数字输入为0 V、 V_{LOGIC} 或 V_{DD}

¹ 温度范围如下: -40°C 至 $+85^\circ\text{C}$ (A、B版)。

² 通过设计保证, 但未经生产测试。

³ 基准输入电阻与代码相关, 最小值为0x8555。

交流特性

除非另有说明, $V_{DD} = 2.7\text{ V}$ 至 5.5 V , $V_{LOGIC} = 2.7\text{ V}$ 至 5.5 V , $2.5\text{ V} \leq V_{REF} \leq V_{DD}$, $AGND = DGND = 0\text{ V}$, -40°C
 $< T_A < +125^\circ\text{C}$ 。

表4

参数	最小值	典型值	最大值	单位	测试条件
输出电压建立时间		1		μs	FS LSB的一半, $C_L = 10\text{ pF}$
压摆率		17		$\text{V}/\mu\text{s}$	$C_L = 10\text{ pF}$, 测量值范围: 0%至63%
数模转换毛刺脉冲		1.1		$\text{nV}\cdot\text{sec}$	主要载波存在1 LSB的变化
基准-3 dB带宽		2.2		MHz	载入的数值全为1。
基准馈通		1		mV p-p	
数字馈通		0.2		$\text{nV}\cdot\text{sec}$	载入的数值全为0。当频率为100 kHz时, $V_{REF} = 1\text{ V p-p}$ 以数字方式生成频率为1 kHz的正弦波
信噪比		92		dB	
无杂散动态范围		80		dB	DAC代码= 0x3FFF(AD5512A)或0xFFFF(AD5542A), 频率 = 10 kHz, $V_{REF} = 2.5\text{ V} \pm 1\text{ V p-p}$
总谐波失真		74		dB	

AD5512A/AD5542A

时序特性

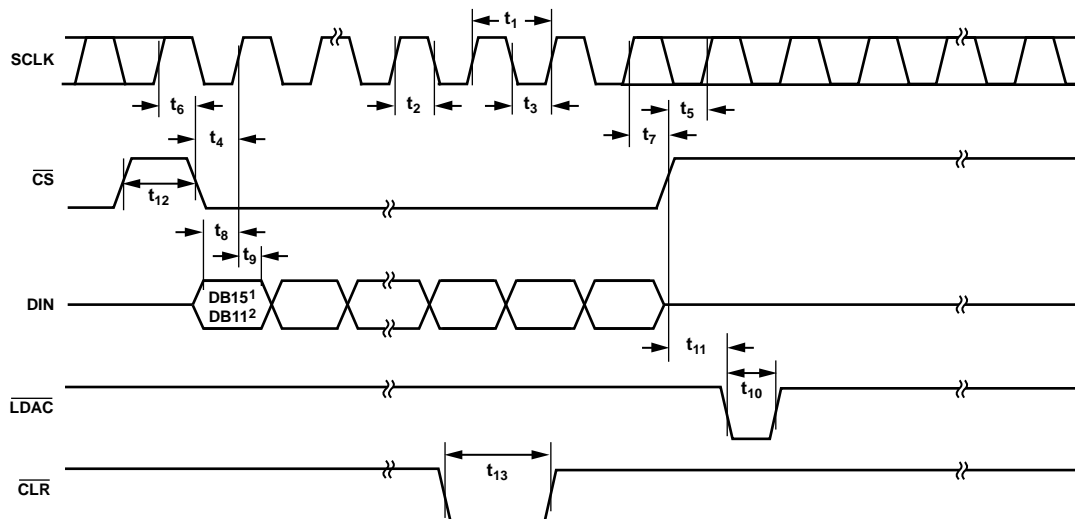
除非另有说明, $V_{\text{LOGIC}} = 2.7\text{ V至}5.5\text{ V}$, $V_{\text{DD}} = 5\text{ V}$, $V_{\text{REF}} = 2.5\text{ V}$, $V_{\text{INH}} = 0.9 * V_{\text{LOGIC}}$, $V_{\text{INL}} = 10\% * V_{\text{LOGIC}}$, $\text{AGND} = \text{DGND} = 0\text{ V}$, $-40^{\circ}\text{C} < T_{\text{A}} < +125^{\circ}\text{C}$.

表5

参数 ^{1,2}	限值	单位	描述
f_{SCLK}	50	MHz(最大值)	SCLK周期频率
t_1	20	ns(最小值)	SCLK周期时间
t_2	10	ns(最小值)	SCLK高电平时间
t_3	10	ns(最小值)	SCLK低电平时间
t_4	5	ns(最小值)	由 $\overline{\text{CS}}$ 低电平到SCLK高电平的建立时间
t_5	7	ns(最小值)	由 $\overline{\text{CS}}$ 高电平到SCLK高电平的建立时间
t_6	15	ns(最小值)	SCLK高电平到 $\overline{\text{CS}}$ 低电平的保持时间
t_7	10	ns(最小值)	SCLK高电平到 $\overline{\text{CS}}$ 高电平的保持时间
t_8	7	ns(最小值)	数据建立时间
t_9	5	ns(最小值)	数据保持时间($V_{\text{INH}} = 0.9 * V_{\text{DD}}$, $V_{\text{INL}} = 0.1 * V_{\text{DD}}$)
t_9	5	ns(最小值)	数据保持时间($V_{\text{INH}} = 3\text{ V}$, $V_{\text{INL}} = 0\text{ V}$)
t_{10}	15	ns(最小值)	LDAC脉冲宽度
t_{11}	15	ns(最小值)	$\overline{\text{CS}}$ 高电平到LDAC低电平的建立时间
t_{12}	15	ns(最小值)	在两个活动周期之间的CS高电平时间
t_{13}	15	ns(最小值)	CLR脉冲宽度

¹ 通过设计和特性保证, 但未经生产测试。

² 所有输入信号均指定 $t_r = t_f = 1\text{ ns/V}$ 并从 $(V_{\text{IL}} + V_{\text{IH}})/2$ 的电平起开始计时。



NOTES

1. FOR AD5542A = DB15.
2. FOR AD5512A = DB11.

09189-003

图3. 时序图

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表6

参数	额定值
V_{DD} 至AGND	-0.3 V至+6 V
数字输入电压至DGND	-0.3 V至 $V_{DD} + 0.3$ V
V_{OUT} 至AGND	-0.3 V至 $V_{DD} + 0.3$ V
AGNDF、AGNDS至DGND	-0.3 V至+0.3 V
输入电流至除电源外的任何引脚 ¹	± 10 mA
工作温度范围	
AD5512A工业温度(A版)	-40°C至+125°C
AD5542A工业温度(A、B版)	-40°C至+85°C
存储温度范围	-65°C至+150°C
最大结温(T_{JMAX})	150°C
封装功耗	$(T_{JMAX} - T_A)/\theta_{JA}$
热阻 θ_{JA}	
TSSOP (RU-16)	113°C/W
LFCSP (CP-16-22)	73°C/W
LFCSP (CP-10-9)	74°C/W
引脚温度, 焊接	
峰值温度 ¹	260°C
ESD ²	5 kV

¹ 根据JEDEC标准20。

² HBM分类。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最大值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

AD5512A/AD5542A

引脚配置和功能描述

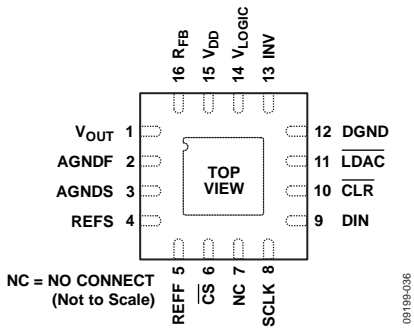
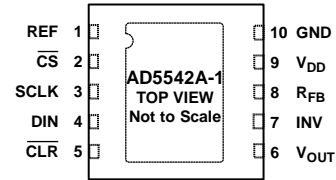


图4. AD5512A/AD5542A的引脚配置(16引脚LFCSP)



NOTES
1. THE EXPOSED PADDLE SHOULD BE TIED TO THE POINT OF LOWEST POTENTIAL, IN THIS CASE, GND.

图5. AD5542A-1的引脚配置(10引脚LFCSP)

表7. AD5512A/AD5542A引脚功能描述

引脚编号		引脚名称	描述
16引脚LFCSP	10引脚LFCSP		
1	6	V_{OUT}	DAC的模拟输出电压。
2		AGNDF	模拟电路的地参考点(强制)。
3		AGNDS	模拟电路的地参考点(检测)。
4		REFS	DAC的基准电压输入(检测接法)。与一个2.5 V外部基准源相连。参考电压范围: 2 V至VDD。
5		REFF	DAC的基准电压输入(强制)与一个2.5 V外部基准源相连。参考电压范围: 2 V至VDD。
6	2	\overline{CS}	逻辑输入信号。片选信号用于限制串行数据输入。
7		NC	不连接。
8	3	SCLK	时钟输入。数据在SCLK的上升沿时逐个输入移位寄存器。占空比在40%至60%之间。
9	4	DIN	串行数据输入。本器件接受16位字。数据在SCLK的上升沿时逐个输入移位寄存器。
10	5	\overline{CLR}	异步清零输入。输入对下降沿敏感。为低电平时, 所有脉冲都被忽略。 \overline{CLR} 被激活时, DAC寄存器清至所选量程的中间电平。
11		\overline{LDAC}	\overline{LDAC} 输入。当该输入引脚处于低电平状态时, DAC寄存器与输入寄存器内容同时更新。
12		DGND	数字地。数字电路的接地基准。
13	7	INV	连接至DAC的内部调整电阻。将INV引脚连接至双极性模式下的外部运算放大器反相输入。
14		V_{LOGIC}	逻辑电源。
15	9	V_{DD}	模拟电源电压, $5 V \pm 10\%$ 。
16	8	R_{FB}	反馈电阻引脚。双极性模式下, 将该引脚连接至外部运算放大器输出。
	1	REF	DAC的基准电压输入。将该引脚与一个2.5 V外部基准电压相连。基准电压范围可从2 V至VDD。
	10	GND	地。
	EPAD	裸露焊盘	裸露焊盘应与最低电压点相连; 在本例中, 焊盘应与GND相连。

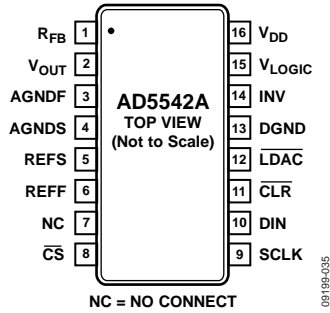


图6. AD5542A引脚配置(16引脚TSSOP)

表8. AD5542A引脚功能描述

引脚编号	引脚名称	描述
1	R_{FB}	反馈电阻引脚。双极性模式下，将该引脚与外部运算放大器输出相连。
2	V_{OUT}	DAC的模拟输出电压。
3	AGNDF	模拟电路的地参考点(强制)。
4	AGNDS	模拟电路的地参考点(检测)。
5	REFS	DAC的电压基准输入(检测)。连接至2.5 V外部基准电压。基准电压范围可从2 V至VDD。
6	REFF	DAC基准电压输入(强制)。连接至2.5 V外部基准电压。基准电压范围可从2 V至VDD。
7	NC	不连接。
8	\overline{CS}	逻辑输入信号。片选信号用于限制串行数据输入。
9	SCLK	时钟输入。数据在SCLK的上升沿时逐个输入移位寄存器。占空比在40%至60%之间。
10	DIN	串行数据输入。本器件接受16位字。数据在SCLK的上升沿时逐个输入移位寄存器。
11	\overline{CLR}	异步清零输入。输入对下降沿敏感。为低电平时，所有脉冲都被忽略。当 \overline{CLR} 被激活时，DAC寄存器清至所选量程的中间电平。
12	\overline{LDAC}	LDAC输入。当该输入引脚处于低电平状态时，DAC寄存器与输入寄存器内容同时更新。
13	DGND	数字地。数字电路的接地基准。
14	INV	连接至DAC的内部调整电阻。将INV引脚连接至双极性模式下的外部运算放大器反相输入。
15	V_{LOGIC}	逻辑电源。
16	V_{DD}	模拟电源电压，5 V \pm 10%。

典型工作特性

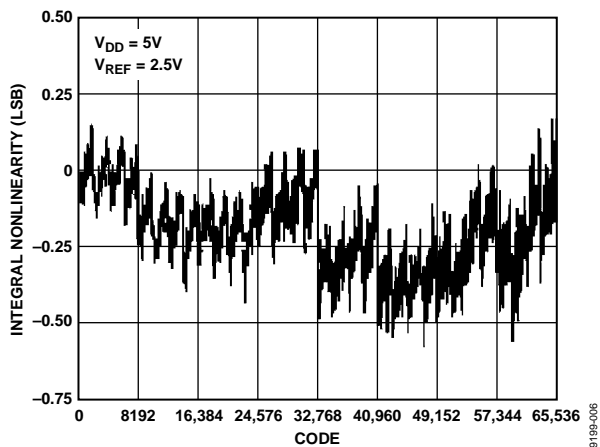


图7. AD5542A积分非线性与代码的关系

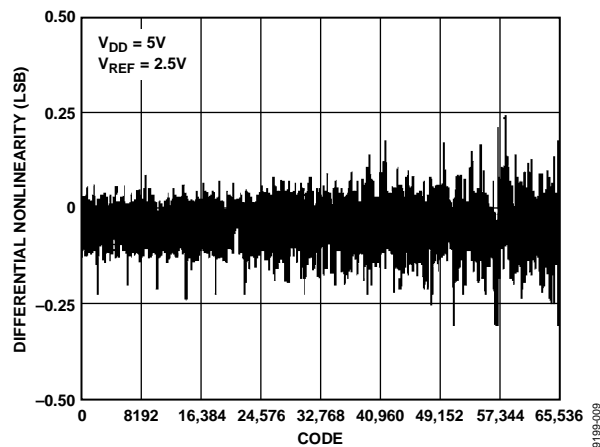


图10. AD5542A微分非线性与代码的关系

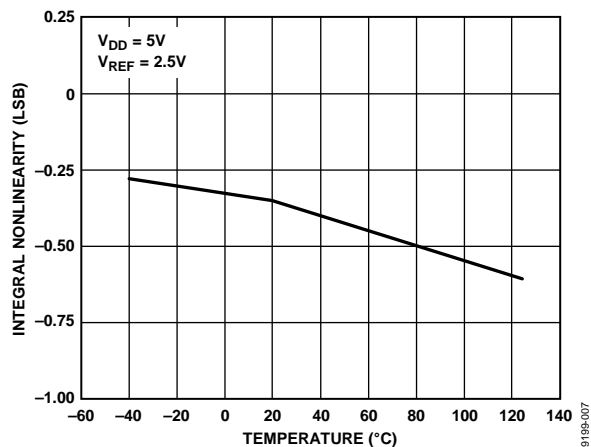


图8. AD5542A积分非线性与温度的关系

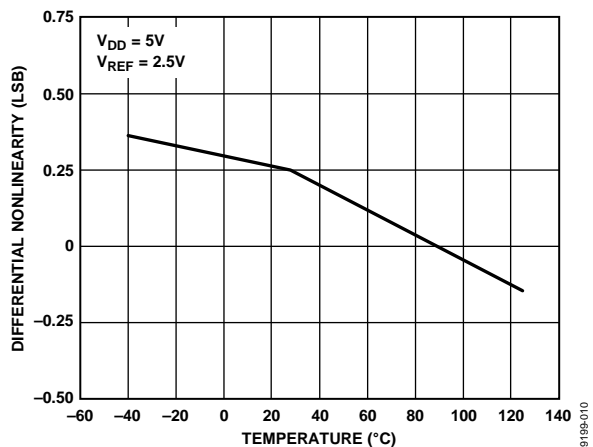


图11. AD5542A微分非线性与温度的关系

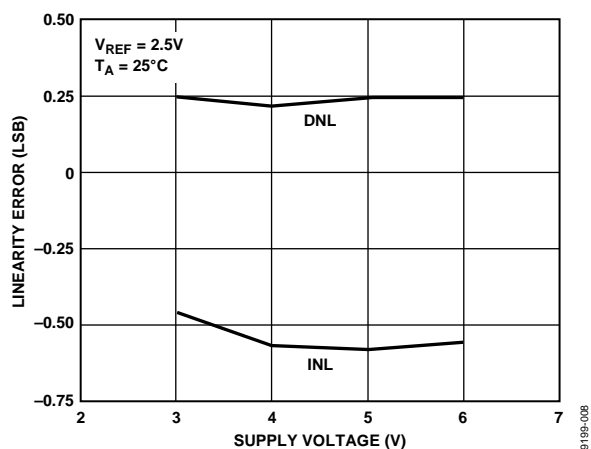


图9. AD5542A线性误差与电源电压的关系

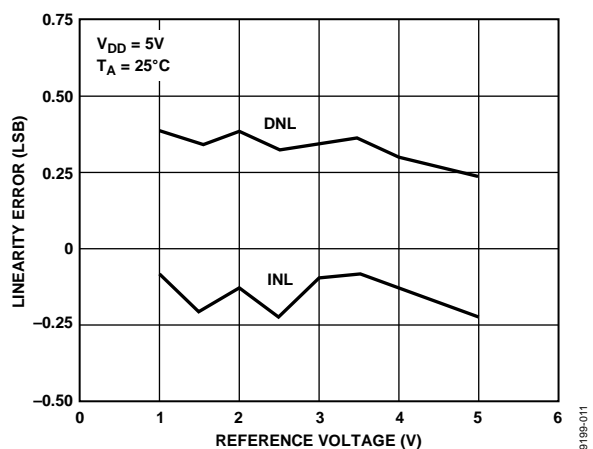


图12. AD5542A线性误差与基准电压的关系

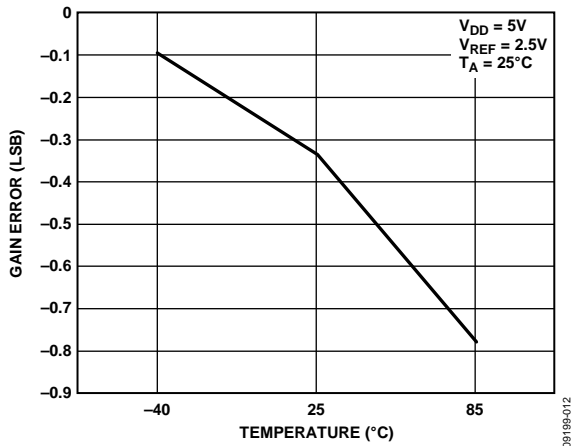


图13. AD5512A/AD5542A增益误差与温度的关系

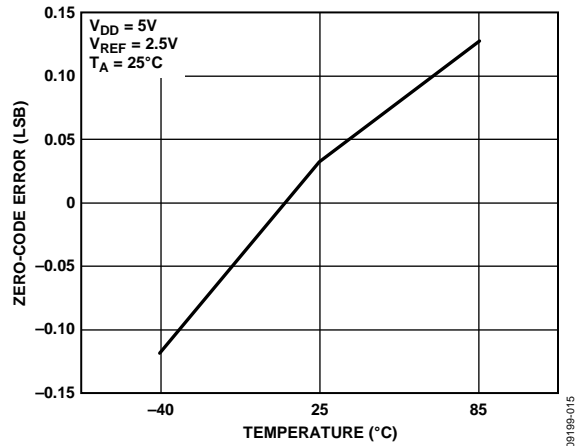


图16. AD5512A/AD5542A零代码误差与温度的关系

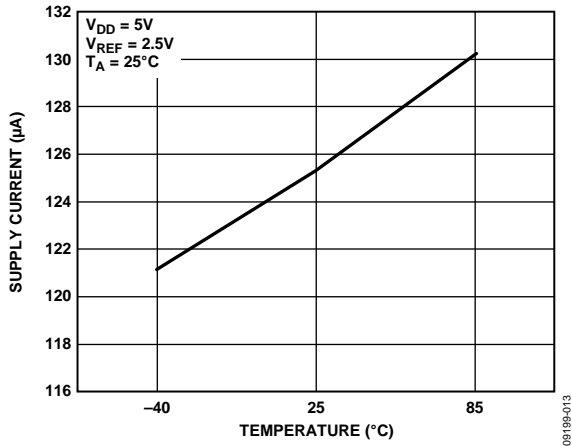


图14. AD5512A/AD5542A电源电流与温度的关系

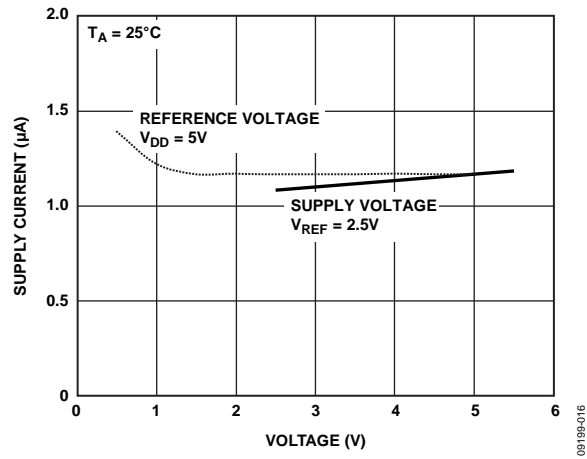


图17. AD5512A/AD5542A电源电流与基准电压或电源电压的关系



图15. AD5512A/AD5542A电源电流与数字输入电压的关系

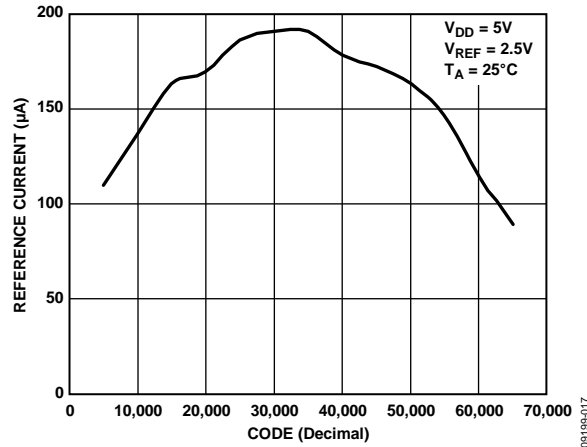


图18. AD5512A/AD5542A基准电流与代码的关系

AD5512A/AD5542A

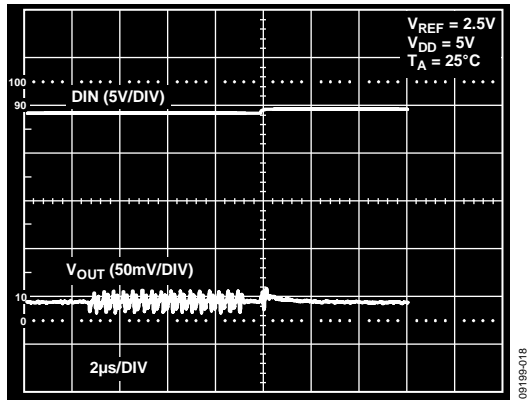


图19. AD5512A/AD5542A的数字馈通

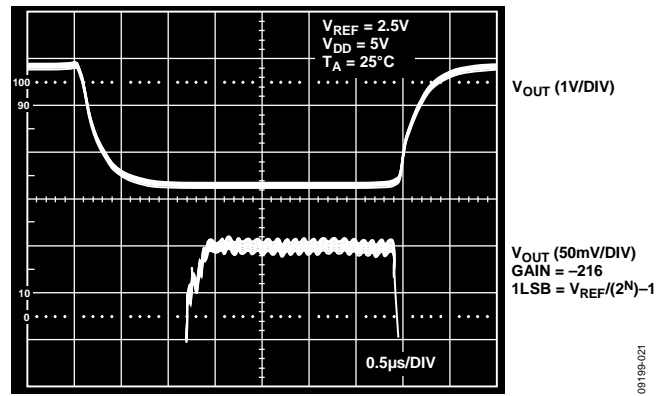


图22. AD5512A/AD5542A的小信号建立时间

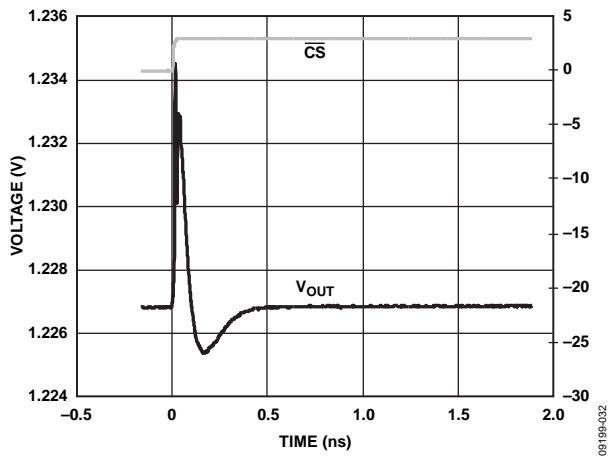


图20. AD5512A/AD5542A的数模转换毛刺脉冲

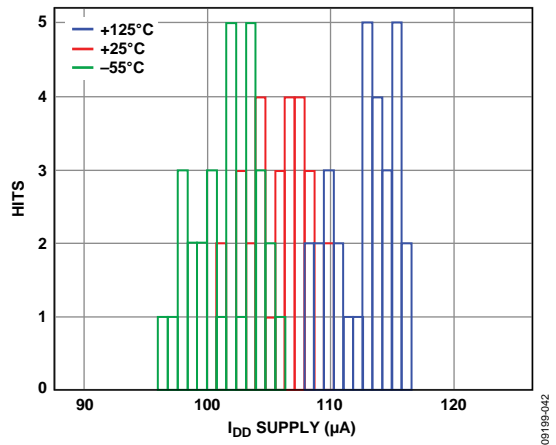


图23. AD5512A/AD5542A的模拟电源电流直方图

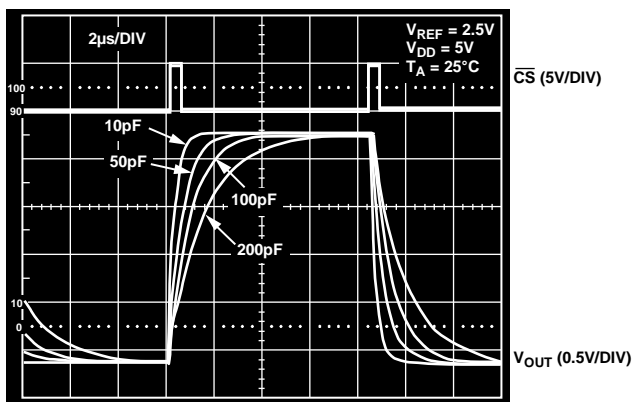


图21. AD5512A/AD5542A的大信号建立时间

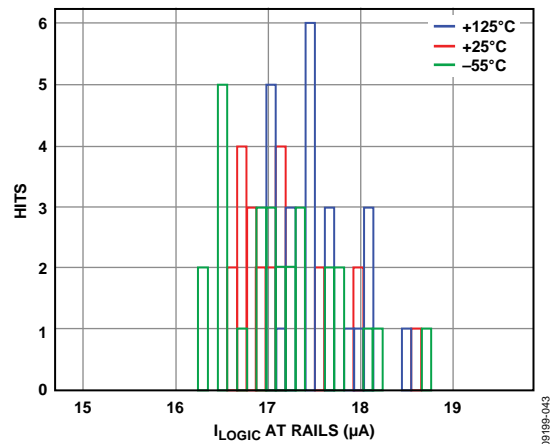


图24. AD5512A/AD5542A的数字电源电流直方图

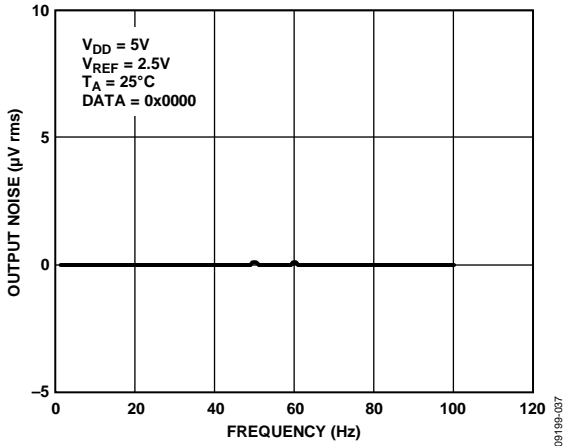


图25. AD5512A/AD5542A 0.1 Hz至10 Hz输出噪声

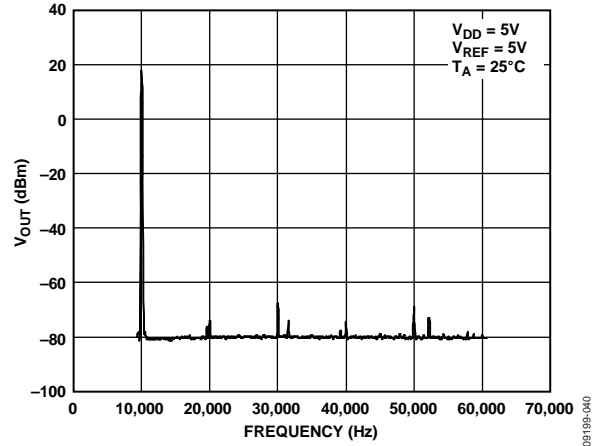


图28. AD5512A/AD5542A的总谐波失真

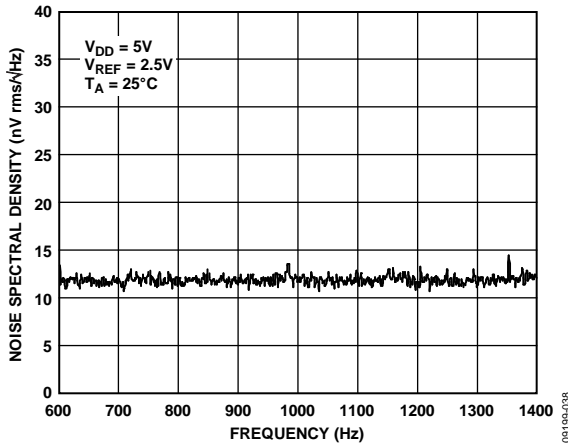


图26. AD5512A/AD5542A噪声谱密度与频率(1 kHz)的关系

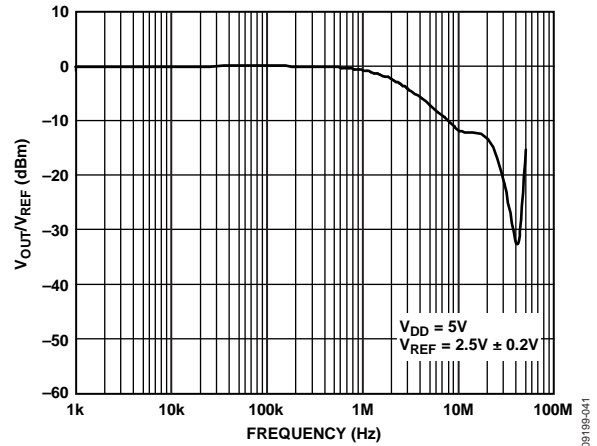


图29. AD5512A/AD5542A的乘法带宽

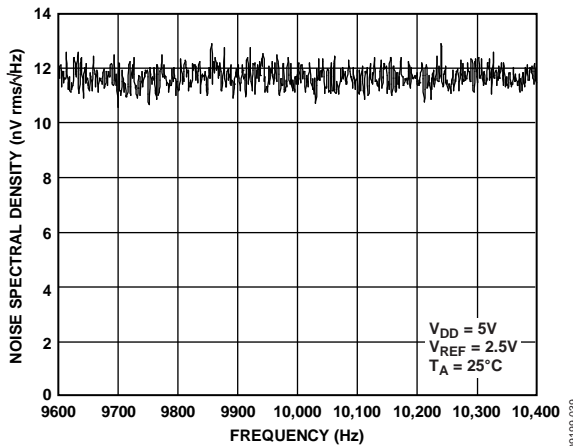


图27. AD5512A/AD5542A噪声谱密度与频率(10 kHz)的关系

术语

相对精度或积分非线性(INL)

对于DAC，相对精度或INL是指DAC输出与通过DAC端点的传递函数直线之间的最大偏差，单位为LSB。图7给出了典型的INL与代码的关系图。

微分非线性(DNL)

DNL指任意两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。最大 ± 1 LSB的额定微分非线性可确保单调性。图10所示为典型的DNL与代码的关系图。

增益误差

增益误差指实际与理想模拟输出范围之间的差值，以满量程的百分比形式表示。它是DAC传递特性的斜率与理想值的偏差。

增益误差温度系数

增益误差温度系数用来衡量增益误差随温度的变化，用ppm/ $^{\circ}\text{C}$ 表示。

零代码误差

零代码误差用来衡量将零代码载入DAC寄存器时的输出误差。

零代码温度系数

失调误差漂移衡量零电平误差随温度的变化，用mV/ $^{\circ}\text{C}$ 表示。

数模转换毛刺脉冲

数模转换毛刺脉冲是DAC寄存器中的编码输入变化时注入到模拟输出的脉冲。数模转换毛刺脉冲通常规定为毛刺的面积，用nV-sec表示，数字输入代码在主进位跃迁中改变1 LSB时进行测量。数模转换毛刺脉冲如图20所示。

数字馈通

数字馈通衡量从DAC的数字输入注入DAC的模拟输出的脉冲，但在DAC输出未更新时进行测量。触发SCLK信号和DIN信号后，CS进入高电平状态。数字馈通的单位为nV-s；表示测量数据总线上发生满量程编码变化时的情况，即全0至全1，反之亦然。图19给出了典型的数字馈通图。

电源抑制比(PSRR)

PSRR表示DAC的输出如何受电源电压变化影响。电源抑制比指输出变化百分比与DAC满量程输出变化百分比的比值。VDD的变化范围为 $\pm 10\%$ 。

基准馈通

基准馈通衡量DAC载入值全为0时从VREF输入到DAC输出的馈通。当频率为100 kHz时，VREF为1 V p-p。基准馈通的单位为mV p-p。

工作原理

AD5512A/AD5542A是单通道、12/16位、串行输入、电压输出DAC。当采用单电源供电时，器件的供电电压为2.7 V至5 V；当供电电压为5V时，电流为125 μA。器件支持12位数据(AD5512A)或16位数据(AD5542A)，数据传输通过一个3线/4线串行接口完成。为确保上电状态可控，这些器件都带有上电复位功能。在单极性状态下，输出被复位到中间值；在双极性状态下，输出被复位至0V。AD5512A/AD5542A还具备用于基准电压与模拟接地引脚的开尔文检测连接。

数模部分

DAC架构包含两个匹配的DAC部分。图30为简化电路图。AD5512A/AD5542A的DAC架构是分段的。16(AD5542A)/12(AD5512A)位数据字的4个MSB经解码用于驱动15个开关E1至E15。每个开关通过唯一与之匹配的电阻与AGND或VREF相连。数据字的其余12位驱动12位电压模式R-2R梯形网络的S0至S11开关。

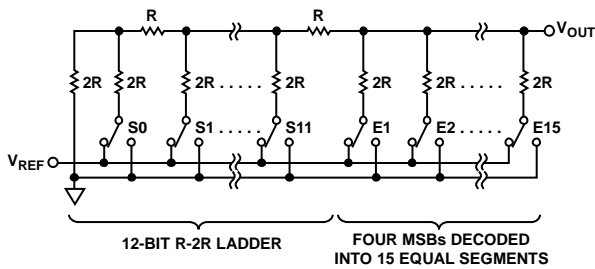


图30. DAC结构

采用这种配置，输出阻抗与代码无关，而基准电压源的输入阻抗则与代码密切相关。输出电压与基准电压相关，如下式所示：

$$V_{OUT} = \frac{V_{REF} \times D}{2^N}$$

其中：

D为载入DAC寄存器的十进制数据字。

N为DAC的分辨率。

当采用2.5 V基准电压时，可将公式简化为：

$$V_{OUT} = \frac{2.5 \times D}{65,536}$$

DAC载入中间电平时， $V_{OUT}=1.25V$ ；载入满量程时，

$V_{OUT}=2.5 V$ 。

LSB的大小为 $V_{REF}/65,536$ 。

串行接口

AD5512A/AD5542A由一个多功能三/四线串行接口控制，能够以最高50MHz的时钟速率工作，并与SPI、QSPI、MICROWIRE和DSP接口标准兼容。串行接口时序图如图3。输入数据由片选输入 \overline{CS} 决定。当 \overline{CS} 发生高电平至低电平转换后，数据在串行时钟信号SCLK的上升沿同步移入并锁存在输入寄存器内。数据以MSB优先方式加载至12位字(AD5512A)或16位字(AD5542A)内。将12位(AD5512A)或16位(AD5542A)数据载入串行输入寄存器内之后， \overline{CS} 的低电平至高电平转换可将移位寄存器内容传输至DAC。只有在 \overline{CS} 处于低电平时，数据才能载入器件。

AD5512A/AD5542A具备 \overline{LDAC} 功能，可以通过在 \overline{CS} 变为高电平后将 \overline{LDAC} 置于低电平来异步更新DAC锁存内容。在将数据写入移位寄存器的过程中， \overline{LDAC} 应维持在高电平状态。或者， \overline{LDAC} 可永久性接至低电平，以同步更新DAC。 \overline{LDAC} 永久性接至低电平时，数据在 \overline{CS} 的上升沿被载入DAC。

单极性输出操作

这些DAC能驱动60 kΩ无缓存负载。无缓存操作会导致低电源电流(典型值为300 μA)和低失调误差。AD5512A/AD5542A支持单极性输出摆幅(0V至 V_{REF})。AD5512A/AD5542A可配置为同时输出单极性电压和双极性电压。图31是一个典型的单极性输出电压电路图。此操作模式的代码表见表9。

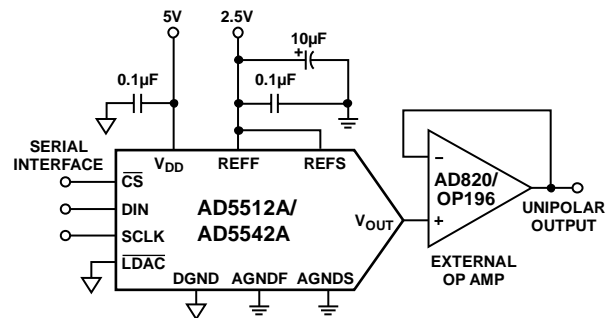


图31. 单极性输出

表9. AD5542A单极性代码表

DAC锁存内容		模拟输出
MSB	LSB	
1111 1111 1111 1111		$V_{REF} \times (65,535/65,536)$
1000 0000 0000 0000		$V_{REF} \times (32,768/65,536) = \frac{1}{2} V_{REF}$
0000 0000 0000 0001		$V_{REF} \times (1/65,536)$
0000 0000 0000 0000		0V

AD5512A/AD5542A

假设基准电压为理想状态，可根据以下公式计算单极性最差情况输出电压：

$$V_{OUT-UNI} = \frac{D}{2^N} \times (V_{REF} + V_{GE}) + V_{ZSE} + INL$$

其中：

$V_{OUT-UNI}$ 为单极性模式最差情况输出。

D为载入DAC的代码。

N是DAC的分辨率。

V_{REF} 是施加于器件的基准电压。

V_{GE} 为增益误差，单位为伏特(V)。

V_{ZSE} 为零电平误差，单位为伏特(V)。

INL为积分非线性，单位为伏特(V)。

双极性输出操作

借助外部运算放大器，AD5512A/AD5542A可配置为提供双极性电压输出。图32显示的是典型电路。匹配的双极性失调电阻 R_{FB} 和 R_{INV} 与外部运算放大器相连，以实现该双极性输出摆幅，通常为 $R_{FB} = R_{INV} = 28\text{ k}\Omega$ 。表10显示这一输出操作模式的传递函数。AD5542A上还提供了一组模拟接地输入开尔文连接。本例中包含ADR421

2.5 V基准电压和AD8628低失调、零漂移基准电压缓冲。

表10. AD5542A双极性代码表

DAC锁存内容		模拟输出
MSB	LSB	
1111 1111 1111 1111		$+V_{REF} \times (32,767/32,768)$
1000 0000 0000 0001		$+V_{REF} \times (1/32,768)$
1000 0000 0000 0000		0 V
0111 1111 1111 1111		$-V_{REF} \times (1/32,768)$
0000 0000 0000 0000		$-V_{REF} \times (32,768/32,768) = -V_{REF}$

假设基准电压为理想状态，可根据以下公式计算最差情况双极性输出电压：

$$V_{OUT-BIP} = \frac{[(V_{OUT-UNI} + V_{OS})(2 + RD) - V_{REF}(1 + RD)]}{A}$$

其中：

$V_{OUT-BIP}$ 为双极性模式最差情况输出。

$V_{OUT-UNI}$ 为单极性模式最差情况输出。

V_{OS} 为外部运算放大器输入失调电压。

RD为 R_{FB} 和 R_{INV} 电阻匹配误差。

A为运算放大器开环增益。

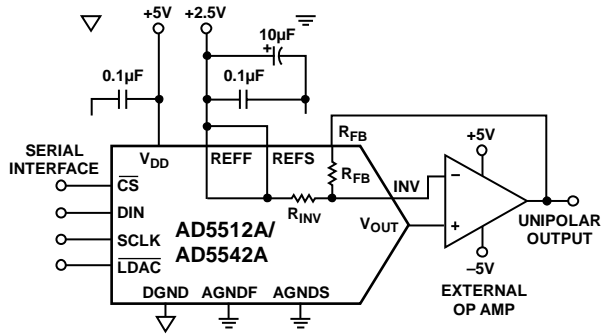


图32. 双极性输出

输出放大器选择

在双极性模式下，应采用精密放大器并以双电源供电。这样可以产生 $\pm V_{REF}$ 输出。在单电源应用中，放大器输出摆幅通常不包括负电轨(在此例中为AGND)，因此，选择合适的运算放大器更困难。这可能导致某些性能的下降，除非不使用接近零的代码。

选中的运算放大器必须极低的失调电压(当AD5542A的基准电压为2.5 V时，DAC LSB为38 μ V)，这样就无需进行输出偏置修正。输入偏置电流也应该非常低，因为偏置电流会被DAC输出阻抗(约6 k Ω)放大，产生零代码误差。轨到轨输入和输出性能非常有必要。为实现快速建立，运算放大器的压摆率不应影响DAC的建立时间。DAC的输出阻抗恒定，且与代码无关，但为了将增益误差降至最小，输出放大器的输入阻抗应尽可能高。输出放大器还应具有1 MHz或更高的3 dB带宽。输出放大器给系统增加了另一个时间常数，因此会延长输出的建立时间。放大器的3 dB带宽越高，则DAC与放大器组合的有效建立时间越快。

强制检测放大器选择

使用单电源、低噪声放大器。因为放大器必须能处理高达 ± 20 mA的动态电流，高频下的低输出阻抗特性是首选。

基准电压与接地电压

由于输入阻抗由代码决定，因此，基准电压引脚应该由一个低阻抗源驱动。AD5512A/AD5542A的基准电压范围为2 V至 V_{DD} 。基准电压低于2 V会降低精度。DAC的满量程输出电压由基准电压决定。表9和表10显示模拟输出电压或特定数字代码。为达到最佳性能，AD5512A/AD5542A内提供了开尔文检测连接。

如果应用不需要独立的强制线路和检测线路，可将这些线路贴近封装连接，以尽可能降低封装引脚与内部芯片之间的压降。

上电复位

AD5512A/AD5542A具备上电复位功能，以确保上电过程中输出端处于已知状态。执行上电后，在载入串行寄存器的数据前，DAC寄存器值均为0。但上电过程中串行寄存器不会被清零；因此，其内容不明确。初次向DAC载入数据时，应载入16位或更多位数据，以防止输出端出现错误数据。如果向DAC载入多于16位的数据，最后16位数据将被保存，如果载入的数据少于16位，则保留前一个数据字的内容。如果AD5512A/AD5542A必须与短于16位的数据接口，则数据LSB应填充0。

电源与基准旁路

为发挥准确的高分辨率性能，建议将一个0.1 μ F陶瓷电容与一个10 μ F钽电容并联，使基准电压引脚和电源引脚旁路。

AD5512A/AD5542A

应用信息

微处理器接口

AD5512A/AD5542A的微处理器接口是通过串行总线，使用与DSP处理器和微控制器兼容的协议。通信通道需要一个三线/四线接口，该接口包含一个时钟信号、一个数据信号和一个同步信号。AD5512A/AD5542A需要16位数据字，数据在SCLK的上升沿时有效。当所有的数据被逐位读入时，DAC自动更新，或者也可在LDAC的控制下实现。

AD5512A/AD5542A与ADSP-BF531的接口

AD5512A/AD5542A的SPI接口用于连接符合工业标准的DSP和微控制器。图33显示AD5512A/AD5542A如何与ADI公司的Blackfin® DSP相连。Blackfin处理器集成了一个SPI接口，可直接与AD5512A/AD5542A的SPI引脚相连。

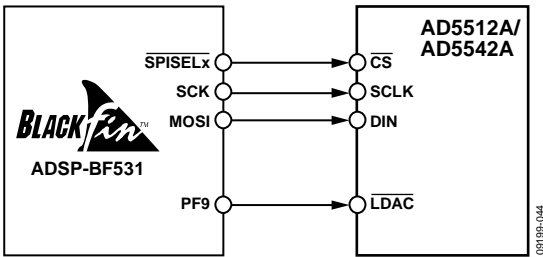


图33. AD5512A/AD5542A与ADSP-BF531的接口

AD5512A/AD5542A与SPORT的接口

AnalogDevices的ADSP-BF527有一个SPORT串行端口。图34显示如何利用一个SPORT端口来控制AD5512A/AD5542A。

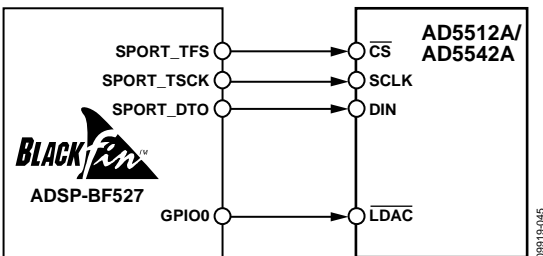
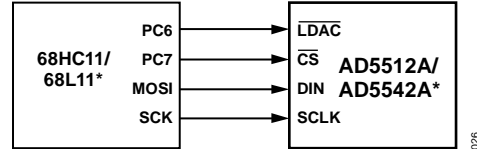


图34. AD5512A/AD5542A与ADSP-BF527的接口

AD5512A/AD5542A与68HC11/68L11的接口

图35显示的是AD5512A/AD5542A与68HC11/68L11微控制器之间的串行接口。68HC11/68L11的SCK信号用于驱动DAC的SCLK，MOSI输出用于驱动串行数据线上的串行DIN。CS信号由端口线之一来驱动。68HC11/68L11配置为主模式时：MSTR = 1、CPOL = 0、CPHA = 0。MOSI的输出数据在SCK的上升沿有效。

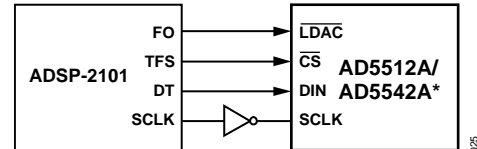


*ADDITIONAL PINS OMITTED FOR CLARITY.

图35. AD5512A/AD5542A与68HC11/68L11的接口

AD5512A/AD5542A与ADSP-2101的接口

图36显示AD5512A/AD5542A与ADSP-2101之间的串行接口。ADSP-2101应设置为SPORT交替帧传输方式。通过SPORT控制寄存器对ADSP-2101进行编程，配置如下：内部时钟工作模式、低电平有效帧、16位字长。使能SPORT后，可以通过对Tx寄存器进行写操作来启动传输。数据在串行时钟的每个上升沿被移出；由于AD5512A/AD5542A时钟数据位于SCLK的下降沿，因此，需要在DSP与DAC之间连接一个变换器。

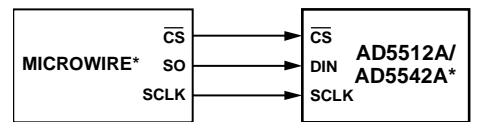


*ADDITIONAL PINS OMITTED FOR CLARITY.

图36. AD5512A/AD5542A与ADSP-2101的接口

AD5512A/AD5542A与MICROWIRE的接口

图37显示的是AD5512A/AD5542A与MICROWIRE兼容器件之间的串行接口。串行数据在串行时钟的下降沿移出，在串行时钟的上升沿移入AD5512A/AD5542A。由于DAC数据在上升沿逐个进入输入移位寄存器，因此，不需要胶连逻辑。



*ADDITIONAL PINS OMITTED FOR CLARITY.

图37. AD5512A/AD5542A与MICROWIRE的接口

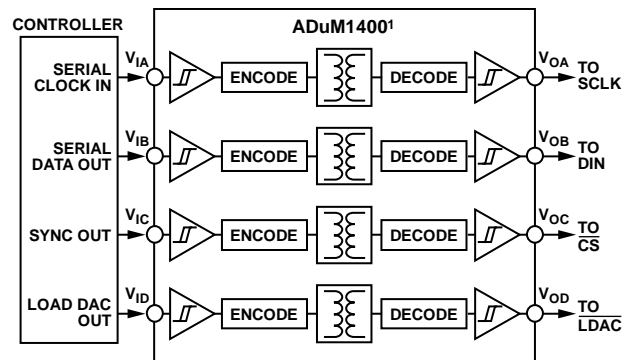
布局指南

在任何注重精度的电路中，精心考虑电源和接地回路布局都有助于确保达到规定的性能。安装AD5512A/AD5542A所用的印刷电路板(PCB)应采用模拟部分与数字部分分离设计，并限制在电路板的一定区域内。如果AD5512A/AD5542A处于多个器件需要一个模拟地-数字地连接的系统中，只在一个点上进行连接。星形接地点尽可能靠近该器件。

AD5512A/AD5542A应具有足够大的10μF电源旁路电容，与每个电源上的0.1μF电容并联，并且尽可能靠近封装，最好是正对着该器件。10μF电容为钽珠型电容。0.1μF电容应具有低有效串联电阻(ESR)和低有效串联电感(ESI)，如高频时提供低阻抗接地路径的普通陶瓷型电容，以便处理内部逻辑开关所引起的瞬变电流。

电流隔离接口

在很多过程控制应用中，都需要在控制器和被控制单元之间放置一个隔栅，以保护和隔离控制电路，防止危险的共模电压破坏电路。ADI公司的iCoupler®产品可隔离高于2.5 kV的电压。AD5512A/AD5542A具有串行负载结构，其接口线保持在最低数量，因此非常适合做隔离接口。图38所示为使用ADuM1400的AD5512A/AD5542A的4通道隔离接口。欲了解更多信息，请访问：<http://www.analog.com/icouplers>。



¹ADDITIONAL PINS OMITTED FOR CLARITY.

图38. 隔离接口

解码多个DAC

AD5512A/AD5542A的 \overline{CS} 引脚可用于选择多个DAC之一。所有器件接收相同的串行时钟和串行数据，但在同一时刻只有一个器件接收 \overline{CS} 信号。由解码器决定哪个DAC被选中。数字输入线上会产生一些数字馈通。可以在器件上配备突发时钟，以便降低数字馈通对模拟信号通道的影响。图39所示为典型电路。

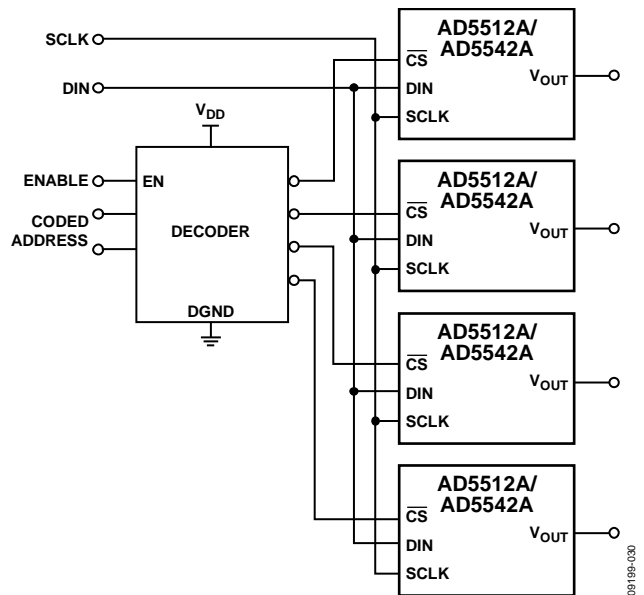
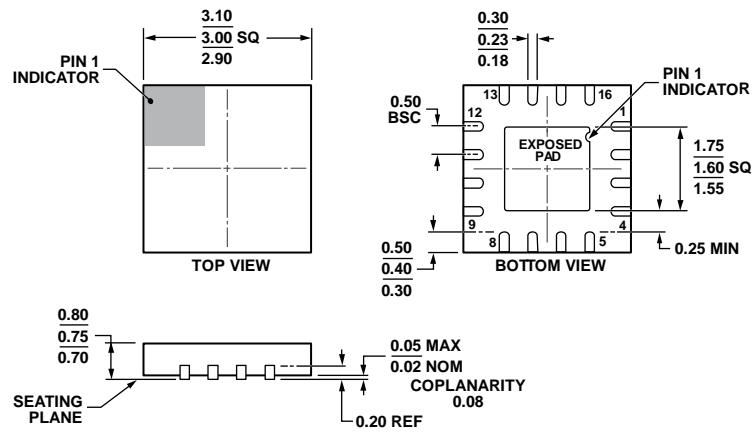


图39. 寻址多个DAC

AD5512A/AD5542A

外形尺寸

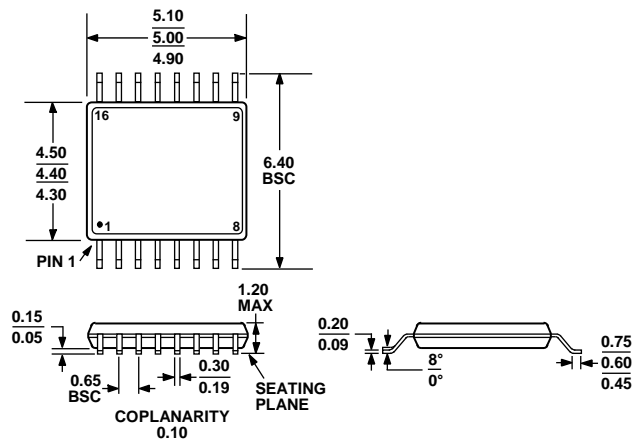


COMPLIANT TO JEDEC STANDARDS MO-220-WEED.

图40. 16引脚引脚架构芯片级封装[LFCSP]
(CP-16-22)

图示尺寸单位: mm

020506-B



COMPLIANT TO JEDEC STANDARDS MO-153-AB

图41. 16引脚超薄紧缩小型封装[TSSOP]
(RU-16)

图示尺寸单位: mm

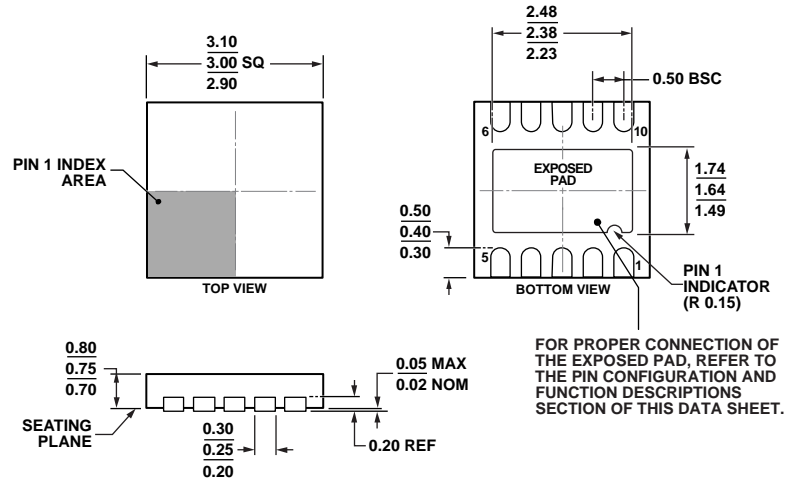


图42. 10引脚引脚架构芯片级封装[LFCSP_WD]
3 mm x 3 mm, 超薄体, 双引线
(CP-10-9)
图示尺寸单位: mm

订购指南

型号 ¹	积分非线性(INL)	微分非线性(DNL)	上电复位至代码	温度范围	封装描述	封装选项	标识
AD5512AAPZ-REEL7	±1 LSB	±1 LSB	中间电平	-40°C 至 +125°C	16引脚LFCSP	CP-16-22	DFQ
AD5542ABRUZ	±1 LSB	±1 LSB	中间电平	-40°C 至 +85°C	16引脚TSSOP	RU-16	
AD5542ABRUZ-REEL7	±1 LSB	±1 LSB	中间电平	-40°C 至 +85°C	16引脚TSSOP	RU-16	
AD5542AARUZ	±2 LSB	±1 LSB	中间电平	-40°C 至 +85°C	16引脚TSSOP	RU-16	
AD5542AARUZ-REEL7	±2 LSB	±1 LSB	中间电平	-40°C 至 +85°C	16引脚TSSOP	RU-16	
AD5542ABCPZ-REEL7	±1 LSB	±1 LSB	中间电平	-40°C 至 +85°C	16引脚LFCSP	CP-16-22	DFL
AD5542AAPZ-REEL7	±2 LSB	±1 LSB	中间电平	-40°C 至 +85°C	16引脚LFCSP	CP-16-22	DFK
AD5442ABCPZ-1-RL7	±1 LSB	±1 LSB	中间电平	-40°C 至 +85°C	10引脚LFCSP	CP-10-9	DFM

¹ Z = 符合RoHS标准的器件。

注释

注释

注释