

特性

保证单调性

积分非线性(INL)误差: ± 4 LSB (最大值)

1.25 V/2.5 V、10 ppm/°C片内基准电压源

温度范围: -40°C至+85°C

轨到轨输出放大器

掉电模式

封装类型: 100引脚LQFP封装(14 mm × 14 mm)

用户接口:

并行

串行 (SPI®/QSPI™/MICROWIRE™/DSP兼容接口, 提供数

据回读)

I²C兼容

集成功能

通道监控

通过LDAC同时更新输出

清零至用户编程码字

放大器升压模式可优化压摆率

用户可编程的失调和增益调整

Toggle模式支持方波生成

热监控

应用

可变光衰减器(VOA)

电平设置(ATE)

光微机电系统(MEMS)

控制系统

仪器仪表

功能框图

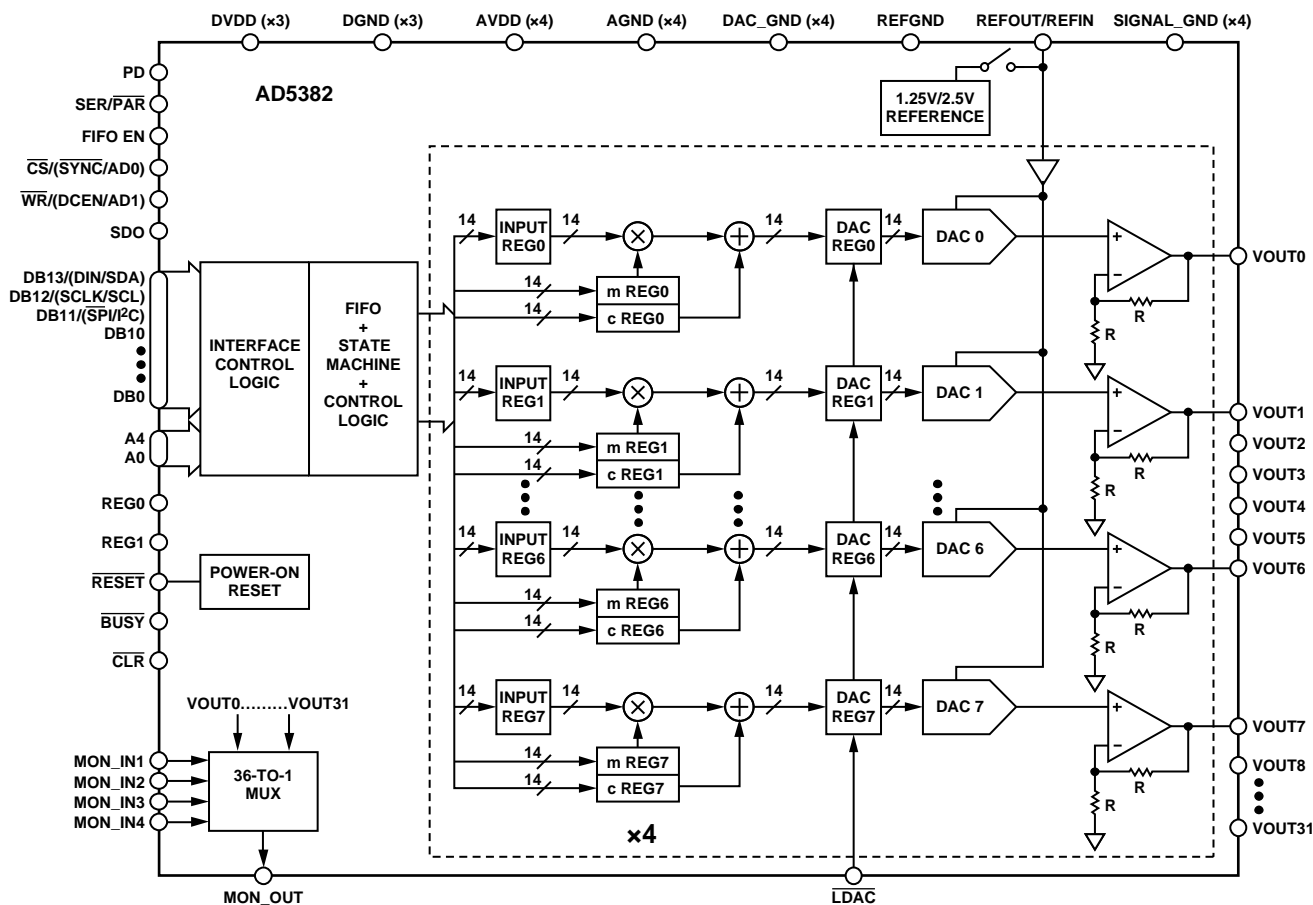


图1.

Rev. B

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.

Tel: 781.329.4700

www.analog.com

Fax: 781.461.3113 © 2004–2010 Analog Devices, Inc. All rights reserved.

目录

概述.....	3	异步清零功能.....	25
技术规格.....	4	BUSY和LDAC功能.....	25
AD5382-5技术规格.....	4	并行模式下的FIFO操作.....	25
AD5382-3技术规格.....	6	上电复位.....	25
交流特性.....	7	掉电.....	25
时序特性.....	8	AD5382接口.....	26
SPI、QSPI、MICROWIRE或DSP兼容串行接口.....	8	DSP、SPI、MICROWIRE兼容串行接口.....	26
I ² C串行接口.....	10	I2C串行接口.....	28
并行接口.....	11	并行接口.....	30
绝对最大额定值.....	13	微处理器接口.....	31
ESD警告.....	13	应用信息.....	33
引脚配置和功能描述.....	14	电源去耦.....	33
术语.....	17	典型配置电路.....	33
典型工作特性.....	18	监控功能.....	34
功能描述.....	21	Toggle模式功能.....	34
DAC架构—通用.....	21	热监控功能.....	35
数据解码.....	21	MEMS光学开关中的AD5382.....	35
片内特殊功能寄存器(SFR).....	22	光衰减器.....	36
SFR命令.....	22	外形尺寸.....	37
硬件功能.....	25	订购指南.....	37
复位功能.....	25		

修订历史

2010年4月—修订版A至修订版B

更改表18.....	24
更改订购指南.....	37

2005年3月—修订版0至修订版A

更改技术规格.....	4
更改图43.....	35

2004年5月—修订版0：初始版

概述

AD5382是一款完整的单电源、32通道、14位DAC，提供100引脚LQFP封装。所有32个通道均具有一个以轨到轨方式工作的片内输出放大器。该器件内置一个可通过软件选择的1.25 V/2.5 V、10 ppm/°C基准电压源。片内通道监控功能可将模拟输出多路复用至一个共用MON_OUT引脚，以便进行外部监控，输出放大器升压模式则可以优化放大器压摆率。

AD5382具有一个双缓冲并行接口， \overline{WR} 脉冲宽度为20 ns、一个接口速度超过30 MHz的SPI/QSPI/MICROWIRE/DSP兼容

串行接口和一个支持400 kHz数据传输速率的I²C®兼容接口。

输入寄存器与后置的DAC寄存器可提供双缓冲，使各DAC输出既能独立更新，也能利用 \overline{LDAC} 同时更新。

各通道均具有可编程增益与失调调整寄存器，用户可以对任何DAC通道进行全面校准。在升压模式不使能的情况下，该器件每个通道的典型功耗为0.25 mA。

表1. 产品系列中的其它高通道数、低电压、单电源DAC

型号	分辨率	AVDD范围	输出通道	线性误差(LSB)	封装描述	封装选项
AD5380BST-5	14位	4.5 V至5.5 V	40	±4	100引脚LQFP	ST-100
AD5380BST-3	14位	2.7 V至3.6 V	40	±4	100引脚LQFP	ST-100
AD5384BBC-5	14位	4.5 V至5.5 V	40	±4	100引脚CSPBGA	BC-100
AD5384BBC-3	14位	2.7 V至3.6 V	40	±4	100引脚CSPBGA	BC-100
AD5381BST-5	12位	4.5 V至5.5 V	40	±1	100引脚LQFP	ST-100
AD5381BST-3	12位	2.7 V至3.6 V	40	±1	100引脚LQFP	ST-100
AD5383BST-5	12位	4.5 V至5.5 V	32	±1	100引脚LQFP	ST-100
AD5383BST-3	12位	2.7 V至3.6 V	32	±1	100引脚LQFP	ST-100
AD5390BST-5	14位	4.5 V至5.5 V	16	±3	52引脚LQFP	ST-52
AD5390BCP-5	14位	4.5 V至5.5 V	16	±3	64引脚LFCSP	CP-64
AD5390BST-3	14位	2.7 V至3.6 V	16	±4	52引脚LQFP	ST-52
AD5390BCP-3	14位	2.7 V至3.6 V	16	±4	64引脚LFCSP	CP-64
AD5391BST-5	12位	4.5 V至5.5 V	16	±1	52引脚LQFP	ST-52
AD5391BCP-5	12位	4.5 V至5.5 V	16	±1	64引脚LFCSP	CP-64
AD5391BST-3	12位	2.7 V至3.6 V	16	±1	52引脚LQFP	ST-52
AD5391BCP-3	12位	2.7 V至3.6 V	16	±1	64引脚LFCSP	CP-64
AD5392BST-5	14位	4.5 V至5.5 V	8	±3	52引脚LQFP	ST-52
AD5392BCP-5	14位	4.5 V至5.5 V	8	±3	64引脚LFCSP	CP-64
AD5392BST-3	14位	2.7 V至3.6 V	8	±4	52引脚LQFP	ST-52
AD5392BCP-3	14位	2.7 V至3.6 V	8	±4	64引脚LFCSP	CP-64

表2. 40通道双极性电压输出DAC

型号	分辨率	模拟电源	输出通道	线性误差(LSB)	封装	封装选项
AD5379ABC	14位	±11.4 V至±16.5 V	40	±3	108引脚CSPBGA	BC-108
AD5378ABC	14位	±11.4 V至±16.5 V	32	±3	108引脚CSPBGA	BC-108

AD5382

技术规格

AD5382-5技术规格

除非另有说明，AVDD = 4.5 V至5.5 V、DVDD = 2.7 V至5.5 V、AGND = DGND = 0 V、外部REFIN = 2.5 V，所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。

表3

参数	AD5382-5 ¹	单位	测试条件/注释
精度			
分辨率	14	位	
相对精度 ² (INL)	±4	LSB(最大值)	
微分非线性(DNL)	-1/+2	LSB(最大值)	在工作温度范围内保证单调性
零电平误差	4	mV(最大值)	
失调误差	±4	mV(最大值)	线性区内代码32处测得
失调误差温度系数	±5	μV/°C(典型值)	
增益误差	±0.024	%FSR(最大值)	25°C时
增益温度系数 ³	±0.06	%FSR(最大值)	T_{MIN} 至 T_{MAX}
增益温度系数 ³	2	ppm FSR/°C(典型值)	
直流串扰 ³	0.5	LSB(最大值)	
基准输入/输出			
基准输入 ³			
基准输入电压	2.5	V	±1%(额定性能)，AVDD = 2xREFIN + 50 mV
直流输入阻抗	1	MΩ(最小值)	100 MΩ(典型值)
输入电流	±1	μA(最大值)	±30 nA(典型值)
基准电压范围	1 to AVDD/2	V(最小值/最大值)	
基准输出 ⁴			通过AD5382控制寄存器中的CR10使能；CR12可选择基准电压
输出电压	2.495/2.505	V(最小值/最大值)	环境温度下；CR12 = 1；针对2.5 V操作优化
基准TC	1.22/1.28	V(最小值/最大值)	选择1.25 V基准电压时；CR12 = 0
	±10	ppm/°C(最大值)	温度范围：+25°C至+85°C
	±15	ppm/°C(最大值)	温度范围：-40°C至+85°C
输出特性 ³			
输出电压范围 ²	0/AVDD	V(最小值/最大值)	
短路电流	40	mA(最大值)	
负载电流	±1	mA(最大值)	
容性负载稳定性			
$R_L = \infty$	200	pF(最大值)	
$R_L = 5 \text{ k}\Omega$	1000	pF(最大值)	
直流输出阻抗	0.5	Ω(最大值)	
监控引脚			
输出阻抗	500	Ω(典型值)	
三态漏电流	100	nA(典型值)	
逻辑输入(SDA/SCL除外) ³			DVDD = 2.7 V至5.5 V
V_{IH} ，输入高电压	2	V(最小值)	
V_{IL} ，输入低电压	0.8	V(最大值)	
输入电流	±10	μA(最大值)	
引脚电容	10	pF(最大值)	所有引脚总和， $T_A = T_{MIN}$ 至 T_{MAX}

参数	AD5382-5 ¹	单位	测试条件/注释
逻辑输入(仅限SDA、SCL)			
V_{IH} , 输入高电压	0.7 DVDD	V(最小值)	当DVDD < 3.6 V时, 此接口为SMBus兼容
V_{IL} , 输入低电压	0.3 DVDD	V(最大值)	当DVDD < 3.6 V时, 此接口为SMBus兼容
I_{IN} , 输入漏电流	±1	μA(最大值)	
V_{HYST} , 输入迟滞	0.05 DVDD	V(最小值)	
C_{IN} , 输入电容	8	pF(典型值)	
毛刺抑制	50	ns(最大值)	输入滤波可抑制小于50 ns的噪声尖峰
逻辑输出(BUSY, SDO) ³			
V_{OL} , 输出低电压	0.4	V(最大值)	DVDD = 5 V ± 10%, 吸入电流200 μA
V_{OH} , 输出高电压	DVDD - 1	V(最小值)	DVDD = 5 V ± 10%, 流出电流200 μA
V_{OL} , 输出低电压	0.4	V(最大值)	DVDD = 2.7 V至3.6 V, 吸入电流200 μA
V_{OH} , 输出高电压	DVDD - 0.5	V(最小值)	DVDD = 2.7 V至3.6 V, 流出电流200 μA
高阻漏电流	±1	μA(最大值)	仅限SDO(串行数据输出)
高阻输出电容	5	pF(典型值)	仅限SDO(串行数据输出)
逻辑输出(SDA) ³			
V_{OL} , 输出低电压	0.4	V(最大值)	$I_{SINK} = 3 \text{ mA}$
	0.6	V(最大值)	$I_{SINK} = 6 \text{ mA}$
三态漏电流	±1	μA(最大值)	
三态输出电容	8	pF(典型值)	
电源要求			
AVDD	4.5/5.5	V(最小值/最大值)	
DVDD	2.7/5.5	V(最小值/最大值)	
电源灵敏度 ³ $\Delta\text{Midscale}/\Delta\text{AV}_{DD}$	-85	dB(典型值)	
AI_{DD}	0.375	mA/通道(最大值)	输出端空载, 且禁用升压模式。0.25 mA/通道(典型值)
	0.475	mA/通道(最大值)	输出端空载, 且启用升压模式。0.325 mA/通道(典型值)
DI_{DD}	1	mA(最大值)	$V_{IH} = \text{DVDD}$, $V_{IL} = \text{DGND}$ 。
AI_{DD} (掉电)	2	μA(最大值)	200 nA (典型值)
DI_{DD} (掉电)	20	μA(最大值)	3 μA (典型值)
功耗	65	mW(最大值)	输出端空载, 且禁用升压模式。AVDD = DVDD = 5 V

¹ AD5382-5使用外部2.5 V基准电压源进行校准。所有型号产品的温度范围: -40°C至+85°C。

² 在 $V_{OUT} = 10 \text{ mV}$ 至 $\text{AVDD} - 50 \text{ mV}$ 的范围内可保证精度。

³ 通过特性保证, 但未经生产测试。

⁴ AD5382-5上默认为2.5 V。可通过AD5382控制寄存器中的CR12编程为1.25 V; 以1.25 V基准电压源操作AD5382-5可导致精度下降。

AD5382

AD5382-3技术规格

除非另有说明，AVDD = 2.7 V至3.6 V、DVDD = 2.7 V至5.5 V、AGND = DGND = 0 V、外部REFIN = 1.25 V，所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。

表4

参数	AD5382-3 ¹	单位	测试条件/注释
精度			
分辨率	14	位	
相对精度 ² (INL)	±4	LSB(最大值)	
微分非线性(DNL)	-1/+2	LSB(最大值)	在工作温度范围内保证单调性
零电平误差	4	mV(最大值)	
失调误差	±4	mV(最大值)	线性区内代码256处测得
失调误差温度系数	±5	μV/°C(典型值)	
增益误差	±0.024	%FSR(最大值)	25°C时
增益温度系数 ³	±0.1	%FSR(最大值)	T_{MIN} 至 T_{MAX}
直流串扰 ³	2	ppm FSR/°C(典型值)	
直流串扰 ³	0.5	LSB(最大值)	
基准输入/输出			
基准输入 ³			
基准输入电压	1.25	V	±1%(额定性能)
直流输入阻抗	1	MΩ(最小值)	100 MΩ(典型值)
输入电流	±10	μA(最大值)	±30 nA(典型值)
基准电压范围	1 to AVDD/2	V(最小值/最大值)	
基准输出 ⁴			通过AD5382控制寄存器中的CR10使能；CR12可选择基准电压环境温度下；CR12 = 0；针对1.25 V操作优化
输出电压	1.245/1.255 2.47/2.53	V(最小值/最大值) V(最小值/最大值)	选择2.5 V基准电压时；CR12 = 1
基准TC	±10 ±15	ppm/°C(最大值) ppm/°C(最大值)	温度范围：+25°C至+85°C 温度范围：-40°C至+85°C
输出特性 ³			
输出电压范围 ²	0/AVDD	V(最小值/最大值)	
短路电流	40	mA(最大值)	
负载电流	±1	mA(最大值)	
容性负载稳定性			
RL = ∞	200	pF(最大值)	
RL = 5 kΩ	1000	pF(最大值)	
直流输出阻抗	0.5	Ω(最大值)	
监控引脚(MON OUT)			
输出阻抗	500	Ω(典型值)	
三态漏电流	100	nA(典型值)	
逻辑输入(SDA/SCL除外) ³			DVDD = 2.7 V至3.6 V
V _{IH} , 输入高电压	2	V(最小值)	
V _{IL} , 输入低电压	0.8	V(最大值)	
输入电流	±10	μA(最大值)	所有引脚总和, TA = T_{MIN} 至 T_{MAX}
引脚电容	10	pF(最大值)	
逻辑输入(仅限SDA、SCL)			
V _{IH} , 输入高电压	0.7 DVDD	V(最小值)	当DVDD < 3.6 V时，此接口为SMBus兼容
V _{IL} , 输入低电压	0.3 DVDD	V(最大值)	当DVDD < 3.6 V时，此接口为SMBus兼容
I _{IN} , 输入漏电流	±1	μA(最大值)	
V _{HYST} , 输入迟滞	0.05 DVDD	V(最小值)	
C _{IN} , 输入电容	8	pF(典型值)	
毛刺抑制	50	ns(最大值)	输入滤波可抑制小于50 ns的噪声尖峰

参数	AD5382-3 ¹	单位	测试条件/注释
逻辑输出(BUSY, SDO) ³			
V_{OL} , 输出低电压	0.4	V(最大值)	200 μ A吸入电流
V_{OH} , 输出高电压	DVDD - 0.5	V(最小值)	200 μ A流出电流
高阻漏电流	± 1	μ A(最大值)	仅限SDO(串行数据输出)
高阻输出电容	5	pF(典型值)	仅限SDO(串行数据输出)
逻辑输出(SDA) ³			
V_{OL} , 输出低电压	0.4	V(最大值)	$I_{SINK} = 3$ mA
	0.6	V(最大值)	$I_{SINK} = 6$ mA
三态漏电流	± 1	μ A(最大值)	
三态输出电容	8	pF(典型值)	
电源要求			
AVDD	2.7/3.6	V(最小值/最大值)	
DVDD	2.7/5.5	V(最小值/最大值)	
电源灵敏度 ³			
Δ Midscale/ Δ AV _{DD}	-85	dB(典型值)	
AI _{DD}	0.375	mA/通道(最大值)	输出端空载, 且禁用升压模式。0.25 mA/通道(典型值)
	0.475	mA/通道(最大值)	输出端空载, 且启用升压模式。0.325 mA/通道(典型值)
DI _{DD}	1	mA(最大值)	$V_{IH} = DVDD$, $V_{IL} = DGND$ 。
AI _{DD} (掉电)	2	μ A(最大值)	
DI _{DD} (掉电)	20	μ A(最大值)	
功耗	39	mW(最大值)	输出端空载, 且禁用升压模式。AVDD = DVDD = 3 V

¹ AD5382-3使用外部1.25 V基准电压源进行校准。温度范围: -40°C至+85°C。

² 在VOUT = 10 mV至AVDD - 50 mV的范围内可保证精度。

³ 通过特性保证, 但未经生产测试。

⁴ AD5382-5上默认为2.5 V。可通过AD5382控制寄存器中的CR12编程为1.25 V; 以1.25 V基准电压源操作AD5382-5时可导致精度下降。

交流特性¹

AVDD = 4.5 V至5.5 V, 或2.7 V至3.6 V; DVDD = 2.7 V至5.5 V; AGND = DGND = 0 V。

表5

参数	全部	单位	测试条件/注释
动态性能			
输出电压建立时间 ²			1/4至3/4满量程输入变化, 精度达到 ± 1 LSB
	8	μ s typ	
	10	μ s max	
压摆率 ²	2	V/ μ s typ	禁用升压模式, 且CR11 = 0
	3	V/ μ s typ	启用升压模式, 且CR11 = 1
数模转换毛刺能量	12	nV-s typ	
毛刺脉冲峰值幅度	15	mV typ	
DAC间串扰	1	nV-s typ	参见“术语”部分。
数字串扰	0.8	nV-s typ	
数字馈通	0.1	nV-s typ	
输入噪声(0.1 Hz至10 Hz)	15	μ V p-p typ	测试条件下输入总线对DAC输出的影响
	40	μ V p-p typ	外部基准电压源, 中间电平载入DAC
			内部基准电压源, 中间电平载入DAC
输出噪声频谱密度			
1 kHz时	150	nV/ \sqrt Hz typ	
10 kHz时	100	nV/ \sqrt Hz typ	

¹ 通过设计和特性保证, 但未经生产测试。

² 压摆率可以通过AD5382控制寄存器中的电流升压控制位(CR11)进行编程。

时序特性

SPI、QSPI、MICROWIRE或DSP兼容串行接口

除非另有说明，DVDD = 2.7 V至5.5 V、AVDD = 4.5 V至5.5 V（或2.7 V至3.6 V）、AGND = DGND = 0 V，所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。

表6

参数 ^{1,2,3}	在 T_{MIN} 、 T_{MAX} 时的限值	单位	描述
t_1	33	ns(最小值)	SCLK周期时间
t_2	13	ns(最小值)	SCLK高电平时间
t_3	13	ns(最小值)	SCLK低电平时间
t_4	13	ns(最小值)	\overline{SYNC} 下降沿到SCLK下降沿建立时间
t_5^4	13	ns(最小值)	第24个SCLK下降沿到 \overline{SYNC} 下降沿
t_6^4	33	ns(最小值)	\overline{SYNC} 最小低电平时间
t_7	10	ns(最小值)	\overline{SYNC} 最小高电平时间
t_{7A}	50	ns(最小值)	回读模式下的 \overline{SYNC} 最小高电平时间
t_8	5	ns(最小值)	数据建立时间
t_9	4.5	ns(最小值)	数据保持时间
t_{10}^4	30	ns(最大值)	第24个SCLK下降沿到 \overline{BUSY} 下降沿
t_{11}	670	ns(最大值)	\overline{BUSY} 脉宽低电平(单通道更新)
t_{12}^4	20	ns(最小值)	第24个SCLK下降沿到LDAC下降沿
t_{13}	20	ns(最小值)	LDAC脉宽低电平
t_{14}	100	ns(最大值)	\overline{BUSY} 上升沿到DAC输出响应时间
t_{15}	0	ns(最小值)	\overline{BUSY} 上升沿到LDAC下降沿
t_{16}	100	ns(最小值)	LDAC下降沿到DAC输出响应时间
t_{17}	8	μ s(典型值)	DAC输出建立时间
t_{18}	20	ns(最小值)	CLR脉宽低电平
t_{19}	35	μ s(最大值)	CLR脉冲启动时间
t_{20}^5	20	ns(最大值)	SCLK上升沿到SDO有效
t_{21}^5	5	ns(最小值)	SCLK下降沿到 \overline{SYNC} 上升沿
t_{22}^5	8	ns(最小值)	\overline{SYNC} 上升沿到SCLK上升沿
t_{23}	20	ns(最小值)	\overline{SYNC} 上升沿到LDAC下降沿

¹ 通过设计和特性保证，但未经生产测试。

² 所有输入信号均指定 $t_r = t_f = 5$ ns(10%至90% V_{CC})并从1.2 V电平起开始计时。

³ 参见图2、图3、图4和图5。

⁴ 只限独立模式。

⁵ 只限菊花链模式。

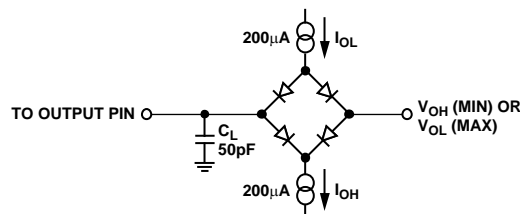
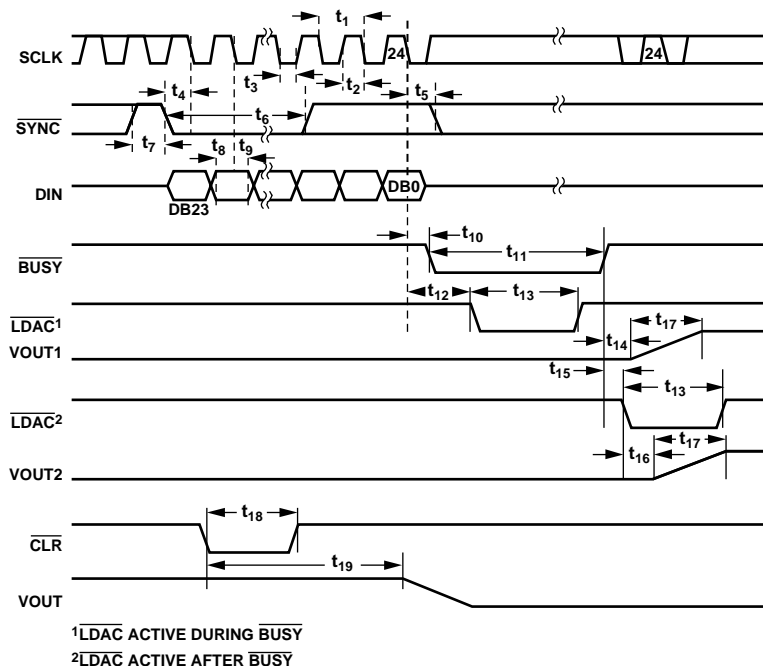


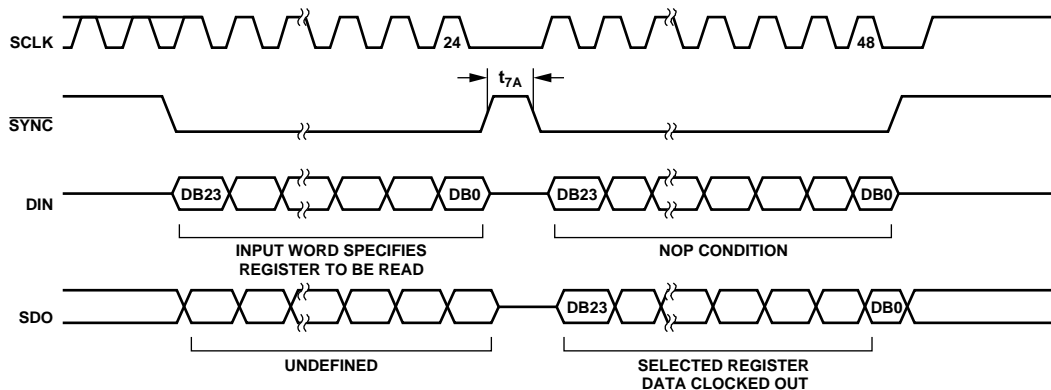
图2. SDO时序图的负载电路
(串行接口、菊花链模式)

03733-002



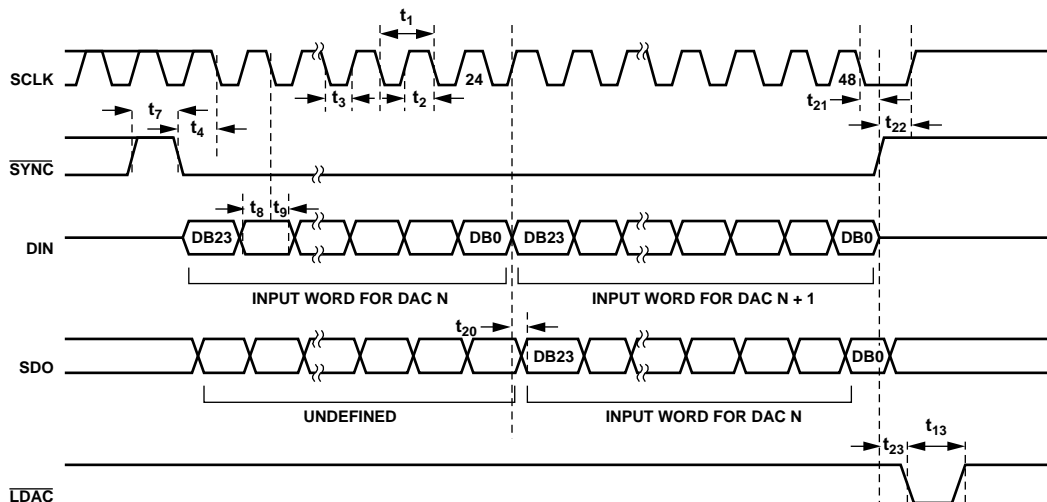
03733-003

图3. 串行接口时序图(独立模式)



03733-004

图4. 串行接口时序图(数据回读模式)



03733-005

图5. 串行接口时序图(菊花链模式)

AD5382

I²C串行接口

除非另有说明，DVDD = 2.7 V至5.5 V、AVDD = 4.5 V至5.5 V(或2.7 V至3.6 V)、AGND = DGND = 0 V，所有规格均相对于T_{MIN}至T_{MAX}而言。

表7

参数1, 2	在T _{MIN} 、T _{MAX} 时的限值	单位	描述
F _{SCL}	400	kHz(最大值)	SCL时钟频率
t ₁	2.5	μs(最小值)	SCL周期时间
t ₂	0.6	μs(最小值)	t _{HIGH} , SCL高电平时间
t ₃	1.3	μs(最小值)	t _{LOW} , SCL低电平时间
t ₄	0.6	μs(最小值)	t _{HD,STA} , 起始/重复起始条件保持时间
t ₅	100	ns(最小值)	t _{SU,DAT} , 数据建立时间
t ₆ ³	0.9	μs(最大值)	t _{HD,DAT} , 数据保持时间
	0	μs(最小值)	t _{HD,DAT} , 数据保持时间
t ₇	0.6	μs(最小值)	t _{SU,STA} , 重复起始建立时间
t ₈	0.6	μs(最小值)	t _{SU,STO} , 停止条件建立时间
t ₉	1.3	μs(最小值)	t _{BUF} , 一个停止条件与一个起始条件之间的总线空闲时间
t ₁₀	300	ns(最大值)	t _R , 接收时SCL和SDA的上升时间
	0	ns(最小值)	t _R , 接收时(CMOS兼容)SCL和SDA的上升时间
t ₁₁	300	ns(最大值)	t _F , 发射时SDA的下降时间
	0	ns(最小值)	t _F , 接收时(CMOS兼容)SDA的下降时间
	300	ns(最大值)	t _F , 接收时SCL和SDA的下降时间
	20 + 0.1C _b ⁴	ns(最小值)	t _F , 发射时SCL和SDA的下降时间
C _b	400	pF(最大值)	各条总线的容性负载

¹ 通过设计和特性保证，但未经生产测试。

² 参见图6。

³ 主器件必须为SDA信号(参考SCL信号的V_{IH,MIN})提供至少300 ns的保持时间，以便桥接SCL下降沿的未定义区域。

⁴ C_b是一条总线的总电容(单位为pF)。t_R和t_F是在0.3 DV_{DD}和0.7 DV_{DD}范围内测得。

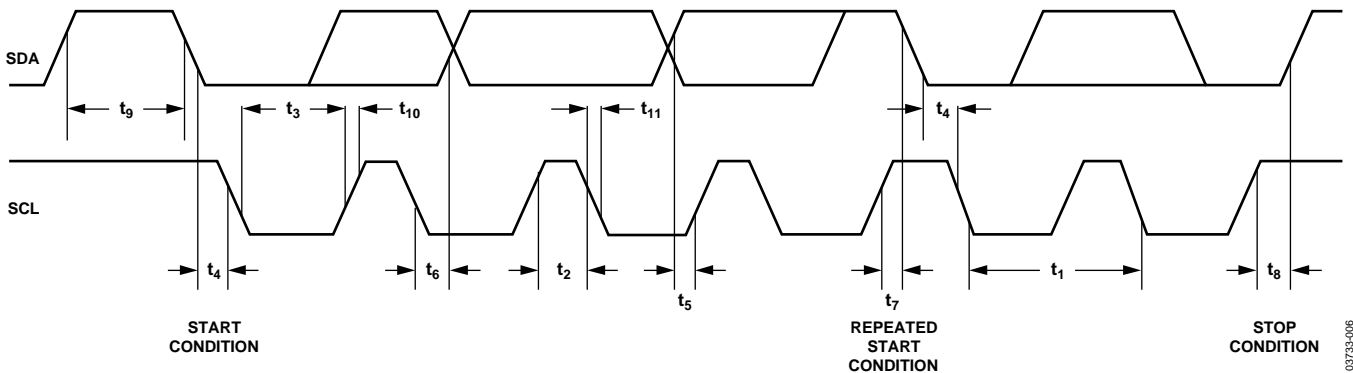


图6. I²C兼容串行接口时序图

并行接口

除非另有说明，DVDD = 2.7 V至5.5 V、AVDD = 4.5 V至5.5 V(或2.7 V至3.6 V)、AGND = DGND = 0 V，所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。

表8

参数1, 2, 3	在 T_{MIN} 、 T_{MAX} 时的限值	单位	描述
t_0	4.5	ns(最小值)	REG0、REG1地址到 \overline{WR} 上升沿建立时间
t_1	4.5	ns(最小值)	REG0、REG1地址到 \overline{WR} 上升沿保持时间
t_2	20	ns(最小值)	\overline{CS} 脉宽低电平
t_3	20	ns(最小值)	\overline{WR} 脉宽低电平
t_4	0	ns(最小值)	\overline{CS} 到 \overline{WR} 下降沿建立时间
t_5	0	ns(最小值)	\overline{WR} 到 \overline{CS} 上升沿建立时间
t_6	4.5	ns(最小值)	数据到 \overline{WR} 上升沿建立时间
t_7	4.5	ns(最小值)	数据到 \overline{WR} 上升沿保持时间
t_8	20	ns(最小值)	\overline{WR} 脉宽高电平
t_9^4	700	ns(最小值)	\overline{WR} 最小周期时间(单通道写入)
t_{10}^4	30	ns(最大值)	\overline{WR} 上升沿到 \overline{BUSY} 下降沿
$t_{11}^{4,5}$	670	ns(最大值)	\overline{BUSY} 脉宽低电平(单通道更新)
t_{12}	30	ns(最小值)	\overline{WR} 上升沿到 \overline{LDAC} 下降沿
t_{13}	20	ns(最小值)	\overline{LDAC} 脉宽低电平
t_{14}	100	ns(最大值)	\overline{BUSY} 上升沿到DAC输出响应时间
t_{15}	20	ns(最小值)	\overline{LDAC} 上升沿到 \overline{WR} 上升沿
t_{16}	0	ns(最小值)	\overline{BUSY} 上升沿到 \overline{LDAC} 下降沿
t_{17}	100	ns(最小值)	\overline{LDAC} 下降沿到DAC输出响应时间
t_{18}	8	μ s(典型值)	DAC输出建立时间
t_{19}	20	ns(最小值)	\overline{CLR} 脉宽低电平
t_{20}	35	μ s(最大值)	\overline{CLR} 脉冲启动时间

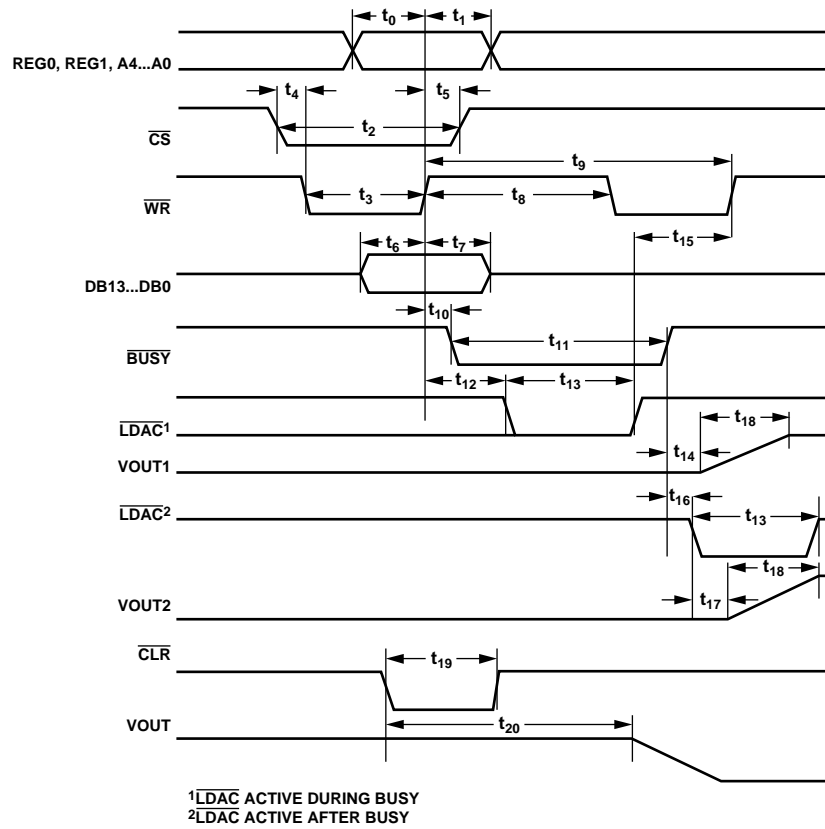
¹ 通过设计和特性保证，但未经生产测试。

² 所有输入信号均指定 $t_r = t_f = 5$ ns(10%至90% DV_{DD})并从1.2 V电平起开始计时。

³ 参见图7。

⁴ 参见图29。

⁵ 用图2中的负载电路测量。



03753-007

图7. 并行接口时序图

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ ¹。

表9

参数	额定值
AVDD至AGND	-0.3 V至+7 V
DVDD至DGND	-0.3 V至+7 V
数字输入至DGND	-0.3 V至DVDD + 0.3 V
SDA/SCL至DGND	-0.3 V至+7 V
数字输出至DGND	-0.3 V至DVDD + 0.3 V
REFIN/REFOUT至AGND	-0.3 V至AVDD + 0.3 V
AGND至DGND	-0.3 V至+0.3 V
VOU _{Tx} 至AGND	-0.3 V至AVDD + 0.3 V
模拟输入至AGND	-0.3 V至AVDD + 0.3 V
MON_IN输入至AGND	-0.3 V至AVDD + 0.3 V
MON_OUT至AGND	-0.3 V至AVDD + 0.3 V
工作温度范围	
商用(B级)	-40°C至+85°C
存储温度范围	-65°C至+150°C
结温(T_J 最大值)	150°C
100引脚LQFP封装	
θ_{JA} 热阻	44°C/W
回流焊	
峰值温度	230°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所列规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

¹ 100 mA以下的瞬态电流不会造成SCR闩锁。

ESD警告

ESD(静电放电)敏感器件。静电电荷很容易在人体和测试设备上累积，可高达4000 V，并可能在没有察觉的情况下放电。尽管本产品具有专用ESD保护电路，但在遇到高能量静电放电时，可能会发生永久性器件损坏。因此，建议采取适当的ESD防范措施，以避免器件性能下降或功能丧失。



引脚配置和功能描述

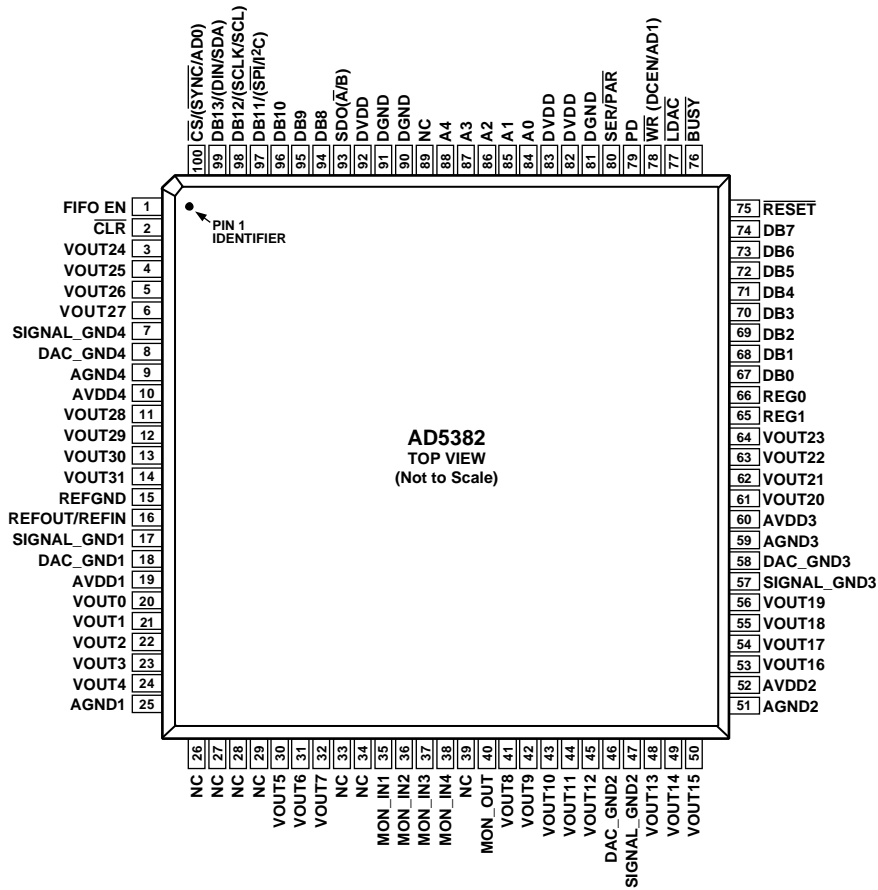


图8. 100引脚LQFP的引脚配置

表10. 引脚功能描述

引脚名称	功能
VOUTx	通道x的缓冲模拟输出。各模拟输出均由增益设置为2的轨到轨输出放大器驱动。各输出均能够驱动5 kΩ的输出负载到地。典型输出阻抗为0.5 Ω。
SIGNAL_GND(1-4)	每个八输出通道组的模拟地基准点。所有SIGNAL_GND引脚均内部连接在一起，并应连接到尽可能靠近AD5382的AGND平面。
DAC_GND(1-4)	内部14位DAC的地基准点。每个八通道组均包含一个DAC_GND引脚。这些引脚应连接到AGND平面。
AGND(1-4)	模拟地基准点。每个八通道组均包含一个AGND引脚。所有AGND引脚均应从外部连接到AGND平面。
AVDD(1-4)	模拟电源引脚。每个八通道组均有一个独立的AVDD引脚。这些引脚内部短接并应使用0.1 μF陶瓷电容和10 μF钽电容去耦。AD5382-5的工作电压范围为4.5 V至5.5 V；AD5382-3的工作电压范围为2.7 V至3.6 V。
DGND	所有数字电路的接地引脚。
DVDD	逻辑电源。保证的工作电压范围为2.7 V至5.5 V。建议使用0.1 μF陶瓷电容和10 μF钽电容将这些引脚去耦到DGND。
REFGND	内部基准电压源的地基准点。
REFOUT/REFIN	选择内部基准电压源时的基准输出。AD5382包含一个REFOUT/REFIN共用引脚。如果应用中要求使用外部基准电压源，则将其施加于此引脚，内部基准电压源可通过控制寄存器来禁用。此引脚默认使用基准输入。

引脚名称	功能
MON_OUT	监控输出。使能监控功能时，此引脚用作36至1通道多路复用器的输出端，可通过编程将通道0至31中的一个通道或任意监控输入引脚（MON_IN1至MON_IN4）多路复用至MON_OUT引脚。MON_OUT引脚的典型输出阻抗为500 Ω，用于驱动SAR ADC输入端等的高输入阻抗。
MON_INx	监控输入引脚。AD5382内置四个监控输入引脚，用户可将器件最大额定值范围内的输入信号连接到这些引脚，从而实施监控。施加于MON_IN引脚以及32个输出通道的任何信号均可以通过软件切换至MON_OUT引脚。例如，可以使用外部ADC来监控这些信号。
SER/ $\overline{\text{PAR}}$	接口选择输入。此引脚允许用户选择是使用串行接口还是并行接口。如果要连接高电平，则选择串行接口模式，引脚97(SPI/I ² C)用于判断接口模式是SPI还是I ² C。当SER/ $\overline{\text{PAR}}$ 为低电平时，则选择并行接口模式。
$\overline{\text{CS}}$ /($\overline{\text{SYNC}}$ /AD0)	在并行接口模式下，此引脚用作片选输入(电平敏感、低电平有效)。低电平时选择AD5382。 在串行接口模式下，这是更新寻址寄存器之前串行时钟的帧同步输入信号。 在I ² C模式下，此引脚用作硬件地址引脚，与AD1一起用来判断I ² C总线上该器件的软件地址。
$\overline{\text{WR}}$ /(DCEN/AD1)	多功能引脚。在并行接口模式下，此引脚用作写入使能。在串行接口模式下，此引脚用作菊花链使能(SPI模式)和硬件地址引脚(I ² C模式)。 并行接口写输入(边沿敏感)。 $\overline{\text{WR}}$ 上升沿与 $\overline{\text{CS}}$ 低电平一起使用，并且地址总线输入写入所选器件寄存器。 串行接口。菊花链选择输入(电平敏感、高电平有效)。高电平时，此信号与SER/ $\overline{\text{PAR}}$ 高电平一起使用，以使能SPI串行接口菊花链模式。 I ² C模式。此引脚用作硬件地址引脚，与AD0一起用来判断I ² C总线上此器件的软件地址。
DB13–DB0 A4–A0	并行数据总线。DB13为AD5382上输入数据字的MSB，而DB0则为LSB。 并行地址输入。A4至A0均经过解码来寻址AD5382的40个输入通道之一。与REG1和REG0引脚一起使用，来判断输入数据的目标寄存器。
REG1, REG0	在并行接口模式下，REG1和REG0用于解码输入数据的目标寄存器。REG1和REG0均经过解码来寻址所选通道的输入数据寄存器、偏移寄存器或增益寄存器，并且还用于确定特殊功能寄存器。
SDO/($\overline{\text{A}}$ /B)	串行接口模式中的串行数据输出。三态CMOS输出。SDO可用于以菊花链形式将多个器件连接在一起。数据在SCLK上升沿通过SDO逐个输出，而且在SCLK的下降沿有效。 在并行接口模式下，当选择toggle模式并向AD5382数据寄存器写入数据时，此引脚用作A或B数据寄存器选择(参见“Toggle模式功能”部分)。在toggle模式下， $\overline{\text{LDAC}}$ 用于在A和B数据寄存器所含数据之间切换输出。所有DAC通道均包含两个数据寄存器。在正常模式下，数据寄存器A是数据传输的默认寄存器。
$\overline{\text{BUSY}}$	CMOS数字输出。在对载入DAC数据寄存器的数据(x2)进行内部计算时， $\overline{\text{BUSY}}$ 变为低电平。在此期间，用户可以继续向x1、c和m寄存器写入新数据，但无法进一步更新DAC寄存器和DAC输出。如果 $\overline{\text{BUSY}}$ 处于低电平时 $\overline{\text{LDAC}}$ 被拉低，则会存储此事件。此外，上电复位期间，以及RESET引脚处于低电平时， $\overline{\text{BUSY}}$ 同样会变为低电平。此期间会禁用该接口并会忽略 $\overline{\text{LDAC}}$ 上的所有事件。 $\overline{\text{CLR}}$ 操作也会让 $\overline{\text{BUSY}}$ 变为低电平。
$\overline{\text{LDAC}}$	加载DAC逻辑输入(低电平有效)。如果当 $\overline{\text{BUSY}}$ 无效(高电平)时 $\overline{\text{LDAC}}$ 被拉低，输入寄存器的内容会被送入DAC寄存器，同时会更新DAC输出。如果当 $\overline{\text{BUSY}}$ 有效且正在进行内部计算时 $\overline{\text{LDAC}}$ 被拉低，则会在 $\overline{\text{BUSY}}$ 变为无效时存储 $\overline{\text{LDAC}}$ 事件并更新DAC寄存器。不过，将忽略上的所有事件或上电复位期间上的所有事件。
$\overline{\text{CLR}}$	异步清零输入。 $\overline{\text{CLR}}$ 输入对下降沿敏感。当 $\overline{\text{CLR}}$ 被激活时，所有通道均会更新为 $\overline{\text{CLR}}$ 代码寄存器中的数据。在所有通道更新为 $\overline{\text{CLR}}$ 代码时， $\overline{\text{BUSY}}$ 会在35 μs内保持低电平。
$\overline{\text{RESET}}$	异步数字复位输入(下降沿敏感)。此引脚的功能相当于上电复位发生器。当此引脚被拉低时，状态机将启动复位时序，通过数字形式将x1、m、c和x2寄存器复位到其默认上电值。此序列耗时270 μs。RESET的下降沿将启动RESET过程。在此期间， $\overline{\text{BUSY}}$ 将变为低电平，并在RESET完成后返回高电平。当 $\overline{\text{BUSY}}$ 处于低电平时，将禁用所有接口并忽略所有 $\overline{\text{LDAC}}$ 脉冲。当 $\overline{\text{BUSY}}$ 返回高电平时，器件会恢复正常操作，并忽略RESET引脚的状态，直至检测到下一下降沿。

AD5382

引脚名称	功能
PD	掉电(电平敏感、高电平有效)。PD用于将器件置于低功耗模式。在该模式下，器件功耗为2 μ A AIDD和20 μ A DIDD。在掉电模式下，所有内部模拟电路均置于低功耗模式，而模拟输出则配置为高阻抗输出或提供100 k Ω 负载到地，具体取决于掉电模式的配置方式。掉电期间，串行接口会保持活动状态。
FIFO EN	掉电(电平敏感、高电平有效)。PD用于将器件置于低功耗模式。在该模式下，器件功耗为2 μ A AIDD和20 μ A DIDD。在掉电模式下，所有内部模拟电路均置于低功耗模式，而模拟输出则配置为高阻抗输出或提供100 k Ω 负载到地，具体取决于掉电模式的配置方式。掉电期间，串行接口会保持活动状态。
DB11/($\overline{\text{SPI}}/\text{I}^2\text{C}$)	多功能输入引脚。在并行接口模式下，此引脚用作并行输入数据字的DB11。在串行接口模式下，此引脚用作串行接口模式选择。当选择串行接口模式(SER/ $\overline{\text{PAR}}=1$)且此输入处于低电平时，将选择SPI模式。在SPI模式下，DB12为串行时钟(SCLK)输入，DB13为串行数据(DIN)输入。 当选择并行接口模式(SER/ $\overline{\text{PAR}}=1$)且此输出处于高电平时，将选择I2C模式。在此模式下，DB12为串行时钟(SCL)输入，DB13为串行数据(SDA)输入。
DB12/(SCLK/SCL)	多功能输入引脚。在并行接口模式下，此引脚用作并行输入数据字的DB12。在串行接口模式下，此引脚用作串行时钟输入。 串行接口模式。在串行接口模式下，数据在SCLK下降沿读入移位寄存器。工作时钟速率最高达50 MHz。 I2C模式。在I2C模式下，此引脚执行SCL功能，将数据读入器件。I2C模式下的数据传输速率与100 kHz和400 kHz工作模式兼容。
DB13/(DIN/SDA)	多功能数据输入引脚。在并行接口模式下，此引脚用作并行输入数据字的DB13。 串行接口模式。在串行接口模式下，此引脚用作串行数据输入。数据必须在SCLK的下降沿有效。 I2C模式。在I2C模式下，此引脚为用作开漏输入/输出的串行数据引脚(SDA)。
NC	不连接。建议用户不要将任何信号连接到这些引脚上。

术语

相对精度

相对精度或端点线性度是指DAC输出与通过DAC端点的传递函数直线之间的最大偏差。在零电平误差和满量程误差调零后才可以进行相对精度测量，单位为LSB。

微分非线性

微分非线性是指任意两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。最大1 LSB的额定微分非线性可确保单调性。

零电平误差

零电平误差是指当全0载入DAC寄存器时DAC输出电压中的误差。理想情况下，全0载入DAC且 $m = \text{全}1$ ， $c = 2n - 1$

$$V_{OUT}(\text{零电平}) = 0 V$$

零电平误差是指 V_{OUT} (实际)和 V_{OUT} (理想)之间的差值，以mV为单位。该误差主要是由输出放大器中的失调造成的。

失调误差

失调误差是指传递函数线性区内 V_{OUT} (实际)和 V_{OUT} (理想)之间的差值，以mV为单位。失调误差在AD5382-5上是通过将代码32载入DAC寄存器测得的，在AD5382-3上是通过载入代码64测得的。

增益误差

增益误差针对的是 $V_{OUT} = 10 \text{ mV}$ 和 $V_{OUT} = AV_{DD} - 50 \text{ mV}$ 之间的输出范围的线性区。它是指DAC传递特性的斜率与理想值之间的偏差，在DAC输出端空载时用满量程范围的百分比(%FSR)表示。

直流串扰

直流串扰是指一个输出中间电平DAC在响应其它所有通道满量程码(全0至全1，或相反)输出变化时发生的直流变化，以LSB为单位。

直流输出阻抗

直流输出阻抗是指有效的输出源电阻，具体取决于封装引脚电阻。

输出电压建立时间

输出电压建立时间是指对于 $\frac{1}{4}$ 至 $\frac{3}{4}$ 满量程输入变化，DAC输出达到并保持在额定电平所需的时间。它在 $\overline{\text{BUSY}}$ 上升沿进行测量。

数模转换毛刺能量

数模转换毛刺能量是指主编码转换时注入模拟输出端的能量。它定义为毛刺的面积，并用nV-s表示。它的测量方法是将DAC寄存器数据在0x1FFF和0x2000之间进行切换。

DAC间串扰

DAC间串扰是指一个DAC的输出端因另一通道的数字变化和相应的DAC的模拟输出变化而出现的毛刺脉冲。受影响通道载入中间电平。DAC间串扰单位为nV-s。

数字串扰

数字串扰是指一个转换器的输出端因另一转换器的DAC寄存器代码发生变化而产生的毛刺脉冲，单位为nV-s。

数字馈通

当该器件未被选中时，器件数字输入端上的高频逻辑活动可以贯穿整个器件进行容性耦合，表现为 V_{OUT} 引脚上的噪声。它也可以沿着电源和接地线耦合。此噪声就是数字馈通。

输出噪声频谱密度

输出噪声频谱密度是衡量内部产生的随机噪音的一种指标。随机噪声表示为频谱密度(每 $\sqrt{\text{Hz}}$ 电压)。它的测量方式是将所有DAC载入中间电平，然后测量输出端噪声。它是在10 kHz下1 Hz带宽内测量的，单位为 $\text{nV}/\sqrt{\text{Hz}}$ 。

典型工作特性

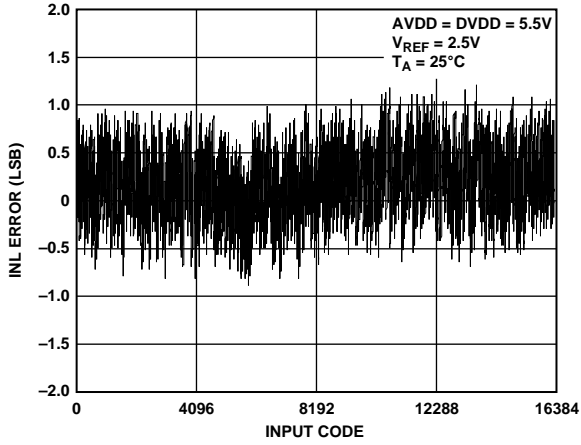


图9. AD5382-5典型INL曲线图

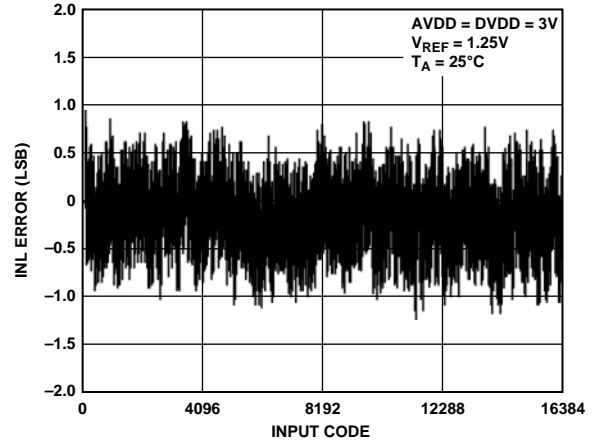


图12. AD5382-3典型INL曲线图

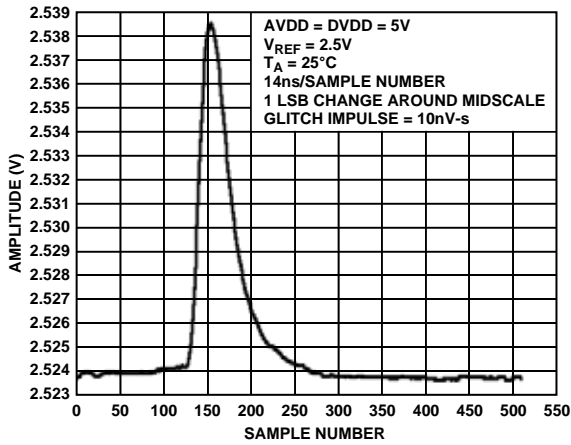


图10. AD5382-5毛刺脉冲

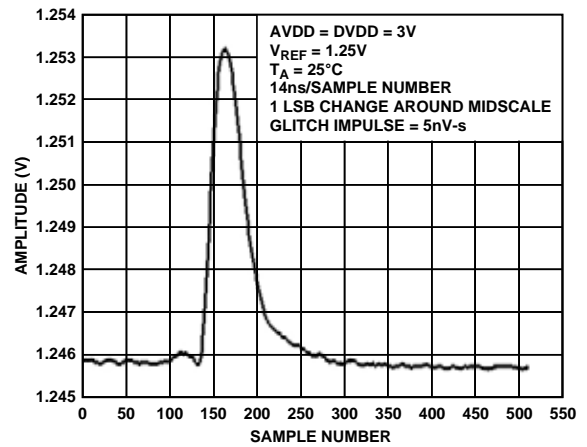


图13. AD5382-3毛刺脉冲

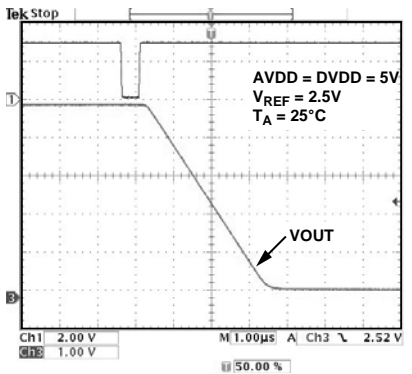


图11. 禁用升压模式时的压摆率

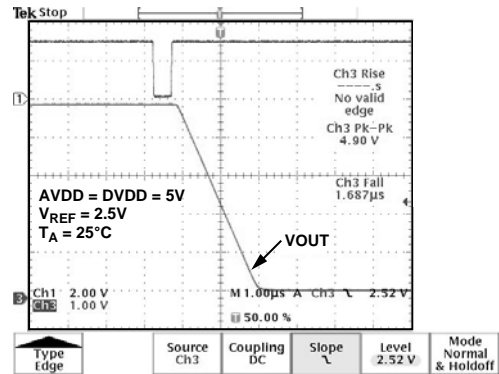


图14. 启用升压模式时的压摆率

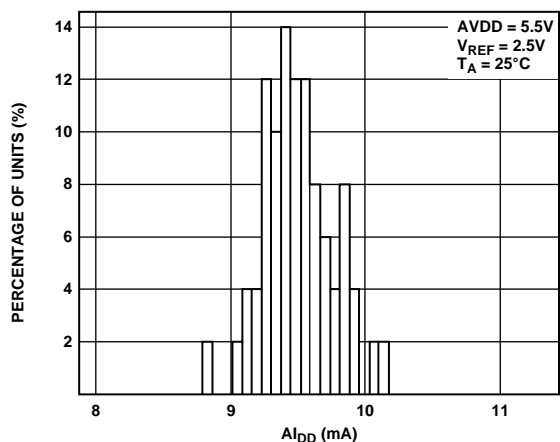


图15. AIDD直方图

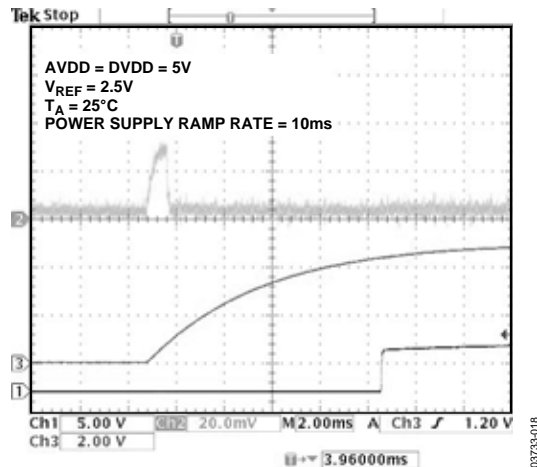


图18. 上电瞬变

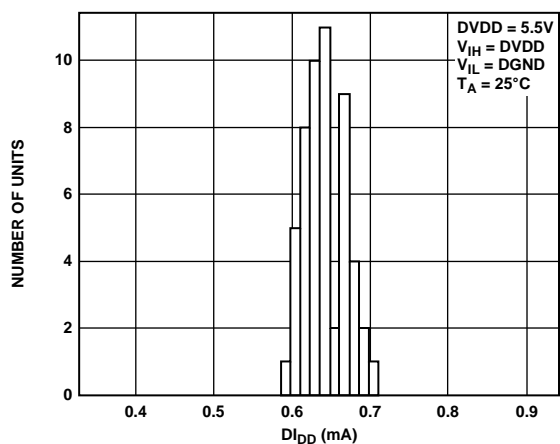


图15. AIDD直方图

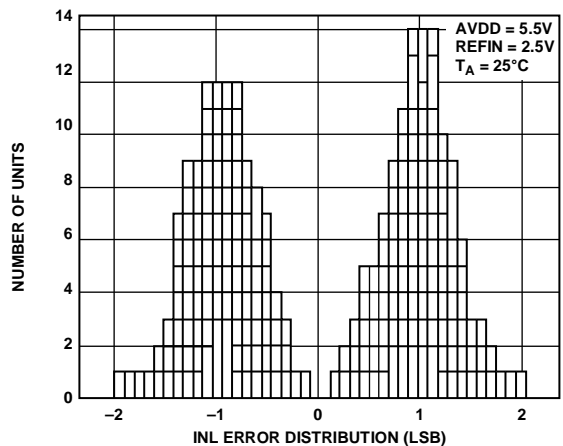


图19. INL误差分布

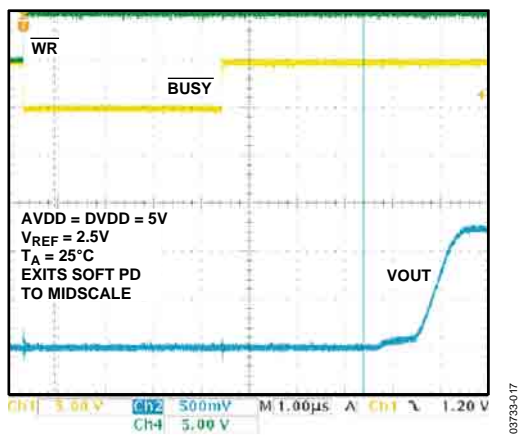


图15. AIDD直方图

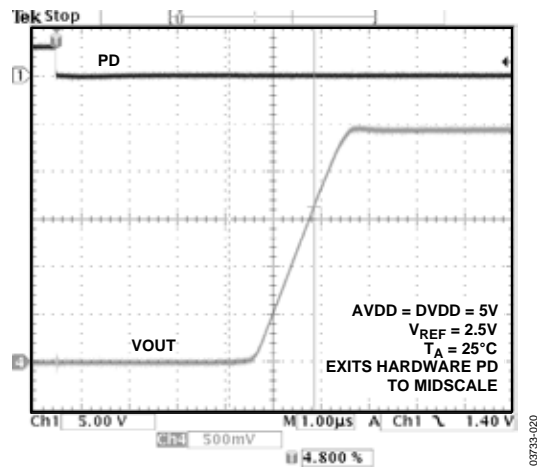


图20. 退出硬件掉电

AD5382

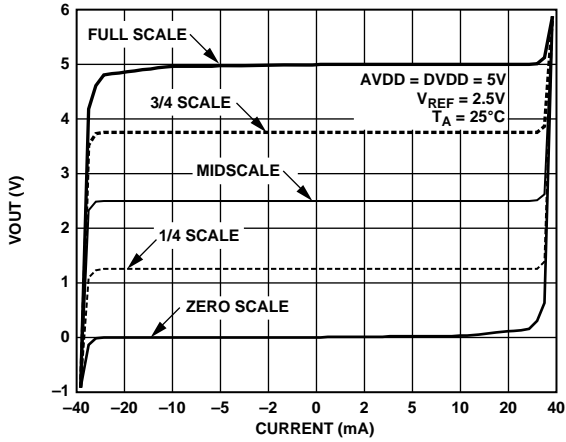


图21. AD5382-5输出放大器的源电流和吸电流能力

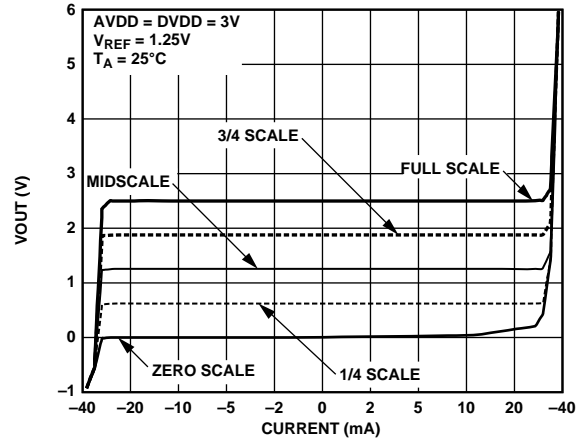


图24. AD5382-3输出放大器的源电流和吸电流能力

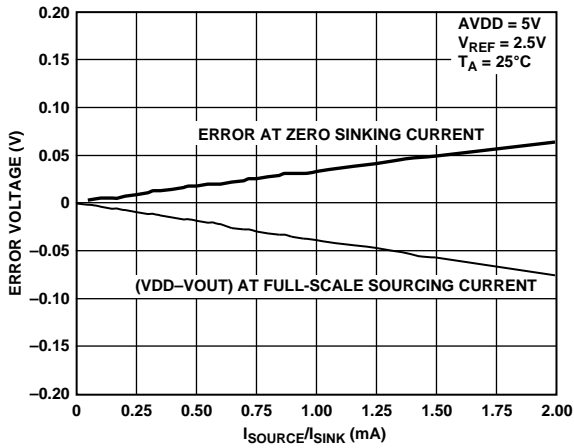


图22. 供电轨裕量与源电流/吸电流的关系

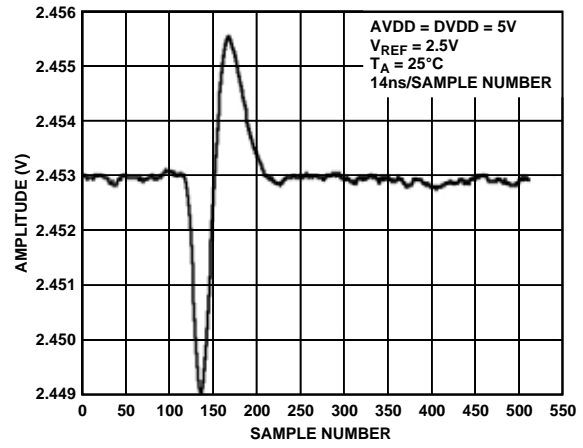


图25. 邻道DAC间串扰

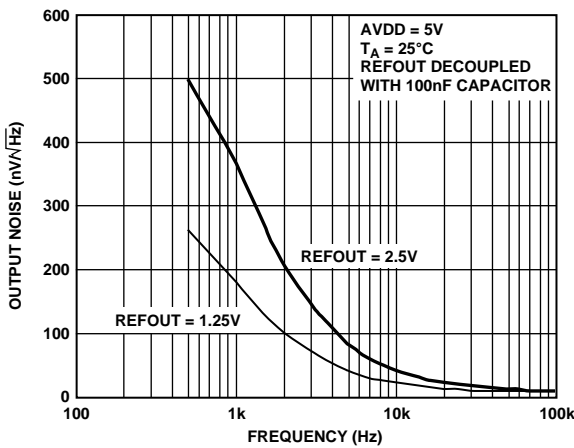


图23. REFOUT噪声频谱密度

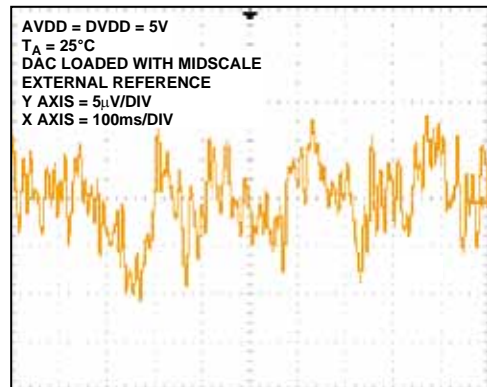


图26. 0.1 Hz至10 Hz噪声图

功能描述

DAC架构—通用

AD5382是一款完整的单电源、32通道电压输出DAC，提供14位分辨率。该器件采用100引脚LQFP封装，配备并行和串行接口。该产品内置一个可通过软件选择的1.25 V/2.5 V、10 ppm/°C基准电压源，该电压源可用于驱动缓冲基准输入；或者，也可以使用外部基准电压源来驱动这些输入。内部/外部基准电压源是通过控制寄存器中的CR10位来选择的；如果选择了内部基准电压源，则CR12可选择参考幅度。所有通道均内置一个具有轨到轨输出的片内输出放大器，能够驱动与200 pF并联的5 kΩ负载。

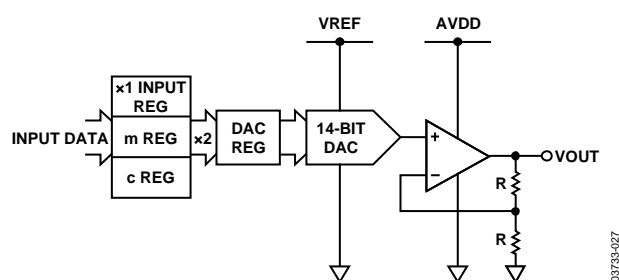


图27. 单通道架构

DAC单通道架构由一个14位电阻串DAC和一个增益为2的输出缓冲放大器构成。这种电阻串架构可保证DAC的单调性。载入DAC寄存器的14位二进制数字码决定抽取电阻串上哪个节点的电压，以馈入输出放大器。这类器件上的每个通道均包含独立的失调和增益寄存器，允许用户通过数字方式调整失调和增益。通过这些寄存器，用户能够使用内部m和c寄存器（保存校正系数）通过校准消除整个信号链（包括DAC）中的误差。所有通道均采用双缓冲机制，因而利用LDAC引脚可以同步更新所有通道。图27所示为AD5382上单个通道的框图。各DAC的数字输入传递函数可以表示为：

$$x_2 = [(m + 2)/2^n \times x_1] + (c - 2^{n-1})$$

其中：

x₂为载入电阻串DAC的数据字。

x₁为写入DAC输入寄存器的14位数据字。

m为增益系数(AD5382上默认为0x3FFE)。

该增益系数写入13个最高有效位(DB13至DB1)，而LSB(DB0)为零。

n = DAC分辨率(对于AD5382, n = 14)。

C为14位失调系数(默认为0x2000)。

这些器件的完整传递函数可以表示为：

$$V_{OUT} = 2 \times V_{REF} \times x_2 / 2^n$$

其中：

x₂为载入电阻串DAC的数据字，V_{REF}为内部基准电压，或施加于DAC REFOUT/REFIN引脚的外部基准电压。为了保证达到额定性能，建议AD5380-5采用2.5 V的外部基准电压，AD5380-3采用1.25 V的外部基准电压。

数据解码

AD5382内含14位数据总线DB13–DB0。根据REG1和REG0的值(参见表11)的不同，此数据将载入经过寻址的DAC输入寄存器(x₁)、失调(c)寄存器或增益(m)寄存器。格式数据、失调(c)和增益(m)寄存器内容如表12或表14所示。

表11. 寄存器选择

REG1	REG0	所选寄存器
1	1	输入数据寄存器(x ₁)
1	0	失调寄存器(c)
0	1	增益寄存器(m)
0	0	特殊功能寄存器(SFRs)

表12. DAC数据格式 (REG1 = 1, REG0 = 1)

DB13至DB0				DAC输出(V)
11	1111	1111	1111	2 V _{REF} × (16383/16384)
11	1111	1111	1110	2 V _{REF} × (16382/16384)
10	0000	0000	0001	2 V _{REF} × (8193/16384)
10	0000	0000	0000	2 V _{REF} × (8192/16384)
01	1111	1111	1111	2 V _{REF} × (8191/16384)
00	0000	0000	0001	2 V _{REF} × (1/16384)
00	0000	0000	0000	0

表13. 失调数据格式 (REG1 = 1, REG0 = 0)

DB13至DB0				失调(LSB)
11	1111	1111	1111	+8191
11	1111	1111	1110	+8190
10	0000	0000	0001	+1
10	0000	0000	0000	0
01	1111	1111	1111	-1
00	0000	0000	0001	-8191
00	0000	0000	0000	-8192

AD5382

表14. 增益数据格式 (REG1 = 0, REG0 = 1)

DB13至DB0				增益系数
11	1111	1111	1110	1
10	1111	1111	1110	0.75
01	1111	1111	1110	0.5
00	0111	1111	1110	0.25
00	0000	0000	0000	0

片内特殊功能寄存器(SFR)

AD5382包含数个特殊功能寄存器(SFRs)，具体如表15所列。SFR通过REG1 = REG0 = 0进行寻址并使用A4至A0地址位进行解码。

表15. SFR寄存器功能 (REG1 = 0, REG0 = 0)

R/W	A4	A3	A2	A1	A0	功能
X	0	0	0	0	0	NOP(无操作)
0	0	0	0	0	1	写入清零代码
0	0	0	0	1	0	软清零
0	0	1	0	0	0	软掉电
0	0	1	0	0	1	软上电
0	0	1	1	0	0	控制寄存器写入
1	0	1	1	0	0	控制寄存器读取
0	0	1	0	1	0	监控通道
0	0	1	1	1	1	软复位

SFR命令

NOP(无操作)

REG1 = REG0 = 0, A4-A0 = 00000

不执行任何操作，但在串行回读模式下非常有用，可以逐个输出D_{OUT}上的数据来执行诊断。在NOP操作期间， $\overline{\text{BUSY}}$ 脉冲为低电平。

写入清零码

REG1 = REG0 = 0, A4-A0 = 00001

DB13-DB0 = 清零码数据

通过将 $\overline{\text{CLR}}$ 线置为低电平或执行软清零功能，可以使用用户可配置清零寄存器中包含的数据加载DAC寄存器的内容，并相应地设置VOUT0至VOUT31。这对于在清零状况下设置特定输出电压非常有用。此外，这也有利于校准操作；用户可以将满量程或零电平载入清零代码寄存器，然后调用硬件清零或软件清零功能将此代码载入所有DAC，从而不必对各DAC逐个执行写入。上电时默认为全0。

软清零

REG1 = REG0 = 0, A4-A0 = 00010

DB13-DB0 = 无关位

执行此指令可以执行软件清零，其功能与外部 $\overline{\text{CLR}}$ 引脚的功能相同。使用清零代码寄存器中的数据加载DAC输出(表15)。完全执行软清零需要35 μs ，由 $\overline{\text{BUSY}}$ 低电平时间表示。

软掉电

REG1 = REG0 = 0, A4-A0 = 01000

DB13-DB0 = 无关位

执行此指令可以执行全局掉电功能，将所有通道置于低功耗模式，从而将模拟电源电流降至2 μA (最大值)并将数字电流降至20 μA (最大值)。在掉电模式下，输出放大器可配置为高阻抗输出或提供100 k Ω 负载到地。掉电模式下会保留所有内部寄存器的内容。掉电模式下无法对任何寄存器执行写入。

软上电

REG1 = REG0 = 0, A4-A0 = 01001

DB13-DB0 = 无关位

此指令用于给输出放大器和内部基准电压源上电。退出掉电模式所需时间为8 μs 。硬件掉电和软件掉电功能内置在OR数字功能中。

软复位

REG1 = REG0 = 0, A4-A0 = 01111

DB13-DB0 = 无关位

此指令用于执行软件复位。所有内部寄存器均复位至其默认值，即m位于满量程，c位于零电平。DAC寄存器的内容被清零，所有模拟输出置0。软复位激活时间为135 μs (最大值)。

表16. 控制寄存器内容

MSB											LSB		
CR13	CR12	CR11	CR10	CR9	CR8	CR7	CR6	CR5	CR4	CR3	CR2	CR1	CR0

控制寄存器写入/读取

REG1 = REG0 = 0, A4-A0 = 01100, R/W状态决定操作是写入(R/W = 0)还是读取(R/W = 1)。DB13至DB0包含控制寄存器数据。

控制寄存器内容

CR13: 掉电状态。此位用于配置掉电模式下的输出放大器状态。

CR13 = 1: 放大器输出为高阻抗(上电时默认)。

CR13 = 0: 放大器输出为100 kΩ到地。

CR12: 选择基准电压源(REF)。此位用于选择AD5382的内部工作基准电压源。

CR12 = 1: 内部基准电压源为2.5 V(AD5382-5默认), 是建议AD5382-5使用的工作基准电压源。

CR12 = 0: 内部基准电压源为1.25 V(AD5382-3默认), 是建议AD5382-3使用的工作基准电压源。

CR11: 电流升压控制。此位用于提升输出放大器中的电流, 从而更改其压摆率。

CR11 = 1: 启用升压模式。这样可以使输出放大器中的偏置电流达到最大, 从而优化其压摆率, 不过会增加功耗。

CR11 = 0: 禁用升压模式(上电时默认)。这样可以减小输出放大器中的偏置电流, 从而降低整体功耗。

CR10: 内部/外部基准电压源。此位决定DAC是使用其内部基准电压源, 还是使用外部施加的基准电压源。

CR10 = 1: 使能内部基准电压源。基准输出取决于载入CR12的数据。

CR10 = 0: 选择外部基准电压源(上电时默认)。

CR9: 通道监控使能(参见“通道监控功能”)

CR9 = 1: 使能监控。这样可以使能通道监控功能。对SFR中的监控通道执行写入后, 所选通道输出会路由至MON_OUT引脚。

CR9 = 0: 禁用监控(上电时默认)。禁用监控时, MON_OUT处于三态。

CR8: 热监控功能。使能时, 此功能用于监控AD5382的内部芯片温度。当温度超过130°C时, 热监控功能会关断输出放大器。当多个输出通道同时短路可能引起功耗超限时, 可以使用此功能来保护器件。如果芯片温度降至130°C以下, 软上电会重新使能输出放大器。

CR8 = 1: 使能热监控。

CR8 = 0: 禁用热监控(上电时默认)。

CR7和CR6: 无关位。

CR5至CR2: Toggle功能使能。此功能允许用户针对每个DAC, 在载入A和B寄存器的两个代码之间切换输出。控制寄存器的CR5至CR2位用于使各个八通道组能够在toggle模式下工作。对任意位写入逻辑1, 可以使能一个通道组; 写入逻辑0则会禁用一个组。LDAC用于在两个寄存器之间进行切换。表17显示toggle解码中包含通道24至31, CR5 = 1可以使能这些通道。

表17

CR位	组	通道
CR5	3	24-31
CR4	2	16-23
CR3	1	8-15
CR2	0	0-7

CR1和CR0: 无关位。

通道监控功能

REG1 = REG0 = 0, A4-A0 = 01010

DB13-DB8 = 包含用于寻址所监控通道的数据

AD5382提供通道监控功能。此功能包含一个通过接口寻址的多路复用器, 允许将任何通道输出或连接到MON_IN输入的信号路由至MON_OUT引脚, 从而利用外部ADC进行监控。任何通道若要路由至MON_OUT, 首先必须在控制寄存器中使能该通道监控功能。对于AD5382, DB13至DB8包含所监控通道的通道地址。选择通道地址63可使MON_OUT进入三态。

AD5382

表18. AD5382通道监控解码

REG1	REG0	A4	A3	A2	A1	A0	DB13	DB12	DB11	DB10	DB9	DB8	DB7-DB0	MON_OUT
0	0	0	1	0	1	0	0	0	0	0	0	0	X	VOUT0
0	0	0	1	0	1	0	0	0	0	0	0	1	X	VOUT1
0	0	0	1	0	1	0	0	0	0	0	1	0	X	VOUT2
0	0	0	1	0	1	0	0	0	0	0	1	1	X	VOUT3
0	0	0	1	0	1	0	0	0	0	1	0	0	X	VOUT4
0	0	0	1	0	1	0	0	0	0	1	0	1	X	VOUT5
0	0	0	1	0	1	0	0	0	0	1	1	0	X	VOUT6
0	0	0	1	0	1	0	0	0	0	1	1	1	X	VOUT7
0	0	0	1	0	1	0	0	0	1	0	0	0	X	VOUT8
0	0	0	1	0	1	0	0	0	1	0	1	1	X	VOUT9
0	0	0	1	0	1	0	0	0	1	0	1	0	X	VOUT10
0	0	0	1	0	1	0	0	0	1	1	1	1	X	VOUT11
0	0	0	1	0	1	0	0	0	1	1	0	0	X	VOUT12
0	0	0	1	0	1	0	0	0	1	1	0	1	X	VOUT13
0	0	0	1	0	1	0	0	0	1	1	1	0	X	VOUT14
0	0	0	1	0	1	0	0	0	1	1	1	1	X	VOUT15
0	0	0	1	0	1	0	0	1	0	0	0	0	X	VOUT16
0	0	0	1	0	1	0	0	1	0	0	0	1	X	VOUT17
0	0	0	1	0	1	0	0	1	0	0	1	0	X	VOUT18
0	0	0	1	0	1	0	0	1	0	0	1	1	X	VOUT19
0	0	0	1	0	1	0	0	1	0	1	0	0	X	VOUT20
0	0	0	1	0	1	0	0	1	0	1	0	1	X	VOUT21
0	0	0	1	0	1	0	0	1	0	1	1	0	X	VOUT22
0	0	0	1	0	1	0	0	1	0	1	1	1	X	VOUT23
0	0	0	1	0	1	0	0	1	1	0	0	0	X	VOUT24
0	0	0	1	0	1	0	0	1	1	0	0	1	X	VOUT25
0	0	0	1	0	1	0	0	1	1	0	1	0	X	VOUT26
0	0	0	1	0	1	0	0	1	1	0	1	1	X	VOUT27
0	0	0	1	0	1	0	0	1	1	1	0	0	X	VOUT28
0	0	0	1	0	1	0	0	1	1	1	0	1	X	VOUT29
0	0	0	1	0	1	0	0	1	1	1	1	0	X	VOUT30
0	0	0	1	0	1	0	0	1	1	1	1	1	X	VOUT31
0	0	0	1	0	1	0	1	0	0	0	0	0	X	未定义
0	0	0	1	0	1	0	1	0	0	0	0	1	X	未定义
0	0	0	1	0	1	0	1	0	0	0	1	0	X	MON_IN1
0	0	0	1	0	1	0	1	0	0	0	1	1	X	MON_IN2
0	0	0	1	0	1	0	1	0	1	0	0	0	X	MON_IN3
0	0	0	1	0	1	0	1	0	1	0	1	0	X	MON_IN4
•	•	•	•	•	•	•	•	•	•	•	•	•	•	•
•	•	•	•	•	•	•	•	•	•	•	•	•	•	•
0	0	0	1	0	1	0	1	1	1	1	1	0	X	未定义
0	0	0	1	0	1	0	1	1	1	1	1	1	X	三态

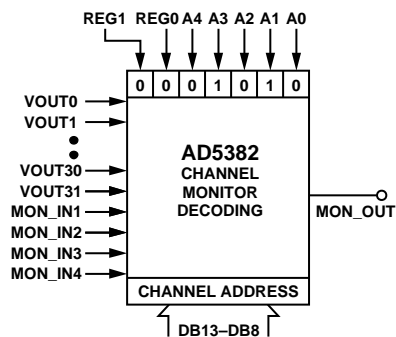


图28. 通道监控解码

硬件功能

复位功能

通过将RESET线置为低电平，可以将所有内部寄存器的内容复位到其上电复位状态。复位输入对负边沿敏感。默认设置为m处于满量程，c处于0电平。DAC寄存器的内容会清零，VOUT0至VOUT31均会设置为0 V。这些过程最多耗时270 μs 。RESET下降沿将启动复位过程；在此期间，BUSY将变为低电平，并在RESET完成后返回到高电平。当BUSY处于低电平时，将禁用所有接口并忽略所有LDAC脉冲。当BUSY返回到高电平时，器件会恢复正常操作，并忽略RESET引脚的状态，直至检测到下一下降沿。

异步清零功能

通过将CLR线置为低电平，可以将DAC寄存器的内容清零至用户可配置CLR寄存器中包含的数据，并相应地设置VOUT0至VOUT31。此功能在系统校准中可用于将零电平和满量程载入所有通道。CLR的执行时间为35 μs 。

BUSY和LDAC功能

BUSY为CMOS数字输出，用于指示AD5382的状态。用户每次将新数据写入对应的x1、c或m寄存器时，器件都会计算x2的值，即载入DAC数据寄存器的内部数据。在计算x2期间，BUSY输出会变为低电平。在BUSY处于低电平时，用户可以继续将新数据写入x1、m或c寄存器，但DAC输出不会发生更新。DAC输出是通过拉低LDAC输入来更新的。如果BUSY有效时LDAC变为低电平，则将存储LDAC事件，并在BUSY变为高电平后立即更新DAC输出。用户可以将输入永久保持为低电平，这样DAC输出即会在变为高电平后立即更新。此外，在上电复位期间或在RESET引脚上检测到下降沿时，BUSY也会变为低电平。在此期间会禁用所有接口并忽略LDAC上的所有事件。

AD5382具有一项额外功能：自上一次LDAC被拉低以后，除非对x2寄存器中执行了写入，否则不会更新DAC寄存器。通常情况下，当LDAC被拉低时，器件会使用x2寄存器的内容来填充DAC寄存器。不过，AD5382只会在x2数据发生变化时更新DAC寄存器，因而消除了不必要的数字串扰。

并行模式下的FIFO操作

AD5382借助FIFO来优化并行接口模式下的操作。FIFO EN引脚(电平敏感、高电平有效)用于使能内部FIFO。连接到DVDD时，内部FIFO使能，从而允许用户全速写入器件。FIFO只能在并行接口模式下使用。器件会在上电时和CLEAR或RESET之后对FIFO EN引脚的状态进行采样，从而判断是否已使能FIFO。在串行或I2C接口模式下，FIFO EN应连接低电平。在并行模式下，器件能够以最大速度向FIFO中写入最多128条连续指令。FIFO写满后，将忽略对器件的进一步写入。图29所示为FIFO模式和非FIFO模式在通道更新时间方面的比较。图29还显示了数字加载时间。

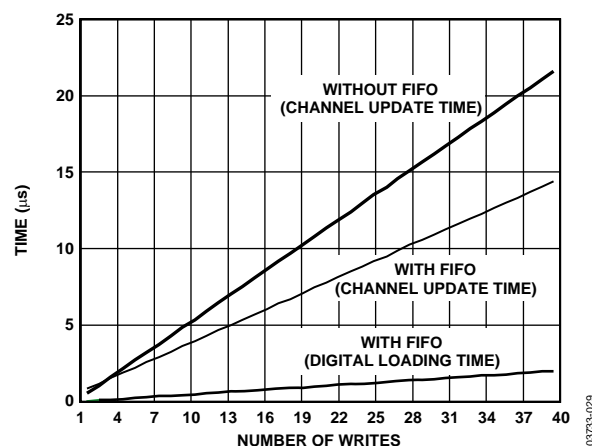


图29. 通道更新速率(FIFO与非FIFO)

上电复位

AD5382内置上电复位发生器和状态机。上电复位可以将所有寄存器复位至预定义状态并将模拟输出配置为高阻抗。在上电复位过程执行期间，BUSY引脚会变为低电平，从而防止向器件中写入数据。

掉电

AD5382带有全局掉电功能，可将所有通道置于低功耗模式，从而将模拟功耗降至2 μA (最大值)并将数字功耗降至20 μA (最大值)。在掉电模式下，输出放大器配置为高阻抗输出或提供100 k Ω 负载到地。掉电模式下会保留所有内部寄存器的内容。退出掉电模式时，先要经过放大器的建立时间后，输出才能达到并保持在其正确值。

AD5382接口

AD5382内置并行接口和串行接口。串行接口还可以编程为SPI、DSP、MICROWIRE或I²C兼容型接口。SER/PAR引脚用于选择并行和串行接口模式。在串行模式下，SPI/I²C引脚用于选择DSP、SPI、MICROWIRE或I²C接口模式。

该器件采用内部FIFO存储器，允许在并行接口模式下执行高速连续写入。在执行写指令时，用户可以继续将新数据写入器件中。BUSY信号指示器件的当前状态，在执行FIFO中的指令时该信号变为低电平。在并行模式下，器件能够以最大速度向FIFO中写入最多128条连续指令。FIFO写满后，将忽略对器件的进一步写入。

为了尽可能降低器件功耗和片内数字噪声，只有在 \overline{WR} 下降沿或 \overline{SYNC} 下降沿对器件执行写入时，激活接口才会完全上电。

DSP、SPI、MICROWIRE兼容型串行接口

串行接口在独立模式下工作最少采用三线，在菊花链模式下工作最少采用四线。菊花链方式允许将多个器件级联在一起，从而增加系统通道数。SER/PAR引脚必须连接高电平，而SPI/I²C引脚(引脚97)则应连接低电平，以便使能DSP、SPI、MICROWIRE兼容型串行接口。在串行接口模式下，用户无需驱动并行输入数据引脚。串行接口的控制引脚如下：

\overline{SYNC} 、DIN、SCLK—标准三线式接口引脚。

DCEN—选择独立模式或菊花链模式。

SDO—菊花链模式的数据输出引脚。

表19.32通道、14位DAC串行输入寄存器配置

MSB														LSB									
\overline{A}/B	R/ \overline{W}	0	A4	A3	A2	A1	A0	REG1	REG0	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0

图3和图5所示为独立和菊花链模式下AD5382串行写入操作的时序图。串行接口的24位数据字格式如表19所示。

\overline{A}/B ：使能toggle模式时，此引脚用于选择将数据写入A寄存器还是B寄存器。禁用toggle模式时，此位应置0，以选择A数据寄存器。

R/ \overline{W} 是读写控制位。

A4-A0用于寻址输入通道。

REG1和REG0用于选择要写入数据的寄存器，如表11所示。

DB13-DB0包含输入数据字。

X表示无关。

独立模式

通过将DCEN(菊花链使能)引脚连接到低电平，可以使能独立模式。串行接口采用连续式和非连续式两种串行时钟工作。 \overline{SYNC} 的第一个下降沿启动写周期并复位用于计算串行时钟数的计数器，以确保将正确的位数移入串行移位寄存器。器件会忽略 \overline{SYNC} 上除下降沿之外的所有其他边沿，直到读入了24个位。移入24个位后，器件会忽略SCLK。若需进行其他串行传输，必须通过 \overline{SYNC} 下降沿来复位计数器。

菊花链模式

对于包含数个器件的系统，可利用SDO引脚通过菊花链方式将多个器件连接起来。菊花链模式有助于系统诊断和减少串行接口线的数量。

通过将DCEN(菊花链使能)引脚连接到高电平，可以使能菊花链模式。 $\overline{\text{SYNC}}$ 的第一个下降沿启动写周期。当 $\overline{\text{SYNC}}$ 为低电平时，SCLK不断施加到输入移位寄存器。如果施加了24个以上的时钟脉冲，则数据从移位寄存器输出并出现在SDO线路上。此数据在SCLK上升沿逐个输出，在SCLK的下降沿有效。将第一个器件的SDO连接到菊花链中下一个器件的DIN输入，可构建一个多器件接口。系统中每个器件均需要24个时钟脉冲。因此，时钟周期的总数必须为 $24N$ ，其中 N 为链中AD538x的总数。

当对所有器件的串行传输结束时， $\overline{\text{SYNC}}$ 变为高电平，这样可以锁存菊花链中各器件的输入数据，防止额外的数据进入输入移位寄存器。

如果在24个时钟写入器件之前 $\overline{\text{SYNC}}$ 变为高电平，则这会被视为坏帧，而数据会被丢弃。

串行时钟可以是连续时钟或选通时钟。只有当 $\overline{\text{SYNC}}$ 可以在正确的时钟周期数内保持为低电平时，才能使用连续的SCLK时钟源。在选通时钟模式下，必须采用包含确切时钟周期数的时钟群，在时钟周期结束后必须将 $\overline{\text{SYNC}}$ 置为高电平来锁存数据。

回读模式

回读模式通过在串行输入寄存器写操作时设置 R/\overline{W} 位为1来调用。利用 $R/\overline{W}=1$ 、位A4至A0，以及位REG1和REG0，可以选择要读取的寄存器。写序列中其余的数据位则与之无关。在下次SPI写操作时，SDO输出端的数据包含之前寻址寄存器的数据。当读取单个寄存器时，可以使用NOP命令通过SDO从选定的寄存器输出数据。

图30显示了回读顺序。例如，要回读AD5382上通道0的m寄存器，应当实施如下操作序列：首先，将 $0x404XXX$ 写入AD5382输入寄存器。这会将AD5382配置为读取模式，同时选中通道0的m寄存器。数据位DB13至DB0是无关位。然后执行第二个写操作，写入NOP条件 $0x000000$ 。在此写入期间，来自m寄存器的数据在DOUT线路上逐个输出，即所输出数据在DB13至DB0位中包含来自m寄存器的数据，而高十位包含之前写入的地址信息。在回读模式下， $\overline{\text{SYNC}}$ 信号必须使能数据帧。数据在SCLK上升沿逐个输出，而且在SCLK信号的下降沿有效。如果SCLK在回读操作的读写操作之间处于空闲高电平状态，数据的第一个位会在 $\overline{\text{SYNC}}$ 下降沿输出。

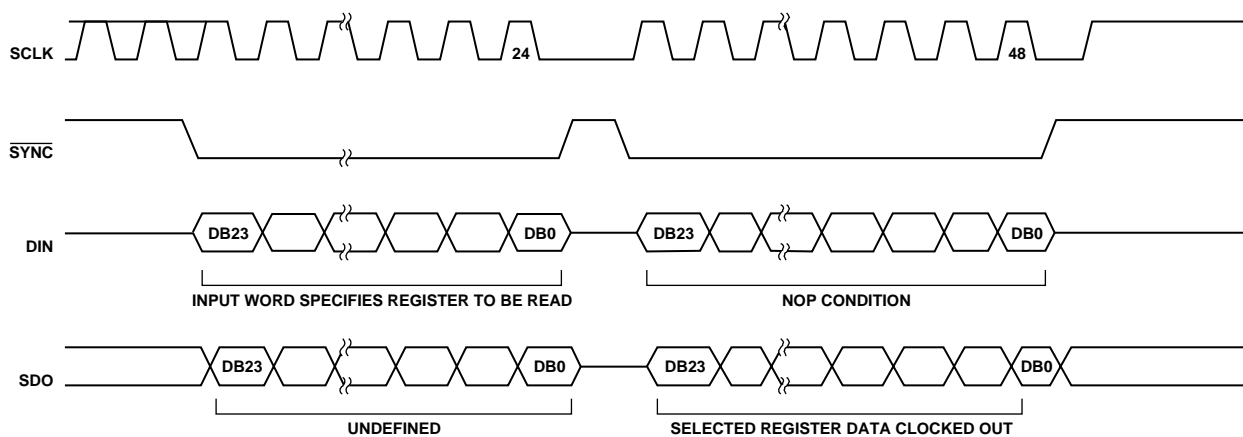


图30. 串行回读操作

I²C串行接口

AD5382具有一个I²C兼容型双线式接口，由一条串行数据线(SDA)和一条串行时钟线(SCL)构成。SDA和SCL支持AD5382和主机之间以最高400 kHz的速率进行通信。图6显示了三种不同操作模式下的双线式接口时序图。在选择I²C操作模式时，首先配置串行操作模式(SER/ $\overline{\text{PAR}}=1$)，然后通过将 $\overline{\text{SPI}}/\text{I}^2\text{C}$ 引脚配置为逻辑1来选择I²C模式。器件以从机形式连接到I²C总线(AD5382未产生任何时钟)。AD5382拥有一个7位从机地址，即1010 1AD1AD0。5位MSB采用硬编码，而2位LSB则由AD1和AD0引脚的状态决定。AD1和AD0的硬件配置功能允许在总线上配置其中四个器件。

I²C数据传输

每个SCL时钟周期内会传输一个数据位。在SCL时钟脉冲的高电平期间，SDA上的数据必须保持稳定。SCL处于高电平时SDA的变化成为控制信号，用于配置起始和停止条件。当I²C总线空闲时，器件会通过外部上拉电阻将SDA和SCL上拉至高电平。

起始条件和停止条件

主器件通过发出起始条件来发起通信。起始条件是指SCL处于高电平时，SDA上发生的高电平至低电平跃迁。停止条件是指SCL处于高电平时，SDA上发生的低电平至高电平跃迁。主机发出起始条件表示开始向AD5382进行传输。停止条件则会释放总线。如果生成的是重复起始条件(Sr)，而非停止条件，则总线会保持活动状态。

重复起始条件

重复起始(Sr)条件可以指示总线上数据方向的变化。当总线主机向数个I²C器件执行写入操作并希望保持总线控制时，就可以使用Sr。

应答位(ACK)

应答位(ACK)是附加到任何8位数据字的第九个位。ACK始终由接收器件生成。在第九个时钟周期内，AD5382器件会在接收地址或数据时通过拉低SDA来生成ACK。通过监控ACK，可以检测出失败的数据传输。如果接收器件处于忙碌状态或发生了系统故障，数据传输就会失败。数据传输失败时，总线主机应会重新尝试进行通信。

AD5382从机地址

总线主机通过发出一个起始条件以及7位从机地址来发起与从机的通信。闲置时，AD5382会等待起始条件及其从机地址。地址字的LSB部分是读/写(R/ $\overline{\text{W}}$)位。AD5382为只收器件；与AD5382进行通信时，R/ $\overline{\text{W}}=0$ 。收到正确地址1010 1AD1AD0后，AD5382会在一个时钟周期内拉低SDA来发出ACK。

AD5382拥有四种不同的用户可编程地址，具体由AD1和AD0位决定。

写操作

数据可以通过三种特定模式写入AD5382 DAC。

4字节模式

写入AD5382 DAC时，用户必须先写入地址字节(R/ $\overline{\text{W}}=0$)，接着DAC通过拉低SDA做出应答，表示其已做好接收数据准备。地址字节之后是指针字节；这会对DAC中要寻址的特定通道进行寻址，并且也由DAC做出应答。然后向DAC中写入两个字节的数，如图31所示。接着是停止条件。这允许用户随时更新AD5382中的单个通道并要求从主机传输四个字节的数。

3字节模式

在3字节模式下，用户可以更新写序列中的多个通道，而无需每次都写入器件地址。器件地址字节只需要提供一次；后续通道更新需要的是指针字节和数据字节。在3字节模式下，用户首先写入地址字节(R/ $\overline{\text{W}}=0$)，接着DAC通过拉低SDA做出应答，表示其已做好数据接收准备。地址字节之后是指针字节。这会对DAC中要寻址的特定通道进行寻址，并且也由DAC做出应答。在此之后则是两个数据字节。REG1和REG0决定要更新的寄存器。

如果数据字节之后未出现停止条件，那么将通过发送新的指针字节后跟数据字节来更新另一通道。器件完成最初寻址之后，此模式只需要发送三个字节即可更新任意通道，从而减少了更新AD5382通道的软件开销。无论何时，只要出现停止条件，即可退出此模式。图32所示为典型配置。

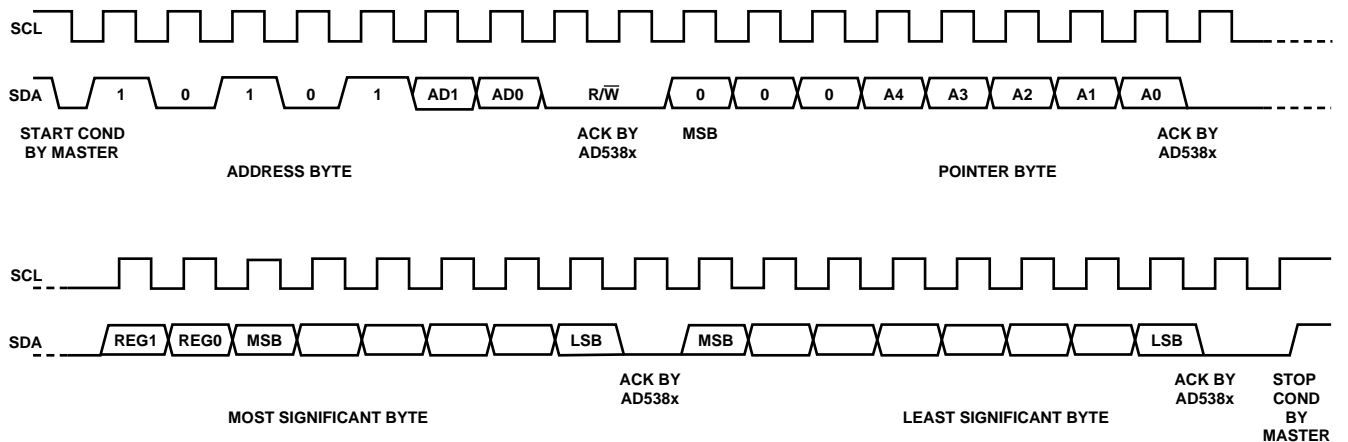


图31. 4字节AD5382 I2C写操作

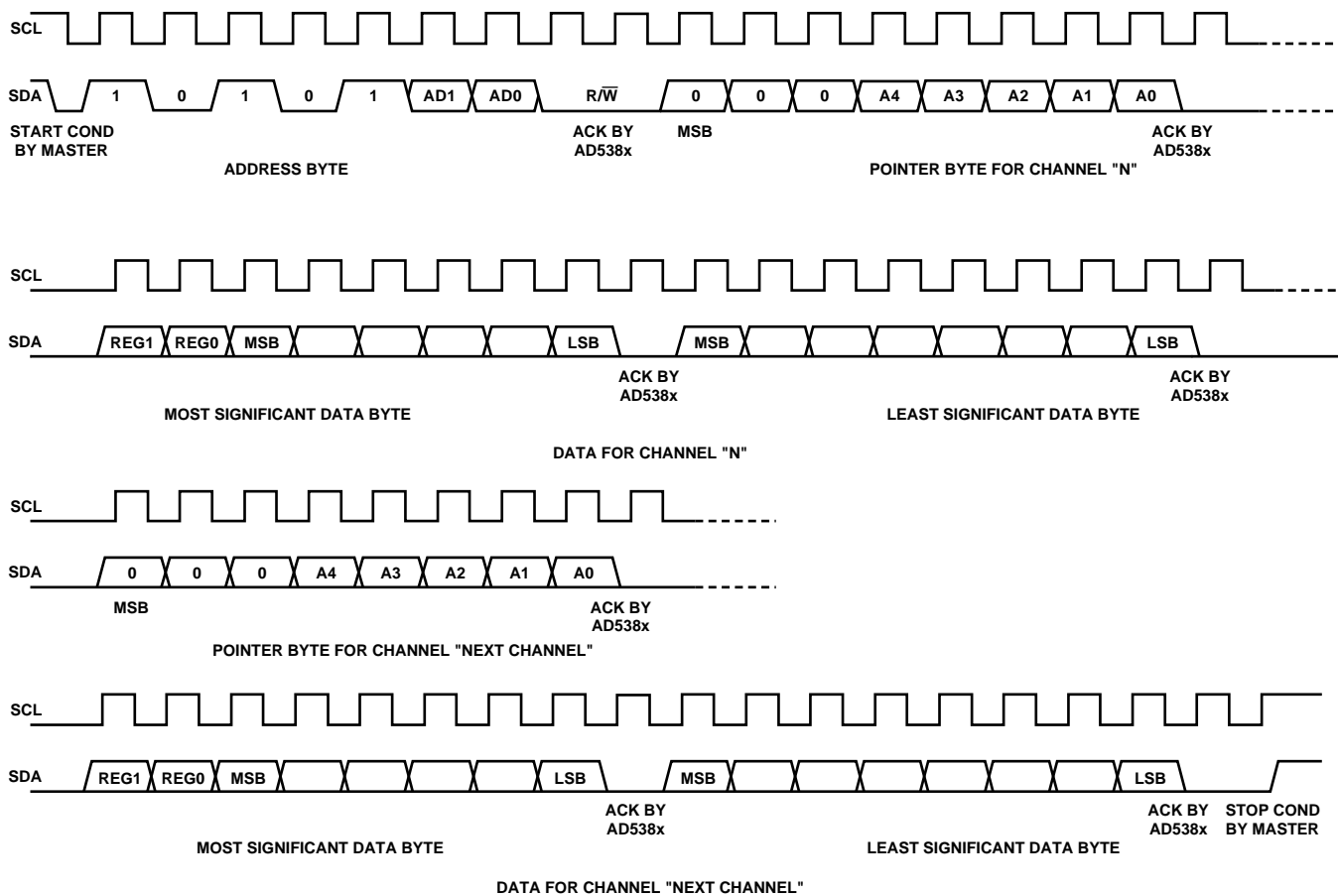


图32. 3字节AD5382 I2C写操作

2字节模式

初始化2字节模式之后，用户可以按顺序更新多个通道。器件地址字节只需要提供一次，而地址指针配置为自动递增或突发模式。

用户必须先写入地址字节($R/\overline{W}=0$)，接着DAC通过拉低SDA做出应答，表示其已做好数据接收准备。地址字节之后是特定指针字节(0xFF)，从而启动突发工作模式。地址指针初始化为通道0，该指针后跟的数据会被载入通道0，而地址指针会自动递增至下一地址。

数据字节中的REG0和REG1位决定要更新的寄存器。在此模式下，完成初始化后，只需两个数据字节即可更新一个通道。通道地址会自动从通道0递增至通道31，然后返回到正常的3字节工作模式。此模式允许将数据传输至一个模块内的所有通道，从而减小了配置所有通道时的软件开销。无论何时，只要出现停止条件，即可退出此模式。2字节模式不支持Toggle模式。图33所示为典型配置。

并行接口

要使用并行接口并禁用串行接口， SER/\overline{PAR} 必须连接低电平。图7给出了并行写入的时序图。并行接口由以下引脚控制：

CS引脚

低电平有效器件选择引脚。

WR引脚

引脚A4至A0上的地址在 \overline{WR} 处于低电平时在 \overline{CS} 的上升沿锁存；数据总线上的数据会被载入所选输入寄存器。

REG0、REG1引脚

REG0和REG1引脚决定向AD5382中写入数据时的目标寄存器。参见表11。

引脚A4至A0

40个DAC通道可以逐个分别进行寻址。

引脚DB13至DB0

AD5382在DB13至DB0上接受一个14位直接并行字，其中DB13为MSB，而DB0则为LSB。

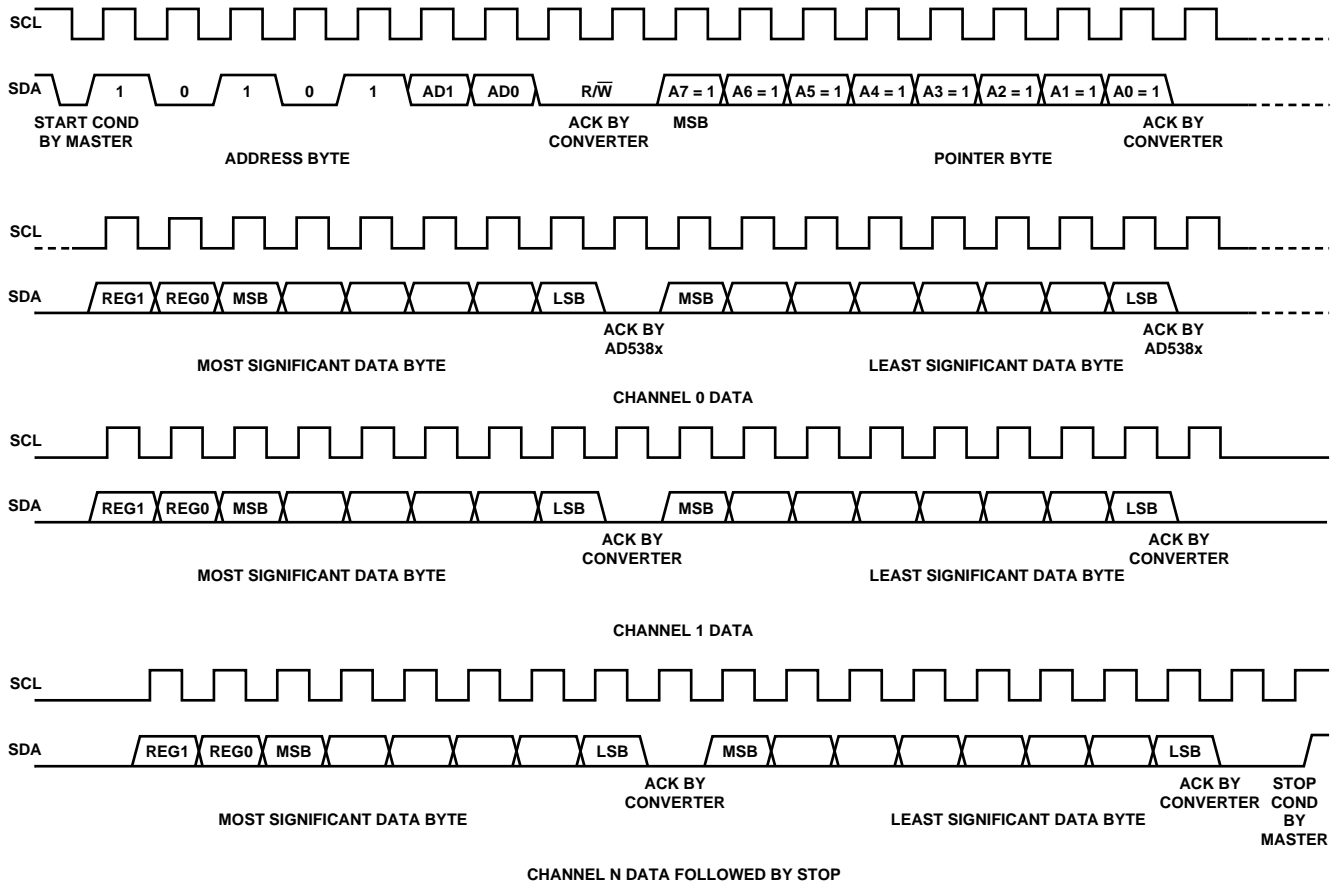


图33. 2字节I²C写操作

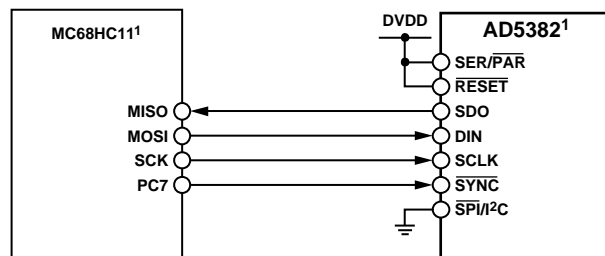
微处理器接口 并行接口

AD5382可以与各种16位微控制器或DSP处理器接口。图35所示为与通用16位微控制器/DSP处理器接口的AD5382系列。处理器的低位地址线与AD5382上的A0–A4相连。而高位地址线则经过解码，向AD5382提供 \overline{CS} \overline{LDAC} 信号。AD5382具有快速接口时序特性，可以与多种微控制器和DSP直接接口，如图35所示。

AD5382至MC68HC11

MC68HC11上的串行外设接口(SPI)配置为主机模式(MSTR = 1)，时钟极性位(CPOL)为0，时钟相位位(CPHA)为1。SPI则通过向SPI控制寄存器(SPCR)执行写入来进行配置—参见《68HC11用户手册》。68HC11的SCK驱动AD5382的SCLK，MOSI输出驱动AD5382的串行数据线(DIN)，而MISO输入则通过DOOUT驱动。SYNC信号由端口线(PC7)获得。

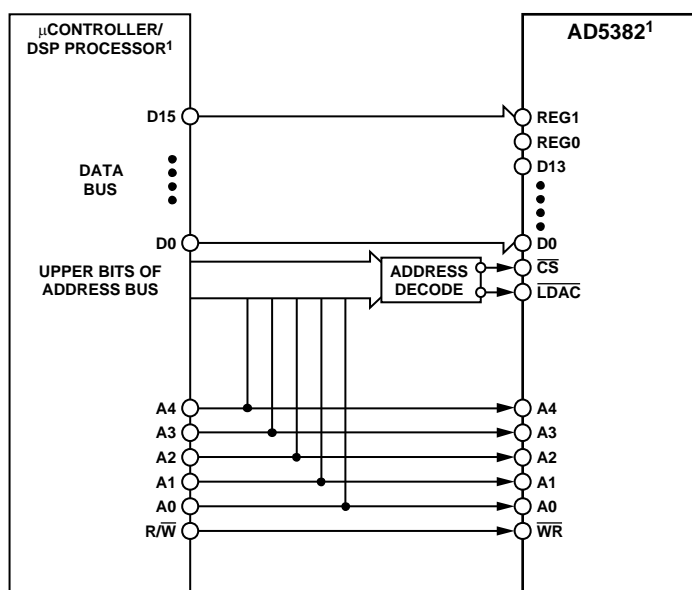
向AD5382发送数据时，SYNC线被拉低(PC7)。MOSI输出端上的数据在SCK的下降沿有效。来自68HC11的串行数据以8位字节传送，在传送周期中仅出现8个时钟下降沿。



¹ADDITIONAL PINS OMITTED FOR CLARITY.

03733-034

图34. AD5382至MC68HC11接口



¹ADDITIONAL PINS OMITTED FOR CLARITY.

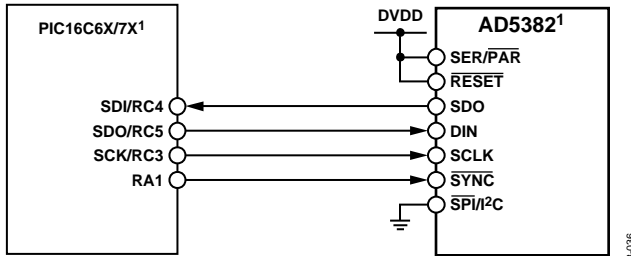
03733-035

图35. AD5382至并行接口

AD5382

AD5382至PIC16C6x/7x

PIC16C6x/7x同步串行端口(SSP)配置为SPI主机, 时钟极性为0。这是通过向同步串行端口控制寄存器(SSPCON)执行写入而实现的。参见《PIC16/17微控制器用户手册》。在此I/O示例中, 端口RA1用于控制SYNC并使能AD5382的串行端口。在每个串行传输操作中, 此微控制器仅传输八个字节的数据; 因此, 根据具体模式的不同, 可能需要三个连续的读/写操作。图36给出了连接图。



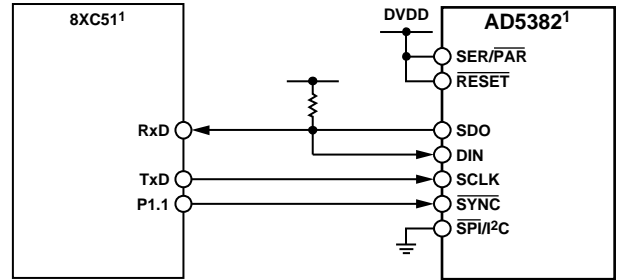
¹ADDITIONAL PINS OMITTED FOR CLARITY.

03733-036

图36. AD5382至PIC16C6x/7x接口

AD5382至8051

AD5382要求时钟与串行数据同步。因此, 8051串行接口必须在模式0下工作。在此模式下, 串行数据会通过RxD进入和退出, 而移位时钟是TxD上的输出。图37给出了8051连接到AD5382的方式。由于AD5382在移位时钟的上升沿移出数据并在下降沿锁存数据, 因此移位时钟必须反相。AD5382要求其数据以MSB为优先。由于8051首先输出LSB, 因此发送例程需要考虑这一情况。



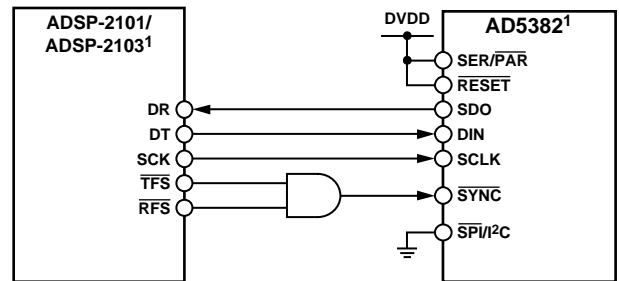
¹ADDITIONAL PINS OMITTED FOR CLARITY.

03733-037

图37. AD5382至8051接口

AD5382至ADSP-2101/ADSP-2103

图38显示的是AD5382与ADSP-2101/ADSP-2103之间的串行接口。ADSP-2101/ADSP-2103应该设置为SPORT交替帧传输模式。ADSP-2101/ADSP-2103 SPORT通过SPORT控制寄存器进行编程并应该按照如下方式进行配置: 内部时钟工作模式、低电平有效帧和16位字长。使能SPORT后, 可以通过对Tx寄存器进行写操作来启动传输。



¹ADDITIONAL PINS OMITTED FOR CLARITY.

03733-038

图38. AD5382至ADSP-2101/ADSP-2103接口

应用信息

电源去耦

在任何注重精度的电路中，精心考虑电源和接地回路布局都有助于确保达到规定的性能。AD5382所在的印刷电路板在设计时应将模拟部分与数字部分分离，并限制在电路板的特定区域内。如果AD5382系统内有多个器件要求AGND连到DGND，则应采用单点接地，这一星型接地点的位置应尽量靠近该器件。

对于具有多个引脚(AVDD和DVDD)的电源，建议将这些引脚连接在一起。AD5382的每个电源上应该有足够的旁路电容10 μF 与0.1 μF 电容并联，并且尽可能靠近封装，最好是正对着该器件。10 μF 电容最好为钽电容。0.1 μF 电容应具有低有效串联电阻(ESR)和低有效串联电感(ESI)，如高频时提供低阻抗接地路径的普通陶瓷型电容，以便处理内部逻辑开关所引起的瞬态电流。

AD5382的电源线路应采用尽可能宽的走线，以提供低阻抗路径，并减小电源线路上的毛刺效应。时钟等快速开关信号应利用数字地屏蔽起来，以免向电路板上的其它器件辐射噪声，并且绝不应靠近基准输入。DIN和SCLK线路之间布设接地线路有助于降低两者之间的串扰。多层电路板上具有独立的接地层，因此不需要这样做，但分开不同线路总有益处。必须将VIN和REFIN线路上的噪声降至最低。

避免数字信号与模拟信号交叠。电路板相对两侧上的走线应当彼此垂直。这样做有助于降低电路板上的馈通效应。微带线技术是目前的最佳选择，但这种技术对于双面电路板未必总是可行。采用这种技术时，电路板的元件侧专用于接地层，而信号走线则布设在焊接侧。

典型配置电路

图39所示为采用外部基准电压源的AD5382-5典型配置。在所示电路中，所有AGND、SIGNAL_GND和DAC_GND引脚均连在一起，并连接至一个公共的AGND。在AD5382器件上，AGND与DGND连在一起。上电时，AD5382默认采用外部基准电压源工作。所有AVDD线路均相连并采用相同的5 V电源驱动。建议使用0.1 μF 陶瓷电容和10 μF 钽电容，对靠近器件对电源进行去耦。

本应用中，AD5382-5的基准电压从2.5 V外部基准电压源ADR421或ADR431获得。适合AD5382-3的外部基准电压源包括1.2 V基准电压源ADR280。应使用0.1 μF 电容在器件的REFOUT/REFIN引脚对基准电压源去耦。

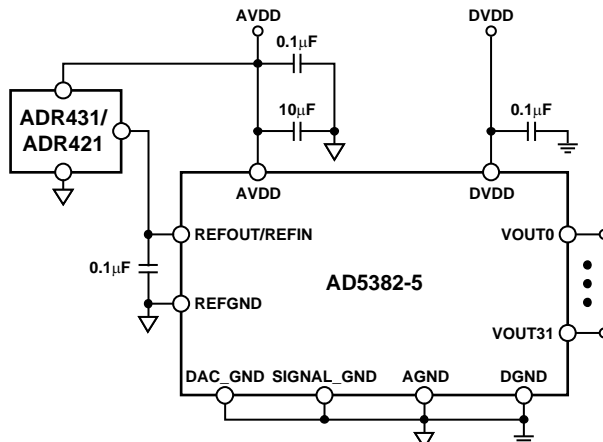


图39. 采用外部基准电压源的典型配置

图40所示为采用内部基准电压源的典型配置。上电时，AD5382默认采用外部基准电压源工作；因此，需要通过向AD5382控制寄存器执行写入来配置和开启内部基准电压源。控制寄存器位CR12允许用户选择基准电压值；CR10位用于选择内部基准电压源。AVDD = 5 V时，建议使用2.5 V基准电压源，而AVDD = 3 V时则建议使用1.25 V基准电压源。

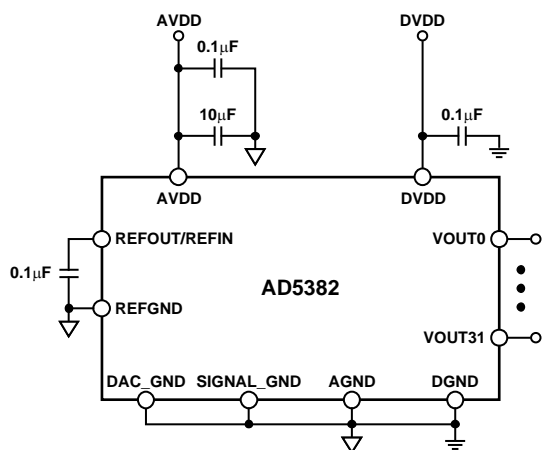


图40. 采用内部基准电压源的典型配置

为清楚起见，忽略了数字连接。AD5382内置掉电时间为10 ms的上电复位电路。如果电源斜坡率超过10 ms，用户应当在初始化过程中复位AD5382，以确保正确地将校准数据载入器件。

监控功能

AD5382通道监控功能由一个通过接口寻址的多路复用器实现，任意通道输出均可路由至此引脚，以便利用一个外部ADC进行监控。任何通道要路由至MON_OUT，首先必须在控制寄存器中使能该通道监控功能。表18包含要将任意通道路由至MON_OUT所需的解码信息。AD5382最大绝对输入范围内的外部信号可以连接到MON_IN引脚并在MON_OUT处进行监控。选择通道地址63会使MON_OUT进入三态。图41所示为采用6引脚SOT-23封装的12位SAR ADC实现的典型监控电路。控制器输出端口用于选择要监控的通道，而输入端口则用于读取ADC转换的数据。

Toggle模式功能

Toggle模式功能允许采用 $\overline{\text{LDAC}}$ 控制两个DAC数据寄存器之间切换来生成输出信号。此功能是通过SFR控制寄存器按照下述方式进行配置的。REG1 = REG0 = 0且A4-A0 = 01100的写操作指定了控制寄存器的写入。Toggle模式功能是采用控制寄存器中的位CR5至CR2在八通道组中使能的。参见表16中的AD5382控制寄存器内容。图42所示为实现toggle模式的框图。AD5382上共有32个DAC通道，每个通道均包含A和B数据寄存器。请注意，仅在使能toggle模式时，才能加载B寄存器。

将AD5382配置为toggle模式时的事件顺序如下：

1. 通过控制寄存器为所需通道使能toggle模式。
2. 将数据载入A寄存器。
3. 将数据载入B寄存器。
4. 施加 $\overline{\text{LDAC}}$ 。

$\overline{\text{LDAC}}$ 用于在A和B寄存器之间切换，从而决定模拟输出。第一个将输出配置为反映A寄存器中的数据。如果用户希望所有32个通道的输出端生成方波(如在驱动液晶可变光衰减器时)，则此模式具有显著优势。本例中，用户对控制寄存器进行写入设置并使能toggle功能，方法是将CR5至CR2设置为1，从而为八组中的四组使能toggle工作模式。然后，用户必须将数据载入所有32个A和32个B寄存器。切换 $\overline{\text{LDAC}}$ 可将输出值设置为反映A和B寄存器中的数据。LDAC的频率决定方波输出的频率。

通过控制寄存器将Toggle模式禁用。禁用toggle模式后的第一个 $\overline{\text{LDAC}}$ 使用A寄存器中包含的数据来更新输出。

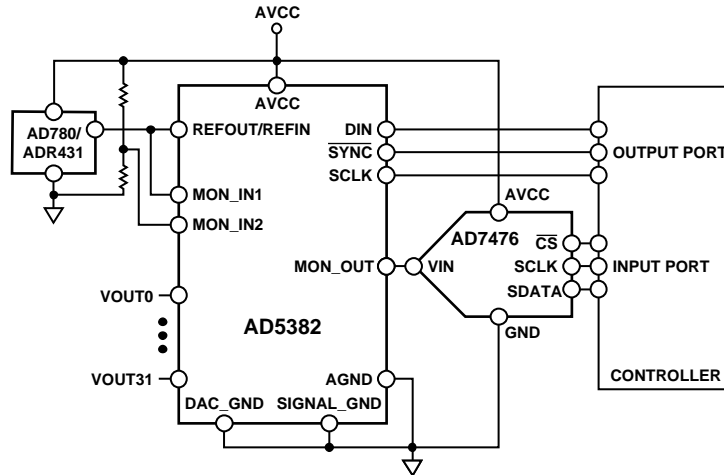


图41. 典型通道监控电路

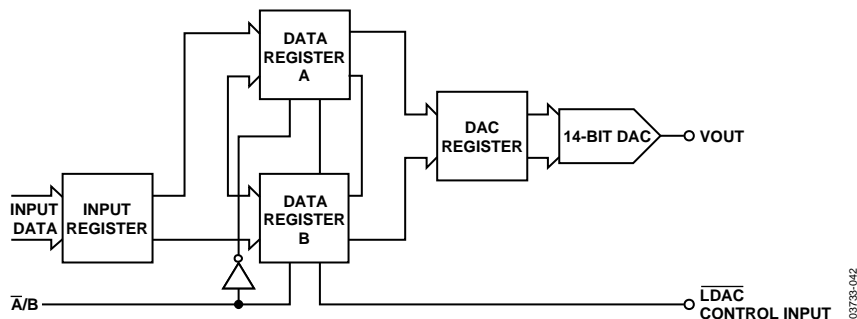


图42. Toggle模式功能

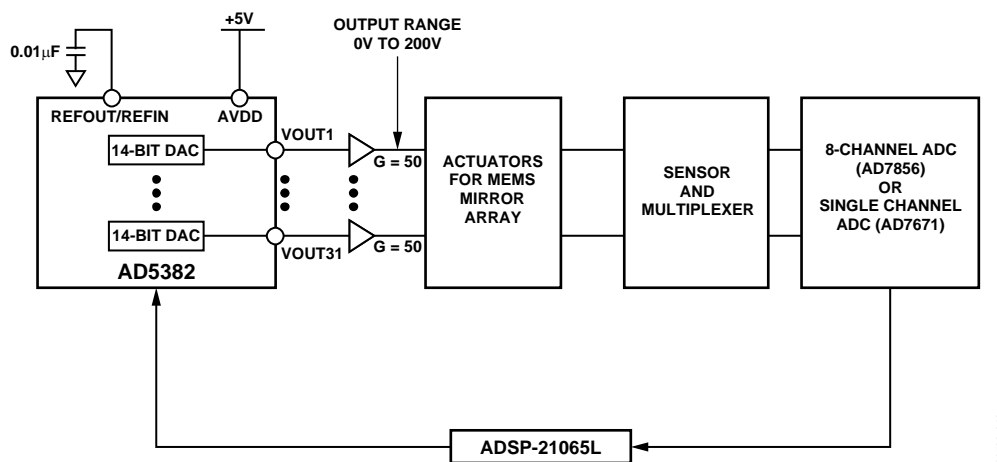


图43. MEMS光学开关中的AD5382

热监控功能

AD5382具有热关断功能，可在多个输出端短接时保护芯片。各输出放大器的短路电流通常为40 mA。在5 V下使用AD5382时，每个短路放大器的功耗为200 mW。五个通道短接时，这样会造成额外的功耗。对于100引脚LQFP封装， θ_{JA} 典型值为44°C/W。

用户可以通过控制寄存器中的CR8来使能热监控。如果芯片温度超过约130°C，AD5382上的输出放大器会自动掉电。发生热关断后，用户可以通过在温度降至130°C以下时执行软上电，或者通过控制寄存器关闭热监控功能来重新使能器件。

MEMS光学开关中的AD5382

在正反馈控制路径中，MEMS光学开关要求使用14位高分辨率，单调特性高通道密度的DAC。而32通道、14位DAC AD5382正好满足这些要求。在图43所示电路中，AD5382的0 V至5 V输出经过放大，实现0 V至200 V的输出范围，进而用于控制可确定光学开关中MEMS反射镜位置的执行器。各反射镜的精确位置均采用传感器来测得。传感器输出以多路复用方式载入高分辨率ADC，从而确定反射镜位置。控制环路由具有SPI兼容型SPORT接口的32位SHARC® DSP ADSP-21065L闭合并驱动。ADSP-21065L通过串行接口将数据写入DAC、控制多路复用器并从ADC读取数据。

AD5382

光衰减器

AD5382具有高通道数、高分辨率、行为单调和高集成度特性，是动态增益均衡器、可变光衰减器(VOA)和光插分复用器(OADM)等光学衰减应用的理想选择。在这类应用中，各个波长均是采用阵列波导分别获取的；其功率则是通过闭环控制系统中的光电二极管跨导放大器和ADC进行监控的。

AD5382针对各个波长控制光衰减器，从而确保在多路复用至光纤之前所有波长上的功率均经过了均衡。这样可以防止在光纤后续的放大阶段中发生信息丢失和饱和。

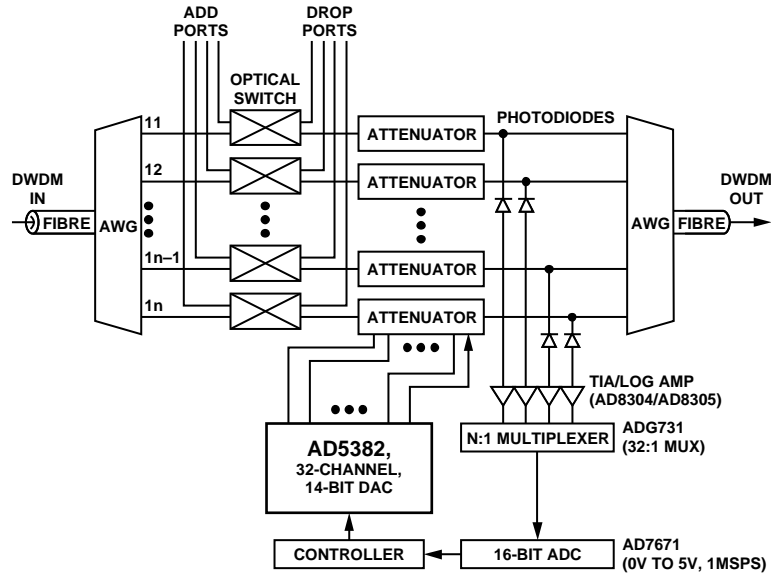


图44. 利用AD5382构建光衰减器的OADM

外形尺寸

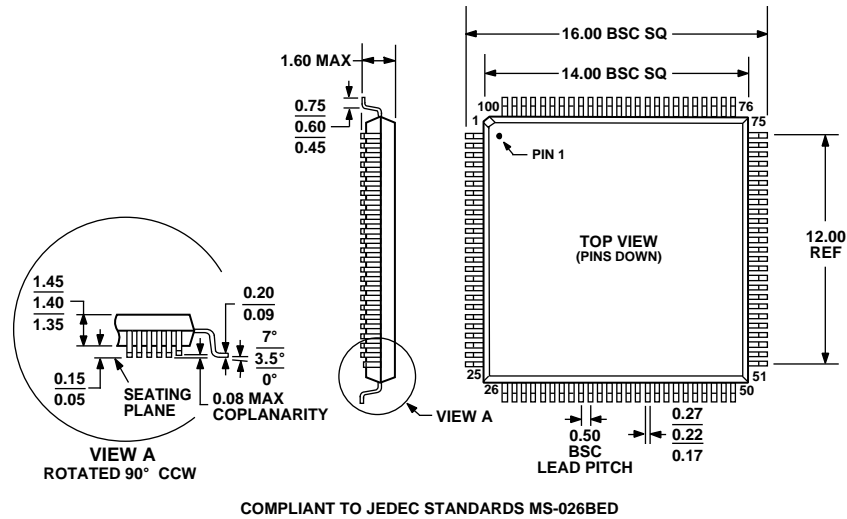


图45. 100引脚LQFP封装
(ST-100-1)
尺寸单位: mm

订购指南

型号 ¹	分辨率	温度范围	AVDD范围	输出通道	线性误差	封装描述	封装选项
AD5382BSTZ-3	14位	-40°C至+85°C	2.7 V至3.6 V	32	±4 LSB	100引脚LQFP	ST-100-1
AD5382BSTZ-5	14位	-40°C至+85°C	4.5 V至5.5 V	32	±4 LSB	100引脚LQFP	ST-100-1
EVAL-AD5382EBZ						评估套件	

¹ Z = 符合RoHS标准的器件。

注释

注释

注释

I²C指最初由Philips Semiconductors(现为NXP Semiconductors)开发的一种通信协议。