

## 特点

- 1Mbps 隔离式 SPI 数据通信
- 可采用标准变压器实现简单的电气隔离
- 采用单根双绞线的双向接口
- 支持的最大电缆长度达 100 米
- 非常低的 EMI 敏感度和辐射
- 可针对高抗噪性或低功耗进行配置
- 专门针对符合 ISO26262 标准的系统进行设计
- 在大多数 SPI 系统中无需进行软件变更
- 超低、2 $\mu$ A 的待机电流
- 自动唤醒检测
- 工作温度范围：-40°C 至 125°C
- 2.7V 至 5.5V 电源
- 可连接至所有电压范围为 1.7V 至 5.5V 的逻辑电源
- 采用 16 引脚 QFN 封装和 MSOP 封装

## 应用

- 工业网络
- 电池监视系统
- 远程传感器

## 描述

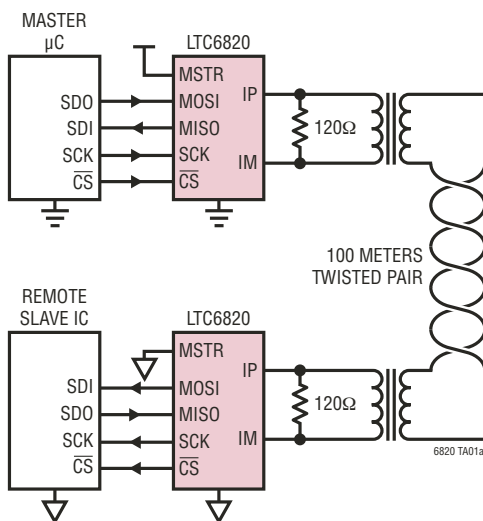
LTC<sup>®</sup>6820 可通过单条双绞线连接在两个隔离器件之间提供双向 SPI 通信。每个 LTC6820 将逻辑状态编码为信号，并跨越一个隔离势垒将信号传送至另一个 LTC6820。接收 LTC6820 对传输信号进行解码并把从总线驱动至适当的逻辑状态。隔离势垒可利用一个简单的脉冲变压器进行桥接，以实现几百伏的隔离度。

LTC6820 采用匹配的供电和吸收电流来驱动差分信号，从而免除了增设变压器中心抽头的需要并降低了 EMI。接收器中的高精度窗口比较器负责检测差分信号。驱动电流和比较器门限由一个简单的外部电阻分压器设定，因而使得系统能够针对所需的电缆长度和期望的信噪比性能实施相应的优化。

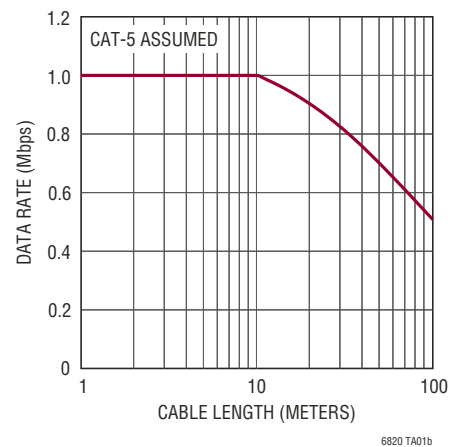
**LT**、**LT**、**LTC**、**LTM**、**Linear Technology** 和 **Linear** 标识是凌力尔特公司的注册商标。isoSPI 是凌力尔特公司的商标。所有其他商标均为其各自拥有者的产权。正待专利审议。

## 典型应用

微控制器至 SPI 受控器隔离式接口



数据速率与电缆长度的关系曲线



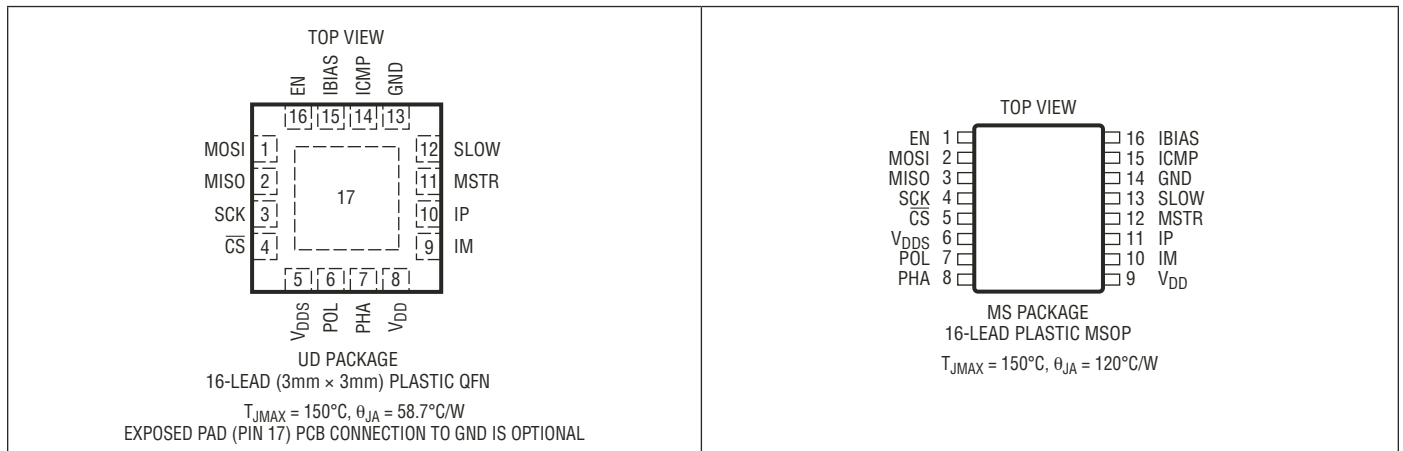
# LTC6820

## 绝对最大额定值 (注 1、2、3)

输入电源电压 ( $V_{DD}$ 和 $V_{DDS}$ ) 至 GND .....	6V
引脚电压	
SCK, $\overline{CS}$ , EN ....	-0.3V 至 $V_{DDS} + 0.3V$ (6V 最大值)
IBIAS, SLOW, IP, IM	
.....	-0.3V 至 $V_{DD} + 0.3V$ (6V 最大值)
所有其他引脚电压 .....	-0.3V 至 6V
最大供电 / 吸收电流	
IP, IM .....	30mA
MOSI, MISO, SCK, $\overline{CS}$ .....	20mA

工作温度范围	
LTC6820I .....	-40°C 至 85°C
LTC6820H .....	-40°C 至 125°C
规定温度范围	
LTC6820I .....	-40°C 至 85°C
LTC6820H .....	-40°C 至 125°C
贮存温度范围 .....	-65°C 至 150°C
引脚温度 (焊接时间 10 秒)	
MSOP 封装 .....	300°C

## 引脚配置



## 订购信息

无铅涂层	卷带	器件标记 *	封装描述	规定的温度范围
LTC6820IUD#PBF	LTC6820IUD#TRPBF	LGFM	16 引脚 (3mm x 3mm) 塑料 QFN	-40°C 至 85°C
LTC6820HUD#PBF	LTC6820HUD#TRPBF	LGFM	16 引脚 (3mm x 3mm) 塑料 QFN	-40°C 至 125°C
LTC6820IMS#PBF	LTC6820IMS#TRPBF	6820	16 引脚塑料 MSOP	-40°C 至 85°C
LTC6820HMS#PBF	LTC6820HMS#TRPBF	6820	16 引脚塑料 MSOP	-40°C 至 125°C

对于规定工作温度范围更宽的器件，请咨询凌力尔特公司。 \* 温度等级请见集装箱上的标识。

有关非标准的含铅涂层器件的信息，请咨询凌力尔特公司。

如需了解更多有关无铅器件标记的信息，请登录：<http://www.linear.com.cn/leadfree/>

如需了解更多有关卷带规格的信息，请登录：<http://www.linear.com.cn/tapeandreeel/>

**电特性** 凡标注 ● 表示该指标适合整个规定温度范围，否则仅指  $T_A = 25^\circ\text{C}$ 。  $V_{DD} = 2.7\text{V}$  至  $5.5\text{V}$ ，  $V_{DDS} = 1.7\text{V}$  至  $5.5\text{V}$ ，  $R_{BIAS} = 2\text{k}$  至  $20\text{k}$ ，除非另有说明。所有电压均以 GND 为基准。

符号	参数	条件	最小值	典型值	最大值	单位	
<b>电源</b>							
$V_{DD}$	工作电源电压范围		●	2.7	5.5	V	
$V_{DDS}$	IO 电源电压范围 (电平移位)	影响 $\overline{\text{CS}}$ , SCK, MOSI, MISO 和 EN 引脚	●	1.7	5.5	V	
$I_{DD}$	电源电流, READY/ACTIVE 状态 (注 4)	$R_{BIAS} = 2\text{k}\Omega$ ( $I_B = 1\text{mA}$ )	●	4	4.8	5.8	mA
			●		7		mA
		$R_{BIAS} = 20\text{k}\Omega$ ( $I_B = 0.1\text{mA}$ )	●	1.3	2	2.9	mA
	电源电流, IDLE 状态	MSTR = 0V MSTR = $V_{DD}$	●		2	6	$\mu\text{A}$
			●		1	3	$\mu\text{A}$
$I_{DDS}$	IO 电源电流 (注 5)	SPI 输入和 EN 引脚电平为 0V 或 $V_{DDS}$ , SPI 输出无负载	●		1	$\mu\text{A}$	
<b>偏置</b>							
$V_{BIAS}$	IBIAS 引脚上的电压	READY/ACTIVE 状态 IDLE 状态	●	1.9	2.0	2.1	V
					0		V
$I_B$	隔离式接口偏置电流 (注 6)	$R_{BIAS} = 2\text{k}$ 至 $20\text{k}$	●	$V_{BIAS}/R_{BIAS}$		mA	
$A_{IB}$	隔离式接口电流增益	$V_A \leq 1.6\text{V}$	●	18	20	22	mA/mA
			●	18	20	24	mA/mA
$V_A$	发送器脉冲幅度	$V_A =  V_{IP} - V_{IM} $	●			$V_{DD} - 1.7\text{V}$	V
			●			1.6	V
$V_{ICMP}$	ICMP 引脚上的门限设定电压	$V_{TCMP} = A_{TCMP} \cdot V_{TCMP}$	●	0.2	1.5	V	
$I_{LEAK(ICMP)}$	ICMP 引脚上的漏电流	$V_{ICMP} = 0\text{V}$ 至 $V_{DD}$	●		$\pm 1$	$\mu\text{A}$	
$I_{LEAK(IP/IM)}$	IP 和 IM 引脚上的漏电流	IDLE 状态, $V_{IP} = V_{IM} = 0\text{V}$ 至 $V_{DD}$	●		$\pm 2$	$\mu\text{A}$	
$A_{TCMP}$	接收器比较器门限电压增益	$V_{CM} = V_{DD}/2$ 至 $V_{DD} - 0.2\text{V}$ , $V_{ICMP} = 0.2\text{V}$ 至 $1.5\text{V}$	●	0.4	0.5	0.6	V/V
$V_{CM}$	接收器共模偏置	IP/IM 未在驱动		$(V_{DD} - V_{ICMP})/3 - 167\text{mV}$		V	
$R_{IN}$	接收器输入电阻	单端至 IP 或 IM	●	26	35	42	k $\Omega$
<b>待机 / 唤醒 (见图 13, 14, 15)</b>							
$V_{WAKE}$	差分唤醒电压 (见图 13)	$t_{DWELL} = 240\text{ns}$	●	240		mV	
$t_{DWELL}$	$V_{WAKE}$ 上的停留时间	$V_{WAKE} = 240\text{mV}$	●	240		ns	
$t_{READY}$	唤醒检测后的启动时间		●		8	$\mu\text{s}$	
$t_{IDLE}$	无工作时持续时间		●	4	5.7	7.5	ms
<b>数字 I/O</b>							
$V_{IH(CFG)}$	数字电压输入高, 配置引脚 (PHA, POL, MSTR, SLOW)	$V_{DD} = 2.7\text{V}$ 至 $5.5\text{V}$ (POL, PHA, MSTR, SLOW)	●	$0.7V \cdot V_{DD}$		V	
$V_{IL(CFG)}$	数字电压输入低, 配置引脚 (PHA, POL, MSTR, SLOW)	$V_{DD} = 2.7\text{V}$ 至 $5.5\text{V}$ (POL, PHA, MSTR, SLOW)	●	$0.3V \cdot V_{DD}$		V	
$V_{IH(SPI)}$	数字电压输入高, SPI 引脚 ( $\overline{\text{CS}}$ , SCK, MOSI, MISO)	$V_{DDS} = 2.7\text{V}$ 至 $5.5\text{V}$	●	$0.7V \cdot V_{DDS}$		V	
		$V_{DDS} = 1.7\text{V}$ 至 $2.7\text{V}$	●	$0.8V \cdot V_{DDS}$		V	
$V_{IH(SPI)}$	数字电压输入低, SPI 引脚 ( $\overline{\text{CS}}$ , SCK, MOSI, MISO)	$V_{DDS} = 2.7\text{V}$ 至 $5.5\text{V}$	●	$0.3V \cdot V_{DDS}$		V	
		$V_{DDS} = 1.7\text{V}$ 至 $2.7\text{V}$	●	$0.2V \cdot V_{DDS}$		V	
$V_{IH(EN)}$	数字电压输入高, EN 引脚	$V_{DDS} = 2.7\text{V}$ 至 $5.5\text{V}$	●	2		V	
		$V_{DDS} = 1.7\text{V}$ 至 $2.7\text{V}$	●	$0.85 \cdot V_{DDS}$		V	
$V_{IL(EN)}$	数字电压输入低, EN 引脚	$V_{DDS} = 2.7\text{V}$ 至 $5.5\text{V}$	●	0.8		V	
		$V_{DDS} = 1.7\text{V}$ 至 $2.7\text{V}$	●	$0.25 \cdot V_{DDS}$		V	
$V_{OH}$	数字电压输出高 ( $\overline{\text{CS}}$ 和 SCK)	$V_{DDS} = 3.3\text{V}$ , 供应 2mA 电流	●	$V_{DDS} - 0.2$		V	
		$V_{DDS} = 1.7\text{V}$ , 供应 1mA 电流	●	$V_{DDS} - 0.25$		V	
$V_{OL}$	数字电压输出低 (MOSI, MISO, $\overline{\text{CS}}$ , SCK)	$V_{DDS} = 3.3\text{V}$ , 吸收 3.3mA 电流	●	0.2		V	
		$V_{DDS} = 1.7\text{V}$ , 吸收 1mA 电流	●	0.2		V	

**电特性** 凡标注 ● 表示该指标适合整个规定温度范围，否则仅指  $T_A = 25^\circ\text{C}$ 。  $V_{DD} = 2.7\text{V}$  至  $5.5\text{V}$ ，  $V_{DDS} = 1.7\text{V}$  至  $5.5\text{V}$ ，  $R_{BIAS} = 2\text{k}$  至  $20\text{k}$ ，除非另有说明。所有电压均以 GND 为基准。

符号	参数	条件		最小值	典型值	最大值	单位
$I_{LEAK(DIG)}$	数字引脚输入漏电流	PHA, POL, MSTR, SLOW = 0V 至 $V_{DD}$ $\overline{CS}$ , SCK, MOSI, MISO, EN = 0V 至 $V_{DDS}$	●			±1	μA
$C_{I/O}$	输入 / 输出引脚电容	(注 9)				10	pF
<b>隔离式脉冲定时 (见图 2)</b>							
$t_{1/2PW(CS)}$	芯片选择半脉冲宽度		●	120	150	180	ns
$t_{INV(CS)}$	芯片选择脉冲反转延迟		●			200	ns
$t_{DEL(CS)}$	芯片选择响应延迟		●		140	190	ns
$t_{1/2PW(D)}$	数据半脉冲宽度		●	40	50	60	ns
$t_{INV(D)}$	数据脉冲反转延迟		●			70	ns
$t_{DEL(D)}$	数据响应延迟	(注 8)	●		75	120	ns
<b>isoSPI™ 定时 — 主控器 (见图 3, 4)</b>							
$t_{CLK}$	SCK 锁存边沿至 SCK 锁存边沿	(注 7)					
			SLOW = 0	●	1		μs
			SLOW = 1	●	5		μs
$t_1$	MOSI 建立时间 (在 SCK 锁存边沿之前)	(注 8)	●	25			ns
$t_2$	MOSI 保持时间 (在 SCK 锁存边沿之后)		●	25			ns
$t_3$	SCK 为低电平	$t_{CLK} = t_3 + t_4 \geq 1\mu\text{s}$	●	50			ns
$t_4$	SCK 为高电平	$t_{CLK} = t_3 + t_4 \geq 1\mu\text{s}$	●	50			ns
$t_5$	$\overline{CS}$ 上升沿至 $\overline{CS}$ 下降沿		●	0.6			μs
$t_6$	SCK 锁存边沿至 $\overline{CS}$ 上升沿	(注 7)	●	1			μs
$t_7$	$\overline{CS}$ 下降沿至 SCK 锁存边沿	(注 7)	●	1			μs
$t_8$	SCK 非锁存边沿至 MISO 有效	(注 8)	●			55	ns
$t_9$	$\overline{SCK}$ 锁存边沿至短的 ±1 发送		●			55	ns
$t_{10}$	$\overline{CS}$ 转换至长的 ±1 发送		●			55	ns
$t_{11}$	$\overline{CS}$ 上升沿至 MISO 上升	(注 8)	●			55	ns
<b>isoSPI 定时 — 受控器 (见图 3, 4)</b>							
$t_{12}$	isoSPI 数据识别至 SCK 锁存边沿	(注 8)					
			SLOW = 0	●	110	145	185
			SLOW = 1	●	0.9	1.1	1.4
							μs
$t_{13}$	SCK 脉冲宽度						
			SLOW = 0	●	90	115	150
			SLOW = 1	●	0.9	1.1	1.4
							μs
$t_{14}$	SCK 非锁存边沿至 isoSPI 数据发送	(注 8)					
			SLOW = 0	●	115	145	190
			SLOW = 1	●	0.9	1.1	1.4
							μs
$t_{15}$	$\overline{CS}$ 下降沿至 SCK 非锁存边沿	PHA = 1					
			SLOW = 0	●	90	120	160
			SLOW = 1	●	0.9	1.1	1.4
							μs
$t_{16}$	$\overline{CS}$ 下降沿至 isoSPI 数据发送						
			SLOW = 0	●	200	265	345
			SLOW = 1	●	1.8	2.2	2.8
							μs
$t_{17}$	$\overline{CS}$ 上升沿至 SCK 锁存边沿	PHA = 1					
			SLOW = 0	●	90	120	160
			SLOW = 1	●	0.9	1.1	1.4
							μs
$t_{18}$	$\overline{CS}$ 上升沿至 MOSI 上升沿		●			35	ns
$t_{RTN}$	数据返回延迟						
			SLOW = 0	●		485	625
			SLOW = 1	●		3.3	4
							μs

**注 1：**高于“绝对最大额定值”部分所列数值的应力有可能对器件造成永久性的损害。在任何绝对最大额定值条件下暴露的时间过长都有可能影响器件的可靠性和使用寿命。

**注 2：**所有流入器件引脚的电流均为正，而且所有的电压均以 GND 为基准，除非另有规定。

**注 3：**LTC6820I 保证在  $-40^\circ\text{C}$  至  $85^\circ\text{C}$  的范围内满足规定性能要求。LTC6820H 保证在  $-40^\circ\text{C}$  至  $125^\circ\text{C}$  的范围内满足规定性能要求。

**注 4：**工作电源电流 ( $I_{DD}$ ) 取决于输出驱动器在 IP 和 IM 引脚上处于运行状态的时间量。在此时间里， $I_{DD}$  将增加  $20 \cdot I_B$  驱动电流。对于 1MHz 的最大数据速率，驱动器处于运行状态的时间大约为占总时间的 10% (如果 MSTR = 1) 和 5% (假如 MSTR = 0)。欲知更多详情，请见“应用信息”部分。

## 电特性

**注 5：**IO 电源引脚  $V_{DDS}$  负责为 SPI 输入和输出 (包括 EN 引脚) 供电。如果输入接近 0V 或  $V_{DDS}$  (以避免输入缓冲器中的静态电流) 且输出未在供应电流, 则  $I_{DDS}$  仅包括漏电流。

**注 6：**当  $R_{BIAS}$  电阻器阻值范围为 2k 至 20k 且容差指标为 1% 或更好时, LTC6820 保证满足规范要求。这些电阻器可对应于一个范围为 0.1mA (对于 20k 阻值) 至 1mA (对于 2k 阻值) 的典型  $I_B$ 。

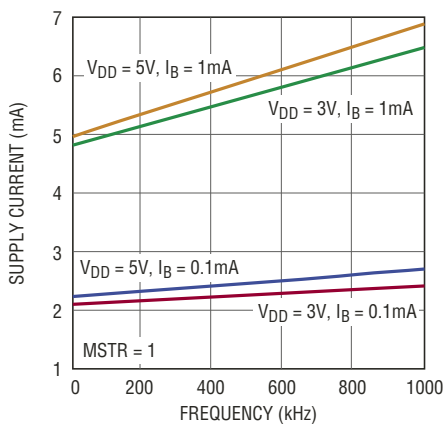
**注 7：**这些定时规格取决于通过电缆的延迟, 并包括针对每个方向 50ns 延迟的容差。50ns 对应于 10m 的 CAT-5 电缆 (其具有一个 66% 光速的传播速度)。如果使用更长的电缆, 则将根据额外的延迟量对这些规格指标做相应的降额处理。

**注 8：**这些规格不包括上升或下降时间。虽然下降时间 (其由于内部下拉晶体管的原因通常为 5ns) 并不是问题, 但上升沿转换时间  $t_{RISE}$  则取决于上拉电阻和负载电容。特别是对于受控器的建立和保持时间,  $t_{12}$  和  $t_{14}$  要求  $t_{RISE} < 110ns$  (假如  $SLOW = 0$ )。因此, 推荐的时间常数为 50ns 或更小。例如: 若数据引脚上的总电容为 25pF (包括 10pF 的自电容  $C_{I/O}$ ), 则所需的上拉电阻器阻值为  $R_{PU} \leq 2k\Omega$ 。假如不能满足这些要求, 则使用  $SLOW = 1$ 。

**注 9：**由设计提供保证。未在生产中进行测试。

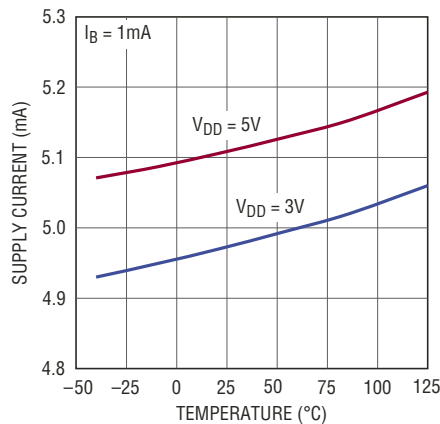
## 典型性能特征 $V_{DD} = V_{DDS}$ , 除非另有说明。

电源电流 (READY/ACTIVE)  
与时钟频率的关系



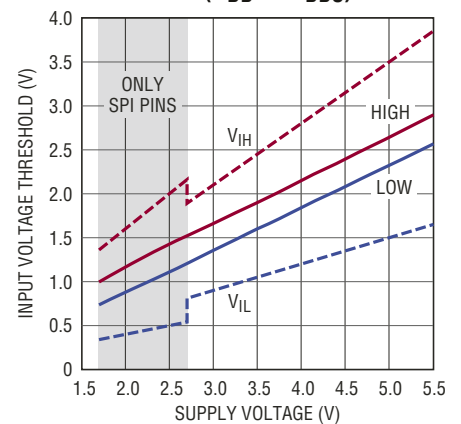
6820 G01

电源电流 (READY)  
与温度的关系



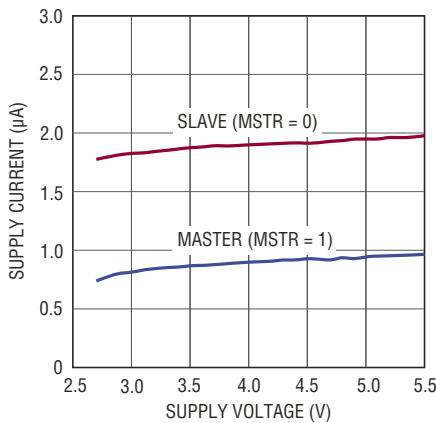
6820 G02

输入电压门限 (EN 引脚除外)  
与电源电压 ( $V_{DD}$  或  $V_{DDS}$ ) 的关系



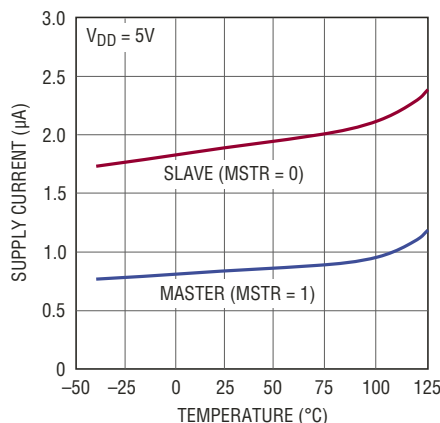
6820 G03

电源电流 (IDLE)  
与电源电压的关系



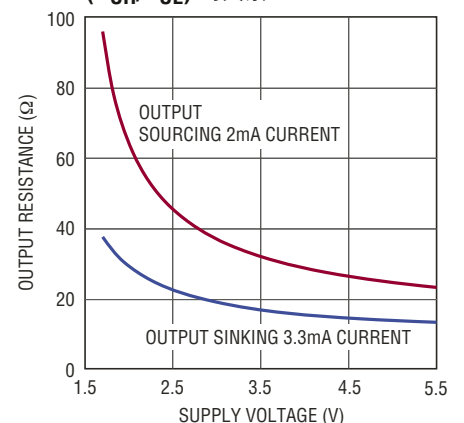
6820 G04

电源电流 (IDLE)  
与温度的关系



6820 G05

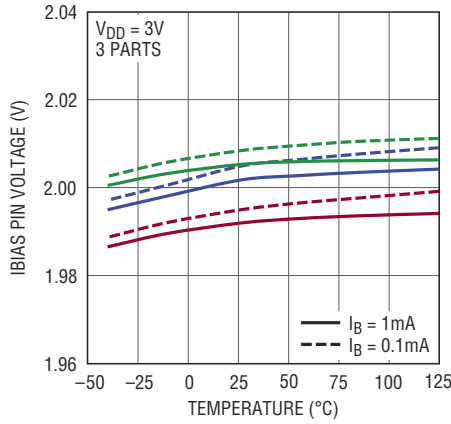
输出电阻与电源电压  
( $V_{OH}/V_{OL}$ ) 的关系



6820 G19

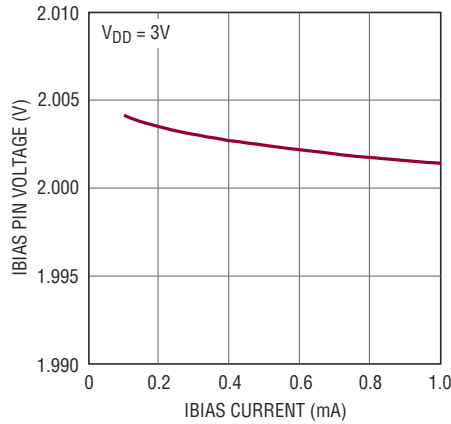
## 典型性能特征 $V_{DD} = V_{DD5}$ , 除非另有说明。

IBIAS 电压与温度的关系



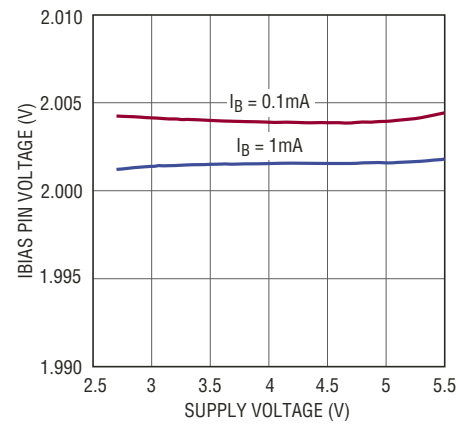
6820 G07

IBIAS 电压负载调节



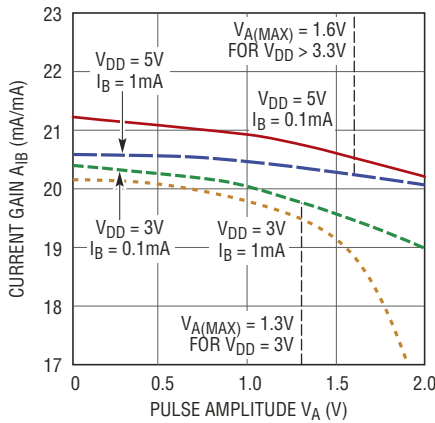
6820 G08

IBIAS 电压与电源电压的关系



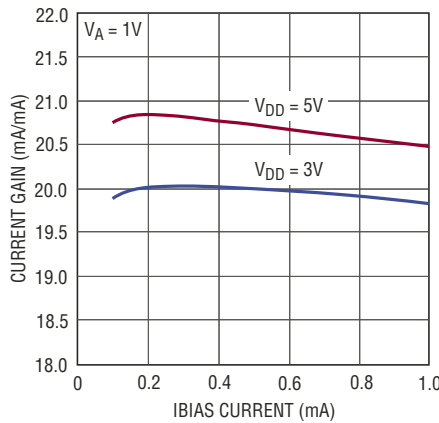
6820 G09

驱动器电流增益与幅度的关系



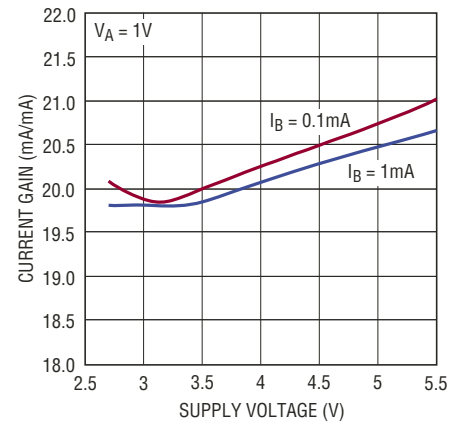
6820 G10

驱动器电流增益与 IBIAS 电流 (IB) 的关系



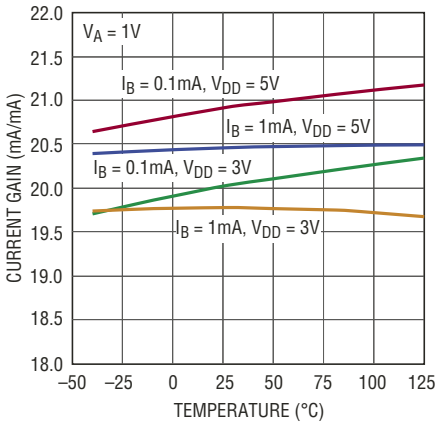
6820 G11

驱动器电流增益与电源电压的关系



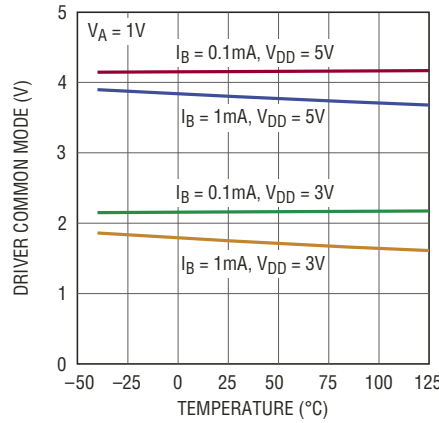
6820 G12

驱动器电流增益与温度的关系



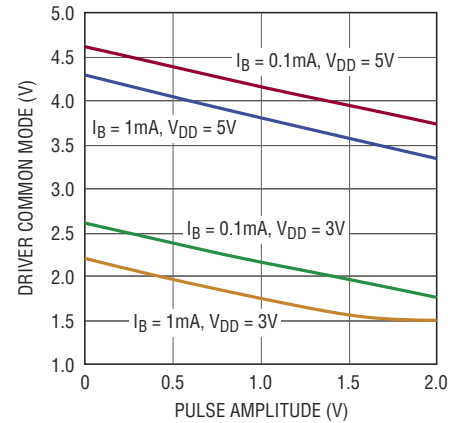
6820 G13

驱动器共模电压与温度的关系



6820 G14

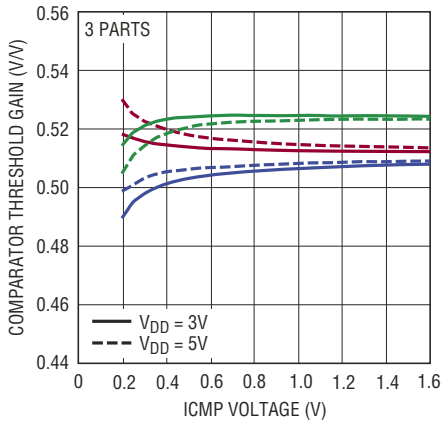
驱动器共模电压与脉冲幅度的关系



6820 G15

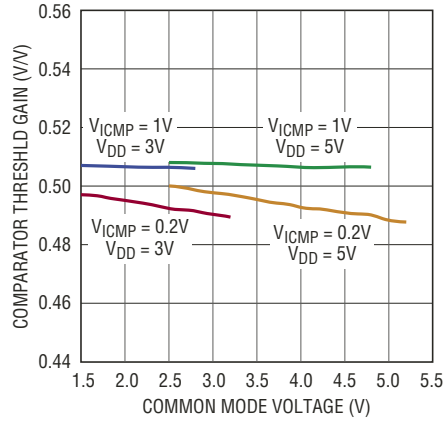
**典型性能特征**  $V_{DD} = V_{DDS}$ ，除非另有说明。

**比较器门限增益与 ICMP 电压的关系**



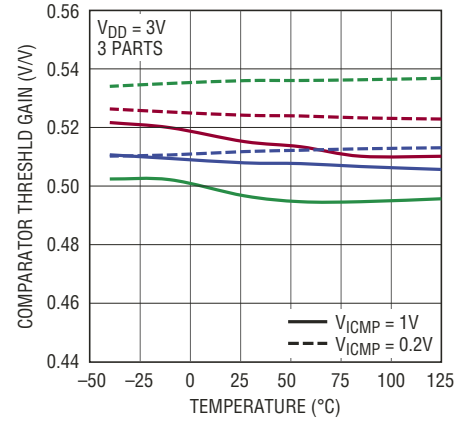
6820 G16

**比较器门限增益与共模电压的关系**



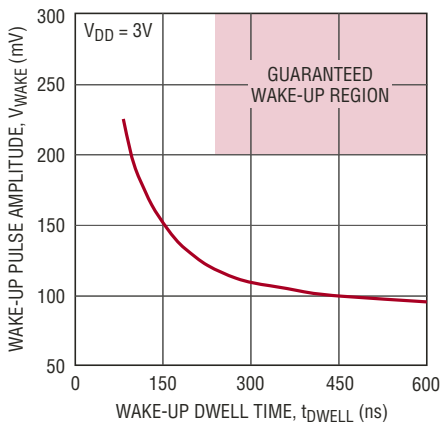
6820 G17

**比较器门限增益与温度的关系**



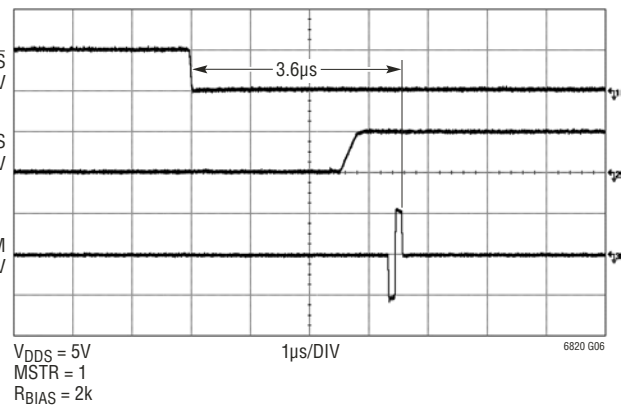
6820 G18

**唤醒脉冲幅度与停留时间的关系**



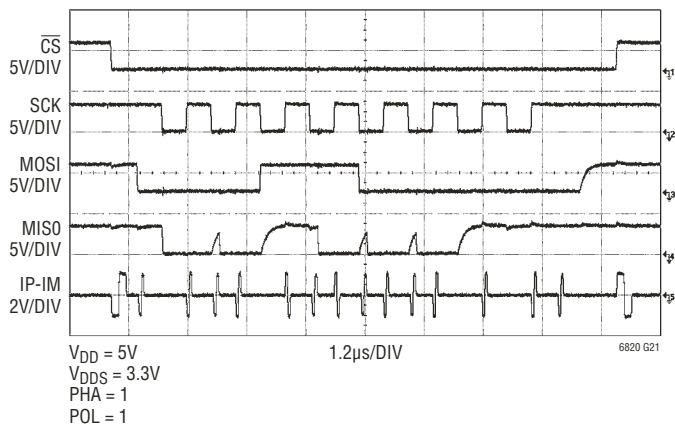
6820 G20

**启动时间**



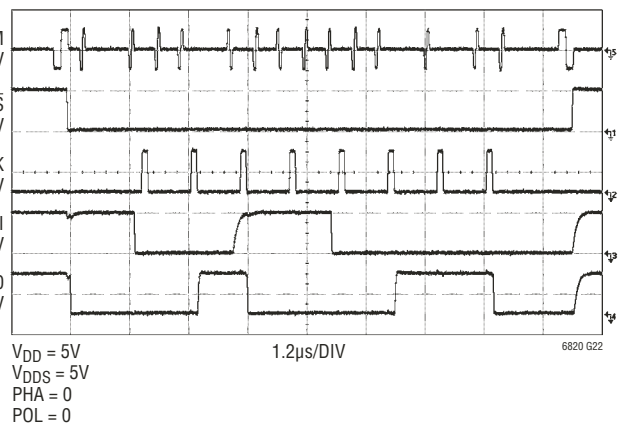
6820 G06

**SPI 信号和 isoSPI 脉冲，MSTR = 1**



6820 G21

**SPI 信号和 isoSPI 脉冲，MSTR = 0**



6820 G22

## 引脚功能 (QFN/MSOP 封装)

**MOSI (引脚 1/ 引脚 2)** : 主控器输出/受控器输入数据。如果连接在某个 SPI 接口的主控器侧 (MSTR 引脚为高电平), 则该引脚将从主 SPI 控制器接收数据信号输出。倘若连接在该接口的受控器侧 (MSTR 引脚为低电平), 则该引脚把数据信号输入驱动至从 SPI 器件。输出为漏极开路, 因此需要连接一个外部上拉电阻器至  $V_{DDs}$ 。

**MISO (引脚 2/ 引脚 3)** : SPI 主控器输入/受控器输出数据。如果连接在某个 SPI 接口的主控器侧 (MSTR 引脚为高电平), 则该引脚把数据信号输入驱动至主 SPI 控制器。倘若连接在该接口的受控器侧 (MSTR 引脚为低电平), 则该引脚将从从 SPI 器件接收数据信号输出。输出为漏极开路, 因此需要连接一个外部上拉电阻器至  $V_{DDs}$ 。

**SCK (引脚 3/ 引脚 4)** : SPI 时钟输入 / 输出。如果连接在接口的主控器侧 (MSTR 引脚为高电平), 则该引脚将从主 SPI 控制器接收时钟信号。不得将该输入拉至高于  $V_{DDs}$ 。假如连接在接口的受控器侧 (MSTR 引脚为低电平), 则该引脚将输出时钟信号至从器件。输出驱动器为推挽式; 无需外部上拉电阻器。

**$\overline{CS}$  (引脚 4/ 引脚 5)** : SPI 芯片选择输入/输出。如果连接在接口的主控器侧 (MSTR 引脚为高电平), 则该引脚将从主 SPI 控制器接收芯片选择信号。不得将该输入拉至高于  $V_{DDs}$ 。假如连接在接口的受控器侧 (MSTR 引脚为低电平), 则该引脚将输出芯片选择信号至从器件。输出驱动器为推挽式; 无需外部上拉电阻器。

**$V_{DDs}$  (引脚 5/ 引脚 6)** : SPI 输入/输出电源输入。用于 SCK 和  $\overline{CS}$  引脚的输出驱动器采用  $V_{DDs}$  输入作为其正电源。SCK、 $\overline{CS}$ 、MOSI、MISO 和 EN 的输入门限电压由  $V_{DDs}$  决定。该引脚可连接至  $V_{DD}$  或者一个高于或低于  $V_{DD}$  的电源以对 SPI I/O 进行电平移位。假如该引脚与  $V_{DD}$  分离, 则应直接在  $V_{DDs}$  和 GND 之间连接一个至少为  $0.01\mu\text{F}$  的旁路电容器。

**POL (引脚 6/ 引脚 7)** : SPI 时钟极性输入。连接至  $V_{DD}$  或 GND。详见“工作原理”部分。

**PHA (引脚 7/ 引脚 8)** : SPI 时钟相位输入。连接至  $V_{DD}$  或 GND。详见“工作原理”部分。

**$V_{DD}$  (引脚 8/ 引脚 9)** : 器件电源输入。直接在  $V_{DD}$  和 GND 之间连接一个至少为  $0.01\mu\text{F}$  的旁路电容器。

**IM (引脚 9/ 引脚 10)** : 隔离式接口负 (-) 输入/输出。

**IP (引脚 10/ 引脚 11)** : 隔离式接口正 (+) 输入/输出。

**MSTR (引脚 11/ 引脚 12)** : 串行接口主 / 从选择器输入。如果器件位于隔离式接口的主控器侧, 则将该引脚连接至  $V_{DD}$ 。假如器件位于隔离式接口的受控器侧, 则将此引脚连接至 GND。

**SLOW (引脚 12/ 引脚 13)** : 慢速接口选择输入。当时钟频率等于或低于  $200\text{kHz}$  时, 抑或从器件不能满足定时要求时, 应将该引脚连接至  $V_{DD}$ 。当时钟频率高于  $200\text{kHz}$  时, 则应将该引脚连接至 GND。

**GND (引脚 13/ 引脚 14)** : 器件地。

**ICMP (引脚 14/ 引脚 15)** : 隔离式接口比较器电压门限设定。将该引脚连接至位于 IBIAS 和 GND 之间的电阻分压器可设定接口接收器比较器的电压门限。比较器门限被设定为 ICMP 引脚电压的  $1/2$ 。

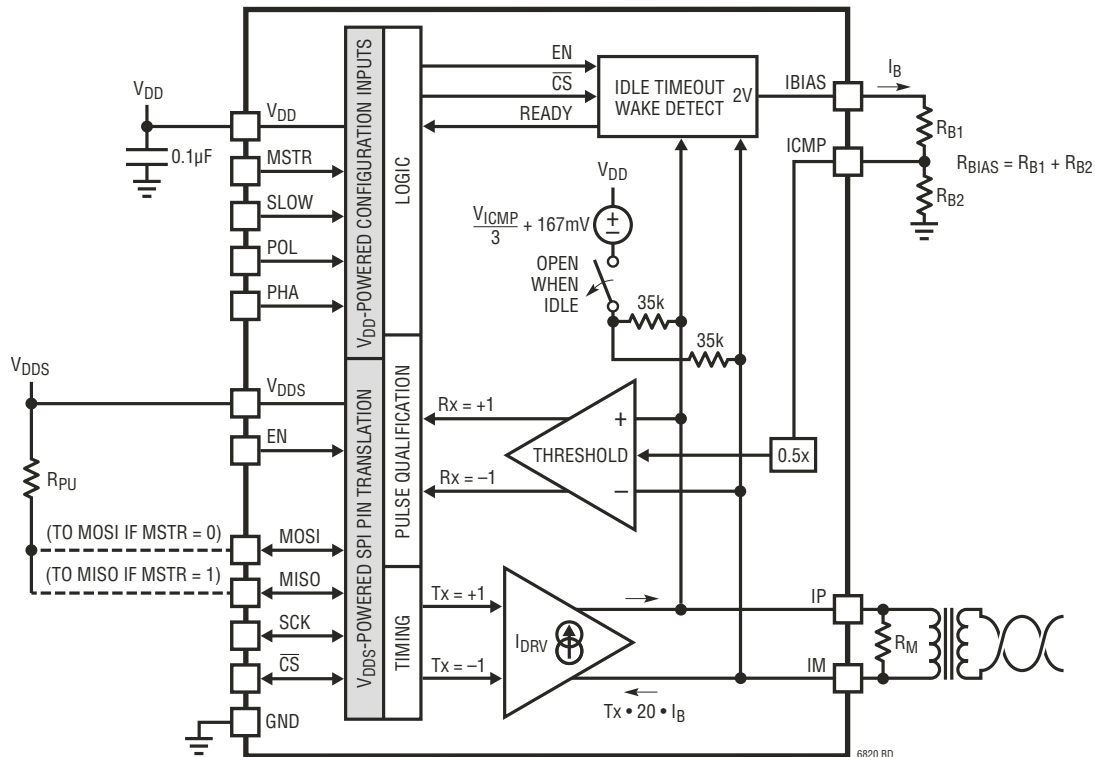
**IBIAS (引脚 15/ 引脚 16)** : 隔离式接口电流偏置。通过一个电阻分压器把 IBIAS 连接至 GND 可设定接口输出电流水平。当器件被使能时, 该引脚的电压大约为  $2\text{V}$ 。当发送脉冲时, 每个 IP 和 IM 引脚上的吸收电流都被设定为从引脚 IBIAS 提供至 GND 之电流的 20 倍。把 IBIAS 引脚上的电容限制在  $50\text{pF}$  以下, 旨在保持负责调节 IBIAS 电压的反馈电路的稳定性。

**EN (引脚 16/ 引脚 1)** : 器件使能输入。如果该引脚为高电平, 则其将强制 LTC6820 保持使能状态, 从而屏蔽内部待机模式功能。假如该引脚为低电平, 则 LTC6820 将在  $\overline{CS}$  引脚已持续  $5.7\text{ms}$  为高电平 (当 MSTR 引脚为高电平时) 之后或 IP/IM 引脚上无信号的持续时间达  $5.7\text{ms}$  (当 MSTR 引脚为低电平时) 之后进入待机模式。在  $\overline{CS}$  下降 (MSTR 为高电平) 之后或在 IP/IM 引脚上检测到一个信号 (MSTR 为低电平) 之后, LTC6820 将在不到  $8\mu\text{s}$  的时间之内被唤醒。

**裸露衬垫 (引脚 17, 仅限 QFN 封装)** : 裸露衬垫可以置于开路状态或连接至器件 GND。



## 方框图



## 工作原理

LTC6820 通过单个双绞线产生了一个双向隔离式串行端口接口 (isoSPI)，从而提供了比非隔离接口更高的安全性和抗噪性。LTC6820 使用变压器将标准的 SPI 信号 ( $\overline{CS}$ 、SCK、MOSI 和 MISO) 转换为可通过双绞线来回传送的脉冲。

典型系统采用两个 LTC6820 器件。第一个器件与一个微控制器或其他 SPI 主控器配对使用。其 IP 和 IM 发送器 / 接收器引脚横跨一个隔离势垒连接至第二个 LTC6820，这个器件负责再生供一个或多个从器件使用的 SPI 信号。

发送器是一个电流调节型差分驱动器。电压幅度由驱动电流和等效阻性负载 (电缆特征阻抗和终端电阻器  $R_M$ ) 决定。

接收器包括一个具差分电压门限  $V_{TCMP}$  的窗口比较器。当  $V_{IP} - V_{IM}$  大于  $+V_{TCMP}$  时，比较器检测到一个逻辑 +1。当  $V_{IP} - V_{IM}$  小于  $-V_{TCMP}$  时，比较器检测到一个逻辑 -1。一个逻辑零 (空值) 表示  $V_{IP} - V_{IM}$  介于正门限和负门限之间。

比较器输出被传送至脉冲定时器 (滤波器)，后者负责区别长脉冲和短脉冲。

### 选择偏置电阻器

可调的信号幅度允许系统通过适当牺牲功耗性能来换取通信的稳健性，而可调的比较器门限则使系统能够补偿信号损失。

## 工作原理

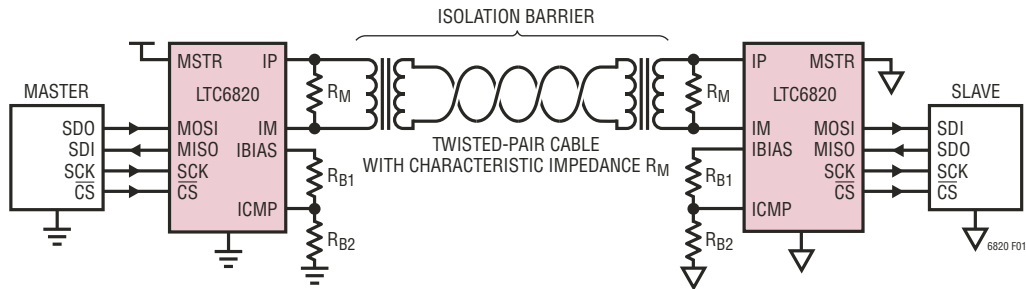


图 1：采用两个 LTC6820 器件的典型系统

发送器驱动电流和比较器电压门限由一个位于 IBIAS 引脚和 GND 之间的电阻分压器 ( $R_{BIAS} = R_{B1} + R_{B2}$ ) 设定，并将经过分压的电压连接至 ICMP 引脚。当 LTC6820 被使能时（不是待机模式）， $I_{BIAS}$  保持在 2V，因而导致电流  $I_B$  流出 IBIAS 引脚。IP 和 IM 引脚驱动电流为  $20 \cdot I_B$ 。比较器门限是 ICMP 引脚电压 ( $V_{ICMP}$ ) 的一半。

例如：若分压电阻器  $R_{B1}$  为 1.21k 且电阻器  $R_{B2}$  为 787 $\Omega$ （于是  $R_{BIAS} = 2k$ ），则：

$$I_B = \frac{2V}{R_{B1} + R_{B2}} = 1mA$$

$$I_{DRV} = I_{IP} = I_{IM} = 20 \cdot I_B = 20mA$$

$$V_{ICMP} = 2V \cdot \frac{R_{B2}}{R_{B1} + R_{B2}} = I_B \cdot R_{B2} = 788mV$$

$$V_{TCMP} = 0.5 \cdot V_{ICMP} = 394mV$$

在该例中，脉冲驱动电流将为 20mA，而接收器比较器将检测到 IP-IM 幅度大于  $\pm 394mV$  的脉冲。

如果隔离势垒采用由单个双绞线进行连接并在每端上终接了 100 $\Omega$  电阻器的 1:1 变压器，则发送差分信号幅度 ( $\pm$ ) 将为：

$$V_A = I_{DRV} \cdot \frac{R_M}{2} = 1V$$

(该结果忽略了变压器和电缆损耗，这些损耗将减小幅度)。

## isoSPI 脉冲细节

isoSPI 发送器能产生三种电压电平： $+V_A$ 、0V 和  $-V_A$ 。为了消除 DC 信号分量并增强可靠性，将 isoSPI 脉冲定义为对称的脉冲对。一个 +1 脉冲对被定义为一个  $+V_A$  脉冲和一个跟随其后的  $-V_A$  脉冲。一个 -1 脉冲对被定义为一个  $-V_A$  脉冲和一个跟随其后的  $+V_A$  脉冲。

每个脉冲的持续时间被定义为  $t_{1/2PW}$ 。（总的 isoSPI 脉冲持续时间为  $2 \cdot t_{1/2PW}$ ）。LTC6820 可提供两种不同的  $t_{1/2PW}$  值，因此可发送 4 类脉冲（如表 1 所列）。

表 1：isoSPI 脉冲类型

脉冲类型	第一种电平	第二种电平	结束电平
长 +1	$+V_A$ (150ns)	$-V_A$ (150ns)	0V
长 -1	$-V_A$ (150ns)	$+V_A$ (150ns)	0V
短 +1	$+V_A$ (50ns)	$-V_A$ (50ns)	0V
短 -1	$-V_A$ (50ns)	$+V_A$ (50ns)	0V

长脉冲用于发送  $\overline{CS}$  变化。短脉冲则用于发送数据 (MOSI 或 MISO)。LTC6820 可检测源于 SPI 主控器的 4 种通信事件： $\overline{CS}$  下降、 $\overline{CS}$  上升、SCK 锁存 MOSI = 0 和 SCK 锁存 MOSI = 1。它把每种事件转换为 4 种脉冲类型之一，如表 2 所示。

表 2：主控器通信事件

SPI 主控器事件	发送脉冲
$\overline{CS}$ 上升	长 +1
$\overline{CS}$ 下降	长 -1
SCK 锁存边沿, MOSI = 1	短 +1
SCK 锁存边沿, MOSI = 0	短 -1

## 工作原理

在隔离势垒的另一侧（即电缆的另一端），对另一个 LTC6820 进行配置以与一个 SPI 受控器相连。这个 LTC6820 负责接收已发送脉冲并在其输出端口上重构 SPI 信号，如表 3 所示。此外，从器件还能发送一个返回数据脉冲至主控器以设定 MISO 的状态。更多详情请见“isoSPI 交互和定时”。

表 3：受控器 SPI 端口输出

接收脉冲	SPI 端口动作	返回脉冲
长 +1	驱动 $\overline{CS}$ 至高电平	无
长 -1	驱动 $\overline{CS}$ 至低电平	短 -1 脉冲 (若 MISO = 0)
短 +1	1. 设定 MOSI = 1 2. 脉冲 SCK	(若 MISO = 1， 则没有返回脉冲)
短 -1	1. 设定 MOSI = 0 2. 脉冲 SCK	

从属的 LTC6820 绝对不发送长 ( $\overline{CS}$ ) 脉冲。此外，受控器还将只发送短 -1 脉冲 (当 MISO = 0 时)，而绝对不是 +1 脉冲。这就允许在单个电缆上连接多个从器件，而没有发生冲突的风险 (见“多分支”部分)。

### isoSPI 脉冲规格

图 2 详细描绘了 +1 和 -1 isoSPI 脉冲的定时规格。相同的定时规格适用于这些对称脉冲的任一版本。在“电特性”表

中，将这些规格指标进一步细分为  $\overline{CS}$  (长) 和数据 (短) 参数。

一个有效的脉冲必须满足  $t_{1/2PW}$  的最小值规格和  $t_{INV}$  的最大值规格。换句话说，半脉冲宽度必须足够长 (以通过合适的脉冲定时器)，但也要足够短 (以便在有效的窗口内开始翻转)。

在 MOSI、MISO 或  $\overline{CS}$  上观察的响应将于始自脉冲反转的延迟  $t_{DEL}$  之后出现。

### 设定时钟相位和极性 (PHA 和 POL)

SPI 器件通常采用一个时钟沿来锁存数据和其他边沿以实现数据移位。这可避免与时钟偏移有关的定时问题。没有规定移位和锁存之先后顺序的标准。而且，对于数据是锁存在时钟上升沿还是下降沿也没有特定的要求，不过最常见的做法是将数据锁存于上升沿。LTC6820 支持所有 4 种 SPI 操作模式 (由 PHA 和 POL 引脚负责配置)。

表 4：SPI 模式

模式	POL	PHA	描述
0	0	0	SCK 不工作 (低电平)，数据锁存在第一个时钟上升沿
1	0	1	SCK 不工作 (低电平)，数据锁存在第二个时钟下降沿
2	1	0	SCK 不工作 (高电平)，数据锁存在第一个时钟下降沿
3	1	1	SCK 不工作 (高电平)，数据锁存在第二个时钟上升沿

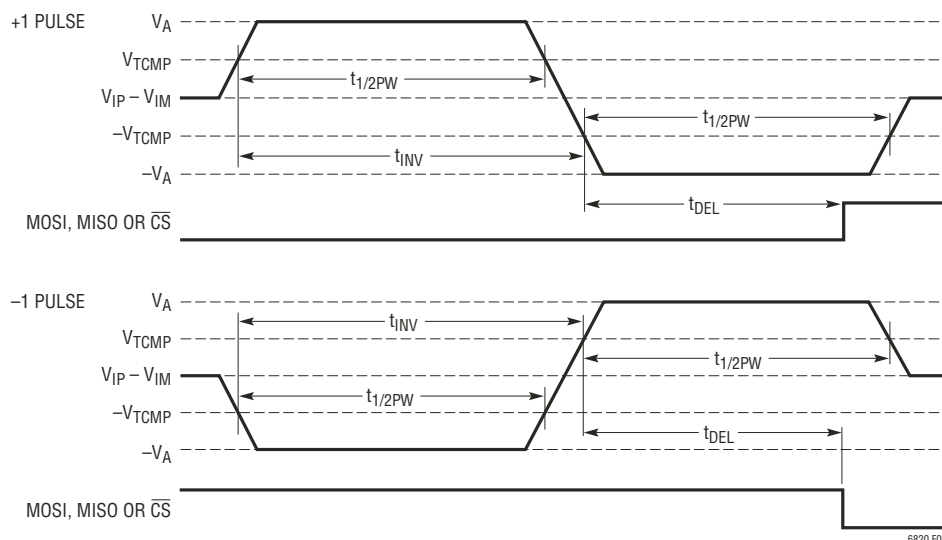


图 2：isoSPI 差分脉冲细节

6820 F02

## 工作原理

如果  $POL = 0$ ，则  $SCK$  不工作 (低电平)。数据锁存在上升 (第一个) 时钟沿 (若  $PHA = 0$ ) 和下降 (第二个) 时钟沿 (若  $PHA = 1$ )。

如果  $POL = 1$ ，则  $SCK$  不工作 (高电平)。数据锁存在下降 (第一个) 时钟沿 (若  $PHA = 0$ ) 和上升 (第二个) 时钟沿 (若  $PHA = 1$ )。

两种最常用的配置是模式 0 ( $PHA = 0$  和  $POL = 0$ ) 和模式 3 ( $PHA = 1$  和  $POL = 1$ )，因为这些模式将数据锁存在时钟上升沿。

### isoSPI 交互和定时

图 3 和图 4 中的时序图示出了主模式中的 isoSPI (连接至一个 SPI 主控器) 是怎样与从模式中的 isoSPI (连接至一个 SPI 受控器) 进行交互的。图 3 详细描绘了  $PHA = 0$  时的工作情况 (并示出了  $POL = 0$  或  $1$  时的  $SCK$  信号)。图 4 给出了针对  $PHA = 1$  的时序图。尽管图中并未示出，但在主器件和从器件上使用不同的 SPI 模式 ( $PHA$  和  $POL$  设定值) 是可以接受的。

一个主 SPI 器件通过降低  $\overline{CS}$  引脚电平来启动通信。LTC6820 将这个变迁转换为其 IP/IM 引脚上的一个长  $-1$  脉冲。该脉冲穿过隔离势垒 (具有一个相关联的电缆延迟) 并到达从属 LTC6820 的 IP/IM 引脚。一旦得到确认，则长  $-1$  脉冲将被重新转换为一个下降  $\overline{CS}$  变迁 (这次提供至从 SPI 器件)。如果从  $PHA = 1$ ，则  $SCK$  在此时也将退出“不工作”状态。

在主 SPI 器件提供第一个锁存时钟沿之前 (通常是一个上升沿，但也有例外，见表 4)，从属 LTC6820 必须发送初始从数据位  $S_N$ ，它是通过在一个适合的延迟之后对 MISO 的状态进行采样来确定此数据位的。

如果  $MISO = 0$ ，则受控器将发送一个短  $-1$  脉冲至主控器。主控 LTC6820 将负责脉冲的接收和解码，并设定主  $MISO = 0$  (从而与受控器相匹配)。然而，倘若从  $MISO = 1$ ，则受控器并不发送脉冲。主控器将把这种空响应看做一个“1”并设定主  $MISO = 1$ 。这使得能够把多个从属 LTC6820 连接至单个电缆，并且不会发生信号冲突 (见“多分支”部分)。

在下降  $\overline{CS}$  序列之后，主控器上的每个锁存时钟沿把 MOSI 引脚的状态转换为一个 isoSPI 数据脉冲 ( $M_N, M_{N-1}, \dots, M_0$ )，同时锁存受控器的数据位。当从属 LTC6820 接收到每个数据位时，它将把从 MOSI 引脚设定至正确的状态，然后在回送受控器的 MISO 数据 (作为一个短  $-1$  脉冲或一个空值) 之前产生一个  $SCK$  脉冲。

在通信结束时，受控器发送的最终数据位 (作为一个脉冲或一个空值) 将被主控制器所忽略。(从属 LTC6820 必须回送一个数据位，因为它无法预知通信将于何时停止)。主 SPI 器件随后就能够提高  $\overline{CS}$  电平，它以一个长  $+1$  脉冲的形式发送至受控器。当从属 LTC6820 将  $\overline{CS}$  变换至高电平并使  $SCK$  返回不工作状态 (若  $PHA = 1$ ) 时，该过程结束。

### 上升时间

MOSI 和 MISO 输出具有漏极开路驱动器。数据输出的上升时间  $t_{RISE}$  由上拉电阻和负载电容决定。 $R_{PU}$  必须足够小以提供足够的建立和保持时间。

### 慢速模式

当配置为从属操作时，LTC6820 将提供两种操作模式以确保与多种 SPI 定时情形的兼容性。这些模式被称为快速模式和慢速模式，并采用 SLOW 引脚来设定。当配置为主控操作时，SLOW 引脚设定值对 LTC6820 的运作没有影响。在这种场合，建议把 SLOW 引脚连接至 GND。

在快速模式中 (SLOW 引脚连接至 GND)，LTC6820 能在高达 1MHz ( $t_{CLK} = 1\mu s$ ) 的时钟速率下运作。然而，有些 SPI 从器件不能以足够快的速度做出响应，因而不支持该数据速率。快速模式要求受控器在操作时具有 100ns 的建立时间和响应时间，以及 100ns 的时钟宽度。此外，还必须制定 MOSI 和 MISO 之漏极开路输出的 RC 上升时间的容差。在慢速模式中 (SLOW 引脚连接至  $V^+$ )，定时要求虽然放宽了，但代价则是最大数据速率有所下降。如“电特性”部分所示，时钟脉冲和所需的建立和响应时间增加至 0.9 $\mu s$  (最小值)。相应地，最小  $t_{CLK}$  (受控于主控器) 必须限制为 5 $\mu s$ 。SLOW 引脚设定值对主控 LTM6820 (MSTR = 1) 没有影响。

# 工作原理

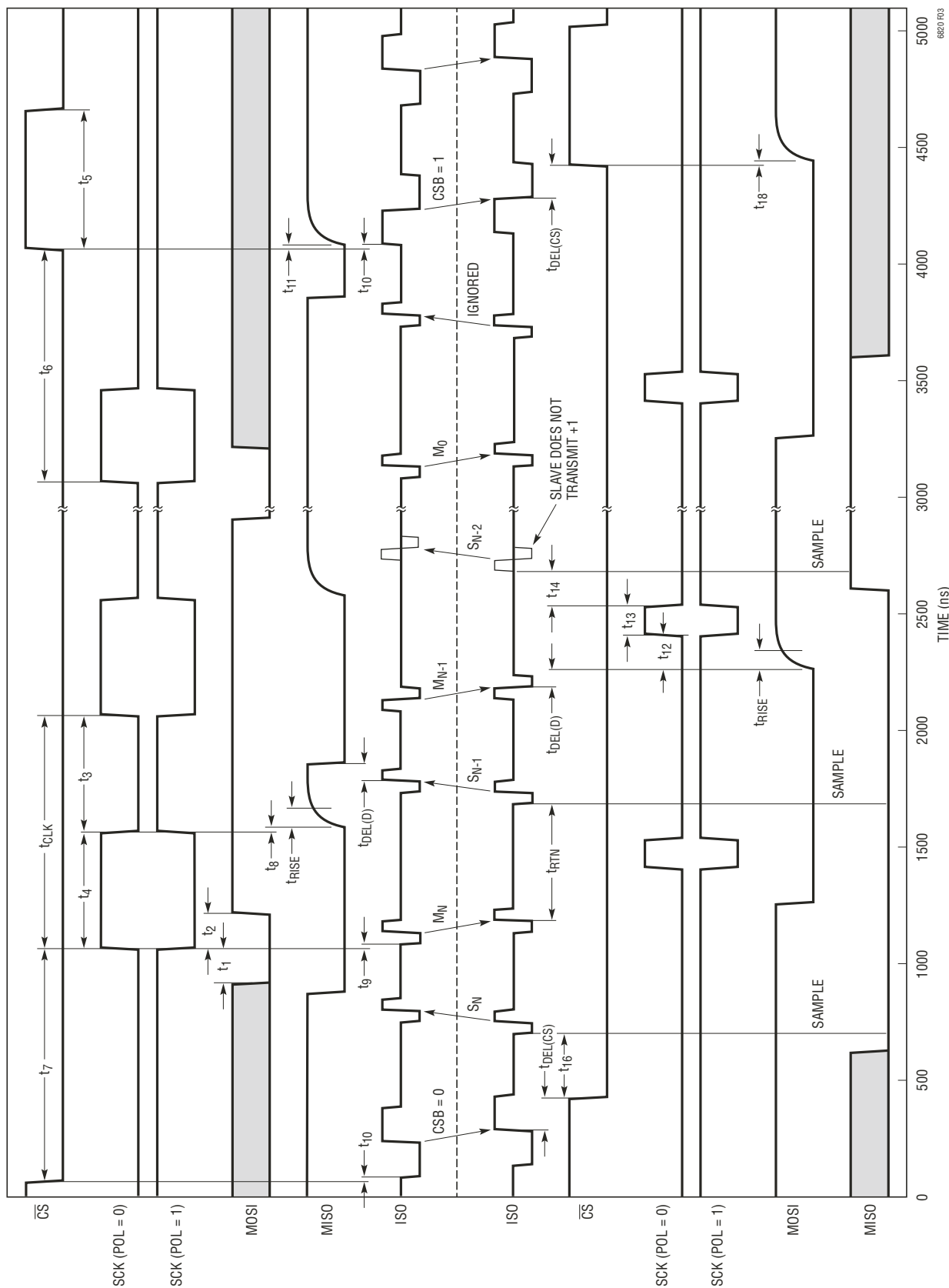


图 3 : 收发器时序图 (PHA = 0)

工作原理

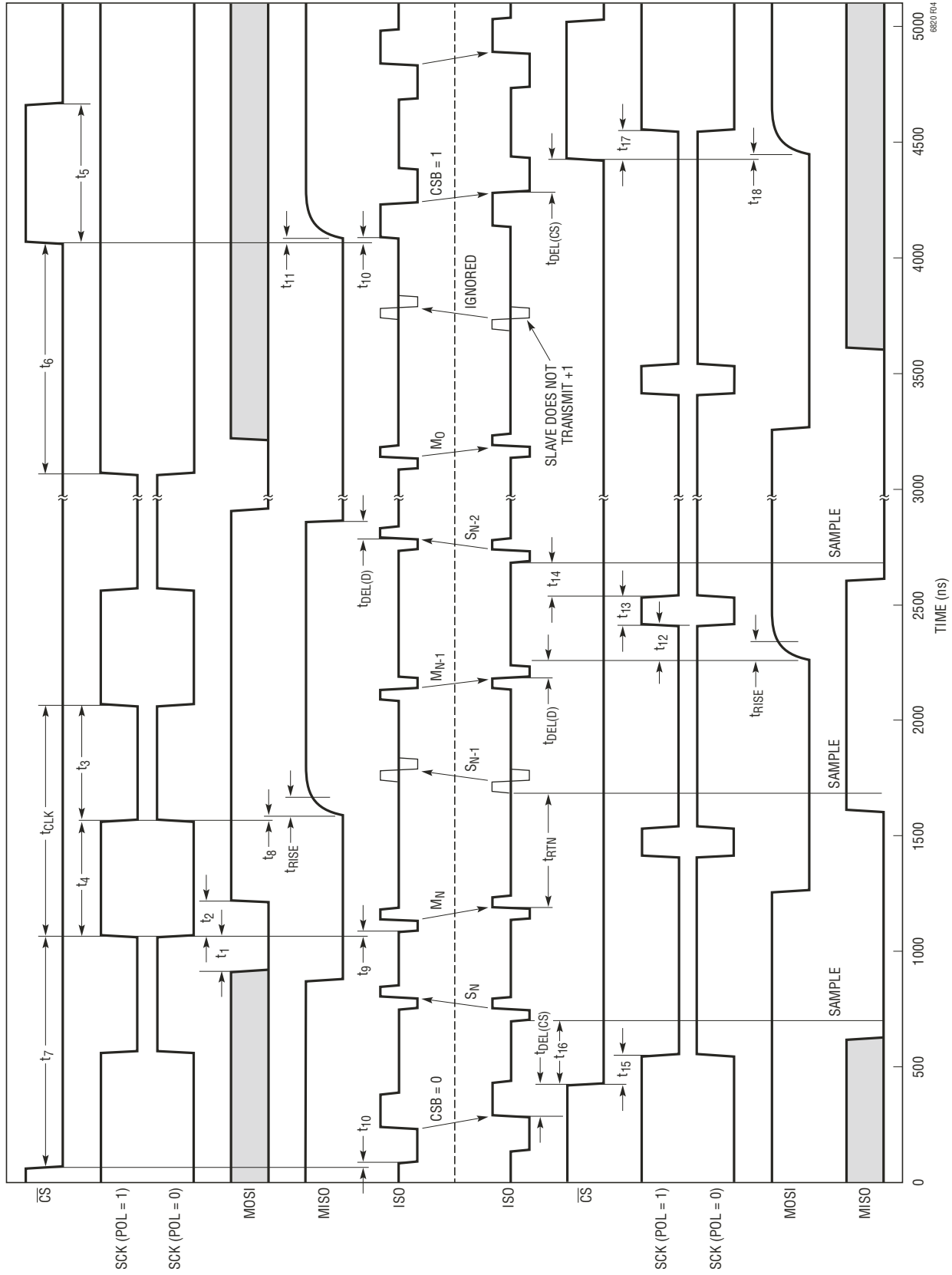


图 4：收发器时序图 (PHA = 1)

## 工作原理

图 6 示出了慢速模式，图 5 则对比给出了快速模式。

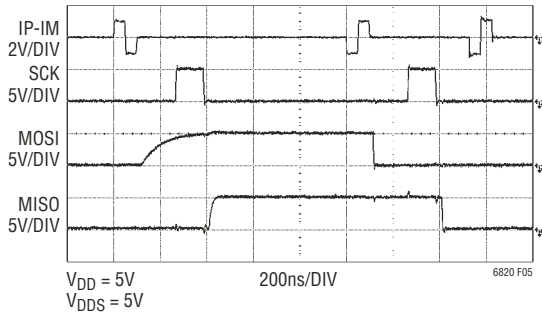


图 5：快速模式 (SLOW = 0)

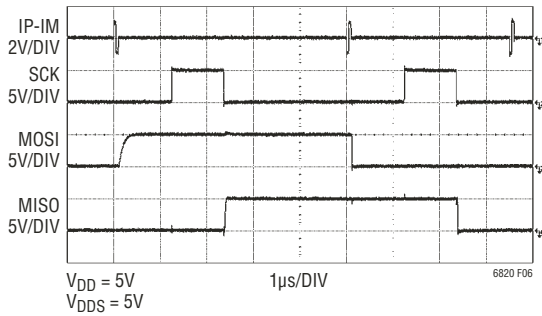


图 6：慢速模式 (SLOW = 1)

### IP 和 IM 脉冲驱动器

IP 和 IM 引脚负责发送和接收 isoSPI 脉冲。发送器采用一个电流调节型驱动器 (见图 7) 以确立脉冲幅度 (由 IBIAS 电流  $I_B$  和负载电阻决定)。吸收电流源被调节至偏置电流  $I_B$  的 20 倍。供电电流源以一种电流饥饿型 (阻性) 方式运作，以把供电引脚的电压保持在靠近  $V_{DD}$  (如图 8 和图 9 所示)。共模电压 (驱动时) 取决于偏置电流和输出幅度。

输出驱动器将把 IP 和 IM 的共模和峰值摆幅调节至正确的电平，从而可提供宽广的输出幅度范围和相当平坦的增益，如图 10 所示。

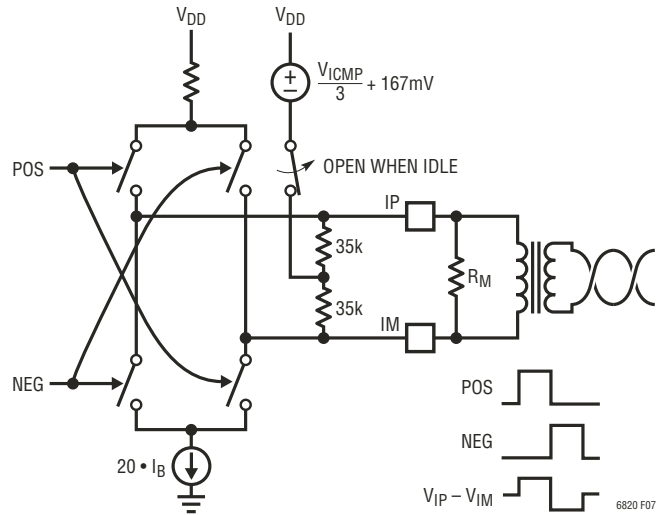


图 7：脉冲驱动器

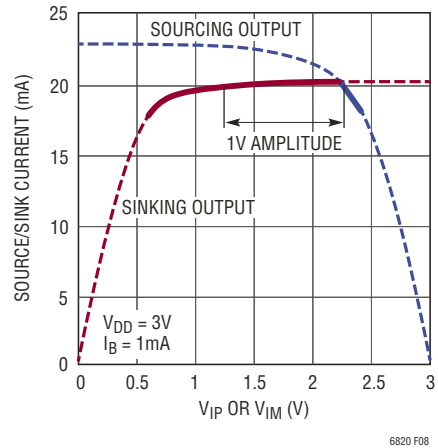


图 8：驱动器供电 / 吸收电流与输出电压的关系曲线

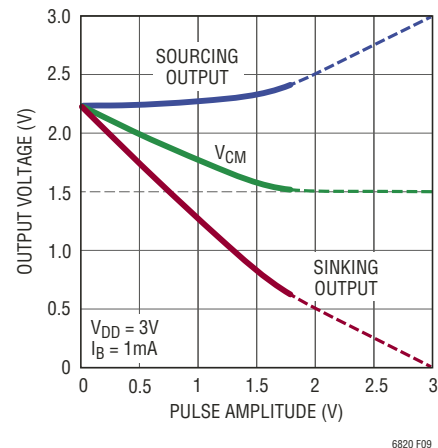


图 9：输出电压和共模与幅度的关系曲线

## 工作原理

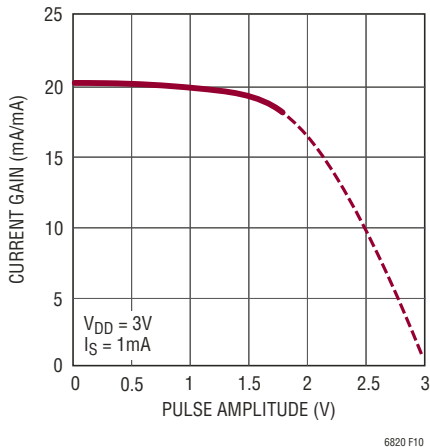


图 10：A<sub>IB</sub> 电流增益与幅度的关系曲线

此类驱动器不需要中心抽头变压器，但是这样的一个变压器可以改善抗噪声性能，尤其是当它具有一个共模扼流圈时。更多详情请见“应用信息”部分。

### 接收器共模偏置

当不执行发送操作时，输出分压器利用一对 35k ( $R_{IN}$ ) 电阻器将 IP 和 IM 保持在靠近  $V_{DD}$  (至一个  $V_{DD} - V_{ICMP}/3 - 167\text{mV}$  的电压)。这个弱偏置网络可把输出保持在其期望工作点的附近，而不会给电缆施加很大的负载，从而能够在不影响信号幅度的情况下并联很多个 LTC6820。

图 11 示出了发送和接收数据时的差分 and 单端 IP 及 IM 信号。驱动器在发送时施加其所需的共模电压，然后以一个  $R_{IN} \cdot C_{LOAD}/2$  的时间常数恢复至偏置电平 (这里， $C_{LOAD}$  是 IP 和 IM 引脚上的电容之和)。

当 LTC6820 处于低功率 IDLE 模式时，偏置电压与 35k 电阻器断接，从而产生一个 70k 差分负载。

### 状态图

在无通信期间，可使用一种低电流 IDLE (或停机) 状态以降低功率消耗。在 IDLE 状态中 LTC6820 将关断大部分电路。一个从器件采用低电流比较器以监视动作，因此其具有较大的 IDLE 电流。

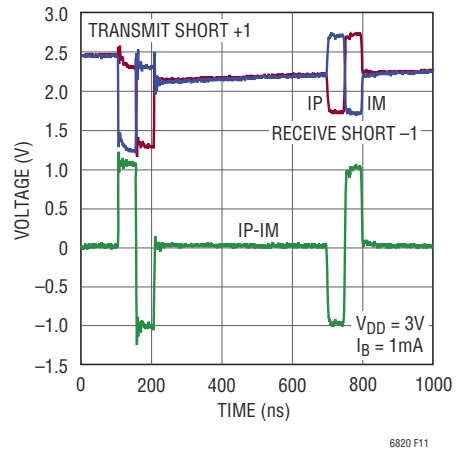


图 11：发送和接收数据

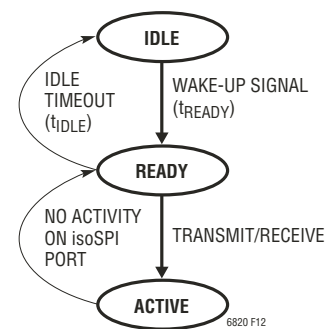


图 12：状态图

在 READY 状态中，所有电路均被使能并处于发送或接收就绪状态，但并不主动地在 IP 和 IM 上执行发送操作。

电源电流在主动通信时将增加，因此这种情况被称为“运行” (ACTIVE) 状态。

### 电源电流

表 5 提供了用于估算每种状态中之  $I_{DD}$  的公式。结果适用于平均电源电流 (而不是峰值电流)，并假设受控器回送数目相等的“0”和“1” (这一点很重要，因为受控器不产生 +1 数据脉冲，因此平均驱动器电流较小)。



## 工作原理

表 5 :  $I_{DD}$  计算公式

状态	MSTR	估算的 $I_{DD}$
IDLE	0 (受控器)	$2\mu\text{A}$
	1 (主控器)	$1\mu\text{A}$
READY	0 或 1	$1.7\text{mA} + 3 \cdot I_B$
ACTIVE	0 (受控器)	$2\text{mA} + \left(3 + 20 \cdot \frac{100\text{ns} \cdot 0.5}{t_{\text{CLK}}}\right) \cdot I_B$
	1 (主控器)	$2\text{mA} + \left(3 + 20 \cdot \frac{100\text{ns}}{t_{\text{CLK}}}\right) \cdot I_B$

### 待机模式和唤醒检测

为了省电，处于从模式 (MSTR = 0) 的 LTC6820 将在 IP/IM 引脚的不工作时间 ( $t_{\text{IDLE}}$ ) 达到 5.7ms 之后进入一种 IDLE 状态。在这种情况下， $I_{DD}$  减小至  $6\mu\text{A}$  以下，并使 SPI 引脚处在空载状态 ( $\overline{\text{CS}} = 1$ , MOSI = 1 和 SCK = POL)。

LTC6820 将采用一个低功率 AC 耦合型检测器连续监视 IP 和 IM 引脚。当其观察到一个持续时间为 240ns (或更长) 的 240mV (或更大) 差分信号时，它将被唤醒。实际上，一个长的 ( $\overline{\text{CS}}$ ) isoSPI 脉冲足以唤醒器件。当比较器产生唤醒信号时，偏置电路实现稳定所需的时间最长可达  $8\mu\text{s}$  ( $t_{\text{READY}}$ )。

图 14 详细描绘了“唤醒一个从属 LTC6820 (将其置于 IDLE 状态)、采用它进行通信、并随后允许它返回低功率 IDLE 状态”的时序。

处于主模式 (MSTR = 1) 的 LTC6820 未采用唤醒检测比较器。 $\overline{\text{CS}}$  上的一个下降沿将在  $t_{\text{READY}}$  时间之内使能 isoSPI 端口，而且 LTC6820 将在退出 IDLE 状态时发送一个长的 ( $\overline{\text{CS}}$ ) 脉冲 (该脉冲的极性与  $t_{\text{READY}}$  末端的  $\overline{\text{CS}}$  状态相匹配)。

只要  $\overline{\text{CS}} = 0$ ，主 LTC6820 就将保持在 READY/ACTIVE 状态。假如  $\overline{\text{CS}}$  变换至高电平且  $\text{EN} = 0$ ，直到  $t_{\text{IDLE}}$  超时，主 LTC6820 才进入待机状态。这可避免器件在数据包之间出现停机。

不管是在主模式还是在从模式中，都可以通过把 EN 驱动至高电平来停用 IDLE 功能。这将强制器件始终保持“就绪”状态。

图 15 示出了一种用于唤醒一个主控 (MSTR = 1) LTC6820 及其连接的从属 (MSTR = 0) LTC6820 的简单程序。 $\overline{\text{CS}}$  上的一个负脉冲边沿致使主控器将 IBIAS 驱动至 2V，并在一个简短的延迟之后发送一个长 +1 脉冲。(如果  $\overline{\text{CS}}$  在整个  $t_{\text{READY}}$  期间处于低电平，则 LTC6820 将首先产生一个 -1 脉冲，而后在  $\overline{\text{CS}}$  恢复高电平时产生 +1 脉冲)。长脉冲充当从器件的唤醒信号，从器件通过将其 IBIAS 引脚驱动至 2V 并进入 READY 状态做出响应。

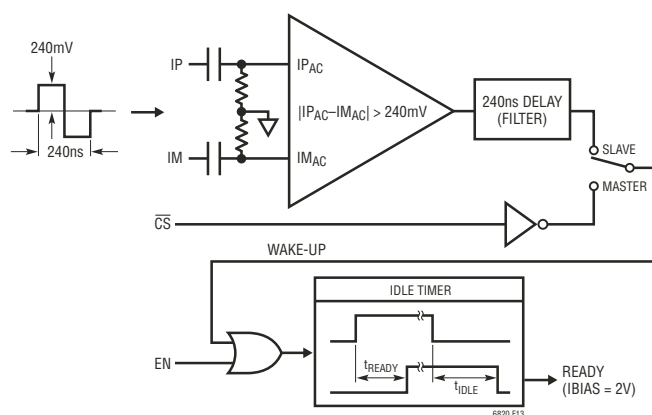


图 13 : 唤醒检测和 IDLE 定时器

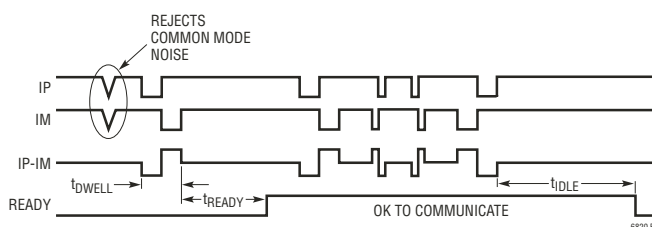


图 14 : 从属 LTC6820 唤醒 / 不工作定时

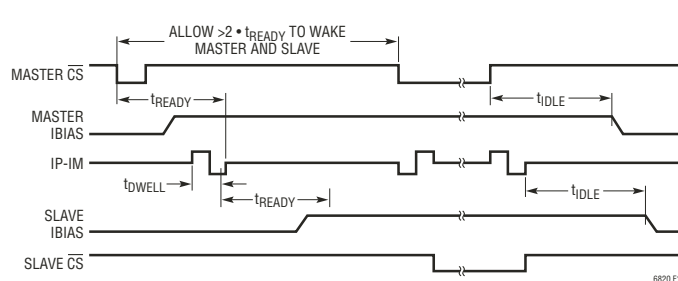


图 15 : 主控器和受控器唤醒 / 待机时序

## 工作原理

### 多分支

多个受控器可通过沿着一根电缆并联连接 (多分支配置) 的方式连接至单个主控器。如图 16 所示, 电缆应只在始端 (主控器) 和末端进行终接。在始端和末端中间, 附加的 LTC6820 及其相关的从器件将连接至电缆上的“短截线”。这些短截线应保持简短并具有尽可能小的电容, 以避免终端性能顺着电缆而下降。

多分支方案仅在 SPI 受控器具有确定特性的情况下才是可行的:

- SPI 受控器必须是可寻址的, 因为它们都将遇到相同的  $\overline{\text{CS}}$  信号 (从属的 LTC6820 要进行解码)。

- 当未被寻址时, 从属 SDO 必须保持高电平。

当受控器未被寻址时, 只要 MISO (SPI 器件的 SDO) 处于高电平, 则其 LTC6820 将不发送数据脉冲。这消除了发生冲突的可能性, 因为只有被寻址的从器件才会将数据回送至主控器。

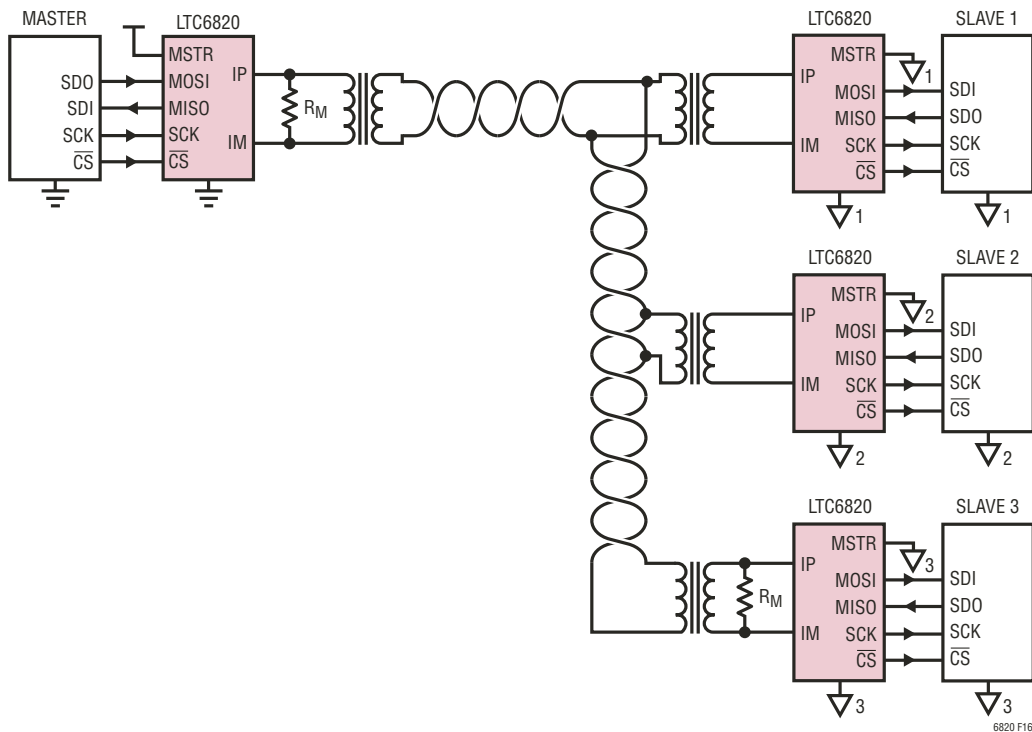


图 16：在单个电缆上实施多个器件的多分支

## 应用信息

### isoSPI 设置

LTC6820 允许针对功耗或抗噪性要求来优化每种应用。isoSPI 系统的功耗和抗噪性由编程  $I_B$  电流决定。 $I_B$  电流可在 0.1mA 至 1mA 的范围内变化。低的  $I_B$  可降低 READY 和 ACTIVE 状态中的 isoSPI 功耗，而高的  $I_B$  则将增加匹配终端电阻器  $R_M$  两端之差分信号电压  $V_A$  的幅度。

$I_B$  由连接在  $I_{BIAS}$  引脚和 GND 之间的  $R_{B1}$  与  $R_{B2}$  电阻器之和来设置。对于大多数应用而言，把  $I_B$  设定为 0.5mA 可很好地兼顾功耗与抗噪性。当采用该  $I_B$  设定值和一个 1:1 变压器及  $R_M = 120\Omega$  时， $R_{B1}$  应设定为 2.8k，而  $R_{B2}$  应设定为 1.2k。采用这些设定值时，在典型 CAT5 双绞线中可实现长达 50m 的通信距离。

对于那些所需电缆长度超过 50m 的应用，建议通过把  $I_B$  提高至 1mA 来增加  $V_A$  的幅度。这可补偿电缆中插入损耗的增加并保持高的抗噪性。因此，当使用超过 50m 的电缆时，若仍然采用一个匝数比为 1:1 的变压器及  $R_M = 120\Omega$ ，则将  $R_{B1}$  设为 1.4k， $R_{B2}$  为 600 $\Omega$ 。

根据应用的需要，可以采用其他的  $I_B$  设定值以降低功耗或增强抗噪性。在这些场合中，当设定  $V_{ICMP}$  及选择  $R_{B1}$  和  $R_{B2}$  电阻器阻值时，应采用下面的规则：

对于  $\leq 50m$  的电缆：

$$I_B = 0.5mA$$

$$V_A = (20 \cdot I_B) \cdot (R_M/2)$$

$$V_{TCMP} = 1/2 \cdot V_A$$

$$V_{ICMP} = 2 \cdot V_{TCMP}$$

$$R_{B2} = V_{ICMP}/I_B$$

$$R_{B1} = \left( \frac{2V}{I_B} \right) - R_{B2}$$

对于  $> 50m$  的电缆

$$I_B = 1mA$$

$$V_A = (20 \cdot I_B) \cdot (R_M/2)$$

$$V_{TCMP} = 1/4 \cdot V_A$$

$$V_{ICMP} = 2 \cdot V_{TCMP}$$

$$R_{B2} = V_{ICMP}/I_B$$

$$R_{B1} = \left( \frac{2V}{I_B} \right) - R_{B2}$$

isoSPI 链路的最大数据速率由所用电缆的长度决定。当电缆长度为 10m 或以下时，可以采用 1MHz 的最大 SPI 时钟频率。随着电缆长度的增加，最大的可用 SPI 时钟速率下降。这是由于通过电缆的传播延迟增加而可能产生的时序违规所致。

电缆延迟会影响三项定时规格，即  $t_{CLK}$ 、 $t_6$  和  $t_7$ 。在“电特性”表中，上述每项规格指标均降额 100ns 以为电缆延迟留出 50ns 的余地。对于较长的电缆，最小定时参数可以按下式计算：

$$t_{CLK}, t_6 \text{ 和 } t_7 > 0.9\mu s + 2 \cdot t_{CABLE}$$

### 上拉电阻考虑

数据输出 (若 MSTR = 0 则为 MOSI，若 MSTR = 1 则为 MISO) 需要一个上拉电阻器  $R_{PU}$ 。上升时间  $t_{RISE}$  由  $R_{PU}$  及引脚上的电容决定。 $R_{PU}$  必须足够小，以提供适当的建立和保持时间。对于一个从器件，时间常数必须小于  $t_{12}$  和  $t_{14}$ 。在快速模式中，建议采用 50ns。

$$R_{PU} < 50ns/C_{LOAD}$$

在慢速模式中，可以使用较大 (最大 5k) 的上拉电阻。

## 应用信息

表 6：典型  $R_{B1}$  和  $R_{B2}$  阻值

最大电缆长度	匝数比	终接电阻	$I_B$	$V_A$	$V_{TCMP}$	$V_{ICMP}$	$R_{B2}$	$R_{B1}$	IDRV	就绪电流
100m	1:1	120 $\Omega$	1mA	1.2V	0.3V	0.6V	604 $\Omega$	1.4k	20mA	4.7mA
50m	1:1	120 $\Omega$	0.5mA	0.6V	0.3V	0.6V	1.21k	2.8k	10mA	3.2mA
100m	1:1	75 $\Omega$	1mA	0.75V	0.19V	0.38V	374 $\Omega$	1.62k	20mA	4.7mA
50m	1:1	75 $\Omega$	0.5mA	0.375V	0.19V	0.38V	750 $\Omega$	3.24k	10mA	3.2mA

## 变压器选择指南

如图 1 所示，采用一个变压器或一对变压器在两个 LTC6820 之间隔离 IP 和 IM 信号。isoSPI 具有高达 1.6V 的可编程脉冲幅度以及 50ns 和 150ns 的脉冲宽度。为满足这些要求，应选择一个具有 50 $\mu$ H 至 350 $\mu$ H 磁化电感和 1:1 或 2:1 匝数比的变压器。最大限度地减少变压器插入损耗从而降低需要的发送功率；建议的插入损耗通常小于 -1.5dB。

为了获得最优的共模噪声抑制，应选择一个带中心抽头的变压器或具有集成型共模扼流圈的变压器。中心抽头可连接至一个 27pF 或更小的电容器 (较大的电容器将限制驱动器设定共模电压的能力)。假如变压器在主端上同时具有一个中心抽头和扼流圈，则可以使用一个较大的电容器。

表 7 罗列了推荐与 LTC6820 配合使用的变压器。10/100BaseTX 以太网变压器价格便宜，并且能在这种应用中发挥很好的效果。以太网变压器常常包括一个共模扼流圈，将使共模抑制性能较之其他变压器有所改善。

表 7：推荐的变压器

制造商	器件型号	隔离电压	匝数比	中心抽头	共模扼流圈
PCA	EPF8119SE	1500V <sub>RMS</sub>	1:1	有	有
Halo	TG110-AE050N5LF	1500V <sub>RMS</sub>	1:1	有	有
Pulse	PE-68386NL	1500V DC	1:1	无	无
Murata	78613/3C	1000V <sub>RMS</sub>	1:1	有	无
Murata	78604/3C	1000V <sub>RMS</sub>	2:1	无	无
Pulse	HX1188NL	1500V <sub>RMS</sub>	1:1	有	有
EPCOS	B82804A0354A110	1500V DC	1:1	无	无

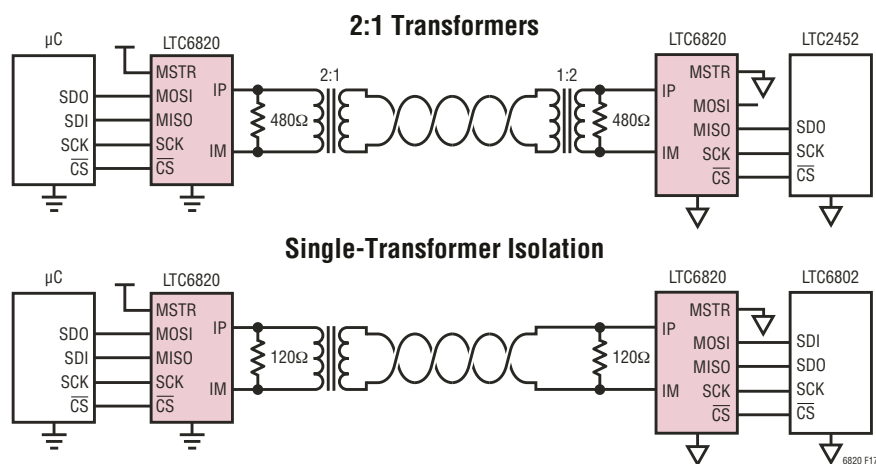


图 17：其他可选的隔离势垒

## 应用信息

### 电容性隔离势垒

在有些噪声相对很低且只需电气隔离的应用中，可采用电容器替代变压器作为隔离势垒。由于电容性耦合，因此双绞线电缆由一个电压进行驱动并且随着电缆长度的延伸而遭受信号损失。这种低成本的隔离解决方案可适用于短距离互连（1 米或以下），例如：在相邻电路板之间或横跨一块大型 PCB。电容器将提供电气隔离，但不提供共模抑制。该选项以一种不同的方式使用驱动器，通过采用上拉电阻器将共模保持在靠近  $V_{DD}$ ，仅吸收驱动电流具有一些影响。图 18 示出了一款采用电容性隔离势垒的应用电路实例，其能驱动 1 米电缆。

制造商	器件型号	电容	电压额定值
Murata	GCM188R72A104KA64	100nF	100V

### EMC

当采用 LTC6820 时，为获得最佳的电磁兼容性 (EMC) 性能，建议使用一个具有中心抽头和共模扼流圈的变压器，

如图 19 所示。变压器的中心抽头应利用一个 27pF 电容器进行旁路。中心抽头电容器有助于衰减共模信号。应避免使用较大的中心抽头电容器，因为它们将阻止 isoSPI 发送器共模电压稳定建立。

为改善共模电流抑制，还应布设一个与 LTC6820 的 IP 和 IM 线相串联的共模扼流圈。共模扼流圈既提高了 EMI 免疫力，同时又降低了 EMI 辐射。当选择共模扼流圈时，对于 50MHz 及低于 50MHz 的信号，差模阻抗应为  $20\Omega$  或更小。通常建议采用的共模扼流圈与以太网应用中所使用的相似。

表 8：推荐的共模扼流圈

制造商	器件型号	50MHz 频率下的差分阻抗	50MHz 频率下的共模阻抗
TDK	ACT45B-220-2P	$20\Omega$	5000 $\Omega$

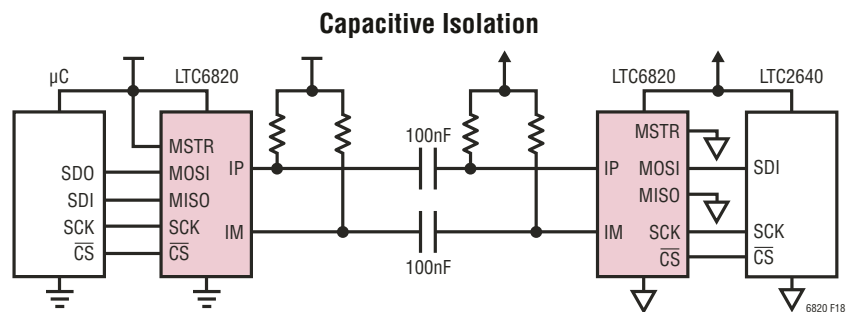


图 18：电容性隔离势垒

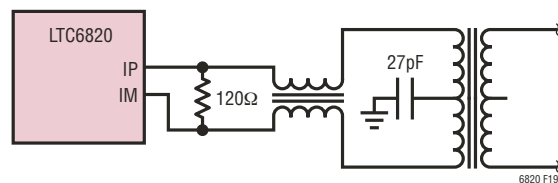


图 19：变压器和共模扼流圈的连接

## 应用信息

另外，在实现电路抗干扰能力最大化的过程中，isoSPI 信号线的布局也起着重要的作用。应遵循以下布局指引：

1. 变压器应布设在尽可能靠近 isoSPI 电缆连接器的地方。距离应保持在 2cm 以内。LTC6820 应安放在距离变压器至少 1cm 至 2cm 的地方，以帮助把 IC 与磁耦合场隔离开来。
2. 在顶层上，在磁性元件、isoSPI 连接器的下方或者变压器与连接器之间不应排布接地平面。
3. IP 和 IM 走线应与周围的电路相隔离。不得有走线横跨 IP 和 IM 线路，除非由一个位于印刷电路板内部的接地平面加以隔离。

isoSPI 驱动电流是可编程的，而且允许在功耗和抗噪性之间进行权衡取舍。LTC6820 的抗噪性采用大电流注入 (BCI) 测试来评估。BCI 测试在 1MHz 至 400MHz 的频率

范围内将设定水平的电流注入双绞线。在 0.1mA 的最小  $I_B$  电流下，结果显示 isoSPI 串行链路通过了 40mA BCI 测试 (没有比特误差)。对于大多数工业应用，40mA BCI 测试水平是足够的。汽车应用往往具有较高的 BCI 要求，因此建议的  $I_B$  被设定为 1mA (最大功率级)。isoSPI 系统被证明通过了 200mA BCI 测试 (没有发送比特误差)。200mA 测试水平对于汽车测试是常见的。

### 软件层

isoSPI 物理层具有很高的 EMI 免疫力，而且对于噪声引起的比特误差不是特别敏感。但是，为了在高噪声环境中获得最佳的结果，建议布置一个采用检错码 (例如：循环冗余校验或校验和) 的软件层。检错码将提供任何比特误差的软件检测，并通知系统重试上一次出错的串行通信。

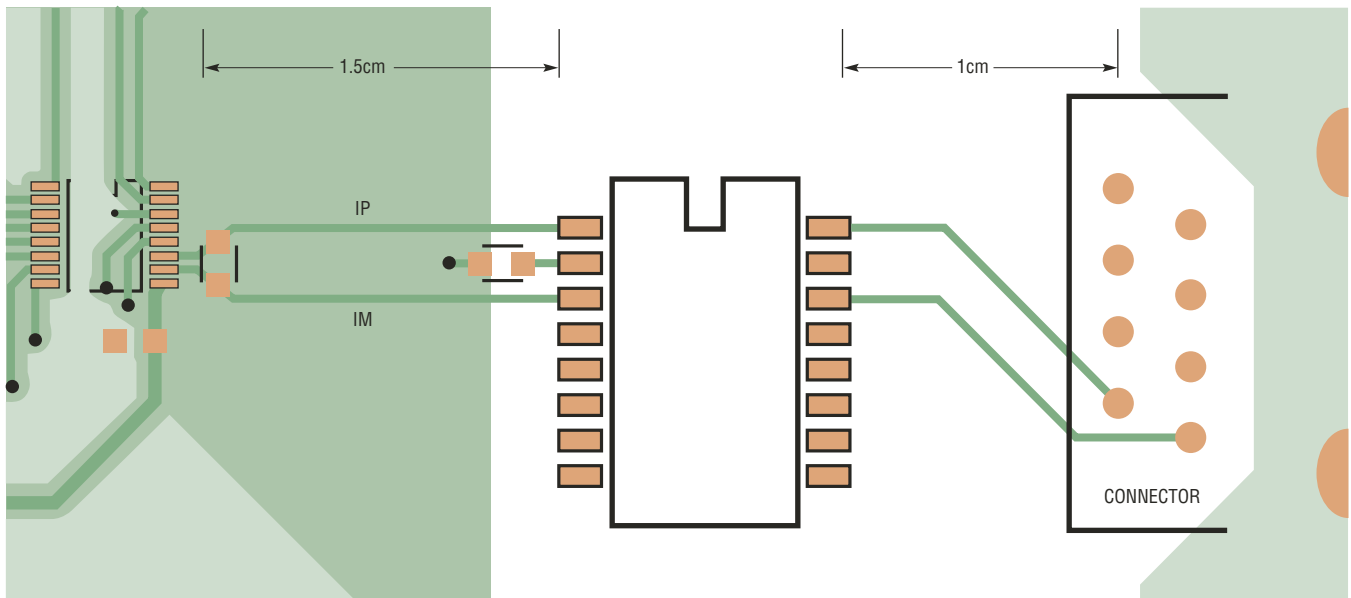
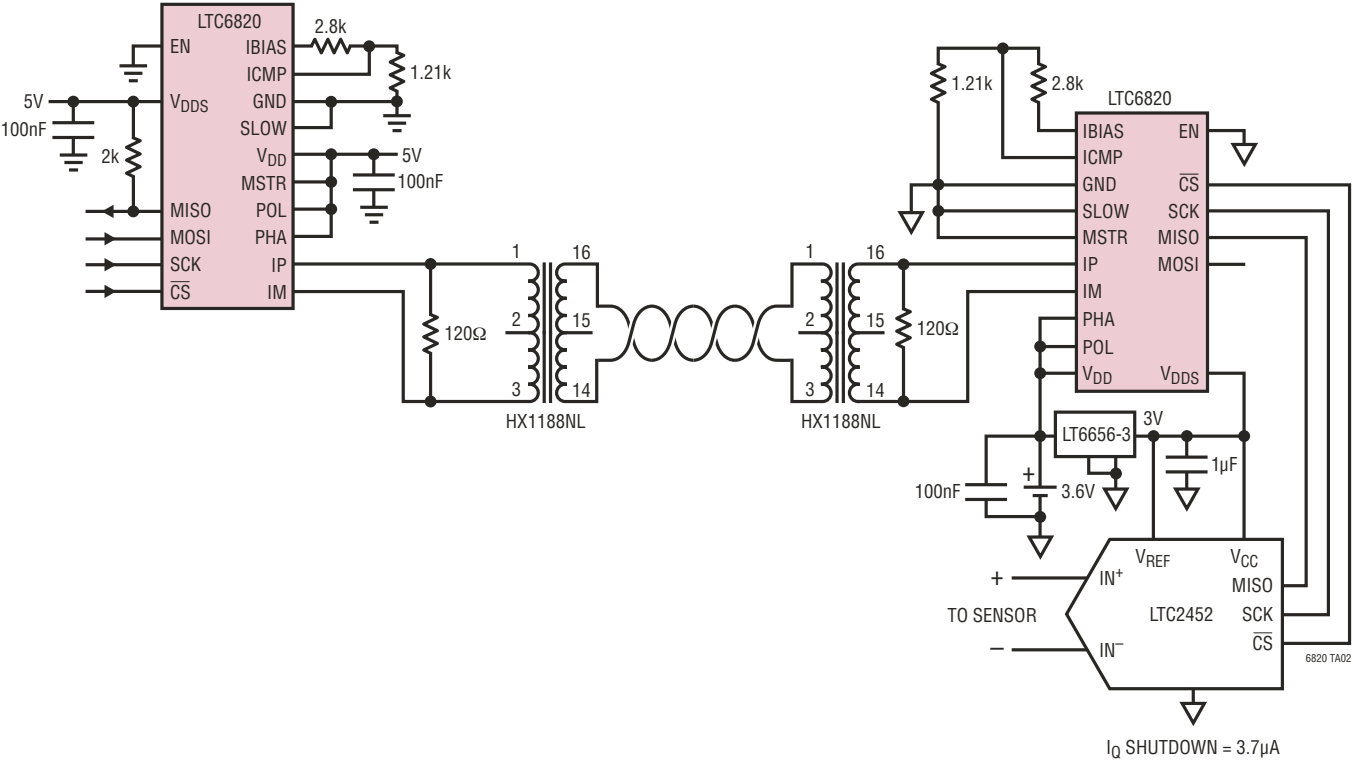


图 20：布局实例

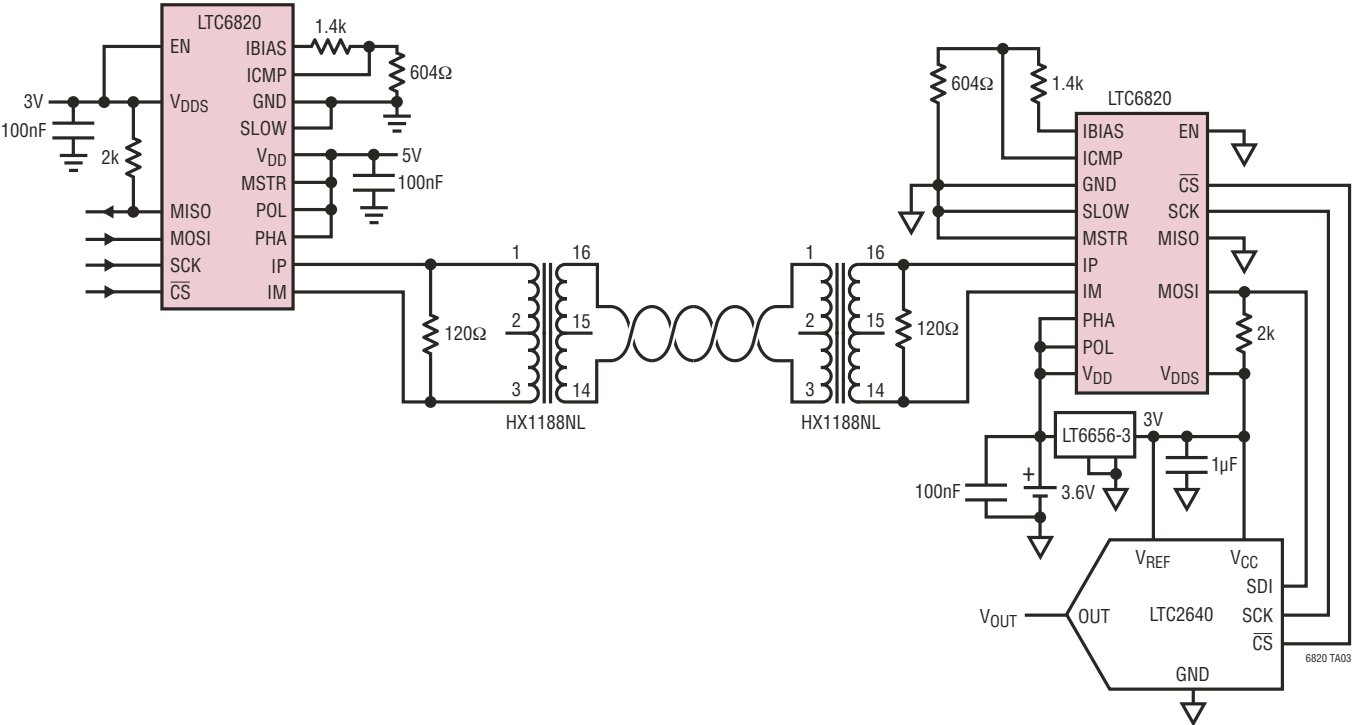
6820 F20

# 典型应用

## 具微功率待机功能的远程传感器监视器



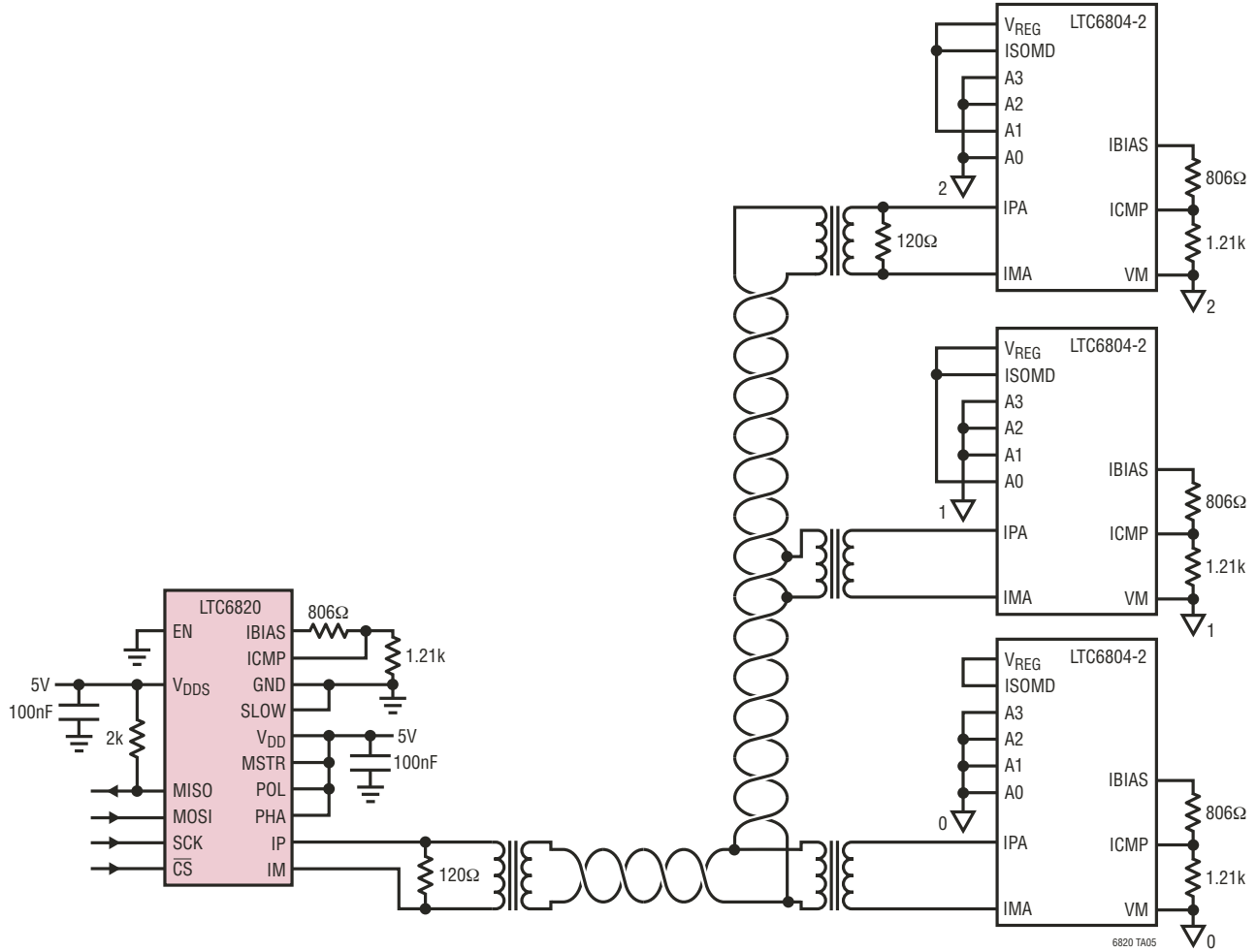
## 100 米远程 DAC 控制



6820f

## 典型应用

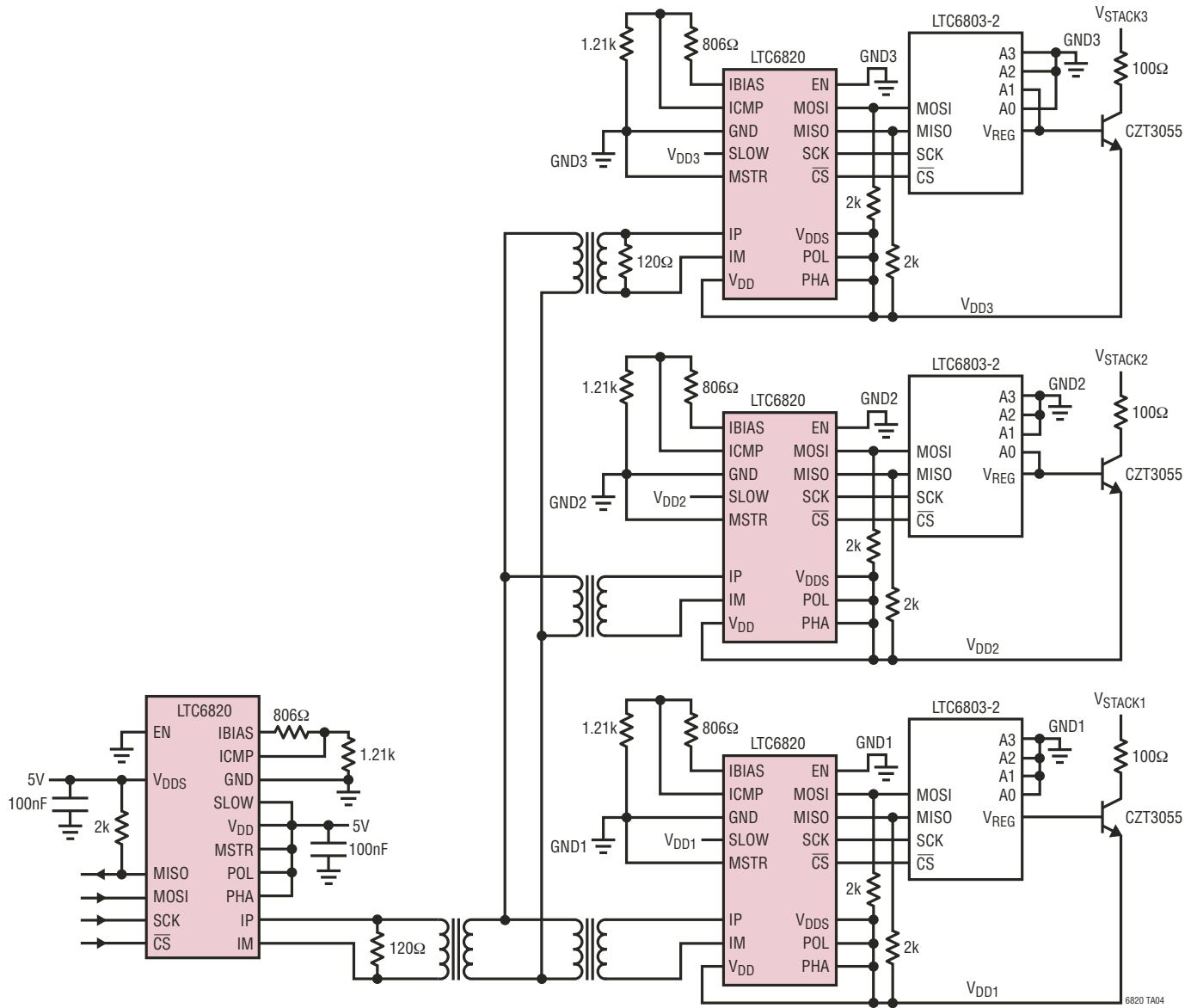
连接至 LTC6804-2 多节电池的电池组监视器的可寻址堆栈





# 典型应用

采用多分支 isoSPI 链路的电池监视系统

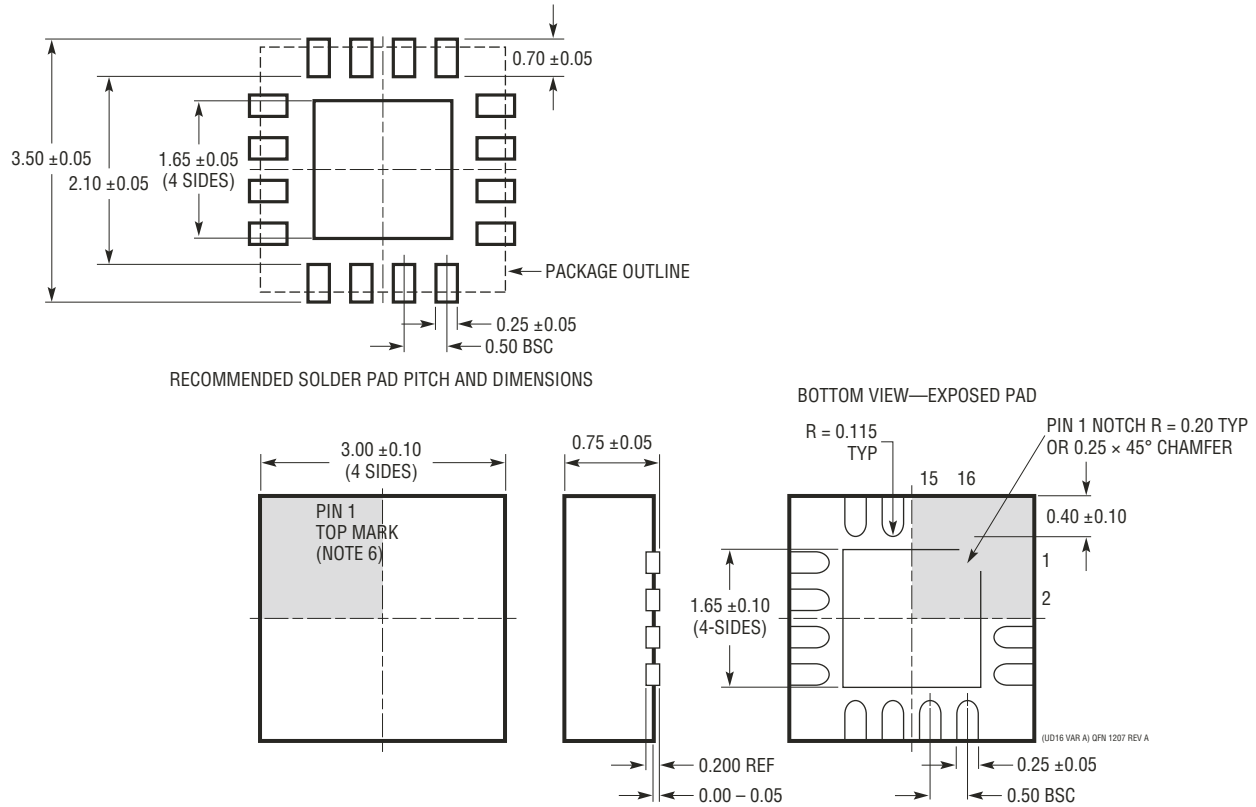


## 封装描述

如需了解最近的封装图样，请登录 <http://www.linear.com.cn/designtools/packaging/>

**UD 封装**  
**16 引脚塑料 QFN (3mm × 3mm)**  
 (参考 LTC DWG # 05-08-1700 Rev A)

### 裸露衬垫变化 AA



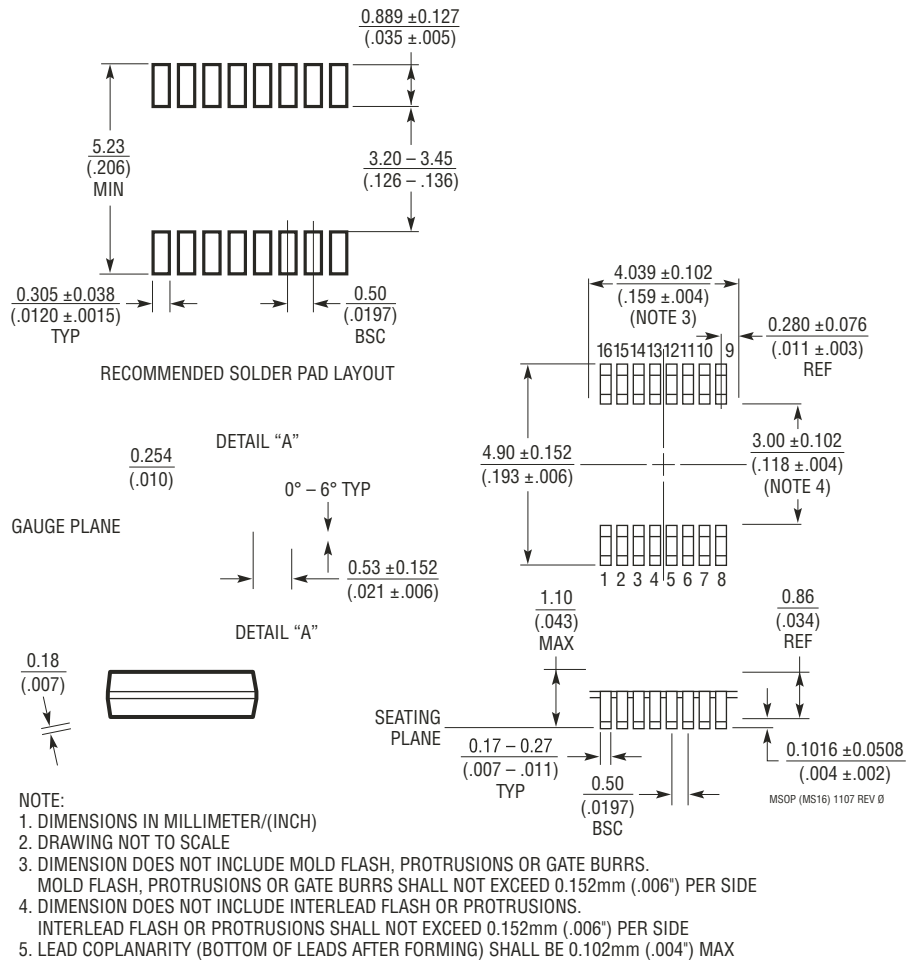
- NOTE:
1. DRAWING CONFORMS TO JEDEC PACKAGE OUTLINE MO-220 VARIATION (WEED-4)
  2. DRAWING NOT TO SCALE
  3. ALL DIMENSIONS ARE IN MILLIMETERS
  4. DIMENSIONS OF EXPOSED PAD ON BOTTOM OF PACKAGE DO NOT INCLUDE MOLD FLASH. MOLD FLASH, IF PRESENT, SHALL NOT EXCEED 0.15mm ON ANY SIDE
  5. EXPOSED PAD SHALL BE SOLDER PLATED
  6. SHADED AREA IS ONLY A REFERENCE FOR PIN 1 LOCATION ON THE TOP AND BOTTOM OF PACKAGE

## 封装描述

如需了解最近的封装图样，请登录 <http://www.linear.com.cn/designtools/packaging/>

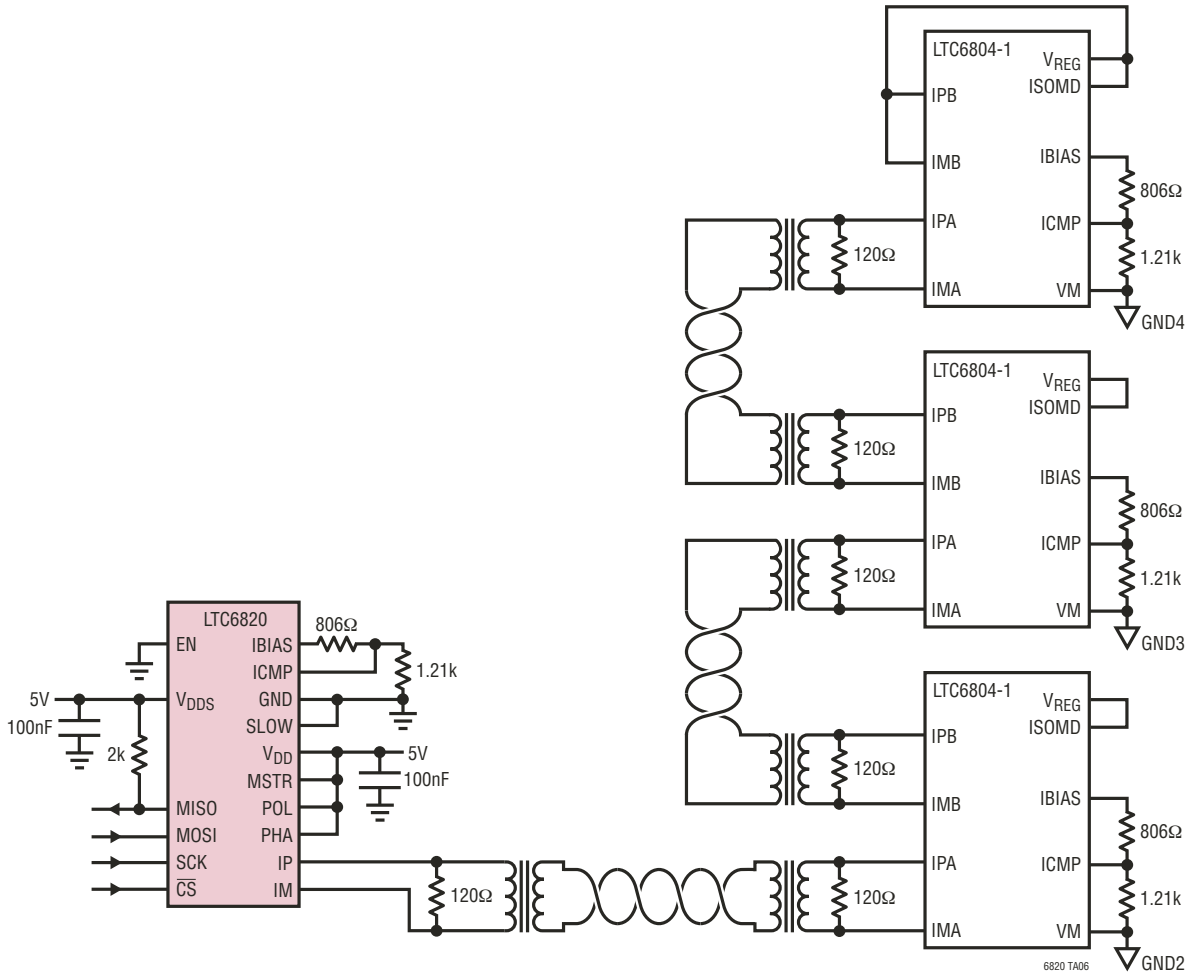
### MS 封装 16 引脚塑料 MSOP

(参考 LTC DWG # 05-08-1669 Rev 0)



## 典型应用

连接至 LTC6804-1 多节电池的电池组监视器的菊链式堆栈



## 相关器件

器件型号	描述	备注
LTC6803-2/ LTC6803-4	具有可独立寻址 SPI 接口的多节电池的电池组监视器	在功能上等同于 LTC6803-1/LTC6803-3，可实现并行通信电池组拓扑
LTC6803-1/ LTC6803-3	具菊花链式 SPI 接口的多节电池的电池组监视器	在功能上等同于 LTC6803-2/LTC6803-4，允许对多个器件进行菊花链连接
LTC6903	具 SPI 接口的 1kHz 至 68MHz 可编程振荡器	频率分辨率为 0.01%。无需外部组件。采用 2.7V 至 5.5V 工作电压
LTC6804-1/ LTC6804-2	具内置 isoSPI 接口的多节电池的电池组监视器	内置 isoSPI 接口，用于实现与主控 LTC6820 及其他 LTC6804 器件的通信