

特点

- 尺寸最小的的引脚兼容型单通道 DAC :
 - LTC2606 : 16 位
 - LTC2616 : 14 位
 - LTC2626 : 12 位
- 在整个工作温度范围内保证 16 位单调特性
- 27 个可选地址
- 400kHz I²C™ 接口
- 2.7V 至 5.5V 的宽电源电压范围
- 低功耗操作 : 270 μ A (在 3V)
- 消耗电流最低可至 1 μ A (最大值)
- 高的轨至轨输出驱动电流 (\pm 15mA, 最小值)
- 双缓冲数据锁存器
- 异步 DAC 更新引脚
- LTC2606/LTC2616/LTC2626 : 上电复位至零标度
- LTC2606-1/LTC2616-1/LTC2626-1 : 上电复位至中间标度
- 纤巧型 (3mm \times 3mm) 10 引脚 DFN 封装

应用

- 移动通信
- 过程控制和工业自动化
- 仪表
- 自动测试设备


描述

LTC[®]2606/LTC2616/LTC2626 是采用 10 引脚 DFN 封装的单通道 16、14 和 12 位、2.7V 至 5.5V 轨至轨电压输出 DAC。它们内置高性能输出缓冲器，并保证具有单调特性。

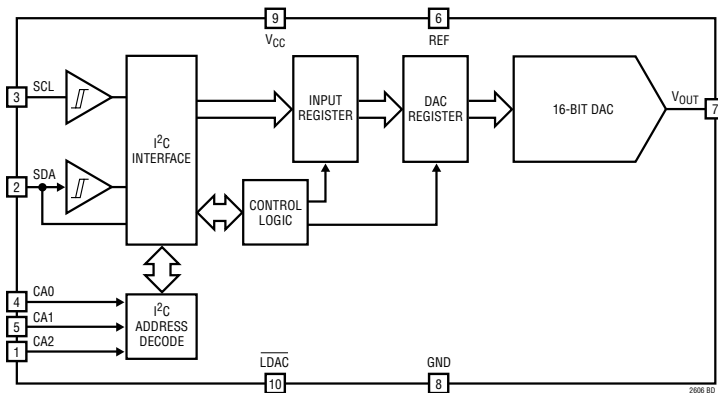
这些器件建立了 16 位和 14 位 DAC 的新型电路板密度标准，以及单电源输入、电压输出 DAC 的输出驱动和负载调节的性能标准。

这些器件采用了一个双线式 I²C 兼容型串行接口。LTC2606/LTC2616/LTC2626 既可工作于标准模式 (100kHz 时钟频率)，也可工作于快速模式 (400kHz 时钟频率)。它们还具有一个异步 DAC 更新引脚 ($\overline{\text{LDAC}}$)。

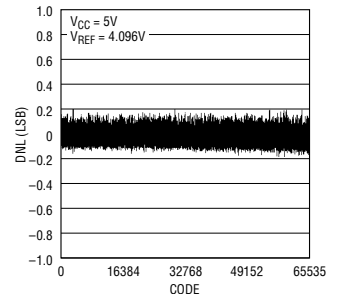
LTC2606/LTC2616/LTC2626 采用了一个上电复位电路。在上电期间，电压输出升高不大于零标度以上 10mV；在上电之后，它们维持在零标度上，直到出现一个有效的写和更新操作为止。该上电复位电路把 LTC2606-1/LTC2616-1/LTC2626-1 复位至中间标度。电压输出维持在中间标度上，直到出现一个有效的写和更新操作为止。

、LTC 和 LT 是凌力尔特公司的注册商标。所有其他商标均为其各自拥有者的产权。

方框图



差分非线性 (LTC2606)



LTC2606/LTC2016/LTC2626

绝对最大额定值 (注1)

任何引脚至 GND	-0.3V 至 6V
任何引脚至 V_{CC}	-6V 至 0.3V
最大结温	125°C
贮存温度范围	-65°C 至 125°C
引脚温度 (焊接时间 10 秒)	300°C

工作温度范围：

LTC2606C/LTC2616C/LTC2626C	0°C 至 70°C
LTC2606-1C/LTC2616-1C/LTC2626-1C	0°C 至 70°C
LTC2606I/LTC2616I/LTC2626I	0°C 至 70°C
LTC2606-1I/LTC2616-1I/LTC2626-1I	0°C 至 70°C
.....	-40°C 至 85°C

封装/订购信息

<p>DD PACKAGE 10-LEAD (3mm 3mm) PLASTIC DFN $T_{JMAX} = 125^{\circ}\text{C}$, $\theta_{JA} = 43^{\circ}\text{C/W}$ EXPOSED PAD (PIN 11) IS GND MUST BE SOLDERED TO PCB</p>	产品型号	产品型号	产品型号
	LTC2606CDD LTC2606IDD	LTC2616CDD LTC2616IDD	LTC2626CDD LTC2626IDD
	LTC2606CDD-1 LTC2606IDD-1	LTC2126CDD-1 LTC2126IDD-1	LTC2626CDD-1 LTC2626IDD-1
	DD 器件标记	DD 器件标记	DD 器件标记
	LAJX	LBPQ	LBPS
	LAJW	LBPR	LBPT

对于规定工作温度范围更宽的器件，请咨询凌力尔特公司。

电特性 凡标注 ● 表示该指标适合整个工作温度范围，否则仅指 $T_A = 25^{\circ}\text{C}$ 。REF = 4.096V ($V_{CC} = 5\text{V}$)，REF = 2.048V ($V_{CC} = 2.7\text{V}$)， V_{OUT} 无负载，除非特别注明。

符号	参数	条件	LTC2626/LTC2626-1			LTC2616/LTC2616-1			LTC2606/LTC2606-1			单位
			最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
DC 特性												
	分辨率		●	12		14		16				位
	单调性	(注 2)	●	12		14		16				位
DNL	差分非线性	(注 2)	●		±0.5		±1		±1			LSB
INL	积分非线性	(注 2)	●		±1 ±4		±4 ±16		±14 ±64			LSB
	负载调节	$V_{REF} = V_{CC} = 5\text{V}$ ，中间标度 $I_{OUT} = 0\text{mA}$ 至 15mA 供电电流 $I_{OUT} = 0\text{mA}$ 至 15mA 吸收电流	●	0.025	0.125	0.1	0.5	0.5	2			LSB/mA
		$V_{REF} = V_{CC} = 2.7\text{V}$ ，中间标度 $I_{OUT} = 0\text{mA}$ 至 7.5mA 供电电流 $I_{OUT} = 0\text{mA}$ 至 7.5mA 吸收电流	●	0.05	0.25	0.2	1	0.7	2			LSB/mA
ZSE	零标度误差	代码 = 0	●	1	9	1	9	1	9			mV
V_{OS}	偏移误差	(注 5)	●	±1	±9	±1	±9	±1	±9			mV
	V_{OS} 温度系数			±5		±5		±5				$\mu\text{V}/^{\circ}\text{C}$
GE	增益误差		●	±0.1	±0.7	±0.1	±0.7	±0.1	±0.7			%FSR
	增益温度系数			±8.5		±8.5		±8.5				ppm/ $^{\circ}\text{C}$

26061626f

电特性 凡标注 ● 表示该指标适合整个工作温度范围，否则仅指 $T_A = 25^\circ\text{C}$ 。REF = 4.096V ($V_{CC} = 5\text{V}$)，REF = 2.048V ($V_{CC} = 2.7\text{V}$)， V_{OUT} 无负载，除非特别注明。

符号	参数	条件	最小值	典型值	最大值	单位	
PSR	电源抑制	$V_{CC} = \pm 10\%$		-81		dB	
R_{OUT}	DC 输出阻抗	$V_{REF} = V_{CC} = 5\text{V}$ ，中间标度； $-15\text{mA} \leq I_{OUT} \leq 15\text{mA}$	●	0.05	0.15	Ω	
		$V_{REF} = V_{CC} = 2.5\text{V}$ ，中间标度； $-7.5\text{mA} \leq I_{OUT} \leq 7.5\text{mA}$	●	0.06	0.15	Ω	
I_{SC}	短路输出电流	$V_{CC} = 5.5\text{V}$ ， $V_{REF} = 5.5\text{V}$ 代码：零标度；强制输出至 V_{CC}	●	15	34	60	mA
		代码：全标度；强制输出至 GND	●	15	36	60	mA
		$V_{CC} = 2.7\text{V}$ ， $V_{REF} = 2.7\text{V}$ 代码：零标度；强制输出至 V_{CC}	●	7.5	22	50	mA
		代码：全标度；强制输出至 GND	●	7.5	29	50	mA

基准输入

	输入电压范围		●	0	V_{CC}	V	
	电阻	标准模式	●	88	124	160	k Ω
	电容			15			pF
I_{REF}	基准电流，断电模式	DAC 被断电	●	0.001	1		μA

电源

V_{CC}	正电源电压	对于规定的性能	●	2.7	5.5		V
I_{CC}	电源电流	$V_{CC} = 5\text{V}$ (注 3)	●	0.340	0.5		mA
		$V_{CC} = 3\text{V}$ (注 3)	●	0.27	0.4		mA
		DAC 被断电 (注 3) $V_{CC} = 5\text{V}$	●	0.35	1		μA
		DAC 被断电 (注 3) $V_{CC} = 3\text{V}$	●	0.10	1		μA

数字 I/O (注 11)

V_{IL}	低电平输入电压 (SDA 和 SCL)		●	-0.5	$0.3V_{CC}$		V
V_{IH}	高电平输入电压 (SDA 和 SCL)	(注 8)	●	$0.7V_{CC}$			V
$V_{IL(LDAC)}$	低电平输入电压 (LDAC)	$V_{CC} = 4.5\text{V}$ 至 5.5V	●		0.8		V
		$V_{CC} = 2.7\text{V}$ 至 5.5V	●		0.6		V
$V_{IH(LDAC)}$	高电平输入电压 (LDAC)	$V_{CC} = 2.7\text{V}$ 至 5.5V	●	2.4			V
		$V_{CC} = 2.7\text{V}$ 至 3.6V	●	2.0			V
$V_{IL(CAn)}$	CAn ($n = 0, 1, 2$) 上的低电平输入电压	见测试电路 1	●		$0.15V_{CC}$		V
$V_{IH(CAn)}$	CAn ($n = 0, 1, 2$) 上的高电平输入电压	见测试电路 1	●	$0.85V_{CC}$			V
R_{INH}	从 CAn ($n = 0, 1, 2$) 至 V_{CC} 的电阻，用于设定 $CAn = V_{CC}$	见测试电路 2	●		10		k Ω
R_{INL}	从 CAn ($n = 0, 1, 2$) 至 GND 的电阻，用于设定 $CAn = \text{GND}$	见测试电路 2	●		10		k Ω
R_{INF}	从 CAn ($n = 0, 1, 2$) 至 V_{CC} 或 GND 的电阻，用于设定 $CAn = \text{浮置}$	见测试电路 2	●	2			M Ω
V_{OL}	低电平输出电压	吸收电流 = 3mA	●	0	0.4		V
t_{OF}	输出下降时间	$V_O = V_{IH(MIN)}$ 至 $V_O = V_{IL(MAX)}$ ， $C_B = 10\text{pF}$ 至 400pF (注 9)	●	$20 + 0.1C_B$	250		ns
t_{SP}	由输入滤波器抑制的尖峰的脉冲宽度		●	0	50		ns
I_{IN}	输入漏电流	$0.1V_{CC} \leq V_{IN} \leq 0.9V_{CC}$	●		1		μA
C_{IN}	I/O 引脚电容		●		10		pF
C_B	每条总线线路的容性负载		●		400		pF
C_{CAX}	地址引脚 CAn ($n = 0, 1, 2$) 上的外部容性负载		●		10		pF

LTC2606/LTC2016/LTC2626

电特性 凡标注 ● 表示该指标适合整个工作温度范围，否则仅指 $T_A = 25^\circ\text{C}$ 。REF = 4.096V ($V_{CC} = 5\text{V}$)，REF = 2.048V ($V_{CC} = 2.7\text{V}$)， V_{OUT} 无负载，除非特别注明。

符号	参数	条件	LTC2626/LTC2626-1			LTC2616/LTC2616-1			LTC2606/LTC2606-1			单位
			最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
AC 特性												
t_S	稳定时间(注 6)	$\pm 0.024\%$ ($\pm 1\text{LSB}/12$ 位) $\pm 0.006\%$ ($\pm 1\text{LSB}/14$ 位) $\pm 0.0015\%$ ($\pm 1\text{LSB}/16$ 位)	7			7 9			7 9 10			μs
	1LSB 阶跃时的 稳定时间(注 7)	$\pm 0.024\%$ ($\pm 1\text{LSB}/12$ 位) $\pm 0.006\%$ ($\pm 1\text{LSB}/14$ 位) $\pm 0.0015\%$ ($\pm 1\text{LSB}/16$ 位)	2.7			2.7 4.8			2.7 4.8 5.2			μs μs μs
	电压输出转换速率		0.75			0.75			0.75			$\text{V}/\mu\text{s}$
	容性负载驱动		1000			1000			1000			pF
	干扰脉冲	在中间标度转换条件下	12			12			12			$\text{nV} \cdot \text{s}$
	复用带宽		180			180			180			kHz
e_n	输出电压噪声密度	$f = 1\text{kHz}$ $f = 10\text{kHz}$	120 100			120 100			120 100			$\text{nV}/\sqrt{\text{Hz}}$ $\text{nV}/\sqrt{\text{Hz}}$
	输出电压噪声	0.1Hz 至 10Hz	15			15			15			$\mu\text{V}_{\text{p-p}}$

定时特性 凡标注 ● 表示该指标适合整个工作温度范围，否则仅指 $T_A = 25^\circ\text{C}$ 。(见图 1)(注 10, 11)

符号	参数	条件	最小值	典型值	最大值	单位
$V_{CC} = 2.7\text{V}$ 至 5.5V						
f_{SCL}	SCL 时钟频率		●	0	400	kHz
$t_{\text{HD(STA)}}$	保持时间(重复) 起动条件		●	0.6		μs
t_{LOW}	SCL 时钟引脚的低电平周期		●	1.3		μs
t_{HIGH}	SCL 时钟引脚的高电平周期		●	0.6		μs
$t_{\text{SU(STA)}}$	一个重复起动条件的建立时间		●	0.6		μs
$t_{\text{HD(DAT)}}$	数据保持时间		●	0	0.9	μs
$t_{\text{SU(DAT)}}$	数据建立时间		●	100		ns
t_r	SDA 和 SCL 信号的上升时间	(注 9)	●	$20 + 0.1C_B$	300	ns
t_f	SDA 和 SCL 信号的下降时间	(注 9)	●	$20 + 0.1C_B$	300	ns
$t_{\text{SU(STO)}}$	停止条件的建立时间		●	0.6		μs
t_{BUF}	起动和停止条件之间的总线空闲时间		●	1.3		μs
t_1	第 3 个输入字节的第 9 个时钟脉冲下降沿至 LDAC 高电平或低电平变换		●	400		ns
t_2	LDAC 低脉冲宽度		●	20		ns

注 1：绝对最大额定值是指超出该值则器件的寿命可能会受损。

注 2：线性和单调性是在代码 k_L 至代码 $2^N - 1$ 的范围内定义的，其中， N 代表分辨率， k_L 由 $k_L = 0.016 (2^N / V_{\text{REF}})$ 求出，并被化整至最接近的整数代码。当 $V_{\text{REF}} = 4.096\text{V}$ 且 $N = 16$ 时， $k_L = 256$ ，而且线性的定义范围在代码 256 至代码 65,535 之间。

注 3：0V 或 V_{CC} 条件下的数字输入。

注 4：由设计来保证，未经生产测试。

注 5：由代码 256 (LTC2606/LTC2606-1)、代码 64 (LTC2616/LTC2616-1) 或代码 16 (LTC2626/LTC2626-1) 的测量结果而导出(在全标度条件下)。

注 6： $V_{CC} = 5\text{V}$ 、 $V_{\text{REF}} = 4.096\text{V}$ 。DAC 从 1/4 标度阶跃至 3/4 标度并从 3/4 标度阶跃至 1/4 标度。负载是与 200pF 接地电容器并联的 2k 电阻器。

注 7： $V_{CC} = 5\text{V}$ 、 $V_{\text{REF}} = 4.096\text{V}$ 。DAC 在半标度至半标度 -1 的范围内发生幅度为 $\pm 1\text{LSB}$ 的阶跃变化。负载是与 200pF 接地电容器并联的 2k 电阻器。

注 8：最大 $V_{\text{IH}} = V_{\text{CC(MAX)}} + 0.5\text{V}$

注 9： $C_B =$ 一条总线线路上的电容(单位： pF)

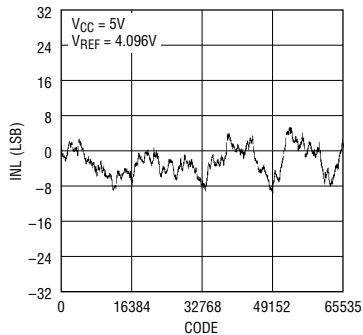
注 10：所有数值均以 $V_{\text{IH(MIN)}}$ 和 $V_{\text{IL(MAX)}}$ 电平为基准。

注 11：这些规格适用于 LTC2606/LTC2606-1、LTC2616/LTC2616-1、LTC2626/LTC2626-1。

典型性能特征

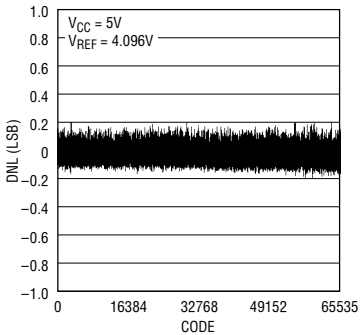
LTC2606

积分非线性 (INL)



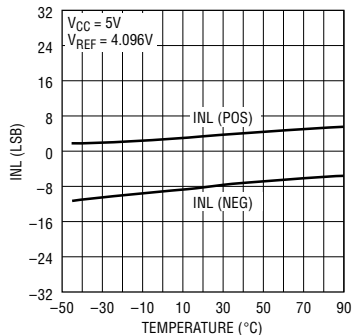
2606 001

差分非线性 (DNL)



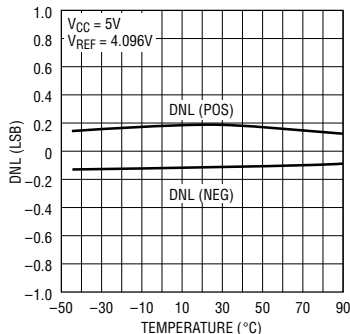
2606 002

INL 与温度的关系曲线



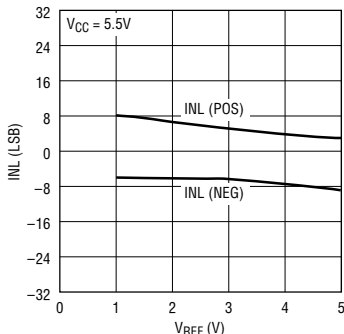
2606 003

DNL 与温度的关系曲线



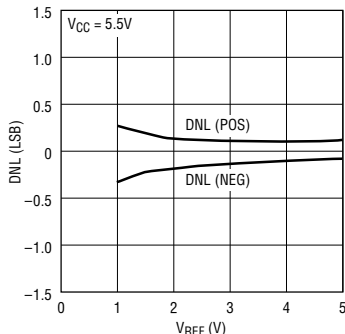
2606 004

INL 与 VREF 的关系曲线



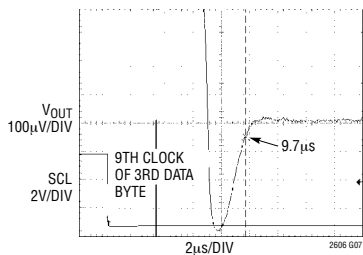
2606 005

DNL 与 VREF 的关系曲线



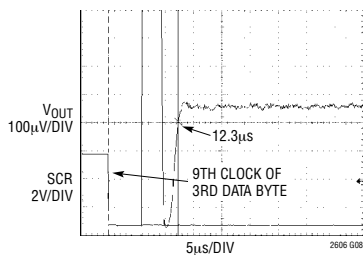
2606 006

稳定至 $\pm 1LSB$



$V_{CC} = 5V$, $V_{REF} = 4.096V$
1/4-SCALE TO 3/4-SCALE STEP
 $R_L = 2k$, $C_L = 200pF$
AVERAGE OF 2048 EVENTS

全标度阶跃的稳定



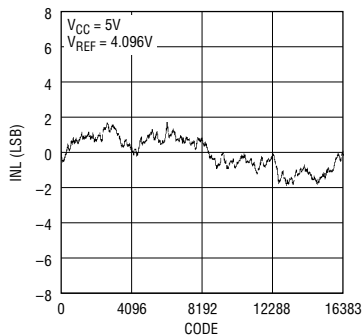
SETTLING TO $\pm 1LSB$
 $V_{CC} = 5V$, $V_{REF} = 4.096V$
CODE 512 TO 65535 STEP
AVERAGE OF 2048 EVENTS

LTC2606/LTC2016/LTC2626

典型性能特征

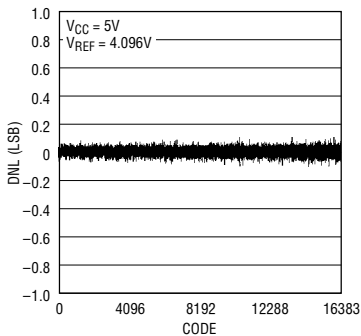
LTC2616

积分非线性 (INL)



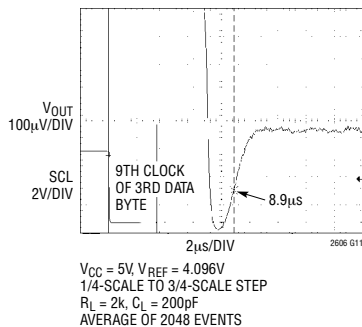
2606 G09

差分非线性 (DNL)



2606 G10

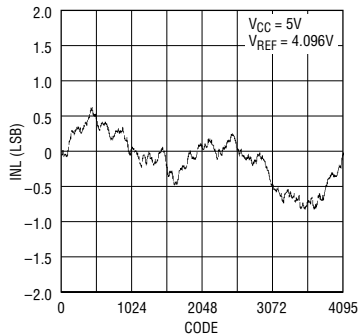
稳定至 $\pm 1LSB$



2606 G11

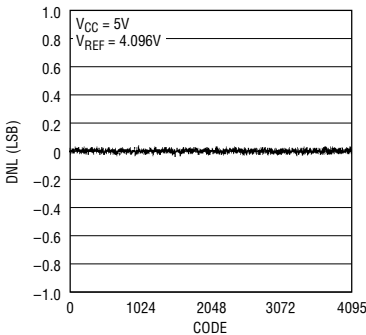
LTC2626

积分非线性 (INL)



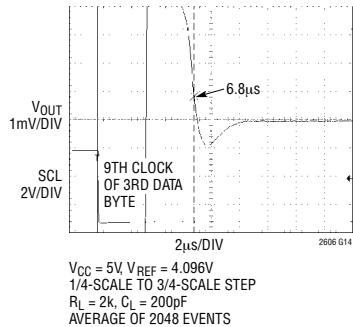
2606 G12

差分非线性 (DNL)



2606 G13

稳定至 $\pm 1LSB$

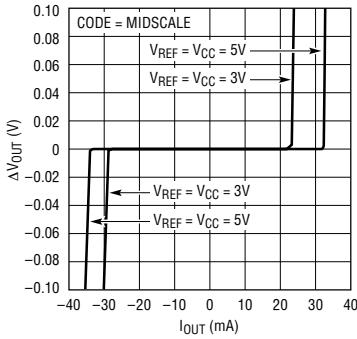


26061626f

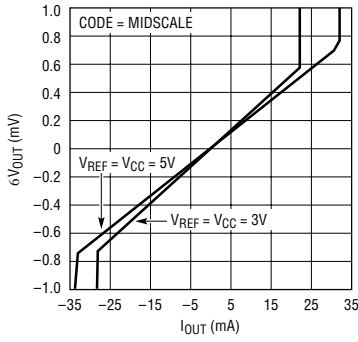
典型性能特征

LTC2606 / LTC2616 / LTC2626

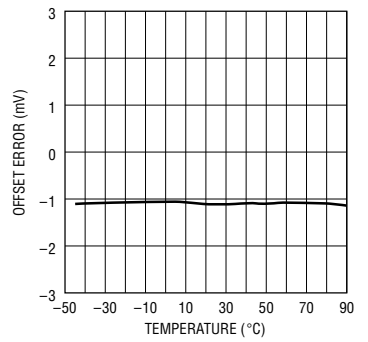
电流限制



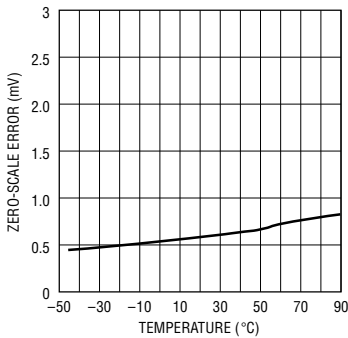
负载调节



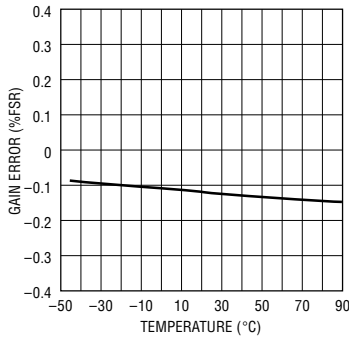
失调误差与温度的关系曲线



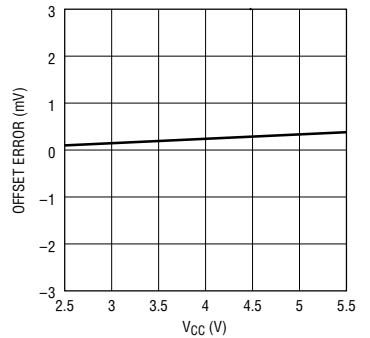
零标度误差与温度的关系曲线



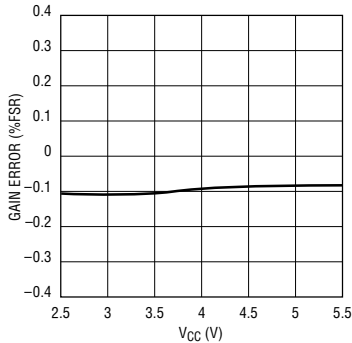
增益误差与温度的关系曲线



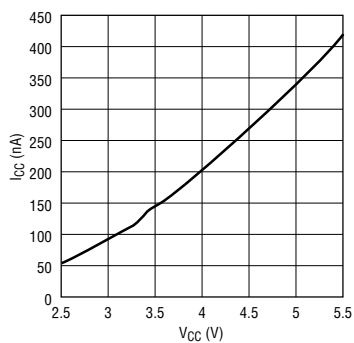
失调误差与 VCC 的关系曲线



增益误差与 VCC 的关系曲线



停机 ICC 与 VCC 的关系曲线

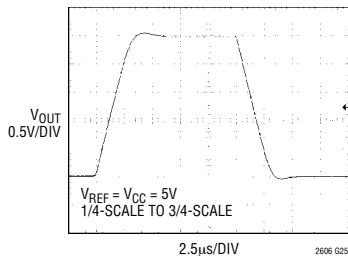


LTC2606/LTC2016/LTC2626

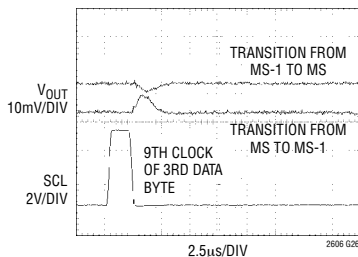
典型性能特征

LTC2606 / LTC2616 / LTC2626

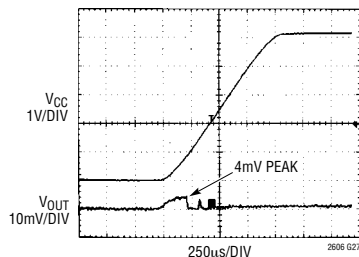
大信号响应



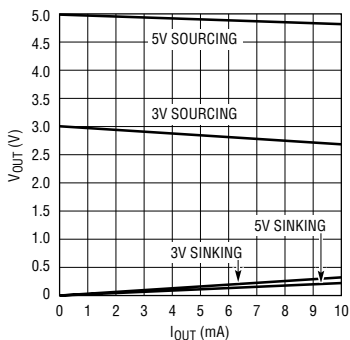
中间标度干扰脉冲



上电复位干扰

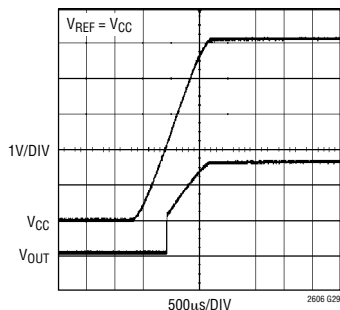


电源轨上的储备空间与输出电流的关系曲线



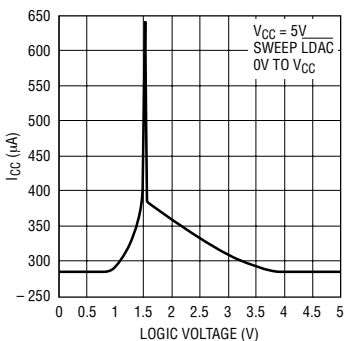
2606 G28

上电复位至中间标度



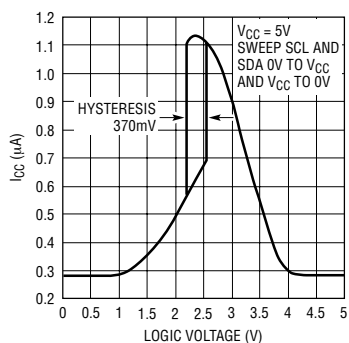
2606 G29

电源电流与逻辑电压的关系曲线



2606 G30

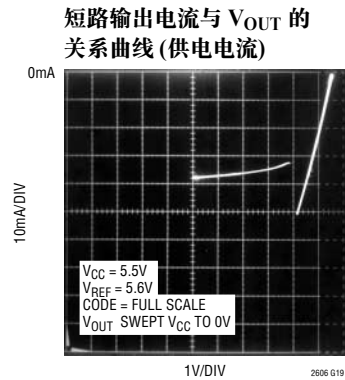
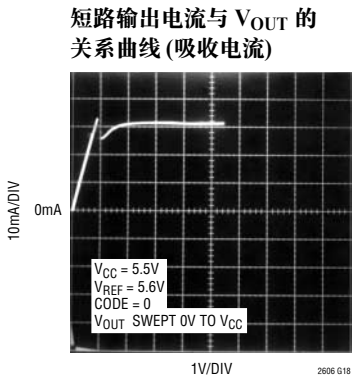
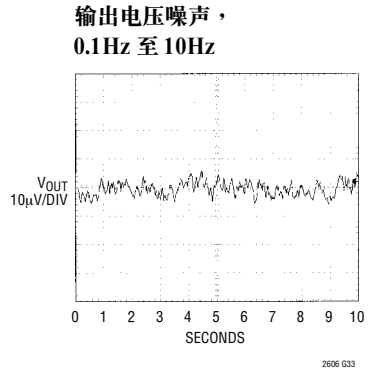
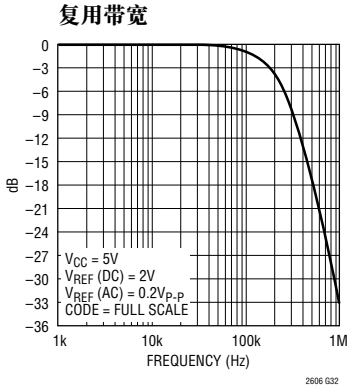
电源电流与逻辑电压的关系曲线



2606 G31

典型性能特征

LTC2606 / LTC2616 / LTC2626



引脚功能

CA2 (引脚 1) : 芯片地址位 2。将该引脚连接至 V_{CC} 、GND 或浮置，以选择一个用于该器件的 I²C 从属地址 (表 1)。

SDA (引脚 2) : 串行数据双向引脚。数据被转移至 SDA 引脚中，并由 SDA 引脚进行确认。当数据被移入时，该引脚为高阻抗。在确认期间，为漏极开路 N 沟道晶体管输出。SDA 需要一个与 V_{CC} 相连的上拉电阻或电流源。

SCL (引脚 3) : 串行时钟输入引脚。数据在时钟脉冲的上升沿被移至 SDA 引脚。该高阻抗引脚需要一个与 V_{CC} 相连的上拉电阻或电流源。

CA0 (引脚 4) : 芯片地址位 0。将该引脚连接至 V_{CC} 、GND 或浮置，以选择一个用于该器件的 I²C 从属地址 (表 1)。

CA1 (引脚 5) : 芯片地址位 1。将该引脚连接至 V_{CC} 、GND 或浮置，以选择一个用于该器件的 I²C 从属地址 (表 1)。

REF (引脚 6) : 基准电压输入。 $0V \leq V_{REF} \leq V_{CC}$ 。

V_{OUT} (引脚 7) : DAC 模拟电压输出。输出范围为 0V 至 V_{REF} 。

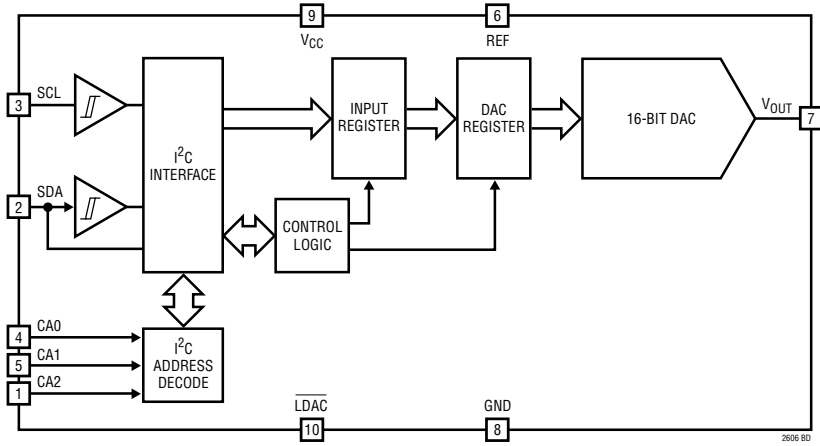
GND (引脚 8) : 模拟地。

V_{CC} (引脚 9) : 电源电压输入。 $2.7V \leq V_{CC} \leq 5.5V$ 。

\overline{LDAC} (引脚 10) : 异步 DAC 更新引脚。在 4 个字节被写入器件之后，该输入的一个下降沿将立即使用输入寄存器的内容对 DAC 寄存器进行更新。在未完成至器件的 32 位 (4 个字节，包括从属地址) 数据写转移的情况下，该输入的低电平将不会对 DAC 输出进行更新。当 \overline{LDAC} 引脚为低电平时，软件停机功能被停用。

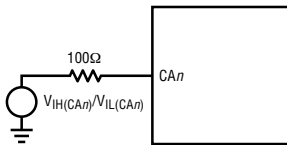
裸露衬垫 (引脚 11) : 地。必须焊接至 PCB 的地。

方框图

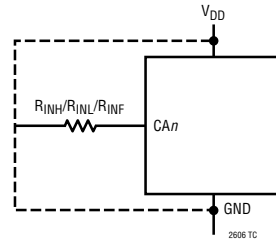


测试电路

测试电路 1



测试电路 2



时序图

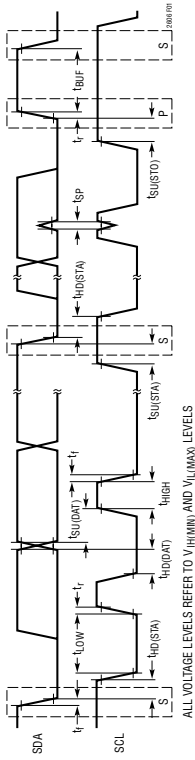


图 1

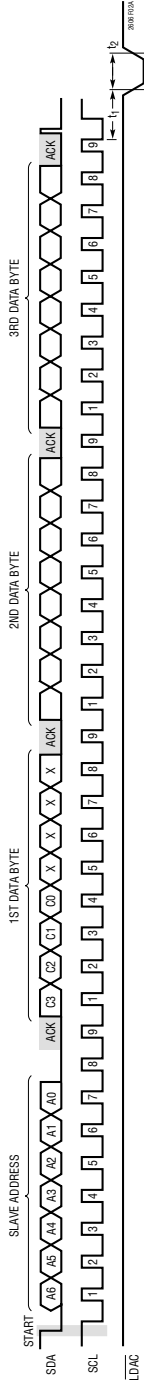


图 2a

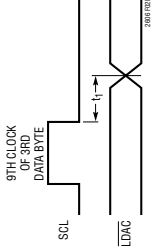


图 2b

工作原理

上电复位

当首次上电时，LTC2606/LTC2616/LTC2626 将输出电压置于零标度，从而使得系统的初始化具有一致性和可重复性。LTC2606-1/LTC2616-1/LTC2626-1 将在首次加电时把电压输出设定在中间标度。

对于某些应用，在 DAC 上电期间，下游电路处于工作状态，并有可能容易受到 DAC 的非零输出的影响。LTC2606/LTC2616/LTC2626 包含用于减轻上电干扰的电路；而且，可通过降低电源电压的上升速率从而使干扰脉冲的幅度任意小。例如，如果电源电压在 1ms 的时间里上升至 5V，则在上电期间，模拟输出电压在地电位以上的上升幅度将小于 10mV (典型值)。请参阅“典型性能特征”部分中的“上电复位干扰”曲线。

电源排序

REF (引脚 6) 上的电压应保持在 $-0.3V \leq V_{REF} \leq V_{CC} + 0.3V$ 的范围内 (见“绝对最大额定值”部分)。当 V_{CC} (引脚 9) 的电压处于转换状态时，在电源接通和关断时序中应特别注意遵守这些限值。

转换函数

数字-模拟转换函数为：

$$V_{OUT(IDEAL)} = \left(\frac{k}{2^N} \right) V_{REF}$$

式中的 k 为二进制 DAC 输入代码的十进制等效值，N 为分辨率， V_{REF} 是 REF (引脚 6) 上的电压。

串行数字接口

LTC2606/LTC2616/LTC2626 采用标准的双线式 I²C 接口来与一个主机进行通信。时序图 (图 1 和 2) 示出了总线上的信号的定时关系。当总线处于未用状态时，两条总线线路 SDA 和 SCL 必须为高电平。在这些总线线路上需要布设外部上拉电阻或电流感。这些上拉电阻器的阻值取决于电源，并从 I²C

规格获得。对于工作于快速模式的 I²C 总线，如果总线电容大于 200pF，则将需要一个有源上拉。

LTC2606/LTC2616/LTC2626 是只收 (从属) 器件。主控器可对 LTC2606/LTC2616/LTC2626 进行写入操作。对于来自主控器的读取命令，LTC2606/LTC2616/LTC2626 将不做出响应。

起动 (START) 和停止 (STOP) 条件

当总线处于空闲状态时，SCL 和 SDA 必须均为高电平。一个总线主控器通过传输一个 START 信号来通告与受控器通信的开始。START 信号是通过在 SCL 为高电平的情况下将 SDA 从高电平变换至低电平来生成的。

当主控器完成了与受控器的通信时，它发出一个 STOP 信号。STOP 信号是通过在 SCL 为高电平的情况下将 SDA 从低电平变换至高电平来生成的。总线随后处于空闲状态，以便与另一个 I²C 设备进行通信。

确认

确认信号用于主控器与受控器之间的信号交换。由受控器生成的一个确认信号 (低态有效) 使主控制器了解到最新的信息字节已被接收。与确认相关的时钟脉冲由主控器生成。主控器在确认时钟脉冲期间释放 SDA 总线线路 (高电平)。受控器-接收器必须在确认时钟脉冲期间拉低 SDA 总线线路电平，这样它就能够在该时钟脉冲的高电平期间维持低态稳定。LTC2606/LTC2616/LTC2626 以这种方式来对主控器的写操作命令做出响应。LTC2606/LTC2616/LTC2626 不确认读操作命令 (在确认时钟脉冲期间把 SDA 保持于高电平)。

芯片地址

CA0、CA1 和 CA2 的状态决定了器件的从属地址。引脚 CA0、CA1 和 CA2 均可设定为以下三种状态中的任何一种，即： V_{CC} 、GND 或浮置。这使得器件具有 27 个可选地址。从属地址配置列于表 1。

工作原理

表 1：从属地址映射

CA2	CA1	CA0	A6	A5	A4	A3	A2	A1	A0
GND	GND	GND	0	0	1	0	0	0	0
GND	GND	浮置	0	0	1	0	0	0	1
GND	GND	V _{CC}	0	0	1	0	0	1	0
GND	浮置	GND	0	0	1	0	0	1	1
GND	浮置	浮置	0	1	0	0	0	0	0
GND	浮置	V _{CC}	0	1	0	0	0	0	1
GND	V _{CC}	GND	0	1	0	0	0	1	0
GND	V _{CC}	浮置	0	1	0	0	0	1	1
GND	V _{CC}	V _{CC}	0	1	1	0	0	0	0
浮置	GND	GND	0	1	1	0	0	0	1
浮置	GND	浮置	0	1	1	0	0	1	0
浮置	GND	V _{CC}	0	1	1	0	0	1	1
浮置	浮置	GND	1	0	0	0	0	0	0
浮置	浮置	浮置	1	0	0	0	0	0	1
浮置	浮置	V _{CC}	1	0	0	0	0	1	0
浮置	V _{CC}	GND	1	0	0	0	0	1	1
浮置	V _{CC}	浮置	1	0	1	0	0	0	0
浮置	V _{CC}	V _{CC}	1	0	1	0	0	0	1
V _{CC}	GND	GND	1	0	1	0	0	1	0
V _{CC}	GND	浮置	1	0	1	0	0	1	1
V _{CC}	GND	V _{CC}	1	1	0	0	0	0	0
V _{CC}	浮置	GND	1	1	0	0	0	0	1
V _{CC}	浮置	浮置	1	1	0	0	0	1	0
V _{CC}	浮置	V _{CC}	1	1	0	0	0	1	1
V _{CC}	V _{CC}	GND	1	1	1	0	0	0	0
V _{CC}	V _{CC}	浮置	1	1	1	0	0	0	1
V _{CC}	V _{CC}	V _{CC}	1	1	1	0	0	1	0
全局地址			1	1	1	0	0	1	1

除了由地址引脚选择的地址以外，这些器件还对一个全局地址做出响应。该地址使得能够利用 I²C 总线上的一个三字节的写事件处理来完成对所有 LTC2606、LTC2616 和 LTC2626 器件的一个公用写操作。该全局地址是一个 7 位片内硬连线地址，而且不能由 CA0、CA1 和 CA2 引脚来选择。

与 CA0、CA1 和 CA2 的状态相对应的地址和全局地址列于表 1。地址引脚 (CA0、CA1 和 CA2) 上所容许的最大容性负载为 10pF，因为这些引脚是在地址检测期间驱动的 (用于确定它们是否被浮置)。

写字协议

主控器利用一个 START 信号和跟随在写入位 (W) = 0 后面的 7 位从属地址来启动与 LTC2606/LTC2616/LTC2626 的通信。如果该 7 位从属地址与器件的地址 (由 CA0、CA1 和 CA2 来设定) 或全局地址相匹配，则 LTC2606/LTC2616/LTC2626 将通过第 9 个时钟脉冲把 SDA 引脚拉至低电平来确认。主控器随后传输三个数据字节。LTC2606/LTC2616/LTC2626 通过在每个数据字节传输的第 9 个时钟脉冲把 SDA 总线线路位至低电平来确认每个数据字节。在接收到了 3 个完整的数据字节之后，LTC2606/LTC2616/LTC2626 将执行 24 位输入字中所规定的命令。

如果在一个有效 7 位从属地址之后传输的数据字节超过 3 个，则 LTC2606/LTC2616/LTC2626 将不确认多余的数据字节 (SDA 在第 9 个时钟脉冲期间为高电平)。

三个数据字节的格式示于图 3。输入字的首个字节由 4 位命令和 4 个无关位组成。接下去的两个字节由 16 位数据字组成。该 16 位数据字由后随 0、2 或 4 个无关位 (分别对应 LTC2606、LTC2616 和 LTC2626) 的 16、14 或 12 位输入代码 (按照从 MSB 至 LSB 的顺序) 组成。图 4 示出了一个典型的 LTC2606 写事件处理。

命令配置 (C3 ~ C0) 列于表 2。该表中的首 4 个命令由读取和更新操作组成。一个写操作把一个 16 个数据字从 32 位移位寄存器装入输入寄存器。在一个更新操作中，数据字被从输入寄存器拷贝至 DAC 寄存器，并在 DAC 输出端被转换成一个模拟电压。如果该 DAC 此前一直处于断电模式，则更新操作还将对其加电。数据通路和寄存器示于“方框图”。

断电模式

对于功率受限型应用，当需要 DAC 输出时，可以采用断电模式来减小电源电流。当处于断电模式时，缓冲放大器、偏置电路和基准输入被停用，此时的吸收电流基本为零。DAC 输出被置于一个高阻

工作原理

用于 LTC2606/LTC2616/LTC2626 的写字协议

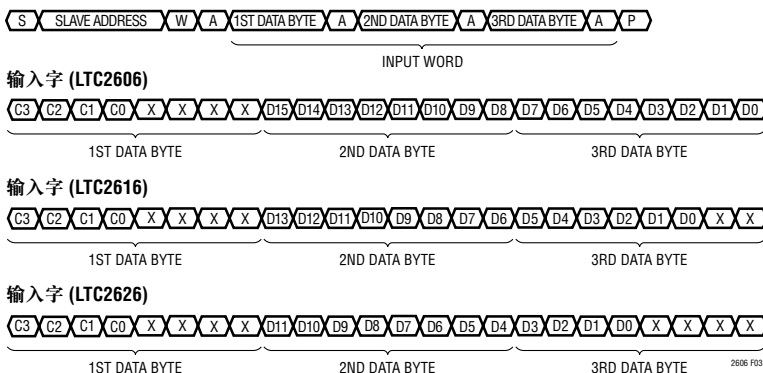


图 3

表 2

命令*				
C3	C2	C1	C0	
0	0	0	0	写至输入寄存器
0	0	0	1	更新(上电) DAC 寄存器
0	0	1	1	写至并更新(上电) 寄存器
0	1	0	0	断电
1	1	1	1	无操作

* 未示出的命令代码是保留的，不得使用。

抗状态，而且，输出引脚通过 90k 电阻被无源拉至地电位。在断电期间，输入寄存器和 DAC 寄存器的内容不受干扰。

可通过采用 0100_b 命令来把 DAC 通道置于断电模式。16 位数据字被忽略。当 DAC 断电时，电源电流和基准电流减小至几乎为零；REF 的有效电阻变成一个高阻抗输入(通常大于 1GΩ)。

可通过执行任何包括一个 DAC 更新的命令(如表 2 所示) 或一个异步更新($\overline{\text{LDAC}}$ ，如下一节所述) 来恢复正常操作。DAC 将随其电压输出的更新而被加电。当处于断电状态的 DAC 被加电和更新时，正常稳定将被延迟。除了 DAC 放大器和基准输入之外，主偏置发生电路单元也已经被自动关闭，于是，上电延迟时间为 12μs(当 $V_{CC} = 5V$ 时) 或 30μs(当 $V_{CC} = 3V$ 时)。

采用 $\overline{\text{LDAC}}$ 的异步 DAC 更新

除了表 2 所示的更新命令以外， $\overline{\text{LDAC}}$ 引脚还可以利用输入寄存器的内容来对 DAC 寄存器进行异步更新。当按时间顺序把输入字记录到器件之后，异步更新被停用。

如果一个完整的数据字已被写至器件，则 $\overline{\text{LDAC}}$ 引脚的一个低电平将导致 DAC 寄存器被输入寄存器的内容更新。

如果输入字正在被写至器件，则在三个数据字节完成之前， $\overline{\text{LDAC}}$ 引脚上的一个走低脉冲将给 DAC 加电，但不会导致输出被更新。如果 $\overline{\text{LDAC}}$ 引脚在一个完整的输入字被写至器件之后仍然处于低电平，则 $\overline{\text{LDAC}}$ 被识别，刚刚被转移的 24 位字中的规定命令将被执行，而且 DAC 输出将被更新。

当 $\overline{\text{LDAC}}$ 取低电平时，DAC 被加电，这与 I²C 总线上的任何动作无关。

如果 $\overline{\text{LDAC}}$ 在第 3 个数据字节的第 9 个时钟脉冲的下降沿上处于低电平，则它将禁止执行任何于输入字之中规定的软件断电命令。

工作原理

电压输出

在 5V 电压条件下进行高达 15mA (在 3V 电压条件下的电流为 7.5mA) 的电流供电或电流吸收时, 这些器件中所包含的轨至轨放大器具有可靠的负载调节性能。

负载调节是衡量放大器在一个宽范围的负载条件下保持额定电压准确度能力的尺度。测得的对应每毫安强制负载电流变化的输出电压变化以 LSB/mA 为单位来表示。

DC 输出阻抗等效于负载调节, 并可简单地通过把变化量的单位由 LSB/mA 换算为 Ω 来推导。当驱动一个远离电源轨的负载时, 放大器的 DC 输出阻抗为 0.050Ω 。

当从任一电源轨吸收负载电流时, 相对于该电源轨的输出电压储备空间将受到输出器件的 25Ω 典型通道电阻的限制; 例如, 当吸收 1mA 电流时, 最小输出电压 = $25\Omega \cdot 1\text{mA} = 25\text{mV}$ 。请参见“典型性能特征”部分中的“电源轨上的储备空间与输出电流的关系曲线”图。

放大器可在驱动高达 1000pF 的容性负载的条件下保持其稳定性。

电路板布局

在内部将“信号地”与“电源地”分开, 并减小内部共用电阻, 就能够部分实现这些器件所具有的卓越的负载调节性能。

GND 引脚具有两项功能, 它既是基准和输出电压的参考节点, 同时也是器件中电源电流的一条返回路径。因此, 应精心设计接地方案和电路板布局, 以确保额定性能。

电路的数字部分和模拟部分在 PC 板上应该是分开的。这样做能够使数字信号远离敏感的模拟信号, 且便于使用分离的数字和模拟接地平面, 此时它们彼此间的容性和阻性干扰最小。

数字和模拟接地平面应只在一点相连, 从而形成一个尽可能接近器件接地引脚的系统星形地。理想的做法是将模拟接地平面布设于电路板的元件面上, 并应允许它在器件的下方运行, 以实现噪声屏蔽。模拟接地平面应是连续且不间断的 (必要的引脚焊盘和通孔除外), 并将信号走线置于另一层上。

器件的 GND 引脚应与模拟地相连。从 GND 引脚至系统星形地的电阻应尽可能小。这里的电阻将直接加至器件的有效 DC 输出阻抗 (典型值为 0.050Ω)。请注意, LTC2606/LTC2616/LTC2626 对这些影响的敏感程度并不比同类型的其他器件高; 相反, 它们能够通过精心的电路板布局来实现器件性能的改善, 而不是采用过大的内部电阻来使可达到的器件性能受到限制。

轨至轨输出的考虑

在任何的轨至轨电压输出器件中, 输出都被限制在电源电压范围内的电压值上。

如图 5b 所示, 由于器件的模拟输出不可能降至地电位以下, 因此, 它们有可能为最低位代码所限制。同样地, 当 REF 引脚被连接至 V_{CC} 时, 会在全标度附近发生输出受限。如图 5c 所示, 如果 $V_{REF} = V_{CC}$ 且 DAC 全标度误差 (FSE) 为正值, 则相对于最高位代码的输出被限制在 V_{CC} 。如果 V_{REF} 低于 $V_{CC} - \text{FSE}$, 则不会发生全标度输出受限。

偏移和线性度是在 DAC 转换函数的范围内进行定义和测试的, 这样不会发生输出受限的情况。

工作原理

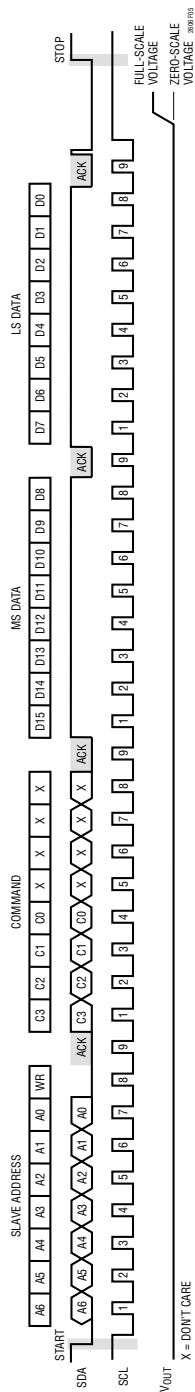


图 4：典型的 LTC2606 输入波形 —— 设置针对全标度的 DAC 输出

工作原理

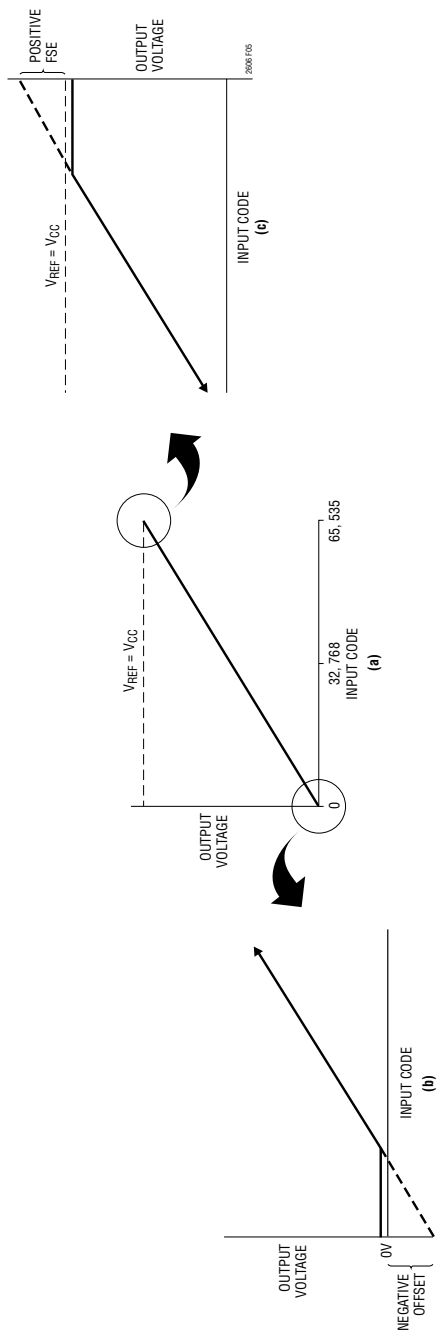
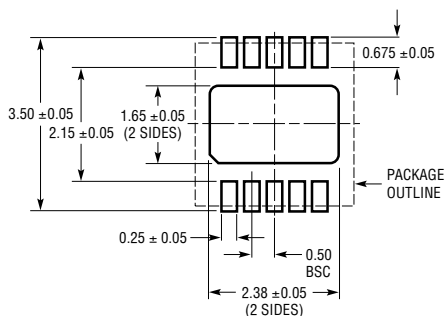


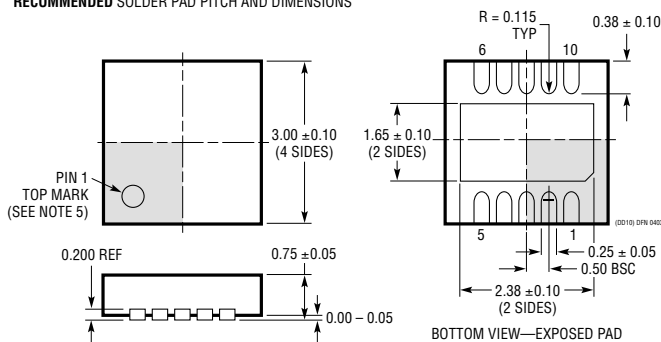
图 5：轨至轨操作对一个 DAC 转换函数曲线的影响。(a) 总转换函数 (b) 负偏移的影响 (对于靠近零标度的代码) (c) 正全标度误差的影响 (对于靠近全标度的代码)

封装描述

DD 描述 10 引脚塑料 DFN (3mm × 3mm) (参考 LTC DWG # 05-08-1699)



RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS



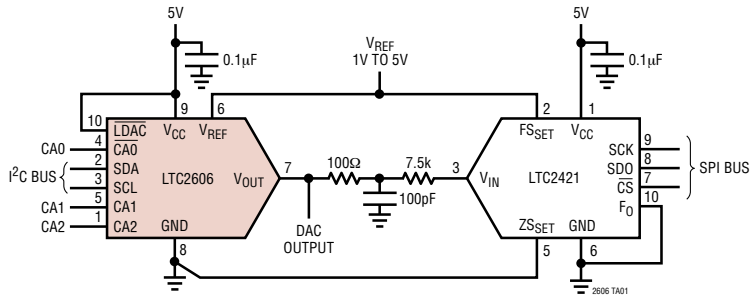
NOTE:

1. DRAWING TO BE MADE A JEDEC PACKAGE OUTLINE M0-229 VARIATION OF (WEED-2). CHECK THE LTC WEBSITE DATA SHEET FOR CURRENT STATUS OF VARIATION ASSIGNMENT
2. ALL DIMENSIONS ARE IN MILLIMETERS
3. DIMENSIONS OF EXPOSED PAD ON BOTTOM OF PACKAGE DO NOT INCLUDE MOLD FLASH. MOLD FLASH, IF PRESENT, SHALL NOT EXCEED 0.15mm ON ANY SIDE
4. EXPOSED PAD SHALL BE SOLDER PLATED
5. SHADED AREA IS ONLY A REFERENCE FOR PIN 1 LOCATION ON THE TOP AND BOTTOM OF PACKAGE

LTC2606/LTC2016/LTC2626

典型应用

演示电路示意图。板载 20 位 ADC 用于测量关键的性能参数



相关器件

器件型号	描述	备注
LTC1458/LTC1458L	具附加功能的四通道 12 位轨至轨输出 DAC	LTC1458: $V_{CC} = 4.5V$ 至 $5.5V$, $V_{OUT} = 0V$ 至 $4.096V$ LTC1458L: $V_{CC} = 2.7V$ 至 $5.5V$, $V_{OUT} = 0V$ 至 $2.5V$
LTC1654	双通道 14 位轨至轨 V_{OUT} DAC	可编程速度/功率, $3.5\mu s/750\mu A$, $8\mu s/450\mu A$
LTC1655/LTC1655L	SO-8 封装并具串行接口的单通道 16 位 V_{OUT} DAC	$V_{CC} = 5V$ (3V), 低功率, 去干扰处理
LTC1657/LTC1657L	并行 5V/3V 16 位 V_{OUT} DAC	低功率, 去干扰, 轨至轨 V_{OUT}
LTC1660/LTC1665	16 引脚窄体 SSOP 封装的 8 通道 10/8 位 V_{OUT} DAC	$V_{CC} = 2.7V$ 至 $5.5V$, 微功率, 轨至轨输出
LTC1821	并行 16 位电压输出 DAC	对于 10V 阶跃, 可在 $2\mu s$ 的时间里实现精准的 16 位稳定
LTC2600/LTC2610 LTC2620	16 引脚 SSOP 封装的 8 通道 16/14/12 位 V_{OUT} DAC	每个 DAC 的消耗电流为 $250\mu A$, $2.5V$ 至 $5.5V$ 电源电压范围, 轨至轨输出, SPI 串行接口
LTC2601/LTC2611 LTC2621	10 引脚 DFN 封装的单通道 16/14/12 位 V_{OUT} DAC	每个 DAC 的消耗电流为 $250\mu A$, $2.5V$ 至 $5.5V$ 电源电压范围, 轨至轨输出, SPI 串行接口
LTC2602/LTC2612 LTC2622	8 引脚 MSOP 封装的双通道 16/14/12 位 V_{OUT} DAC	每个 DAC 的消耗电流为 $300\mu A$, $2.5V$ 至 $5.5V$ 电源电压范围, 轨至轨输出, SPI 串行接口
LTC2604/LTC2614 LTC2624	16 引脚 MSOP 封装的四通道 16/14/12 位 V_{OUT} DAC	每个 DAC 的消耗电流为 $250\mu A$, $2.5V$ 至 $5.5V$ 电源电压范围, 轨至轨输出, SPI 串行接口