

具停机功能的 串行、12位/14位、 3Msps 同时采样 ADC

特点

- 具有两个同时采样差分输入的 3Msps ADC
- 每个通道的吞吐速率为 1.5Msps
- 低功耗：14mW (典型值)
- 3V 单电源操作
- 采用外部过驱动的 2.5V 内部带隙基准
- 三线式串行接口
- 睡眠 (10 μ W) 停机模式
- 打盹 (3mW) 停机模式
- 80dB 共模抑制 (在 100kHz 时)
- 0V 至 2.5V 单极输入范围
- 纤巧型 10 引脚 MS 封装

应用

- 电信
- 数据采集系统
- 不间断电源
- 多相电动机控制
- I 和 Q 解调
- 工业控制

描述


LTC[®]1407/LTC1407A 是具有两个 1.5Msps 同时采样差分输入的 12 位/14 位、3Msps ADC。这两款器件仅从单 3V 电源吸收 4.7mA 电流，并采用纤巧型 10 引脚 MS 封装。睡眠停机功能把功耗降至 10 μ W。速度、低功率和纤巧型封装的完美结合使 LTC1407/LTC1407A 成为高速、便携式应用的合适之选。

LTC1407/LTC1407A 具有两个单独的差分输入，它们在 CONV 信号的升沿同时进行采样。两个输入采样后再以每通道 1.5Msps 的速率进行转换。

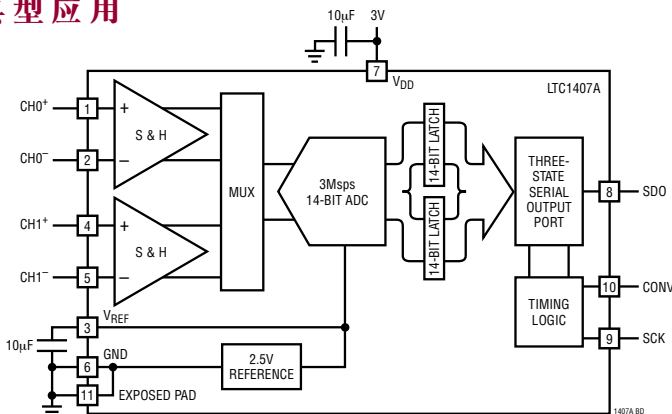
80dB 的共模抑制允许用户通过对信号源进行差分测量来消除接地环路和共模噪声。

这些器件可对 0V 至 2.5V 的单极输入进行差分转换。CH0⁺、CH0⁻、CH1⁺ 和 CH1⁻ 的绝对电压摆幅从地扩展至电源电压。

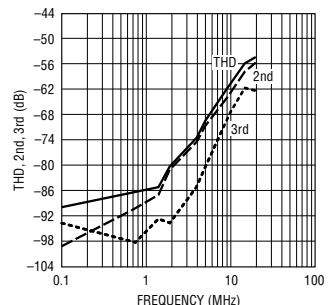
串行接口利用 32 个时钟周期来发送两个转换结果，以实现与标准串行接口的兼容性。

 LT、LTC 和 LTM 是凌力尔特公司的注册商标。所有其他商标均为其各自拥有者的产权。受包括第 6084440、6522187 号美国专利的保护。

典型应用



二阶、三阶 THD 与
输入频率的关系曲线



LTC1407/LTC1407A

绝对最大额定值 (注1、2)

电源电压 (V_{DD})	4V
模拟输入电压	
(注3)	-0.3V 至 ($V_{DD} + 0.3V$)
数字输入电压	-0.3V 至 ($V_{DD} + 0.3V$)
数字输出电压	-0.3V 至 ($V_{DD} + 0.3V$)
功耗	100mW
工作温度范围	
LTC1407C/LTC1407AC	0°C 至 70°C
LTC1407I/LTC1407AI	-40°C 至 85°C
贮存温度范围	-65°C 至 150°C
引脚温度 (焊接时间 10 秒)	300°C

封装/订购信息

<p>MSE PACKAGE 10-LEAD PLASTIC MSOP $T_{JMAX} = 125^{\circ}C$, $\theta_{JA} = 150^{\circ}C/W$ EXPOSED PAD IS GND (PIN 11) MUST BE SOLDERED TO PCB</p>	
产品型号	MSE 器件标记
LTC1407CMSE	LTBDQ
LTC1407IMSE	LTBDR
LTC1407ACMSE	LTAFE
LTC1407AIMSE	LTAFF
订购选项 卷带: 加 #TR 无铅型: 加 #PBF 无铅型卷带: 加 #TRPBF 无铅型器件标记: http://www.linear.com/leadfree/	

对于规定工作温度范围更宽的器件, 请咨询凌力尔特公司。

电特性 凡标注 ● 表示该指标适合整个工作温度范围, 否则仅指 $T_A = 25^{\circ}C$ 。采用内部基准, $V_{DD} = 3V$ 。

参数	条件	LTC1407			LTC1407A			单位	
		最小值	典型值	最大值	最小值	典型值	最大值		
分辨率 (无漏失码)		●	12		14			位	
积分线性误差	(注 5、17)	●	-2	± 0.25	2	-4	± 0.5	4	LSB
失调误差	(注 4、17)	●	-10	± 1	10	-20	± 2	20	LSB
从 CH0 至 CH1 的失调匹配	(注 17)		-5	± 0.5	5	-10	± 1	10	LSB
增益误差	(注 4、17)	●	-30	± 5	30	-60	± 10	60	LSB
从 CH0 至 CH1 的增益匹配	(注 17)		-5	± 1	5	-10	± 2	10	LSB
增益温度系数	内部基准 (注 4) 外部基准			± 15 ± 1		± 15 ± 1		ppm/ $^{\circ}C$ ppm/ $^{\circ}C$	

模拟输入 凡标注 ● 表示该指标适合整个工作温度范围, 否则仅指 $T_A = 25^{\circ}C$ 。采用内部基准, $V_{DD} = 3V$ 。

符号	参数	条件	最小值	典型值	最大值	单位	
V_{IN}	模拟差分输入范围 (注 3、9)	$2.7V \leq V_{DD} \leq 3.3V$		0 至 2.5		V	
V_{CM}	模拟共模 + 差分输入范围 (注 10)			0 至 V_{DD}		V	
I_{IN}	模拟输入漏电流				●	1	μA
C_{IN}	模拟输入电容			13		pF	
t_{ACQ}	采样及保持采集时间	(注 6)			●	39	ns
t_{AP}	采样及保持孔径延迟时间			1		ns	
t_{JITTER}	采样及保持孔径延迟时间抖动			0.3		ps	
t_{SK}	从 CH0 至 CH1 的采样及保持孔径时滞			200		ps	
CMRR	模拟输入共模抑制比	$f_{IN} = 1MHz, V_{IN} = 0V$ 至 3V $f_{IN} = 100MHz, V_{IN} = 0V$ 至 3V		-60		dB	
				-15		dB	

1407fa

电特性

凡标注 ● 表示该指标适合整个工作温度范围，否则仅指 $T_A = 25^\circ\text{C}$ 。采用内部基准。 $V_{DD} = 3\text{V}$ 。

符号	参数	条件	LTC1407			LTC1407A			单位
			最小值	典型值	最大值	最小值	典型值	最大值	
SINAD	信号与噪声加失真之比	100kHz 输入信号	●	70.5		73.5		dB	
		750kHz 输入信号	●	68	70.5	70	73.5	dB	
		100kHz 输入信号，外部 $V_{REF} = 3.3\text{V}$ ， $V_{DD} \geq 3.3\text{V}$			72.0		76.3	dB	
		750kHz 输入信号，外部 $V_{REF} = 3.3\text{V}$ ， $V_{DD} \geq 3.3\text{V}$			72.0		76.3	dB	
THD	总谐波失真	100kHz 首五个谐波		87		-90		dB	
		750kHz 首五个谐波	●	83	-77	-86	-80	dB	
SFDR	无寄生动态范围	100kHz 输入信号		87		90		dB	
		750kHz 输入信号		83		86		dB	
IMD	交调失真	1.25V 至 2.5V 1.40MHz 信号输入 CH^+ ，0V 至 1.25V，1.56MHz 信号输入 CH^- 。同样适应于 CH^+ 和 $\text{CH}1^+$		-82		-82		dB	
	代码至代码转换噪声	$V_{REF} = 2.5\text{V}$ (注 17)		0.25		1		LSB_{RMS}	
	满功率带宽	$V_{IN} = 2.5\text{V}_{\text{P-P}}$ ， $\text{SDO} = 11585\text{LSB}_{\text{P-P}}$ (-3dBFS) (注 15)		50		50		MHz	
	满线性带宽	$S/(N+D) \geq 68\text{dB}$		5		5		MHz	

内部基准特性

$T_A = 25^\circ\text{C}$ 。 $V_{DD} = 3\text{V}$ 。

参数	条件	最小值	典型值	最大值	单位
V_{REF} 输出电压	$I_{OUT} = 0$		2.5		V
V_{REF} 输出温度系数			15		$\text{ppm}/^\circ\text{C}$
V_{REF} 电压调节	$V_{DD} = 2.7\text{V}$ 至 3.6V ， $V_{REF} = 2.5\text{V}$		600		$\mu\text{V}/\text{V}$
V_{REF} 输出电阻	负载电流 = 0.5mA		0.2		Ω
V_{REF} 稳定时间			2		ms

数字输入和数字输出

凡标注 ● 表示该指标适合整个工作温度范围，否则仅指 $T_A = 25^\circ\text{C}$ 。 $V_{DD} = 3\text{V}$ 。

符号	参数	条件	最小值	典型值	最大值	单位
V_{IH}	高电平输入电压	$V_{DD} = 3.3\text{V}$	●	2.4		V
V_{IL}	低电平输入电压	$V_{DD} = 2.7\text{V}$	●		0.6	V
I_{IN}	数字输入电流	$V_{IN} = 0\text{V}$ 至 V_{DD}	●		± 10	μA
C_{IN}	数字输入电容			5		pF
V_{OH}	高电平输出电压	$V_{DD} = 3\text{V}$ ， $I_{OUT} = -200\mu\text{A}$	●	2.5	2.9	V
V_{OL}	低电平输出电压	$V_{DD} = 2.7\text{V}$ ， $I_{OUT} = 160\mu\text{A}$	●		0.05	V
		$V_{DD} = 2.7\text{V}$ ， $I_{OUT} = 1.6\text{mA}$	●		0.10	0.4
I_{OZ}	高阻抗输出漏电流 D_{OUT}	$V_{OUT} = 0\text{V}$ 至 V_{DD}	●		± 10	μA
C_{OZ}	高阻抗输出电容 D_{OUT}			1		pF
I_{SOURCE}	输出短路供电电流	$V_{OUT} = 0\text{V}$ ， $V_{DD} = 3\text{V}$		20		mA
I_{SINK}	输出短路吸收电流	$V_{OUT} = V_{DD} = 3\text{V}$		15		mA

LTC1407/LTC1407A

电源要求 凡标注 ● 表示该指标适合整个工作温度范围，否则仅指 $T_A = 25^\circ\text{C}$ 。采用内部基准， $V_{DD} = 3\text{V}$ 。

符号	参数	条件	最小值	典型值	最大值	单位
V_{DD}	电源电压		2.7		3.6	V
I_{DD}	电源电流	运行模式， $f_{\text{SAMPLE}} = 1.5\text{Msp}$ 打盹模式 睡眠模式 (LTC1407) 睡眠模式 (LTC1407A)	●	4.7	7.0	mA
			●	1.1	1.5	mA
				2.0	15	μA
				2.0	10	μA
PD	功耗	运行模式，SCK 处于固定状态 (高电平或低电平)		12		mW

定时特性 凡标注 ● 表示该指标适合整个工作温度范围，否则仅指 $T_A = 25^\circ\text{C}$ 。 $V_{DD} = 3\text{V}$ 。

符号	参数	条件	最小值	典型值	最大值	单位
$f_{\text{SAMPLE(MAX)}}$	每个通道的最大采样频率 (转换速率)		●	1.5		MHz
$t_{\text{THROUGHPUT}}$	最小采样频率 (转换 + 采集周期)		●		667	ns
t_{SCK}	时钟周期	(注 16)	●	19.6	10000	ns
t_{CONV}	转换时间	(注 6)		32	34	SCLK 周期
t_1	最小正或负 SCLK 脉冲宽度	(注 6)		2		ns
t_2	CONV 至 SCK 建立时间	(注 6, 10)		3	10000	ns
t_3	SCK 早于 CONV	(注 6)		0		ns
t_4	最小正或负 CONV 脉冲宽度	(注 6)		4		ns
t_5	SCK 至采样模式	(注 6)		4		ns
t_6	CONV 至保持模式	(注 6, 11)		1.2		ns
t_7	第 32 个 SCK \uparrow 至 CONV \uparrow 的间隔 (影响采集周期)	(注 6, 7, 13)		45		ns
t_8	从 SCK 至有效位 0 ~ 11 的最小延迟	(注 6, 12)		8		ns
t_9	SCK 至 SDO 上的高阻抗状态	(注 6, 12)		6		ns
t_{10}	前面的 SDO 位在 SCK 之后保持有效	(注 6, 12)		2		ns
t_{11}	睡眠至唤醒转换之后的 V_{REF} 稳定时间	(注 6, 14)		2		ms

注 1： 高于“绝对最大额定值”部分所列数值的应力有可能对器件造成永久性的损害。在任何绝对最大额定值条件下暴露的时间过长都有可能影响器件的可靠性和使用寿命。

注 2： 所有的电压值均以地 (GND) 为基准。

注 3： 当这些引脚的电压被拉至 GND 以下或 V_{DD} 以上时，将由内部二极管对它们进行箝位。该产品能够在低于 GND 或高于 V_{DD} 的电压条件下处理大于 100mA 的电流，而不会发生闭锁。

注 4： 偏移和范围规格适用于一个单端 CH0^+ 或 CH1^+ 输入 (CH0^- 或 CH1^- 接地，并采用内部 2.5V 基准)。

注 5： 积分线性是采用一个外部 2.55V 基准来测试的，并被定义为一个代码相对一根穿越转移函数曲线实际端点的直线的偏离程度。该偏离是以量化频带的中心为起点进行测量的。

注 6： 由设计提供保证，未经测试。

注 7： 推荐的工作条件。

注 8： 模拟输入范围是针对 CH0^+ 与 CH0^- 之间或 CH1^+ 与 CH1^- 之间的电压差来定义的。

注 9： CH0^+ 、 CH0^- 、 CH1^+ 和 CH1^- 引脚上的绝对电压必须位于该范围之内。

注 10： 如果提供的时间少于 3ns，则输出数据将在一个时钟周期之后出现。当以额定速度来运行时，CONV 最好在 SCK 之前的半个时钟周期上升。

注 11： 与孔径延迟不同。孔径延迟 (1ns) 指的是通过采样及保持电路的 2.2ns 延迟与 1.2ns 的 CONV 至 HOLD 模式延迟之差。

注 12： SCK 的上升沿保证能够捕获供应至一个锁存器中的数据。

注 13： 用于采集输入信号的时段由第 32 个上升时钟来起动，并由 CONV 的上升沿来终止。

注 14： 内部基准在其从睡眠模式唤醒后的 2ms 内实现稳定 (利用 SCK 上的一个或多个周期和一个 $10\mu\text{F}$ 容性负载)。

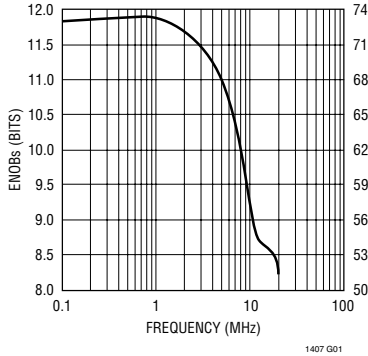
注 15： 满功率带宽是指输出代码摆幅下降了 3dB 时的频率 (当采用一个 2.5V_{P-P} 输入正弦波时)。

注 16： 最大时钟周期保证了转换操作期间的模拟性能。输出数据可利用一个任意长度的时钟周期来读取。

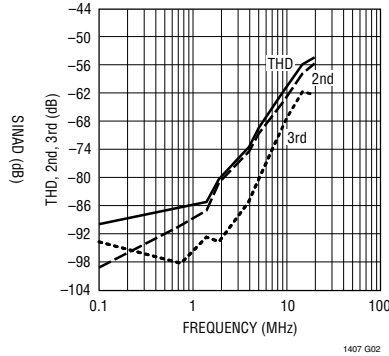
注 17： LTC1407A 是以 14 位分辨率 (1LSB = $152\mu\text{V}$) 来测量和拟订技术规格的，而 LTC1407 是以 12 位分辨率 (1LSB = $610\mu\text{V}$) 来测量和拟订技术规格的。

典型性能特征 $V_{DD} = 3V, T_A = 25^\circ C$ (LTC1407A)

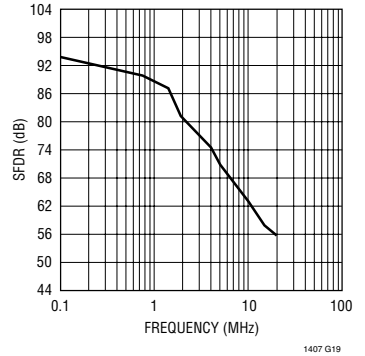
ENOB 和 SINAD 与输入正弦波频率的关系曲线



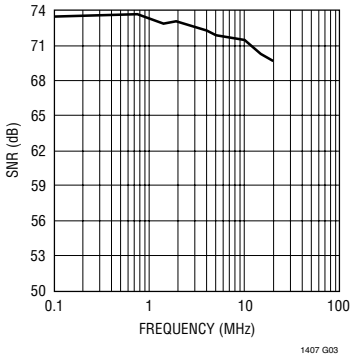
二阶和三阶 THD 与输入频率的关系曲线



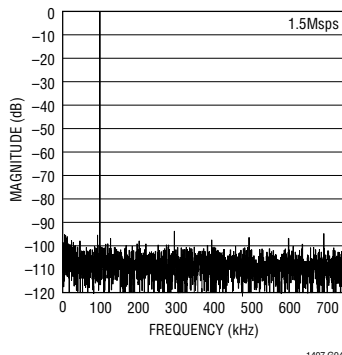
SFDR 与输入频率的关系曲线



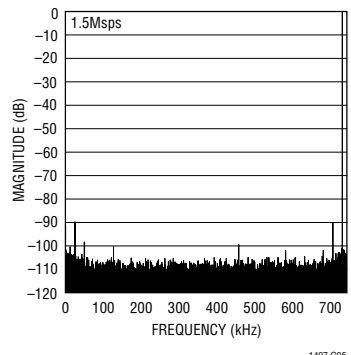
SNR 与输入频率的关系曲线



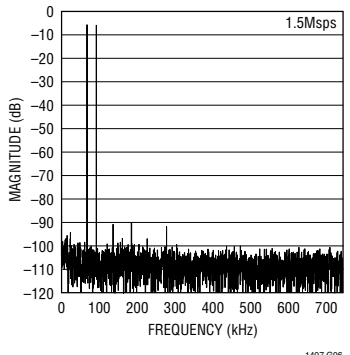
98kHz 正弦波 4096 点 FFT 曲线图



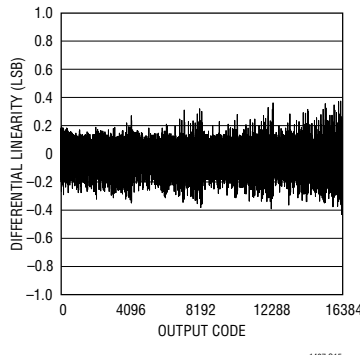
748kHz 正弦波 4096 点 FFT 曲线图



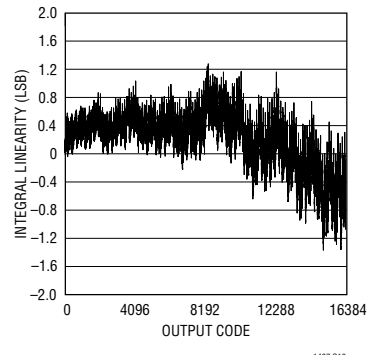
1403kHz 输入与 1563kHz 输入之和的 IMD 4096 点 FFT 曲线



CH0 的差分线性 (采用内部 2.5V 基准时)



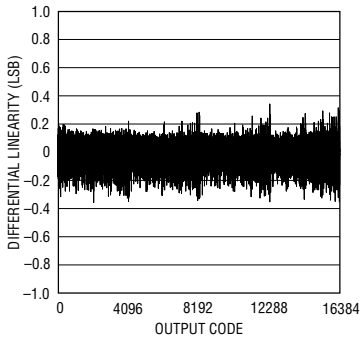
CH0 的积分线性端点拟合 (采用内部 2.5V 基准时)



LTC1407/LTC1407A

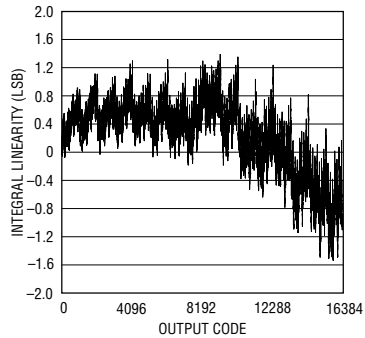
典型性能特征 $V_{DD} = 3V, T_A = 25^\circ C$ (LTC1407A)

CH1 的差分线性
(采用内部 2.5V 基准时)



1407 G17

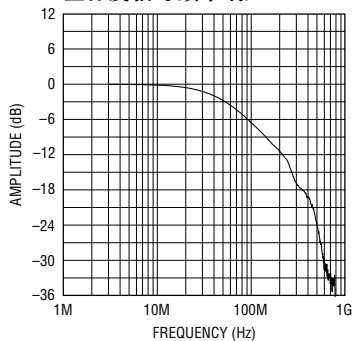
CH1 的积分线性端点拟合
(采用内部 2.5V 基准时)



1407 G18

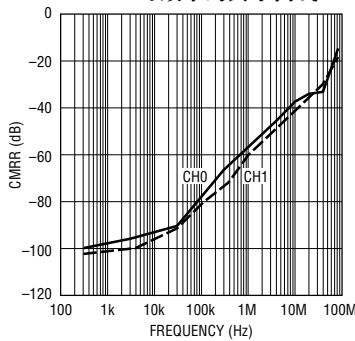
$V_{DD} = 3V, T_A = 25^\circ C$ (LTC1407/LTC1407A)

全标度信号频率响应



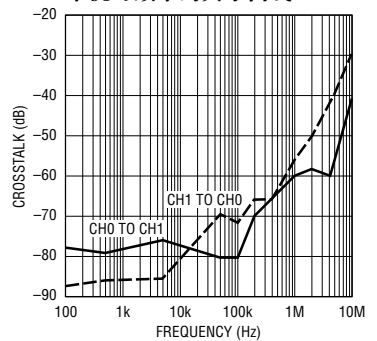
1407 G07

CMRR 与频率的关系曲线



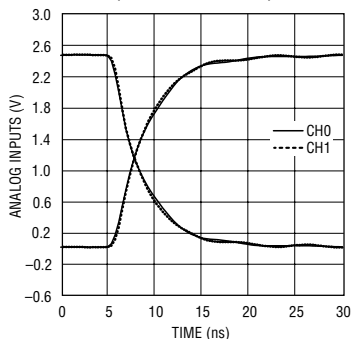
1407 G08

串扰与频率的关系曲线



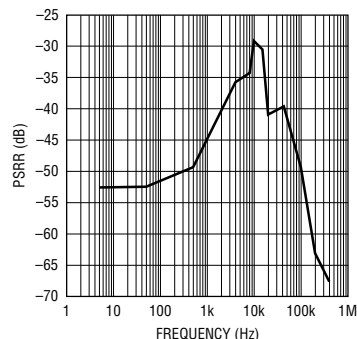
1407 G09

CH0 和 CH1 上的同时输入
阶跃 (从 25Ω 信号源)



1407 G10

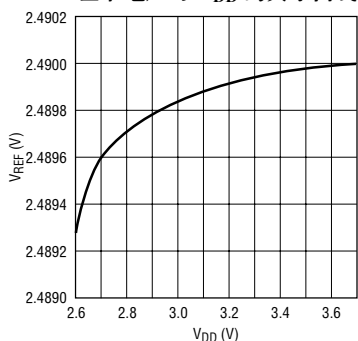
PSSR 与频率的关系曲线



1407 G11

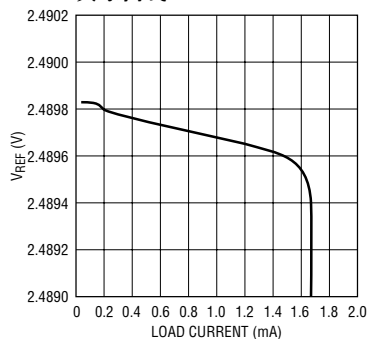
典型性能特征 $V_{DD} = 3V, T_A = 25^\circ C$ (LTC1407/LTC1407A)

基准电压与 V_{DD} 的关系曲线



1407 G12

基准电压与负载电流的关系曲线



1407 G13

引脚功能

CH0⁺ (引脚 1): 同相通道 0。CH0⁺ 相对于 CH0⁻ 进行全差分操作, 并具有一个 0V 至 2.5V 的差分摆幅和一个 0V 至 V_{DD} 的绝对输入范围。

CCH0⁻ (引脚 2): 反相通道 0。CH0⁻ 相对于 CH0⁺ 进行全差分操作, 并具有一个 -2.5V 至 0V 的差分摆幅和一个 0V 至 V_{DD} 的绝对输入范围。

V_{REF} (引脚 3): 2.5V 内部基准。通过一个 10 μ F 陶瓷电容器 (或与 0.1 μ F 陶瓷电容器并联的 10 μ F 钽电容器) 将该引脚旁路至 GND 和一个连续的模拟接地平面。可由一个 $\geq 2.55V$ 且 $\leq V_{DD}$ 的外部基准电压对该引脚进行过驱动。

CH1⁺ (引脚 4): 同相通道 1。CH1⁺ 相对于 CH1⁻ 进行全差分操作, 并具有一个 0V 至 2.5V 的差分摆幅和一个 0V 至 V_{DD} 的绝对输入范围。

CH1⁻ (引脚 5): 反相通道 1。CH1⁻ 相对于 CH1⁺ 进行全差分操作, 并具有一个 -2.5V 至 0V 的差分摆幅和一个 0V 至 V_{DD} 的绝对输入范围。

GND (引脚 6、11): 地和裸露衬垫。该单接地引脚和裸露衬垫必须直接连接至位于器件下方的整体接地

平面。需牢记: 模拟信号电流和数字输出信号电流流过这些接线。

V_{DD} (引脚 7): 3V 正电源。该单电源引脚向整个芯片提供 3V 电压。通过一个与 0.1 μ F 陶瓷电容器相并联的 10 μ F 陶瓷电容器 (或 10 μ F 钽电容器) 将该引脚旁路至 GND 引脚和整体模拟接地平面。请牢记: 内部模拟电流和数字输出信号电流将流过该引脚。应谨慎地把 0.1 μ F 旁路电容器布设于尽可能靠近引脚 6 和 7 的地方。

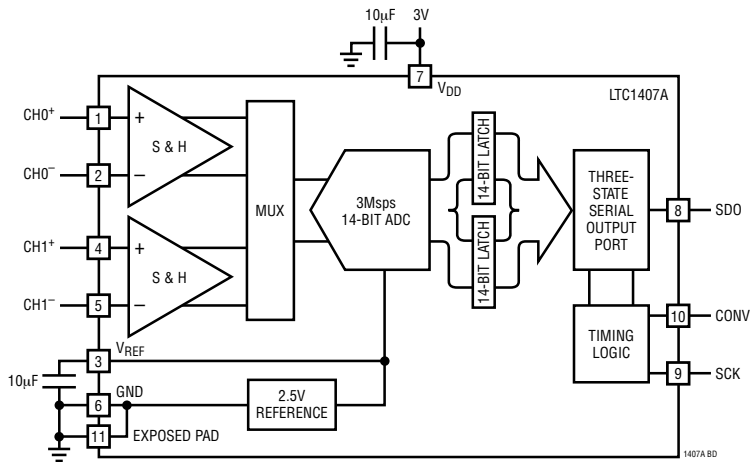
SDO (引脚 8): 三态串行数据输出。每对输出数据字代表前一个转换操作始端的 2 个模拟输入通道。

SCK (引脚 9): 外部时钟输入。推进转换操作过程并在上升沿对输出数据进行排序。一个或多个脉冲从睡眠模式中被唤醒。

CONV (引脚 10): 转换起动。保存 2 个模拟输入信号, 并在上升沿起动转换。SCK 处于固定高态或固定低态的 2 个脉冲将起动打盹模式。SCK 处于固定高态或固定低态的 4 个或更多的脉冲将起动睡眠模式。

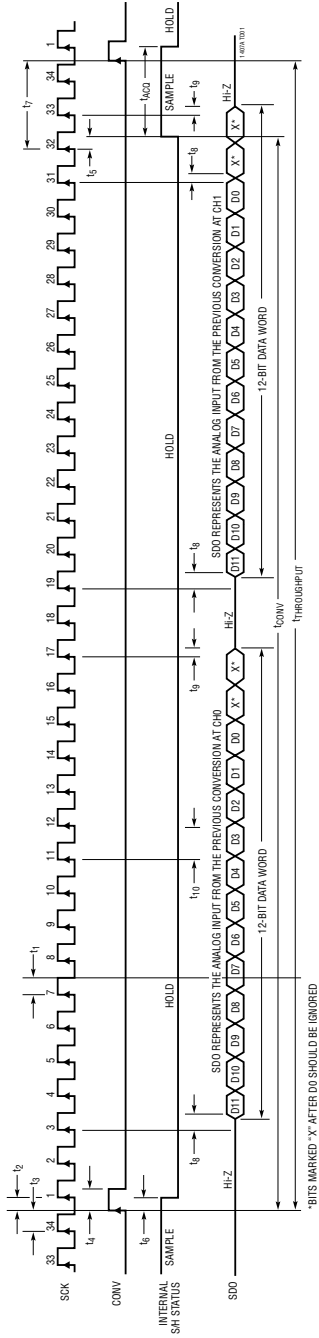
LTC1407/LTC1407A

方框图

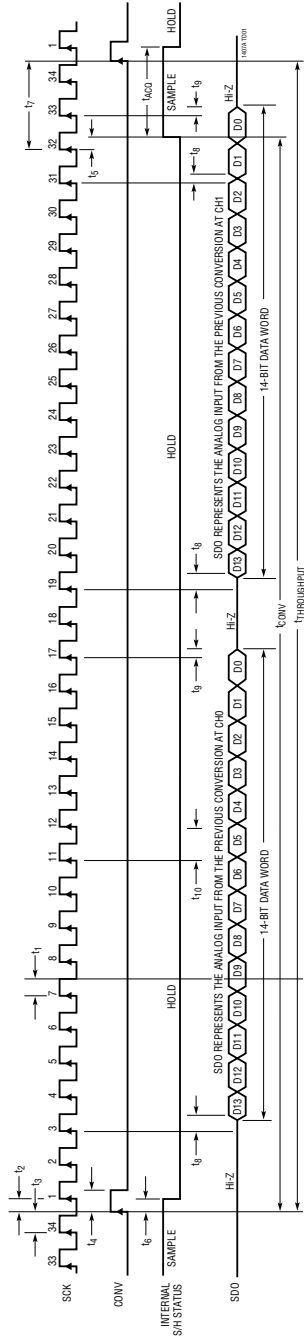


时序图

LTC1407 时序图

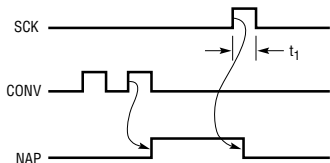


LTC1407A 时序图

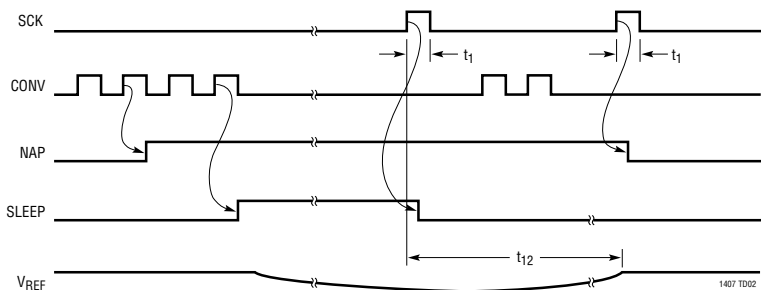


时序图

打盹模式波形

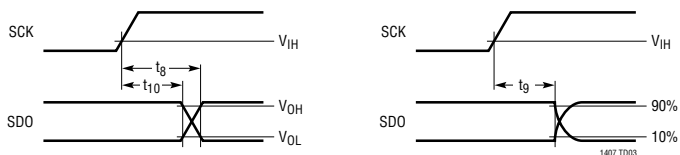


睡眠模式波形



NOTE: NAP AND SLEEP ARE INTERNAL SIGNALS

SCK 至 SDO 延迟



1407 TD03

应用信息

驱动模拟输入

LTC1407/LTC1407A 的差分模拟输入易于驱动。输入可配置为差分输入，也可配置为一个单端输入(即：CH0⁻ 输入接地)。两对差分模拟输入(CH0⁺ 和 CH0⁻ 以及 CH1⁺ 和 CH1⁻) 的所有 4 个模拟输入在同一时刻进行采样。采样及保持电路的共模抑制功能将减少每对输入的两个输入所共有的任何无用信号。当转换结束对采样及保持电容器进行充电时，输入仅吸收一个小电流尖峰。在转换操作期间，模拟输入仅吸收一个很小的漏电流。如果驱动电路的源阻抗很低，则可直接驱动 LTC1407/ LTC1407A 输入。当源阻抗增加时，采样时间也将增加。为了在高源阻抗条件下获得最小的采样时间，必须采用一个缓冲放大器。主要的要求是：驱动模拟输入的放大器必须在下一个转换操作开始之前的一个小电流尖峰之后实现稳定(在满吞吐速率条件下，稳定时间必须至少为 39ns)。另外，在选择输入放大器时，还需注意由放大器所导致的噪声和谐波失真量的增加。

选择一个输入放大器

如果把几项要求考虑在内，则选择一个输入放大器是很容易的。首先，为了限制放大器所承受的电压尖峰幅度对采样电容器进行充电，应选择在闭环带宽频率上具有低输出阻抗(<100Ω)的放大器。例如，如果一个放大器的工作增益为 1 并具有一个 50MHz 的单位增益带宽，则 50MHz 频率条件下的输出阻抗必须小于 100Ω。第二项要求是闭环带宽必须大于 40MHz，以确保在满吞吐速率条件下获得足够的小信号稳定时间。如果采用的是低速运算放大器，则可通过增加转换操作之间的时间来为实现稳定提供更多的时间。用于驱动 LTC1407/ LTC1407A 的运算放大器的最佳选择取决于应用。

应用一般分为两类，即：AC 应用(这里，动态参数最为关键)和时域应用(这里，DC 准确度和稳定时间最为重要)。下面列举了一批适合于驱动 LTC1407/LTC1407A 的运算放大器。(更加详细的信息可查阅凌力尔特公司的数据手册和 LinearView™ CD-ROM。)

LTC1566-1：低噪声 2.3MHz 连续时间低通滤波器。

LT®1630：双通道 30MHz 轨至轨电压 FB 放大器。2.7V 至 ±15V 电源。具有非常高的 A_{VOL} 、500μV 失调，对于一个 4V 摆幅，至 0.5LSB 的稳定时间为 520ns。当 $A_V = 1$ 、1kΩ 负载的供电电压为 $2V_{P-P}$ 、 $V_S = 5V$ 时，THD 和噪声为 -93dB (至 40kHz) 和 1LSB 以下 (至 320kHz)，从而使得该器件成为那些需要轨至轨性能的 AC 应用(至 1/3 奈奎斯特频率)的理想选择。可提供四通道版本，即 LT1631。

LT1632：双通道 45MHz 轨至轨电压 FB 放大器。2.7V 至 ±15V 电源。具有非常高的 A_{VOL} 、1.5mV 失调，对于一个 4V 摆幅，至 0.5LSB 的稳定时间为 400ns。它适合于采用单 5V 电源的应用。当 $A_V = 1$ 、1kΩ 负载的供电电压为 $2V_{P-P}$ 、 $V_S = 5V$ 时，THD 和噪声为 -93dB (至 40kHz) 和 1LSB 以下 (至 800kHz)，从而使得该器件成为那些需要轨至轨性能的 AC 应用的绝佳选择。可提供四通道版本，即 LT1633。

LT1801：80MHz GBWP，-75dBc (在 500kHz)，每个放大器的供电电流为 2mA， $8.5nV/\sqrt{Hz}$ 。

LT1806/LT1807：325MHz GBWP，-80dBc 失真(在 5MHz)，稳定的单位增益，轨至轨输入和输出，每个放大器的供电电流为 10mA， $3.5nV/\sqrt{Hz}$ 。

LT1810：180MHz GBWP，-90dBc 失真(在 5MHz)，稳定的单位增益，轨至轨输入和输出，每个放大器的供电电流为 15mA， $16nV/\sqrt{Hz}$ 。

LinearView 是凌力尔特公司的商标。

LTC1407/LTC1407A

应用信息

LT1818/LT1819 : 400MHz, 2500V/ μ s, 9mA, 单通道/双通道电压模式运算放大器。

LT6200 : 165MHz GBWP, -85dBc 失真 (在 1MHz), 稳定的单位增益, 轨至轨输入和输出, 每个放大器的供电电流为 15mA, $0.95\text{nV}/\sqrt{\text{Hz}}$ 。

LT6203 : 100MHz GBWP, -80dBc 失真 (在 1MHz), 稳定的单位增益, 轨至轨输入和输出, 每个放大器的供电电流为 3mA, $1.9\text{nV}/\sqrt{\text{Hz}}$ 。

LT6600 : 具有 10MHz 截止频率的放大器/滤波器差分输入/输出。

输入滤波和源阻抗

必须对输入放大器和其他电路的噪声和失真加以考虑, 因为它们将使 LTC1407/LTC1407A 的噪声和失真有所增加。采样及保持电路的小信号带宽为 50MHz。存在于模拟输入端上的所有噪声或失真分量将在这整个带宽上相加。应在模拟输入之前对噪

声输入电路进行滤波处理, 以最大限度地降低噪声。对于许多应用而言, 采用一个简单的单极点 RC 滤波器便足够了。例如, 图 1 示出了用于把净输入带宽限制于 30MHz 的一个 47pF 电容器 (连接在 CH0⁺ 引脚和地之间) 和一个 51 Ω 源电阻器。该 47pF 电容器还起到了输入采样及保持电路的电荷储存器的作用, 并将 ADC 输入与对采样干扰敏感的电路隔离开来。应采用高质量的电容器和电阻器, 因为这些元件会使失真增加。NPO 和银云母型介质电容器具有卓越的线性。炭质表面贴装型电阻器会因为自发热以及焊接过程中可能受到的损害而产生失真。这两个问题对金属膜表面贴装型电阻器的影响都要小得多。当高幅度无用信号的频率靠近所需的信号频率时, 应采用一个多极点滤波器。

高外部源电阻、再加上 13pF 的输入电容, 将降低额定的 50MHz 输入带宽, 并使采集时间增加至 39ns 以上。

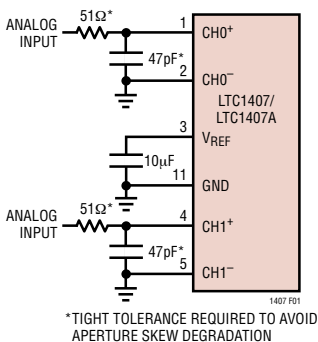


图 1 : RC 输入滤波器

应用信息

输入范围

可利用一个单电源对 LTC1407/LTC1407A 的模拟输入进行全差分驱动。任一个输入均可摆动至高达 3V，前提是差分摆幅不大于 2.5V。在有效输入范围内，每个通道的同相输入正电压应比每个通道的反相输入正电压更大。0V 至 2.5V 范围还非常适合于单端输入和单电源应用。输入的共模范围从地扩展到电源电压 V_{DD} 。如果 $CH0^+$ 和 $CH0^-$ 输入之间或 $CH1^+$ 和 $CH1^-$ 输入之间的电压差超过 2.5V，则输出代码将固定于所有的“1”上，而如果该电压差变至 0V 以下，则输出代码将固定于所有的“0”上。

内部基准

LTC1407/LTC1407A 具有一个在出厂时被修整于 2.5V 附近 (以获得一个精确的 2.5V 输入跨度) 的片内、温度补偿型带隙基准。必须采用一个接地的电容器对基准误差放大器输出 V_{REF} (引脚 3) 进行旁路。基准放大器可在采用 $1\mu\text{F}$ 或更大数值电容器的情况下保持稳定。为了获得最佳的噪声性能，建议将一个 $10\mu\text{F}$ 陶瓷电容器 (或 $10\mu\text{F}$ 钽电容器) 与一个 $0.1\mu\text{F}$ 陶瓷电容器相并联。如图 2 所示，可利用外部基准对

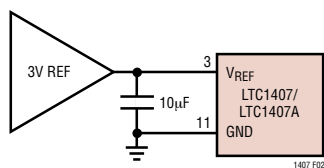


图 2

V_{REF} 引脚进行过驱动。外部基准的电压必须高于内部基准的漏极开路 P 沟道输出的 2.5V。外部基准的推荐范围为 2.55V 至 V_{DD} 。在转换操作期间，2.55V 的外部基准将承受 0.75mA 的 DC 静态负载以及高达 3mA 的工作负载。

输入跨度与基准电压的关系

差分输入范围具有一个单极电压跨度，该跨度与基准缓冲器输出 V_{REF} (引脚 3) 上的电压和裸露衬垫接地点上的电压之差相等。当采用内部基准时，ADC 的差分输入范围为 0V 至 2.5V。内部 ADC 以这两个节点为基准。当采用一个外部基准时，这种关系同样适用。

差分输入

ADC 将始终对 $CH0^+ - CH0^-$ 的单极电压差或 $CH1^+ - CH1^-$ 的单极电压差进行转换，而不受任一组输入的共模电压的影响。共模抑制在高频条件下被上举 (见图 3)。唯一的要求是两个输入均不得走至地电位以下或超过 V_{DD} 。积分非线性误差 (INL) 和微分

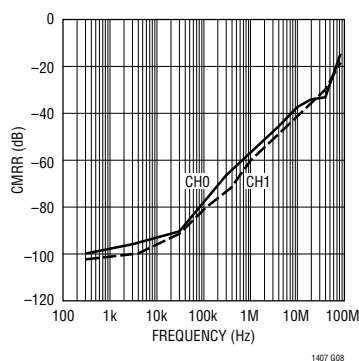


图 3：CMRR 与频率的关系曲线

应用信息

非线性误差 (DNL) 与共模电压的相关度很小。然而，失调误差将发生变化。CMRR 通常优于 60dB。

图 4 示出了 LTC1407/LTC1407A 的理想输入/输出特性。代码转换出现于连续整数 LSB 值的中间 (即：0.5LSB、1.5LSB、2.5LSB、FS - 1.5LSB)。输出代码为直接二进制，对于 LTC1407A，1LSB = $2.5\text{V}/16384 = 153\mu\text{V}$ ，对于 LTC1407，1LSB = $2.5\text{V}/4096 = 610\mu\text{V}$ 。LTC1407A 具有 1LSB RMS 的高斯白噪声。

电路板布局和旁路

对于高分辨率和/或高速 A/D 转换器而言，建议不要采用绕接板。为了获得 LTC1407/LTC1407A 的最佳性能，需要一个具有接地平面的印刷电路板。印刷电路板的布局应确保数字和模拟信号线被尽可能地分开。特别地，应注意不要沿著模拟信号印制线布设任何的数字信号印制线。如果需要在输入之间实现最佳的相位匹配，2 个输入通道的 4 根输入导线的长度应保持匹配。但是，应通过一根接地走线来把至 2 个输入通道的每对输入导线加以分离，以消除通道之间的高频串扰。

如本数据表首页上的“方框图”所示，应在 V_{DD} 和 V_{REF} 引脚上使用高质量的钽和陶瓷旁路电容器。为了实现最佳的性能，建议在 V_{DD} 和 V_{REF} 引脚上采用一个 $10\mu\text{F}$ 表面贴装钽电容器和一个 $0.1\mu\text{F}$ 陶瓷电容器。或者，也可采用诸如 X5R 或 X7R 等类型的 $10\mu\text{F}$ 陶瓷片式电容器。必须把电容器布设在尽可能靠近器件引脚的地方。连接引脚和旁路电容器的走线必须保持简短，并应尽可能地宽。 V_{DD} 旁路电容器返回 GND (引脚 6)，而 V_{REF} 旁路电容器则返回至裸露衬垫接地点 (引脚 11)。应谨慎地把 $0.1\mu\text{F}$ V_{DD} 旁路电容器布设在尽可能靠近引脚 6 和引脚 7 的地方。

图 5 示出了推荐的系统接地线路。所有的模拟电路地均应终接于 LTC1407/LTC1407A 的裸露衬垫。从 LTC1407/LTC1407A 引脚 6 至电源的接地回线应为低阻抗，以实现无噪声操作。10 引脚 MSE 封装的裸露衬垫还与引脚 6 和 LTC1407/LTC1407A GND 相连。裸露衬垫应被焊接在 PC 板上，以减小接地线路电感。数字电路地必须连接至公用数字电源。

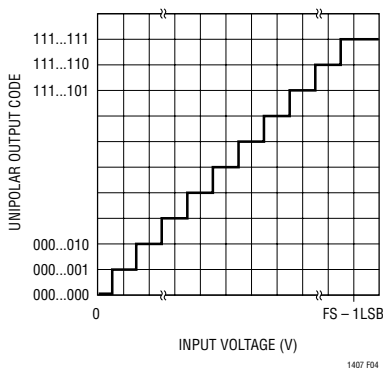


图 4：LTC1407/LTC1407A 的转移特性

应用信息

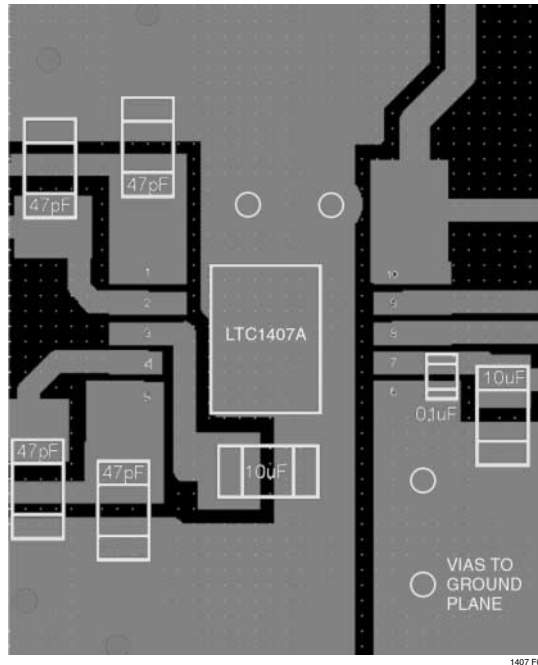


图 5：推荐的布局

断电模式

上电时，LTC1407/LTC1407A 初始化为运行状态，并随时可以进行转换操作。打盹和睡眠模式波形示出了 LTC1407/LTC1407A 的断电模式。SCK 和 CONV 输入负责控制断电模式（见“时序图”）。CONV 上的两个上升沿（在 SCK 上没有任何的插入上升沿）将 LTC1407/LTC1407A 置于打盹模式，而且，功率消耗从 14mW 降至 6mW。在打盹模式中，内部基准仍然处于受电状态。SCK 的一个或多个上升沿可唤醒 LTC1407/LTC1407A（以使之非常迅速地进入运行状态），而且，CONV 能够在 一个时钟周期之内启动一个准确的转换。

CONV 的 4 个上升沿（在 SCK 上没有任何的插入上升沿）将 LTC1407/LTC1407A 置于睡眠模式，而且，功率消耗从 14mW 降至 $10\mu\text{W}$ 。如欲使器件退出睡眠模式，则需要一个或多个 SCK 上升沿（并后随一个 Nap 请求）。接着，SCK 的一个或多个上升沿将唤醒 LTC1407/LTC1407A，以使之进入运作状态。当在睡眠模式之后进入打盹模式时，则重新启动在睡眠模式中被关断的基准。

当采用一个 $10\mu\text{F}$ 负载时，内部基准 (V_{REF}) 将需要 2ms 的时间来实现转换和稳定。如果睡眠模式的使用频度较高，则内部基准的稳定准确度将有所下降。请注意，对于较低的转换速率，可采用打盹和睡眠模式来大幅度地降低功耗。

应用信息

数字接口

LTC1407/LTC1407A 具有一个三线式 SPI (串行协议接口) 接口。SCK 和 CONV 输入及 SDO 输出实现了该接口功能。如果逻辑电源摆幅不超过 V_{DD} ，则 SCK 和 CONV 输入将接受 3V 逻辑电源摆幅，并与 TTL 相兼容。三个串行端口信号的详细描述如下：

转换起动输入 (CONV)

CONV 的上升沿起动一个转换，但是，CONV 的后续上升沿将被 LTC1407/LTC1407A 忽略，直到后面的 32 个 SCK 上升沿出现为止。CONV 的占空比可随意选择，以被用作处理器串行端口的帧同步信号。生成 CONV 的一种简单的方法是：产生一个宽度为 $1SCK$ 的脉冲信号 (用于驱动 LTC1407/LTC1407A)，然后对该信号进行缓冲 (以驱动处理器串行端口的帧同步输入)。上佳的惯例是：首先驱动 LTC1407/LTC1407A 的 CONV 输入，以消除采样至保持转换 (由 CONV 在转换操作的始端所触发) 期间的数字噪声干扰。另一种良好的习惯做法是：使 CONV 信号的低电平部分的宽度大于 15ns，以避免刚好在采样及保持电路在 CONV 的上升沿进入保持模式之前把干扰引入 ADC 的前端。

最大限度地减小 CONV 输入上的抖动

在对高于 100kHz 的高幅度正弦波进行采样的高速应用中，CONV 信号必须具有尽可能小的抖动 (10ps 或更小)。一个共用晶体时钟模块的方波输出常常能够轻松地满足该要求。难题是如何在不遭受来自系统中其他数字电路的抖动干扰的情况下从该晶体时钟生成一个 CONV 信号。位于从该晶体时钟至 CONV 输入的信号通路中的时钟分频器和任何逻辑门均不得与系统的其他部分共用同一个集成电路。如接口电路实例所示，应首先驱动 SCK 和 CONV 输入，并采用数字缓冲器来驱动串行端口接口。还需注意，DSP 中的主时钟有可能已经被抖动所破坏，

即使它直接取自 DSP 晶体也于事无补。高速处理器时钟的另一个问题是它们经常采用低成本、低速晶体 (即：10MHz) 来生成一个快速 (但具有抖动的) 锁相环系统时钟 (即：40MHz)。这些由 PLL 生成的高速时钟中的抖动可达几纳秒 (ns)。请注意，如果您选择使用由 DSP 端口所生成的帧同步信号，则该信号将具有与 DSP 的主时钟相同的抖动。

串行时钟输入 (SCK)

SCK 的上升沿负责推进转换过程，并对 SDO 数据流中的每个位进行更新。在 CONV 上升之后，SCK 的第 3 个上升沿将发送 2 组 12/14 位数据，并首先发送 MSB。一种简单的方法是生成 SCK 信号 (以首先驱动 LTC1407/LTC1407A)，然后利用数目合适的反相器来对该信号进行缓冲 (以驱动处理器串行端口的串行时钟输入)。采用时钟信号的下降沿把来自串行数据输出 (SDO) 的数据锁存至您的处理器串行端口中。接收到的 14 位串行数据将是右对齐的 (以 2 个 16 位字的形式)，每个帧同步脉冲具有 32 个或更多的时钟信号。上佳的惯例是：首先驱动 LTC1407/LTC1407A SCK 输入，以避免在内部高速比较器做出内部位比较结果判定期间产生数字噪声干扰。与 CONV 输入不同，SCK 输入不容易遭受抖动的影响，因为输入信号已经被采样并保持恒定。

串行数据输出 (SDO)

上电时，SDO 输出被自动复位至高阻抗状态。SDO 输出将维持在高阻抗状态，直到一个新的转换被起动为止。在利用 CONV 的上升沿起动转换操作之后，SDO 将在 SCK 的第 3 个上升沿之后通过输出数据流来发送 2 组 12 位/14 位数据。在高阻抗模式中，2 个 12 位/14 位字被两个时钟周期所分离。请注意从 SCK 至一个有效 SDO 的延迟规格。SDO 始终由 SCK 的下一个上升沿来保证有效。32 位输出数据流与大多数处理器的 16 位或 32 位串行端口兼容。

应用信息

至 TMS320C54x 的硬件接口

LTC1407/LTC1407A 是串行输出 ADC，其接口是专门针对高速数字信号处理器 (DSP) 的高速缓冲串行端口而设计的。图6示出了采用一个 TMS320C54x 的该接口的实例。

TMS320C54x 的缓冲串行端口可直接使用 2kB 存储段。ADC 的串行数据能够以 LTC1407/LTC1407A 的满转换速率 3Msps 在两个交替的 1kB 存储段中进行实时收集。DSP 汇编码用于设定 BFSR 引脚上的帧同步模式 (以接受一个外部负向脉冲) 和 BCLKR 引脚

的串行时钟 (以接受一个外部正边沿时钟)。可以在靠近 LTC1407/LTC1407A 的地方增设缓冲器，用于驱动至 DSP 的长印制线，以防止至 LTC1407/LTC1407A 的信号遭到破坏。这种配置足以穿越一个标准的系统板，但是，可能需要在缓冲器输出端和 DSP 分别使用源电阻器和终接电阻器，以便与非常长的传输线的特征阻抗相匹配。如果您需要终接 SDO 传输线，则首先采用一个或两个 74ACxx 逻辑门对其进行缓冲。DSP 端口的 TTL 门限输入可对 LTC1407/LTC1407A 使用的 3V 摆幅做出正确的响应。

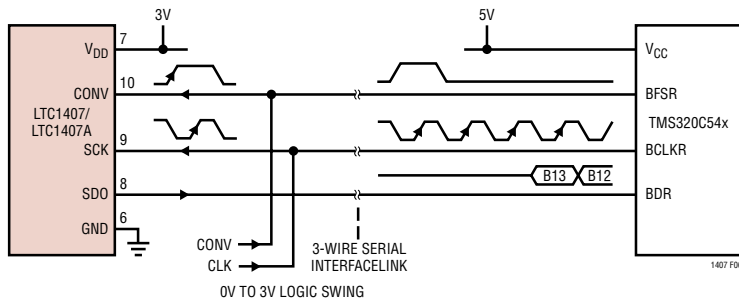


图 7：至 TMS320C54x 的 DSP 串行接口

LTC1407/LTC1407A

应用信息

```
08-21-03 * * * * *
; Files: 1407ASIAB.ASM -> 1407A Sine wave collection with Serial Port interface
;           both channels collected in sequence in the same 2k record
;           bvectors.asm      buffered mode.
;           s2k14ini.asm      2k buffer size.
; unipolar mode
; Works 16 or 64 clock frames.
; negative edge BCLKR
; negative BFSR pulse
; -0 data shifted
; 1' cable from counter to CONV at DUT
; 2' cable from counter to CLK at DUT
; * * * * *

        .width   160
        .length  110
        .title   "sineb0 BSP in auto buffer mode"
        .mmregs
        .setsect ".text",    0x500,0      ;Set address of executable
        .setsect "vectors",  0x180,0      ;Set address of incoming 1407A data
        .setsect "buffer",   0x800,0      ;Set address of BSP buffer for clearing
        .setsect "result",   0x1800,0     ;Set address of result for clearing
        .text
        ;.text marks start of code

start:
        ;this label seems necessary
        ;Make sure /PWRDWN is low at J1-9
        ;to turn off AC01 adc

        tim=#0fh
        prd=#0fh
        tcr = #10h      ; stop timer
        tpsc = #0h      ; stop TDM serial port to AC01
        pmst = #01a0h   ; set up iptr. Processor Mode SStatus register
        sp = #0700h     ; init stack pointer.
        dp = #0         ; data page
        ar2 = #1800h    ; pointer to computed receive buffer.
        ar3 = #0800h    ; pointer to Buffered Serial Port receive buffer
        ar4 = #0h       ; reset record counter
        call sineinit   ; Double clutch the initialization to insure a proper
sinepeek:
        call sineinit   ; reset. The external frame sync must occur 2.5 clocks
        ; or more after the port comes out of reset.

wait    goto    wait

;      -----Buffered Receive Interrupt Routine -----

breceive:
        ifr = #10h      ; clear interrupt flags
        TC = bitf(@BSPCE,#4000h) ; check which half (bspce(bit14)) of buffer
        if (NTC) goto bufull ; if this still the first half get next half
        bspce = #(2023h + 08000h); turn on halt for second half (bspce(bit15))
        return_enable
```

应用信息

```

;      ——mask and shift input data ——
bfull:
    b = *ar3 + << -0          ; load acc b with BSP buffer and shift right -0
    b = #07FFFh & b          ; mask out the TRISTATE bits with #03FFFh
    ;
    *ar2+ = data(#0bh)       ; store B to out buffer and advance AR2 pointer
    TC = (@ar2 == #02000h)   ; output buffer is 2k starting at 1800h
    if (TC) goto start      ; restart if out buffer is at lfffh
    goto bfull

;      ——dummy bsend return——
bsend return_enable         ;this is also a dummy return to define bsend
                           ;in vector table file BVECTORS.ASM

;      —— end ISR ——

    .copy "c:\dskplus\1407A\s2k14ini.asm"    ;initialize buffered serial port
    .space 16*32                             ;clear a chunk at the end to mark the end

;=====
;
;  VECTORS
;
;=====
    .sect "vectors"                ;The vectors start here
    .copy "c:\dskplus\1407A\bvectors.asm"    ;get BSP vectors

    .sect "buffer"                 ;Set address of BSP buffer for clearing
    .space 16*0x800
    .sect "result"                ;Set address of result for clearing
    .space 16*0x800

    .end

; * * * * *
; File: BVECTORS.ASM -> Vector Table for the *C54x DSKplus      10.Jul.96
;                      BSP vectors and Debugger vectors
;                      TDM vectors just return
; * * * * *
; The vectors in this table can be configured for processing external and
; internal software interrupts. The DSKplus debugger uses four interrupt
; vectors. These are RESET, TRAP2, INT2, and HPIINT.
; * DO NOT MODIFY THESE FOUR VECTORS IF YOU PLAN TO USE THE DEBUGGER *
;
; All other vector locations are free to use. When programming always be sure
; the HPIINT bit is unmasked (IMR=200h) to allow the communications kernel and
; host PC interact. INT2 should normally be masked (IMR(bit 2) = 0) so that the
; DSP will not interrupt itself during a HINT. HINT is tied to INT2 externally.
;
;
;

```

应用信息

```
.title "Vector Table"
.mmregs

reset    goto #80h          ;00; RESET * DO NOT MODIFY IF USING DEBUGGER *
         nop
         nop
nmi      return_enable     ;04; non-maskable external interrupt
         nop
         nop
         nop
trap2    goto #88h          ;08; trap2 * DO NOT MODIFY IF USING DEBUGGER *
         nop
         nop
         .space 52*16       ;0C-3F: vectors for software interrupts 18-30
int0     return_enable     ;40; external interrupt int0
         nop
         nop
         nop
int1     return_enable     ;44; external interrupt int1
         nop
         nop
         nop
int2     return_enable     ;48; external interrupt int2
         nop
         nop
         nop
tint     return_enable     ;4C; internal timer interrupt
         nop
         nop
         nop
brint    goto breceive     ;50; BSP receive interrupt
         nop
         nop
         nop
bxint    goto bsend        ;54; BSP transmit interrupt
         nop
         nop
         nop
trint    return_enable     ;58; TDM receive interrupt
         nop
         nop
         nop
txint    return_enable     ;5C; TDM transmit interrupt
         nop
         nop
int3     return_enable     ;60; external interrupt int3
         nop
         nop
         nop
hpiint   dgoto #0e4h       ;64; HPIint * DO NOT MODIFY IF USING DEBUGGER *
         nop
         nop
```


应用信息

```

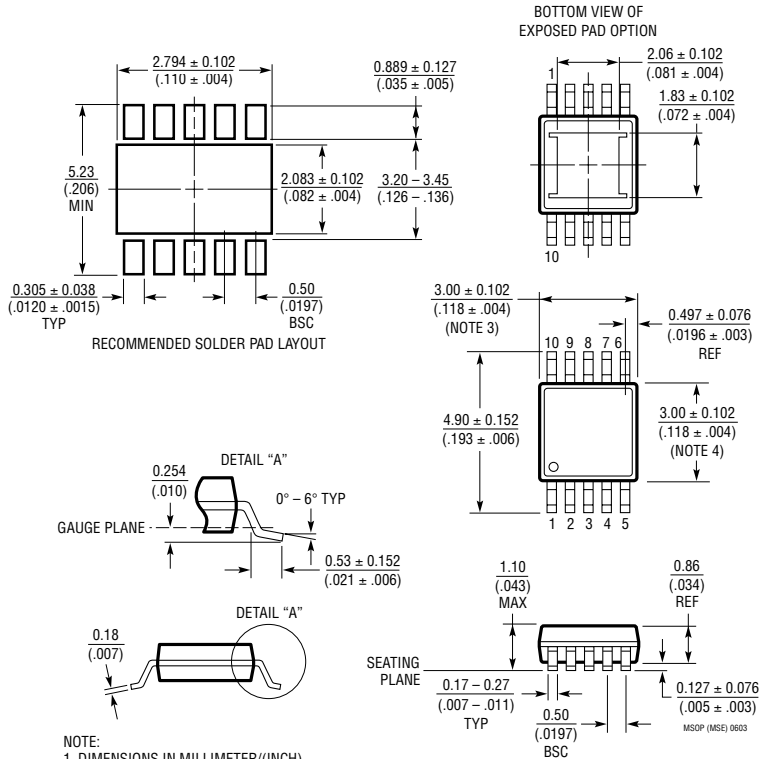
* 2' cable from counter to CLK at DUT
*No right shift is needed to right justify the input data in the main program
*
*the two msbs should also be masked
*
* * * * *
*
Loopback      .set    NO          ;(digital loopback mode?)          DLB bit
Format        .set    BIT_16      ;(Data format? 16, 12, 10, 8)        FO bit
IntSync       .set    NO          ;(Internal Frame syncs generated?)  TXM bit
IntCLK        .set    NO          ;(Internal clks generated?)         MCM bit
BurstMode     .set    YES         ;(if BurstMode=NO, then Continuous)  FSM bit
CLKDIV        .set    3          ;(3=default value, 1/4 CLOCKOUT)
PCM_Mode      .set    NO          ;(Turn on PCM Mode?)
FS_polarity   .set    YES         ;(change polarity)YES=~~~\_/~~~, NO=___/~/___
CLK_polarity  .set    NO          ;(change polarity)for BCLKR YES=_/~/, NO=--\_/
Frame_ignore  .set    !YES        ;(inverted !YES -ignores frame)
XMTautobuf    .set    NO          ;(transmit autobuffering)
RCVautobuf    .set    NO          ;(receive autobuffering)
XMThalt       .set    NO          ;(transmit buff halt if XMT buff is full)
RCVhalt       .set    NO          ;(receive buff halt if RCV buff is full)
XMTbufAddr    .set    0x600       ;(address of transmit buffer)
RCVbufAddr    .set    0x800       ;(address of receive buffer)
XMTbufSize    .set    0x200       ;(length of transmit buffer)
RCVbufSize    .set    0x040       ;(length of receive buffer)
*
* See notes in the 'C54x CPU and Peripherals Reference Guide on setting up
* valid buffer start and length values.
*
*
* * * * *
      .eval ((Loopback >> 1)|((Format & 2)<<1)|(BurstMode <<3)|(IntCLK <<4)|(IntSync
<<5)) ,SPCval
      .eval ((CLKDIV)|(FS_polarity <<5)|(CLK_polarity<<6)|((Format &
1)<<7) (Frame_ignore<<8)|(PCM_Mode<<9)), SPCEval
      .eval (SPCEval|XMTautobuf<<10)|XMThalt<<12)|(RCVautobuf<<13)|(RCVhalt<<15)),
SPCEval

bspil407A:
    bspc = #SPCval          ; places buffered serial port in reset
    bspce = #SPCEval       ; programs BSPCE and ABU
    axr = #XMTbufAddr      ; initializes transmit buffer start address
    bkr = #XMTbufSize      ; initializes transmit buffer size
    arr = #RCVbufAddr      ; initializes receive buffer start address
    bkr = #RCVbufSize      ; initializes receive buffer size
    bspc = #(SPCval | GO)  ; bring buffered serial port out of reset
    return                 ; for transmit and receive because GO=0xC0

```

封装描述

MSE 封装
10 引脚塑料 MSOP
(参考 LTC DWG # 05-08-1664)



- NOTE:
1. DIMENSIONS IN MILLIMETER/(INCH)
 2. DRAWING NOT TO SCALE
 3. DIMENSION DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS OR GATE BURRS SHALL NOT EXCEED 0.152mm (.006") PER SIDE
 4. DIMENSION DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSIONS. INTERLEAD FLASH OR PROTRUSIONS SHALL NOT EXCEED 0.152mm (.006") PER SIDE
 5. LEAD COPLANARITY (BOTTOM OF LEADS AFTER FORMING) SHALL BE 0.102mm (.004") MAX

LTC1407/LTC1407A

相关器件

器件型号	描述	备注
ADC		
LTC1608	16 位, 500ksps 并行 ADC	±5V 电源, ±2.5V 跨度, 90dB SINAD
LTC1609	16 位, 250ksps 并行 ADC	5V 可配置双极/单极输入
LTC1403/LTC1403A	12/14 位, 2.8Msps 串行 ADC	3V, 15mW, MSOP 封装
LTC1411	14 位, 2.5Msps 并行 ADC	5V, 可选跨度, 80dB SINAD
LTC1420	12 位, 10Msps 并行 ADC	5V, 可选跨度, 72dB SINAD
LTC1405	12 位, 5Msps 并行 ADC	5V, 可选跨度, 115mW
LTC1412	12 位, 3Msps 并行 ADC	±5V 电源, ±2.5V 跨度, 72dB SINAD
LTC1402	12 位, 2.2Msps 串行 ADC	5V 或 ±5V 电源, 4.096V 或 ±2.5V 跨度
LTC1864/LTC1865 LTC1864L/LTC1865L	16 位, 250ksps 单通道/两通道串行 ADC	5V 或 3V (L 版本), 微功率, MSOP 封装
DAC		
LTC1666/LTC1667 LTC1668	12/14/16 位, 50Msps DAC	87dB SFDR, 20ns 稳定时间
LTC1592	16 位, 串行 SoftSpan™ I _{OUT} DAC	±1LSB INL/DNL, 软件可选跨度
基准		
LT1790-2.5	采用 SOT-23 封装的微功率串联基准	0.05% 初始准确度, 10ppm 漂移
LT1461-2.5	精密型电压基准	0.04% 初始准确度, 3ppm 漂移
LT1460-2.5	微功率串联电压基准	0.10% 初始准确度, 10ppm 漂移

SoftSpan 是凌力尔特公司的商标。