

HMC661LC4B和HMC1061LC5 配合ADC使用的一般原则和程序

简介

软件定义无线电、雷达系统、电子战 (EW)、电子智能 (ELINT) 以及测试测量设备等各种应用，需要带宽为数 GHz 的宽带数据采集系统。理想情况下，系统设计人员希望能够将信号源（例如天线）直接连接到宽带高动态范围模数转换器 (ADC) 进行数字化。这些应用中有很多涉及到子采样，其中目标信号是远高于 ADC 采样率的高频信号。这种方法的一个主要限制是当前 ADC 通常没有足够的带来支持这些超宽带应用。虽然有多种高速 ADC 提供增强的采样速率，但其中能够提供数 GHz 以上输入带宽的则很少。此外，在超过超高频 (UHF) 频段的频率，要保持良好的采样线性度在技术上是非常困难的；当信号频率高于 1 GHz 或 2 GHz 时，目前多数 ADC 的线性度会迅速降低。

使用 HMC661LC4B 或 HMC1061LC5 超宽带采样保持放大器可以克服这些限制，所述器件设计用于需要最大采样带宽、在宽带内具有高线性度和低噪声的微波数据转换应用。HMC661LC4B 提供 18 GHz 输入带宽和出色的宽带线性度，可用作 ADC 前端的外部主采样器。在 HMC661LC4B 中进行扩展带宽采样后，低带宽保持输出波形便可由一个带宽很低的 ADC 处理。HMC1061LC5 是 HMC661LC4B 采样保持放大器的双列版本。

ADC 在高输入频率时的线性度局限也得到解决，因为建立后的采样保持放大器波形是利用 ADC 的最佳基带线性度进行处理。另外，HMC661LC4B 的随机采样抖动非常低 (<70fs)，因此在高微波信号频率下抖动引起的信噪比 (SNR) 降幅极小。此抖动明显优于当前可用 ADC 的典型抖动。其结果是输入带宽从根本上得以扩展，高频线性度显著改善，并且与 ADC 单独的性能相比，采样保持放大器 ADC 组件的高频 SNR 得到改进。

本应用笔记提供了关于 HMC661LC4B 配合高速 ADC 使用以增强其带宽和高频性能的指南。本应用笔记介绍了采样保持放大器的一般操作，以及关于实现器件最高性能的一般操作建议。本应用笔记还说明了基于典型评估板的试验板组件的设置和时序调整，其将 HMC661LC4B 用作高速 ADC 的主采样器。关于 HMC661LC4B 用于高速 ADC 的评估板设置时如何获得高性能采样保持放大器的示例，请参阅《模拟对话》文章“[利用采样保持放大器和 RF ADC 从根本上扩展带宽以突破 X 波段频率](#)”。

目录

简介.....	1	采样保持ADC建立与时序.....	5
修订历史.....	2	采样保持ADC建立.....	5
HMC661LC4B采样保持放大器说明和操作.....	3	采样保持ADC时序.....	6
HMC661LC4B采样保持放大器概述.....	3	用于试验板设置的简单采样保持ADC时序步骤.....	8
HMC661LC4B一般操作建议.....	3	结语.....	10

修订历史

2018年2月—修订版0：初始版

HMC661LC4B采样保持放大器说明和操作

HMC661LC4B采样保持放大器概述

HMC661LC4B是一款单列18 GHz采样保持放大器，适用于需要最大采样带宽、在超宽带宽内具有高线性度和低噪声的微波数据转换应用。单个采样保持放大器产生的输出由两个时间段组成。在输出波形（HMC661LC4B的正差分时钟电压）的采样模式间隔中，HMC661LC4B成为一个单位增益放大器，在输入带宽和输出放大器带宽的约束下，它将输入信号复制到输出端。在正时钟到负时钟跃迁时，HMC661LC4B以非常窄的采样时间孔径对输入信号采样，并且在负时钟间隔内，将输出保持在一个相对恒定的代表采样时刻信号的值。

关于关键性能参数，请参阅HMC661LC4B数据手册。市面上的其他高速采样保持放大器在满量程输入电平时带宽性能会大幅下降，HMC661LC4B则不同，在整个输入电平范围内都能提供18 GHz采样带宽，满量程差分输入最高可达1 V_{p-p}，采样速率最高可达4 GSPS。该采样保持放大器能在非常宽的带宽范围内保持优异的线性度，从直流到5 GHz以上且在满量程输入时，无杂散动态范围（SFDR）为56 dB或更好。HMC661LC4B的一个重要特性是具有适当的线性阶相关性（输入电平降低6 dB，则二阶和三阶谐波产物电平分别降低12 dB和18 dB）。此特性对于利用数字信号处理（DSP）对信号进行平均的设计人员尤其重要。这些用户可以执行后转换处理来减少宽带本底噪声，并且可以通过调整输入信号电平来获得更高线性度。正如数据手册所示，输入电平降低到满量程一半时，整个宽带宽上可达10位或更好的线性度。

HMC661LC4B提供直流耦合、差分信号输入/输出和差分时钟输入。所有输入和输出对于每个差分半电路都是50 Ω阻抗，并且它们以真正的以地为基准的共模电压电位工作。HMC661LC4B采用符合RoHS标准的4 mm × 4 mm QFN无引脚陶瓷封装。HMC661LC4B是软件定义无线电、军用和商用雷达系统、EW、ELINT系统应用的理想选择。HMC661LC4B还可用于扩频处理、宽带频谱分析和高速数字/模拟测试仪器，包括数字采样示波器。

HMC661LC4B一般操作建议

有关工作条件的完整信息，请参阅HMC661LC4B数据手册。为了方便读者，本应用笔记总结了关于器件操作的主要注意事项。

上电顺序

如果从独立电源提供偏置，建议电源启动顺序为V_{CC}OB、V_{CC}OFx、V_{CC}THx、V_{CC}CLKx、V_{EE}和V_{EE}CLKx。如需要，V_{CC}OB、V_{CC}OFx、V_{CC}THx和V_{CC}CLK可以连接到一个2 V电源。

输入信号驱动

为实现最佳效果，须以差分方式驱动输入。输入可以用单端方式驱动，但HMC661LC4B的线性度会下降。以单端方式驱动HMC661LC4B时，未使用的输入须端接50 Ω电阻。

时钟输入

当（CLKP - CLKN）为高电平时，HMC661LC4B处于采样模式；当（CLKP - CLKN）为低电平时，器件处于保持模式。如可能，须以差分方式驱动时钟输入。若需要，可以用单端方式驱动时钟输入，但单端幅度和压摆率须与差分驱动时建议的全差分幅度和压摆率相似。未使用的输入须端接50 Ω电阻。

在较低时钟频率时，HMC661LC4B的采样保持模式线性度会随着时钟功率而改变，如HMC661LC4B数据手册所示。这是因为，当压摆率低于临界值时，线性度与时钟过零压摆率存在弱相关性。为获得最佳线性度和抖动性能，建议使用大约2 V/ns至4 V/ns（每个时钟输入）或更大的时钟过零压摆率。

对于正弦时钟输入，4 V/ns对应的每个差分半电路输入的正弦时钟功率为-6 dBm（4 GHz时）、0 dBm（2 GHz时）和6 dBm（1 GHz时）。无论时钟频率为何，推荐最小时钟幅度为-6 dBm（每个差分半电路输入）。在较低时钟频率时，特别是在1 GHz以下时，建议使用方波时钟以达到所需的压摆率，而无需过大的时钟幅度。

输出

为获得最干净的输出波形，须以差分方式检测输出。输出阻抗为50 Ω阻性，返回到V_{CC}OB电源。输出级设计用于驱动每个差分半电路输出上的50 Ω接地终端。HMC661LC4B提供一个真正的以地为参考的共模电压输出，其典型值在地电压的±50 mV范围内；但如果需要，可以稍微调整V_{CC}OB电源以将输出共模电压电平精确微调至0 V。

此外，根据以下近似关系调整V_{CC}OB电源，可以在约±0.5 V的范围内调节共模输出电压：

$$V_{OCM} = (V_{CCOB} - 2)/2$$

其中：

V_{OCM}为输出共模电压。

V_{CC}OB可以在1 V < V_{CC}OB < 3 V范围内变动。

在较低时钟速率（例如小于1 GHz）下工作时，用户可将输出滤波到比输出放大器带宽7 GHz低的带宽，从而优化信噪比（SNR）。这种输出滤波不会降低采样前端噪声（其已在信号样本中捕获，代表大部分采样保持放大器噪声，因为前端带宽较宽），但可减少输出放大器的噪声贡献。用户可将输出滤波到仍然具有所需最大建立时间以支持所选时钟速率的最低带宽。通常，最佳带宽是时钟频率的两到三倍左右。假设时钟速率为350 MHz，使用一个噪声带宽为1 GHz的输出滤波器，则相对于未滤波的输出状况，噪声可以降低约1 dB。

在时钟边沿，由于输出放大器的带宽很宽，输出会有非常陡峭的跃迁。用户须注意，芯片输出端与负载之间的电缆如果较长，会引起频率响应滚降和消散，从而在输出波形进入负载的建立过程中产生具有相对较长时间常数的低幅度尾部。

在实验室环境下使用数英尺长输出电缆时，负载效应最为明显，即便高质量电缆也不例外。采样保持放大器与负载之间的输出电缆必须是2英尺或更短的高质量电缆。

负载与HMC661LC4B之间的反射也会降低保持模式响应性能。可以调整输出电缆长度，以便在一定程度上降低反射干扰。一般而言，为使波形的保持模式部分中的反射干扰最小，电缆的往返传输时间须为时钟周期的整数倍数。此电缆长度标准基本上应根据以下情况来判断：低电平双传输反射时间与其提供的输出波形对齐。当采样保持放大器在负载的50 ps或更短时间以内时，短距离和/或传输时间使得反射时长与HMC661LC4B的近似建立时间相等，此时可获得最佳性能。在ADC应用中，采样保持放大器必须尽可能靠近ADC，以使采样保持放大器输出端与ADC输入端之间路径的反射效应最小。

采样保持ADC建立与时序

采样保持ADC建立

HMC661LC4B用作高速ADC主采样器的典型实验室评估板设置如图1所示。对于输入和时钟信号，必须使用抖动非常低的合成发生器，以使高信号频率下抖动引起的本底噪声性能降幅最小。5%的小数带宽通滤波器通过滤除非谐波杂散产物和宽带噪声（其会给信号和时钟源带来抖动）来净化信号源。具有17 GHz带宽的宽带Picosecond Pulse Labs或同等分相器将单端输入信号转换为差分形式。需要HMC-C004宽带放大器来充分放大信号和时钟，以补偿系统中的损耗。

如需要，可以将更传统的低频巴伦用于时钟，因为时钟被限制在一个低得多的频率。可变延迟线恰当地对ADC时钟进行定时，以便ADC对HMC661LC4B输出波形的稳定保持模式部分进行采样。采样保持放大器和ADC之间使用隔直电容以实现单电源ADC，因为ADC工作在通常由内部提供的非零共模输入电压偏置电平。

另外，可以使用具有可变输出共模电压电平的直流耦合差分放大器来匹配HMC661LC4B和ADC的直流电平。HMC661LC4B具有0 V标称共模输出电平，但如果需要，它可以在 ± 0.5 V范围内进行调整（有关详细信息，请参阅HMC661LC4B数据手册）。

如前所述，在实际系统应用中使用HMC661LC4B时，最好将采样保持放大器放置在靠近ADC的地方，以尽量减少器件之间信号互连的反射效应传输时间。为将采样保持放大器置于靠近ADC的地方，最佳办法是设计一个定制电路板或混合电路，以将采样保持放大器和ADC相邻放置。在此情况下，在ADC时钟信号路径中设计一个固定延迟，以获得ADC时钟相对于采样保持放大器输出波形的正确时序。但正如本应用笔记所示，只要ADC时钟相对于采样保持放大器时钟适当定时，带同轴电缆互连的试验板型设置就能提供精确的性能。

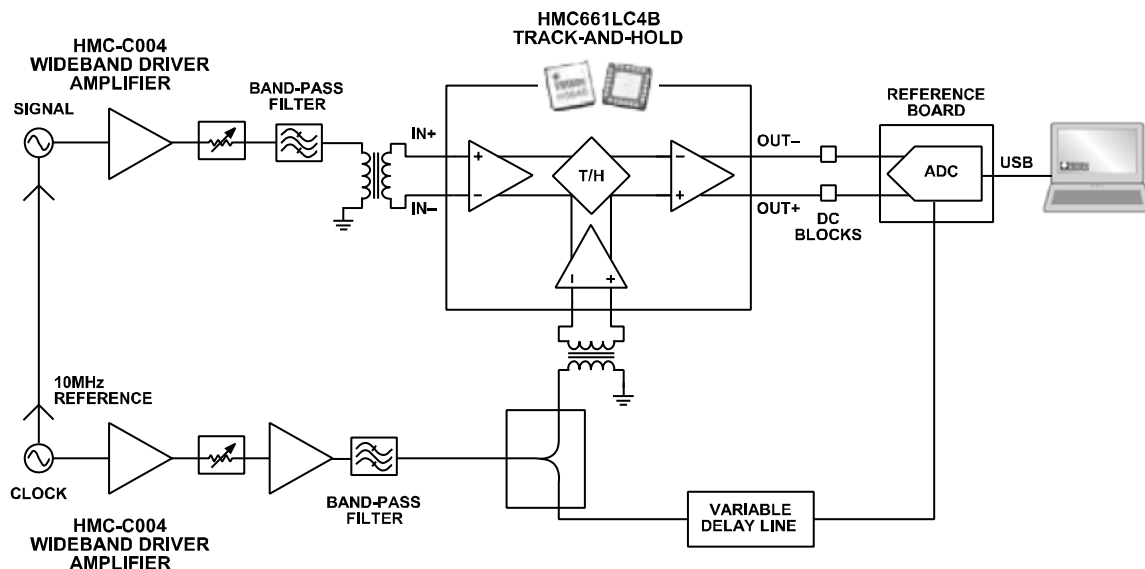


图1. 集成了HMC661LC4B采样保持主采样器和ADC评估板的ADC组件框图

1618-201

图2为试验板设置的实物照片。采样保持放大器评估板的差分输出通过短SMA（超小A型）电缆连接到ADC评估板输入端的直流模块。在测试的两个时钟频率（1 GSPS和1.6 GSPS）下，选择的电缆长度使得从采样保持放大器芯片到ADC芯片的总传输时间大约为时钟周期的某一整数倍，以使上述双传输反射效应引起的波形扰动最小化。

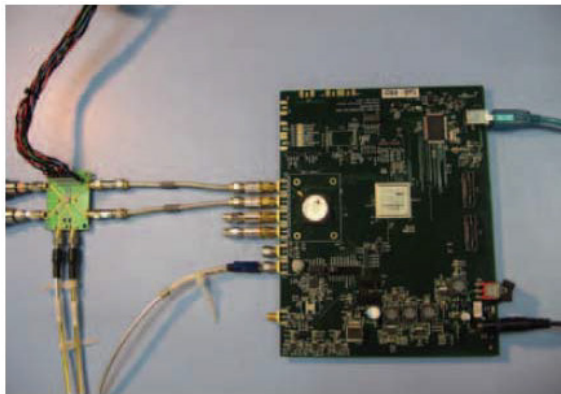


图2. HMC661LC4B和ADC评估板的试验板设置

采样保持ADC时序

采样保持放大器ADC转换组件正确操作的一个重要方面是建立ADC采样相对于采样保持放大器输出波形的正确时序。ADC采样相对于采样保持放大器的时序被称为相对ADC时钟延迟。为实现正常工作，ADC必须对采样保持放大器输出波形中的保持模式输出时间段的稳定部分进行采样。尽管当ADC不正确地对采样保持放大器的采样模式输出波形段进行采样时组件也能工作，但由于ADC采样的是输入信号的缓冲（但未采样）单位增益版本，所以无法正确扩展带宽。实际上，ADC是否在对保持模式时间段进行采样的主要指标就是扩展带宽行为。如果复合组件显示的带宽更接近于ADC输入带宽，那么极有可能是时序调整不当，ADC正在对采样保持放大器输出波形的采样模式部分进行采样。

如果将电路板传输线互连和外部电缆的各种传播延迟以及采样保持放大器和ADC内部主要路径的内部群延迟列在一张表上，就可以精确计算相对ADC时钟延迟。表1显示了与详细计算正确ADC时钟时序相关的两个主要的HMC661LC4B内部群延迟：时钟到保持节点延迟和保持节点到输出样本延迟。

表1中显示的输入信号到保持节点延迟不是ADC时钟时序计算必须知道的量，列在此处仅供参考。此计算还需要一个重要参数，即ADC孔径延迟，其定义为ADC内部采样点的时钟延迟与ADC内部采样点的信号延迟之间的差值。孔径时间和试验板级互连延迟常常会掩盖HMC661LC4B采样保持放大器的较小延迟。

对于系统实现来说，这些计算通常是值得的，甚至是必要的（不过由于互连延迟要小得多，所以系统时序通常比试验板设置更容易）。如果ADC时钟延迟（相对于采样保持放大器时钟）得到精确确定和实现，那么对所有时钟频率，只需一个ADC时钟延迟就可以为相应的组件正确定时。如果适当的延迟仅在模时钟周期内实现（例如在一个时钟周期内具有适当的相位，但不是所需的最小延迟），那么该设置仅对所使用的特定时钟频率有效。然而，对于实验室试验板设置，通常没有必要详细计算和设计所需的ADC时钟延迟，因为利用ADC时钟路径中的可变延迟线，执行一个简单的算法就能快速求出正确的延迟，如表1所示。

表1. 用于时序计算的HMC661LC4B内部群延迟

路径	群延迟 (ps)
信号输入至保持节点	41.5
时钟输入至保持节点	35
输出缓冲器延迟（从保持节点到输出）	43

建立一种算法，利用ADC时钟路径中的可变延迟和ADC的快速傅里叶变换（FFT）输出显示来确定时序设置是可行的。在说明该过程之前，了解ADC的一些关键输出性能参数与外部HMC661LC4B采样保持放大器波形内的采样位置的依赖关系会很有帮助。图3显示了信号幅度、SFDR和噪声谱密度的延迟映射，它是ADC时钟（ADC采样点）相对于HMC661LC4B和ADC组合的采样保持放大器时钟的相对延迟的函数。图3所示数据是在1 GSPS采样速率下获取的。作为参考，图中还指出了HMC661LC4B输出波形采样到保持转换和保持到采样转换的大致时间位置。HMC661LC4B保持模式限定在这些点之间，而采样模式时间段落在这些点所限定的区域之外。当组件的输入频率远远超出ADC带宽时，这组曲线对理解延迟设置非常有用。图3中绘制的是针对5 GHz输入信号频率的曲线，该频率远远超出特定ADC的大约2.8 GHz带宽。

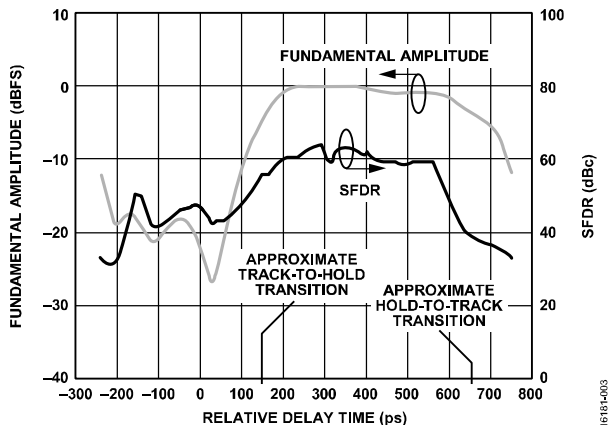


图3. 基波幅度和SFDR与相对延迟时间的关系

提供给ADC内部采样器的波形受ADC输入信号带宽的限制。ADC内部前端采样保持放大器内的频带限制会对HMC661LC4B输出的尖锐波形转换曲线进行大幅度的修整。因此，图3所示的延迟映射曲线也表现出该ADC频带限制所引起的修整转换。使用一阶近似，幅度曲线的-3 dB点大致对应于HMC661LC4B输出波形的采样到保持和保持到采样转换的时间点。

对于超出ADC带宽但在采样保持放大器带宽内的信号频率，检查类似于图3所示的延迟映射曲线，可以推断出“信号基波幅度”部分、“SFDR”部分和“噪声”部分所述的关键行为。

信号基波幅度

当ADC对采样保持放大器波形的保持模式进行采样时，获得的是外部采样保持放大器的带宽。当ADC对采样保持放大器波形的采样模式进行采样时，获得的是较小的ADC带宽。由于这些点上的样本没有很好地加以定义，因此转换区域中的样本可能会导致基波信号幅度急剧降低。这种急剧降低效应可以在图3的基波幅度变化中观察到，转换点附近的幅度显著减小。在采样模式区域中，基波幅度平衡在一个恒定电平上，该电平代表该频率下ADC输入传递函数所产生的信号衰减。

SFDR

对于采样放大器波形的大部分保持模式区域内的ADC采样，SFDR相对稳定。采样时间最好是在保持模式快要结束时（此时波形早已建立），但先于ADC频带限制引起的保持到采样转换修整区域。随着时钟频率提高，优化保持模式时间段中的采样位置以实现最大SFDR变得更为重要。对于所测量的ADC，合理的ADC采样时间是相对于保持到采样转换点提前大约120 ps。当ADC采样点进入保持到采样转换区域时，SFDR会迅速下降，因为信号样本在这些转换点处没有很好地加以定义。

噪声

图4显示，相对于在采样模式段中进行采样，当在保持模式波形段中采集ADC样本时，噪声谱密度会提高。

在总积分时域噪声中也能观察到噪声谱密度提高。这种提高符合理论上的预期，因为保持模式区域中的ADC采样反映了HMC661LC4B在整个18 GHz输入带宽上的采样。从频域角度看，采样过程将整个带宽上的噪声折叠到低得多的带宽中——仅一个奈奎斯特区间。从时域角度来看，可以将这种效应视为采样时刻样本中有效捕获到的瞬时前端噪声；这会增加第一奈奎斯特区间的噪声谱密度，ADC会完全检测到，因为它落在其输入带宽内。另一方面，采样模式区域中的采样不反映HMC661LC4B的采样。噪声谱仍然出现在18 GHz的带宽上，但ADC并不知晓HMC661LC4B采样，而且在波形采样模式部分中的ADC样本没有折叠效应。此频谱噪声的大部分落在ADC带宽之外，从而减少了检测到的总噪声。

对于HMC661LC4B输出波形的保持模式区域中的ADC样本，输入噪声带宽为18 GHz，而对于HMC661LC4B采样模式中的ADC样本，输入噪声带宽为ADC输入带宽。例如，对于典型高速转换器的2 GHz至3 GHz输入带宽，保持模式和采样模式ADC样本的噪声水平存在8 dB到10 dB的差异并不罕见。这种差异符合预期，因为带宽比大约也是8 dB到10 dB，故相对噪声水平是指示ADC样本时序区域的有用参数。

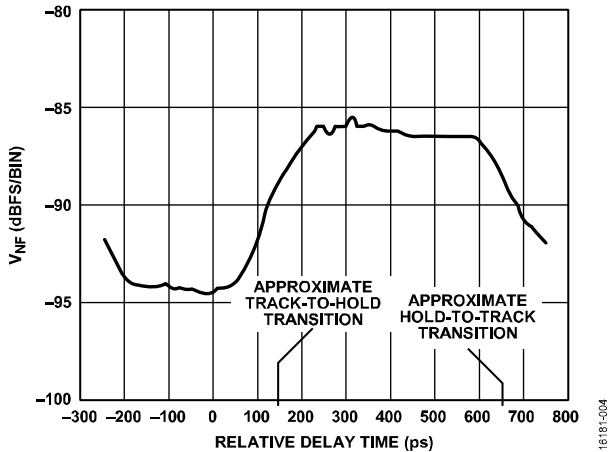


图4. 频谱噪声密度 (VNF) 与相对延迟时间的关系

用于试验板设置的简单采样保持ADC时序步骤

使用“信号基波幅度”部分和“SFDR”部分中描述的特性时，可以通过一种直接了当的方法来确定典型试验板设置中的ADC时钟时序和优化。以下程序使用ADC时钟路径中的可变延迟，以及ADC FFT频谱提供的信息：

1. 利用任意ADC时钟延迟和可变延迟设置采样保持放大器ADC时序。相对于采样保持放大器时钟，利用任意ADC时钟延迟（无需详细计算）和可变延迟初步设置采样保持放大器ADC时序。可变延迟必须允许在至少半个时钟周期内进行调整。将延迟的初始位置放在延迟范围的中心。由于大多数长号型可变延迟线的基座误差延迟是固定的，因此在采样保持放大器时钟和ADC时钟路径中使用相同的可变延迟会有所帮助，这样两条路径中的固定基座误差延迟得到均衡。当为不依赖时钟频率的时序设置精确ADC时钟延迟时，使用相同可变延迟非常有用，因为这种应用不支持任何过大的模时钟周期延迟。然后通过两条延迟线或其中之一来调整相对ADC延迟。如果以差分方式驱动时钟，则在巴伦和时钟输入之间的HMC661LC4B时钟路径中必须使用平衡长度的电缆。

2. 在ADC的带宽之外，但在采样保持放大器的带宽以内，施加一个接近满量程的输入信号。施加一个电平略低于ADC满量程的输入信号，其频率远远超出ADC输入带宽，但在HMC661LC4B采样保持放大器的带宽以内。对于2 GHz至3 GHz输入带宽的转换器，5 GHz频率是一个不错的选择。
3. 观察FFT频谱并识别一阶拍频产物（基波）。给ADC和HMC661LC4B器件加电；观察ADC输出的FFT频谱显示并识别输入信号外差所产生的一阶拍频产物，时钟谐波采样保持放大器将所得的拍频产物置于第一奈奎斯特区间中。拍频产物是目标基波，其代表转换后的信号幅度。例如，对于1 GHz的时钟频率和5.049 GHz的输入信号频率，下变频的一阶拍频产物在 $5.049 - 5(1) = 49$ MHz。
4. 确定ADC采样发生在外部采样保持放大器输出波形的采样模式还是保持模式区域中。为确定ADC采样发生在采样模式还是保持模式区域中，须观察基波幅度。如果获得的信号接近满量程，则ADC时钟时序是对保持模式波形段进行采样，该组件表现出HMC661LC4B的扩展带宽。如果观察到的信号幅度代表该频率下从ADC输入带宽获得的传递函数衰减，则ADC是在采样模式波形段进行采样，并表现出ADC降低的带宽。如果基波幅度的状态存在不确定性，那么在一个小延迟范围（例如 ± 50 ps）上初步映射几个不同延迟点的幅度和噪声，便可迅速判断ADC采样点是位于采样到保持还是保持到采样转换上。如果采样点位于转换点上，则移动延迟以避免转换区域，这样样本就会落在采样模式或保持模式区域中。此外，映射半个时钟周期上分布的几个幅度和噪声点可以快速帮助确定操作状态和转换位置。

5. 设置采样保持放大器时钟极性，将ADC样本置于HMC661LC4B的保持模式。如果步骤4中ADC是在保持模式进行采样，则采样保持放大器时钟连接的相位可以保持不变。如果ADC是在采样模式进行采样，则差分时钟与采样保持放大器的连接必须反向，以使采样保持放大器与ADC之间的相对采样延迟移动半个时钟周期。差分时钟连接变化将ADC采样点置于保持模式波形段。如果移动采样保持放大器的时钟相位之后，幅度没有增加到接近满量程，则应少量改变ADC时钟延迟，同时进行监控，以判断ADC采样是否碰巧位于转换点。
6. 识别保持到采样转换，并将ADC采样点设置在相对于此点的采样到保持和保持到采样时间窗口的一半处。已知ADC采样位于保持模式后，映射几个点

并逐渐增加ADC时钟延迟，直至保持到采样转换的位置确定为止。对于一阶，保持到采样转换发生在延迟映射幅度曲线的大约-3 dB点处。一旦确定了保持到采样转换，ADC采样点相对于此转换便可提前，直至幅度和SFDR性能达到相对均衡的值。实现预期幅度和SFDR值的这个时间位置出现在相对于保持到采样转换提前30 ps到150 ps的地方，具体取决于ADC的输入带宽和由此导致的转换带限修整量。时间点的位置表示ADC采样时间的可接受点。如果ADC相对延迟已设置为绝对最小值（没有多余的模时钟周期延迟），那么该时序对所有时钟频率都有效。如果ADC相对延迟仅有适当的相位，但包含多余的模时钟周期延迟，则当改变时钟频率时，必须重新执行定时过程。

结语

本应用笔记讨论了HMC661LC4B超宽带采样保持放大器及其作为高速ADC主采样器以增强带宽和线性度的应用。本文介绍了将HMC661LC4B连接到ADC的一般原则，并提供了一个通过试验板设置中的时钟定时确立适当ADC采样时间的简单系统化方法。

《模拟对话》文章“[利用采样保持放大器和RF ADC从根本上扩展带宽以突破X波段频率](#)”提供了HMC661LC4B用于具有高速ADC的评估板设置时可获得的性能示例。