



更多关于 ADI 公司的 DSP、处理器以及开发工具的技术资料，
请访问网站：<http://www.analog.com/ee-note> 和 <http://www.analog.com/processor>
如需技术支持，请发邮件至 processor.support@analog.com 或 processor.tools.support@analog.com

将 ADSP-2106x/2116x 的设计移植到 ADSP-2126x/2136x/ 2137x SHARC® 处理器系统

作者: Divya Sunkara

Rev 1 – July 27, 2007

简介

本技术文档突出了将一个 ADSP-2106x 或 ADSP-2116x SHARC® 处理器系统设计移植到 ADSP-2126x，ADSP-2136x，或 ADSP-2137x SHARC 处理器的相关细节。虽然所有 SHARC 系列处理器的代码相互兼容，且有相同的处理器核和外设结构，但是，这些处理器的核、内部存储器的操作、外部存储器的访问以及外设结构上的一些关键差别也给成功移植带来了一定的挑战。

本文档确定了移植的一些事项，并提供了解决移植过程中所产生的问题的指导方案。注意到这点十分重要，更详细的信息，请参考产品说明书(数据手册、处理器硬件参考手册以及工具手册)。为了实现本文中的方案，需要利用产品说明书。

表 1 中对比了处理器的特性，部分特性的对比更容易辨认处理器间的差别(如不同的操作电压)，而这些在系统设计的移植过程中都是必须进行调整的。

但本文档的重点并非这类移植问题，相反，在优化系统设计的移植时，本文更关注的是必须处理的更细微、更深入的特性差别(如不同的流水深度，这直接关系到延迟问题)。

本文处理以下移植问题：

- 内部存储器的访问
- 流水深度
- SISD/SIMD程序的运行
- PLL配置
- 外部存储器访问
- 外部端口吞吐量
- SPORT性能差别
- DAI/SRU编程
- DMA/IOP用法
- 中断向量表建立
- 功耗的计算

处理器 →→→→ 特性 ↓↓↓↓↓	ADSP- 21060/ 21061/ 21062	ADSP- 21065L	ADSP- 21160/ 21161	ADSP- 21261	ADSP- 21262	ADSP- 21266 ¹	ADSP- 21362/ 21363/ 21364/ 21365 ¹ / 21366 ¹	ADSP- 21367 ¹ / 21368/ 21369	ADSP- 21371/ 21375
最大频率 (MHz)	40	66	100	150	200	150/200	333	400	266
处理器内核 电压 (3.3V I/O)	3.3 ²	3.3	1.8	1.2	1.2	1.2	1.2	1.3	1.2
双-/单端口 端口RAM	双	双	双	双	双	双	单	单	单
内部存储器 (MB)(RAM/ ROM)	4/0	0.5/0	1/0	1/3	2/4	2/4	3/4	2/6	1/4 0.5/2
流水深度	3	3	3	3	3	3	5	5	5
SISD/SIMD	SISD	SISD	SIMD	SIMD	SIMD	SIMD	SIMD	SIMD	SIMD
PLL配置	XTAL only	XTAL only	H/W only	H/W+S/W	H/W+S/W	H/W+S/W	H/W+S/W	H/W+S/W	H/W+S/W
外部口 (A/D)	32/48	24/32	24/32	n/a	n/a	n/a	n/a	24/32	24/32 ³
外部/并行 端口吞吐量	160M Bytes/s	264M Bytes/s	200M Bytes/s	66M Bytes/s	66M Bytes/s	66M Bytes/s	55M Bytes/s	222M Bytes/s	176M Bytes/s
外部运行	可以	可以	可以	n/a	n/a	n/a	n/a	n/a	可以
并行端口 (多路A/D)	n/a	n/a	n/a	16	16	16	16	n/a	n/a
多处理器/共 享存储器	可以	可以	可以	n/a	n/a	n/a	n/a	可以 ⁵	n/a
SDRAM 控制器	n/a	可以	可以	n/a	n/a	n/a	n/a	可以	可以
SPORT (双工)	2(全双工)	2(全双工)	4(全双工)	4(全双工)	6(半双工)	6(半双工)	6(半双工)	8(半双工)	8(半双工) ³
I ² S支持	n/a	是	是	是	是	是	是	是	是
链路端口	最多6个	n/a	最多4个	n/a	n/a	n/a	n/a	n/a	n/a
BGA(管脚)	225	225	225	136	136	136	136	256	n/a
LQFP(引线)	n/a	n/a	n/a	144	144	144	144	208	208

表 1 SHARC 处理器的特性对比

¹ 处理器拥有一个特殊的音频外设和工厂编译的片上ROM，要求都具有IP支持器许可证。

² ADSP-21060/21061/21062同样有支持5.0V的版本。

³ 表中的值同样也适用于ADSP-21371。ADSP-21375外部数据总线为16位，ADSP-21375的流量为88 Mb/s，ADSP-21375有四个SPORT。

⁴ 外部端口吞吐量是通过32位宽的数据总线时的流量，更多细节请参考外部口吞吐量。

⁵ ADSP-21368同样也支持共享存储器模式。更多细节请参考外部存储器访问。

内部存储器访问

表 1 中的单/双端口 RAM 行说明了 ADSP-2106x/2116x 和 ADSP-2126x/2137xSHARC 系列处理器之间的重要差别。处理器访问结构的差别在很大程度上会影响程序移植的成功率。

传统 SHARC 系列处理器的访问

ADSP-2106x/2116x SHARC 系列处理器(称为传统的 SHARC 系列处理器)的内部存储器有一个由两个存储区块构成的双端口存储器结构,该存储区块可在同一个周期中被任意两个程序存储器 (PM)、数据存储器(DM)和 I/O 总线访问。

对于传统 SHARC 系列处理器来说,在循环指令第一次迭代之后,指令缓存可以实现对同一个存储区块 PM 和 DM 的单周期访问。在同一个核时钟周期,PM 或 DM,与 I/O 总线可以访问这两个存储器块中的任意一个。

I/O 总线被 DMA 控制器使用,但它也为传统 SHARC 处理器提供了内核直接访问内存映射 IOP 寄存器的能力,这些寄存器用来控制处理器的外设。这些处理器允许在两个存储器块中混合存储程序代码和数据段,但当 PM 和 DM 存储器块冲突时,会产生处理器核延迟。

最新 SHARC 系列处理器的访问

ADSP-2126x/2136x/2137xSHARC 系列处理器的内部存储器(参考最新 SHARC 系列处理器)允许相似的程序代码段和数据段跨内部存储器块混合配置,同时也像传统 SHARC 系列处理器一样支持 DMA 和处理器核对任一存储器块的访问。而两种结构之间的主要区别在于传统处理器的双端口内部存储器块阻止了处理器核(PM 或 DM 总线)和 IOP(I/O 总线)之间的存储器块冲突,这

在最新 SHARC 系列存储器中不支持。相反,最新存储器提供了四个单端口的存储器块,由于存储器块是单端口的,因此,在相同周期下,处理器核和 IOP 同时访问相同的存储器块时,会出现存储器块冲突。另外两个存储器块--相对传统 SHARC 系列处理器来说--主要就是用来避免这类存储器块冲突的出现。

SHARC 系列处理器用如下机制处理存储器块的冲突:

- 所有的 SHARC 系列处理器(包括传统 SHARC 系列和最新 SHARC 系列),如果 DM 和 PM 访问发生冲突,优先考虑 DM,将 PM 访问放到第二个周期。
- 对于最新 SHARC 系列处理器来说,如果 PM/DM 和 I/O 发生冲突,优先考虑 I/O 访问。这是由于 I/O 总线运行于一半的内核时钟频率(CCLK),也就是说,一次 I/O 访问所能提供的最大速率也要两个内核时钟周期。这对内核和 I/O 总线提供了公平共享的存储器访问。

I/O 总线用于内核访问控制外设的内存映射 IOP 寄存器,而 DMA 控制器用 I/O 总线实现存储器和外设之间相互数据传输。当 TCB 存储于内部存储器中时,I/O 总线同时也用于 DMA 控制器访问 DMA 链中的传输控制模块(TCB)。

尽管有可能存在块间访问冲突,系统设计者经过思考和分析,可以参考下列方法以最高性能使用存储器:

- 使用默认链接描述文件(.LDF),作为描述系统内存和放置程序 and 数据的起始点。
- 如果冲突引起的延迟导致性能成为突出问题时,请参考以下见点:

- 无论是否可能，都必须将代码和数据放在不同的存储块内。
- 允许DMA(如果数据缓冲和TCB可用)使用内核未使用的存储器块。
- 允许DMA访问在存储器块之间乒乓操作，而不是在同一存储器内操作。
- 只能使用PM总线传输指令。

ADSP-2136x SHARC 系列处理器编程参考中“存储器”章节包括了冲突引起的延迟和内部存储器块总线使用的图表的相关信息。

流水深度

表 1 中流水深度这一行确定了所有 SHARC 系列处理器之间的差别，并影响程序执行的性能。为了适应更快的存储器和处理器速度，ADSP-2136x 和 ADSP-2137xSHARC 处理器将 3 级流水改为 5 级流水，表 2 进行了比较。

级数	ADSP-2106x ADSP-2116x ADSP-2126x	ADSP-2136x ADSP-2137x
1	取指	取指1
2	解码	取指2
3	执行	解码
4	N/A	地址
5	N/A	执行

表 2 流水结构比较

流水深度的增加引入了处理器行为上的细微差别，这种差别仅仅在短循环以及中断和跳转的等待时间中可见。对于开发者要从 3 级流水的 SHARC 系列处理器移植代码，一定要注意下面与等待、硬件循环和等待时间有关的移植问题，他们都源于流水深度的增加。

等待

产生停顿的潜在源包括：

DAG 寄存器用于地址产生的操作数：

```
M0 = 1;
DM(I2,M0) = R1; /*两周期等待*/
```

DAG 寄存器用于间接 jump/call

```
M0 = 1;
JUMP (M0,I1); /*两周期等待*/
```

使用相同的变址寄存器的后修改和预修改：

```
Dm(I0,M1) = R1;
R2 = dm(-1,I0); /*一周期等待*/
```

Ureg 操作数用作启动基于硬件计数器的循环控制：

```
USRAR1 = 0x5;
LCNTR = USTAT1, do (...) until LCE;
/*一周期等待*/
```

计算结果作为条件：

```
R0 = R0 - 1;
If ne jump BEGIN_OF_LOOP; /*一周期等待*/
```

硬件循环

下面是短循环需要插入等待的其他情况。如果要实现零开销循环(消除所有的等待周期)，应用以下指南：

- 长度为一的循环必须重复至少四次。
- 长度为二的循环必须重复至少两次。
- 长度为三的循环必须重复至少两次。

等待时间

由于流水深度增加，因此中断和跳转/调用的等待时间有所不同。

对于中断来说，增加的流水会引起某些相应的延迟时间：

- 如果强制写IRPTL则需要五个周期
- 硬件生成中断需要六个周期

对于跳转/调用，也有相应的等待时间：

- 立即分支：三个周期
- 延迟分支：一个周期
- 条件分支：有条件四个周期，无条件零周期

SISD/SIMD 程序运行

在移植中，SIMD 能极大提升系统性能。表 1 中的 *SISM/SIMD* 行指明了支持 SIMD 的 SHARC 系列处理器。

ADSP-2106xSHARC 系列处理器是单指令，单数据(SISD)机制，他们的单个处理单元和 SHARC 结构能提供 66MIPS，66MMACS，132MFLOPS 的处理性能。

ADSP-2116x，ADSP-2126x，ADSP-2136x 以及 ADSP2137xSHARC 系列处理器支持单指令，多数据模式(SIMD)。这种增强的结构提供了第二个有效的提高性能的选择。如再结合增加的处理器核指令速率(266MHz)，则 ADSP-21375 处理器可以达到 266MIPS，533 MMACS 以及 1.596GFLOPS 的处理性能。

几篇应用笔记档描述了如何实现 SIMD 操作，包括以下几个：

- *Extended-Precision Fixed-Point Arithmetic on SIMD SHARC Processors (EE-270)*

- *Implementing In-Place FFTs on SISD and SIMD SHARC Processors (EE-267)*

PLL 配置

随着处理器速度的增加，当从传统 SHARC 系列处理器移植到新的 SHARC 系列处理器时，支持对时钟和锁相环(PLL)更加灵活的配置就变得更为重要。表 1 中的 *PLL 配置* 行指明 SHARC 系列处理器支持 PLL 配置，这可以通过时钟晶振输入(仅 XTAL)、时钟晶振和时钟速率选择引脚，或时钟晶振(仅 H/W)、时钟速率选择引脚和软件控制(H/W+S/W)三种方式实现配置。

最早 SHARC 系列处理器的时钟控制

对于 ADSP-2106xSHARC 处理器，来自微处理器级晶振的 CLKIN 时钟频率直接为处理器内核提供时钟输入。该处理器系列中的一员(ADSP-21065L)可以使输入频率加倍，即处理器运行在 CLKIN 输入频率的两倍。

与 ADSP-21161x，ADSP-2126x，ADSP-2136x 和 ADSP-2137x SHARC 系列处理器不同，ADSP-2106x SHARC 处理器没有用于编程内部锁相环路的时钟配置引脚和处理器内核时钟频率的引脚。

后来的 SHARC 处理器的时钟控制

对于 ADSP-2116xSHARC 处理器来说，它的片上 PLL 为处理器内核提供了一个很“干净”的时钟。CLKIN 输入和 PLL 输出(到处理器内核)之间的比值可通过设定外部时钟控制引脚(CLKCFG)来控制。这些 CLKCFG 引脚状态定义了一个有效的倍乘系数，能够从原来低速的、容易获取的晶体或者晶体振荡器(XO)产生期望得到的内核时钟频率(CCLK)。在启动后，PLL 能锁定 CLKIN 源，并提供要求的 CCLK 速率。只

有当 SHARC 处理器处于复位状态时，才能选择 CLKCFG 引脚。

该处理器系列的一个成员(ADSP -21161)包括一个时钟加倍引脚(CLKDBL)，该引脚首先将 CLKIN 输入乘以因数 2，然后将 2 倍时钟通到内部 PLL。

最新 SHARC 处理器时钟控制

ADSP-2126x, ADSP-2136x, 和 ADSP-2137xSHARC 处理器上都有软件可配置的 PLL，对处理器核时钟频率的控制提供了更大的灵活性。除了 CLKCFG 引脚，这些处理器上的 PLL 还可以通过软件进行配置，它为依赖 CLKCFG 引脚进行设置，或者应用一组附加的乘法系数或除法系数进行配置之间提供了一种选择，比只通过 CLKCFG 引脚提供的三种倍乘系数具有更广泛的比例选择。软件时钟控制在初始化子程序，以及处理运行的任何时候都可以应用(处理器复位状态除外)。

时钟控制向导

PLL 编程能力某些细节的理解，对于更轻松的移植早期 SHARC 系列处理器程序有着至关重要的作用：

- PLL 空间的限制 (这些限制影响 ADSP-2126x, ADSP-2136x以及ADSP-2137x SHARC系列处理器)。

使用 PMCTL 寄存器中的除数位(INDIV)将 CLKIN 时钟源除 2，然后将之作为 PLL 的输入。

- 当INDIV位清零时，要求 $CLKIN * PLLM < 400MHz$ 。
- 当INDIV置位时，要求 $CLKIN * PLLM < 800MHz$ 。

- 使用除使能位(DIVEN)使PLL用已经输入的 PLLD除数值锁定输入时钟。
- 在旁路模式下设置PLL时，记住要清除除使能位DIVEN。

请参考采用的 SHARC 处理器 *硬件参考手册* 中合适的“系统设计”章节，以及文档“*Managing the Core PLL on Third-Generation SHARC Processors (EE-290)*”。

外部存储器访问

取决于系统在外存储器中存储的数据量，以及系统是否直接从外部存储器执行指令，外部存储器访问可能成为系统移植过程中最具挑战性的问题之一。查看表 1，其中的以下行明确了影响系统移植的外部存储器访问的一些特性：

- *外部端口(地址/数据)*——扩展到片外的地址和数据总线宽度
- *执行外部程序*——支持从外部存储器执行程序
- *并行端口(复用地址/数据)*——复用的外部地址和数据总线宽度
- *多处理器/共享存储器*——支持多处理器和共享存储器访问
- *SDRAM 控制器*——支持系统中外部 SDRAM的无缝连接

访问传统 SHARC 处理器

传统 SHARC 处理器 (ADSP-2106x 和 ADSP-2116x 处理器)外部端口，有其专用的数据和地址引脚，将 32 位数据总线和 24 位的地址总线扩展到了片外。

传统 SHARC 处理器的外部端口支持各种不同的

特性,其中影响程序移植的关键特性就是支持数据打包(能自动调整内部总线宽度和外部总线宽度之间的差别)。

这些处理器可配置为工作在 16-, 32-, 或(某些情况下)64 位外部数据总线。例如, ADSP-21160 处理器有 64 位数据总线,可以配置为工作于 16-, 32-或 64 位宽的数据打包总线形式。灵活的外部端口还支持另一个例子是: ADSP-21161 处理器还能将未用的链路数据引脚(链路禁止),将外部数据总线宽度扩展到 48 位,这样就可以直接从外部存储器控制执行指令,而无需指令打包。

在传统 SHARC 处理器中,需要注意的是, ADSP-21065L, ADSP-21160, 以及 ADSP-21161 处理器可以从外部存储空间执行指令。

结合一些存储控制信号(/RD, /WR, ACK 和 /MSx), 传统 SHARC 处理器的外部端口允许系统友好的连接到公共 SRAM 设备以及并行 DAC 和 ADC。

一些传统 SHARC 处理器(ADSP-21065L 和 ADSP-21161 处理器)在其外部端口上还包括了 SDRAM 控制器功能,该功能模块为 SDRAM 设备增加了外部控制信号(/RAS, /CAS, DQM, /SDWE, SDCLK0-1 和 SDCKESDA10)和内部逻辑,以管理 SDRAM 设备的启动和更新需要。

大多数传统 SHARC 处理器都支持基于多处理器的簇连接和主机处理器。这些特性由附加外部端口信号组成(/HBR, /HBG, ID2-0, 和/BRx), 允许多个 SHARC 处理器仲裁访问公共外部存储器和/或各内部存储器中的某个指定的存储器段,称为多处理器存储空间。这些多处理器控制信号还允许主机处理器访问每个 SHARC 处理器的存储器映射的 I/O 处理器空间。

访问最新 SHARC 处理器

最新 SHARC 处理器上有两种类型的外部端口。

某些最新 SHARC 处理器(ADSP-2126x 和 ADSP-21362/3/4/5/6)有一个并行端口(比完整外部端口更简单),所用的外部引脚更少。其他最新 SHARC 处理器(ADSP-21367/8/9 和 ADSP-21371/5)有完整的外部端口。了解这两种类型端口之间的差别以及这些差别如何影响系统移植是非常重要的。

最新 SHARC 处理器上的并行端口 16 位宽,且采用复用方案在相同外部引脚(AD15-0)上共享地址和数据信号,该并行端口特性的重要性在于:

- 端口上复用的地址和数据引脚需要外部锁存寻址(组合逻辑)外部存储器(SRAM)。
- 端口不支持使用SDRAM。
- 端口不支持从外部存储空间执行指令
- 端口不支持主机或多处理器访问
- 端口不支持处理器核直接访问外部存储器。所有对外部存储器的端口访问都通过DMA完成。端口控制和DMA设置寄存器可以由处理器核对其读/写,从而允许通过并行端口执行DMA操作。

由于并行端口支持中的最后一项限制,所以软件开发工具中提供了一个独立的外部存储器窗口(外部数据(DM)字节存储器),以显示外部存储器的数据。从 VisualDSP++[®]4.5 开发工具开始,为这些处理器的外部存储器段引入了 **DMA ONLY** 分类符。

ADSP-21367/8/9 和 ADSP-21371/5 SHARC 处理器有一个更加鲁棒的外部端口，它重新恢复了 ADSP-2106x 和 ADSP-2116x 处理器所提供的许多外部口功能，尤其是，这些最新 SHARC 处理器上的外部端口有专用的地址和数据引脚，以及外部端口控制信号(/RD, /WRACK 和/MSx)。需要注意的是，这些最新 SHARC 处理器上的外部端口数据总线宽度都为 32 位，但除 ADSP-21375 处理器外，它的数据总线宽度为 16 位。

虽然这些最新 SHARC 处理器上的外部端口不提供主机或多处理器功能，但这些处理器确实包含了一个 SDRAM 控制器。这些处理器的外部端口特性之间也有些不同。例如，ADSP-21371/5 处理器支持从外部存储器执行程序(仅存储块 0)且 ADSP-21368 处理器还支持共享存储器——在四个 ADSP-21368 SHARC 处理器之间的一个共用 SRAM 或 SDRAM 存储区。此外，在 ADSP-21368 SHARC 处理器之间还为总线提供额外的外部信号仲裁(ID1-0 和/BRx)。

与具有 SDRAM 的传统 SHARC 处理器不同，ADSP-21367/8/9 处理器的 SDRAM 控制器没有驱动典型 SDRAM 器件 DQM 的引脚。当 SDRAM 连接到 ADSP-21367/8/9 处理器时，可将其 DQM 引脚直接连接到有效状态。

采用最新 SHARC 处理器的更多信息，请参见适当的 SHARC 处理器和 SDRAM 器件的数据手册，以及“*Interfacing SDRAM Memory to ADSP-21368 and ADSP-2137x SHARC Processors (EE-286)*”。

外部端口吞吐量

由于所使用的外部端口的数据吞吐量可对系统设计产生很大的影响，所以移植规划必须对传统 SHARC 处理器和最新 SHARC 处理器的这一特性进行对比。该特性列于表 1 中“外部/并行口吞吐量”一行。

传统 SHARC 处理器上的数据吞吐量

利用外部端口所加时序速率的定义计算传统 SHARC 处理器外部端口吞吐量。例如，ADSP-21160 处理器的外部端口工作在 CLKIN 速率(最大速率为 50MHz)，则计算该处理器的数据吞吐量(假定外部总线宽度为 32 位)如下：

$$\text{吞吐量} = \frac{4 \text{ 字节}}{1} \times \frac{50 \times 10^6}{\text{秒}} = 200 \frac{\text{M 字节}}{\text{秒}}$$

需要特别注意的是，ADSP-2116x 处理器还支持 64 位的外部总线，利用全部 64 位数据总线，则得到其吞吐量为 400MB/秒。

最新 SHARC 处理器上的数据吞吐量

最新 SHARC 处理器外部端口吞吐量的计算的定义不像传统的 SHARC 处理器上那么简单——与传统 SHARC 处理器相比，端口吞吐量不再用处理器核时钟速率的增加来衡量，从表 1 中的吞吐量对比可以看出，最新 SHARC 处理器的端口吞吐量与传统 SHARC 处理器的相比差别不大。

在 ADSP-21369 处理器上，外部端口的吞吐量的计算来源于：

- 使用运行于 166MHz 的 32 位总线 (CCLK/2=333/2=166MHz)
- 需要三个周期才能完成外部访问

■ 计算有效外部总线速率为166/3(55.3MHz)

以上所有信息得出如下计算结果:

$$\text{吞吐量} = \frac{4 \text{ 字节}}{1} \times \frac{55.3 \times 10^6}{\text{秒}} = 222 \frac{M \text{ 字节}}{\text{秒}}$$

在某些最新 SHARC 处理器(ADSP-21367/8/9)上, 利用 SDCLK 作为时钟——即使访问是异步的, 访问按外部端口逻辑的速率进行。CCLK 为 333MHz 时, 则可选的最快 SDCLK 为 166MHz(CCLK/2)。

如果系统只用外部 SRAM, ADSP-21367/8/9 在 400MHz 时的外部端口吞吐量会略好一点。对于有效外部总线速率为 200/3(66.667MHz)时, 计算如下:

$$\text{吞吐量} = \frac{4 \text{ 字节}}{1} \times \frac{66.67 \times 10^6}{\text{秒}} = 266 \frac{M \text{ 字节}}{\text{秒}}$$

该技术也用于 ADSP-21367/8/9 SHARC 处理器数据手册中推导吞吐量, 但重要的是要知道, 如果在系统中使用了 SDRAM(如在存储器块 0), 则该计算值也是不可靠的。

如果系统还包括 SDRAM, 以上计算就不能使用。具有 SDRAM 的系统利用 CCLK:SDCLK 之比, 对于一个 333MHz 的 CCLK 和 166MHz 的 SDCLK, 它被设置为 2:1, 就外部总线的异步传输速率为 166/3(55.3MHz), 吞吐量大约为 220MB/秒。

并行端口上的数据吞吐量

ADSP-2126x 和 ADSP-21362/3/4/5/6 处理器有一个简化的并行端口, 而不是完整的外部端口。重要的是要注意并行端口吞吐量是否影响移植计划。例如, ADSP-2126x 处理器并行端口的吞吐量为 66MB/秒, 而 ADSP21362/3/4/5/6 处理器的为 55MB/秒。吞吐量的差别(尽管提高了后者处理器的速度等级)是由于外设时钟发展的改变。在 ADSP-2126x 中, 外设时钟(即并行端口时钟)

运行于 CCLK 频率, 而 ADSP-21362/3/4/5/6/ SHARC 处理器的外设时钟则为二分之一 CCLK 频率。

数据吞吐量总结

表 3 总结了各种 SHARC 处理器数据访问的最优吞吐量。

需要注意的是, ADSP-21367/8/9 处理器的 SDRAM 写吞吐量取决于究竟是内核访问, 还是 DMA 控制器管理访问操作。还应注意, ADSP-2116x 处理器还支持访问同步突发 SRAM(SBSRAM) 设备, 而 ADSP-2126x 和 ADSP-2136x 处理器则不能。

处理器	访问类型	操作	页面	吞吐量/外部端口周期(非CCLK)
ADSP-21065L /21161	顺序非中断	读	相同	1字/周期
		写	相同	1字/周期
ADSP-21367 /8/9	顺序非中断	读	相同	32字/37周期
		写	相同	处理器核: 1字/周期 DMA: 1字/2周期
ADSP-2137x	顺序非中断	读	相同	32字/37周期
		写	相同	1字/周期

表3.数据吞吐量对比

指令打包和吞吐量

外部端口指令打包可以让处理器从外部存储器取指令。仅 ADSP-21065L, ADSP-21161, 和 ADSP-2137x 处理器支持从外部存储器执行程序。

ADSP-21065L 和 ADSP-21161 指令打包特性包括:

- 在32位外部存储器中保存48位的指令
- 每条指令需要两个(2)CLKIN或外部端口周期;例如,每条指令占用两个(2)32位地址。这种将指令打包存入32位存储器的方式,每条指令要浪费16位存储空间。

ADSP-21161 指令打包特性还包括:

- 48位外部存储器(在禁止链路口时,利用未用的链路口数据引脚)中支持48位指令,或将打包后的指令存放到32位, 16位, 8位外部存储器中。
- 在48位宽的存储器中放置指令,每条指令需(1)CLKIN或外部端口周期
- 在32位宽的存储器中放置指令,每条指令需两个(2)CLKIN或外部端口周期(浪费16位/指令)
- 在16位宽的存储器中放置指令,每条指令需四个(4)CLKIN或外部端口周期(浪费2个字节/指令)
- 在8位宽的存储器中放置指令,每条指令需八个(8)CLKIN或外部端口周期(浪费2个字节/指令)

ADSP-2137x 指令打包特性包括:

- 32位宽外部存储器中放48位宽指令
- 每2条指令需三个(3)SDCLK周期;例如,每2条指令占三个(3)32位地址单元,这是一种32位宽存储器中存放打包指令的最有效的方式。

SPORT 特性差别

各 SHARC 处理器的同步串行端口(SPORT)的特

性各有差异,其差别来自 SHARC 系列换代过程中功能和数据吞吐量的稳步提升。在表 1 中,这些差别在 *SPORT*(全双工)和 *I²S* 支持两行中有突出强调,但特性方面的区别比这两行所隐含的更加微妙且复杂。

传统 SHARC 处理器 (ADSP-2106x 和 ADSP-21160 处理器)上的 *SPORT* 能够进行全双工操作。但进入 ADSP-21161,其特性有了变化,系统设计必须同时利用两个 *SPORT* 才能实现全双工操作。

ADSP-21161 和最新 SHARC 处理器 (ADSP-2126x, ADSP-2136x, 和 ADSP-2137x) 的 *SPORT* 数据引脚支持输入或输出方向的编程控制。这一特性是对原来 ADSP-2106x 和 ADSP-21160 处理器的 *SPORTs* 的增强,原来的 *SPORT* 固定为发送器或接收器。

另一特性增强就是支持 *I²S*。ADSP-2106L, ADSP-21161, 以及新的 SHARC 处理器上的 *SPORT* 都支持 *I²S*。

SPORT 中对 TDM 的支持也随时间有所改变。ADSP-21065L 和 ADSP-21161 处理器的 *SPORT* 最早支持通道 B 次级 Tx/Rx 对,而这些传统 SHARC 处理器的 *SPORT* 只支持主 A 通道上的多通道 TDM 模式。最新 SHARC 处理器 *SPORT* 还支持 B 通道上的 TDM 模式,从而使传统 SHARC 处理器的一对 *SPORT* 口的 TDM 吞吐量翻倍。

ADSP-2106x *SPORT* 在 TDM 模式下只能支持 32 个通道,而 ADSP-2126x 和 ADSP-2136x SHARC 处理器 TDM 支持已扩展到每帧 128 个通道,扩展了支持的 TDM 通道数。

最新的 SHARC 处理器 (ADSP-21367/8/9 和 ADSP-2137x)TDM 模式下使用哪个 *SPORT* 也没有限制。先前的 SHARC 处理器有一个配对方案,

该方案一个特定的 SPORT 用于发送，只能用相应的 SPORT 用于接收，如果不需要接收，它就没有任何用处。

ADSP-21367/8/9 处理器的 SPORT 中还可用帧错误逻辑，该逻辑能检测出现的帧同步，并即在上一次发送或接收尚未完成之前使中断有效。在中断中，轮询检测 SPERRSTAT 寄存器，确定 SPORT 出现了帧错误。

不同 SHARC 处理器的内部产生最高串行时钟也各不相同，在 ADSP-2106x SHARC 处理器上，SPORT 运行速率高达 50MHz，CLKDIV 寄存器中分频系数为 1。而 ADSP-2116x 处理器则将最大串行时钟率限制在 CCLK 的二分之一。ADSP-2126x 处理器将最大时钟率限制在 CCLK 的四分之一。ADSP-2136x 处理器将最大时钟率限制在 CCLK 的八分之一。

DAI/SRU 编程

在规划系统移植时，不仅要检查先前设计使用的特性发生了什么变化，还应仔细完整地检查处理器的新特性，并确定这些新特性如何在新系统中提高性能。新 SHARC 处理器的 DAI/SRU 特性就属此类。

对于 ADSP-2126x 处理器，引入了一种用于外设共享引脚的新方法，即信号路由单元(SRU)。该特性在处理器的 *硬件参考* 中有详细描述，但这里还值得一提，这是一组易于编程的引脚，可以在多个外设中灵活使用，了解这一点十分重要。对信号路由的编程有几种不同的方法，包括用于 VisualDSP++ 开发工具的 GUI 插件，手动寄存器操作，以及在 C 及汇编中使用的软件宏，VisualDSP++ 就使用了 SRU 宏。

需要注意的是，VisualDSP++ 包装没有带 GUI 插件。更多信息，请参考 “*Using the Expert DAI for ADSP-2126x, ADSP-2136x and ADSP-2137x SHARC Processors (EE-243)*”。

在过去，要将 SPORT 的时钟信号输出，系统设计的选择还会导致出现信号完整性问题。利用 *ADSP-21368 SHARC 处理器硬件参考* 中的“串行口”一章中所提供的信息，确保该问题不会出现在系统移植中。

DMA/IOP 的用法

在 ADSP-2137x SHARC 处理器上，已增强外部 DMA 口，以支持音频延迟线。本质上，该特性由链式 DMA 或将音频数据块写入外部存储器，然后在读回样本(支路)用于回放等部分构成。该特性首先在 ADSP-21367/8/9 SHARC 处理器上实现，但只限于每一支路只读取一个样本。由于外部存储器中的每一支路都需要在内部存储器中有一个入口(支路系列)，每一个外部数据字都用一个内部数据字进行描述，因此不能有效利用存储空间。该限制在后来的 ADSP-2137x SHARC 处理器中得到了解决，允许对每一支路读取多个样本。

在移植链接的 DMA 建立程序代码时，应牢记由于 SHARC 处理器间的内部存储器起始地址有变化，新的 SHARC 处理器和传统 SHARC 处理器中的链式指针寄存器中的 PCI 位也有差别。在移植代码时，如果不更改该 PCI 位，则在 DMA 完成后，不会产生中断。

中断向量表建立

在移植计划的项目列表清单中，还要记得检查中断向量表的设置。在传统的和新 SHARC 处理器间的程序代码移植(特别是移植传统汇编程序代码)时，程序员必须注意新映射的外设向量地址，它们可能已移到不同的中断向量位置。如果没有进行这些修改的程序代码移植，将不能为 SPORT 或其他中断服务。

功耗计算

功耗也是一个关键的系统特性，将大大影响系统移植的成功率。在 SHARC 处理器的整个寿命中，由于漏电流比例的增大以及对功耗和散热设计的更多关注，功耗变得更难确定。

对 ADSP-21060 处理器的计算

该处理器的功耗计算如下：

$$I_{DDINHIGH} @ 25 \text{ ns } T_{CK} = 0.475 \text{ A}$$

$$P_{EXT} = 0.074 \text{ W}$$

$$P_{INT} = I_{DDINHIGH} * V_{DD} = 0.475 \text{ A} * 3.3 \text{ V}$$

$$P_{TOTAL} = 1.644 \text{ W}$$

ADSP-21061L SHARC 处理器还特别增加了一个“idle16”指令，该指令在执行 NOP 操作时，能将处理器核时钟减慢到原来 1/16，从而节省空闲功耗，与“IDLE”相比，近似为 50mA vs 180mA，而如果与上例中使用的 $I_{DDINHIGH}$ 相比，则近似为 475mA。

更多详细信息请参见适当的 ADSP-2106x SHARC 处理器数据手册。

对 ADSP-21065L 处理器的计算

该处理器的功耗计算如下：

$$P_{EXT} = 0.068 \text{ W}$$

$$P_{INT} = I_{DDINHIGH} * V_{DD} = 0.275 \text{ A} * 3.3 \text{ V}$$

$$P_{TOTAL} = 0.9755 \text{ W}$$

对 ADSP-21161N 处理器的计算

在 ADSP-21160M/N 和 ADSP-21161N 处理器中，引入了独立的处理器核和 I/O 电压，ADSP-21161N 处理器的功耗计算如下：

$$P_{EXT} = 0.185 \text{ W}$$

$$P_{INT} = I_{DDINHIGH} * V_{DDINT} = 0.660 \text{ A} * 1.8 \text{ V}$$

$$P_{TOTAL} = 1.373 \text{ W}$$

注意：上面的 0.660A 值包括给 PLL 供电的 10mA 的 AI_{DD} 。

最新 SHARC 处理器的计算

在新 SHARC 处理器(ADSP-2126x 处理器和之后)中，由于漏电流是功耗中一个更重要的部分，ADI 公司转而从应用笔记来传递功耗计算信息，而不用数据手册，这种变化可以让系统设计师共享更多的信息和说明。

每一组 SHARC 处理器 (ADSP-2126x，ADSP-21362/3/4/5/6，ADSP-21367/8/9 以及 ADSP-21371/5) 都附有一份应用笔记，系统设计师能利用一个实际的外设使用实例准确预测 P_{EXT} ，并基于静态(漏)和动态(转换)分量估计出 P_{INT} ，并说明电压，温度，和频率对功耗的影响。

EE-文件中的数据，类似于先前的 SHARC 处理器数据手册中所提供的数据，是基于特性的数据。功耗计算数据为理解电源供给要求和估计降低功耗提供宝贵信息，这可以利用可编程的 PLL

管理内核时钟率来实现。

SHARC 处理器功耗的参考应用笔记包括：

- *Estimating Power Dissipation for ADSP-21368 SHARC Processors (EE-299)*
- *Estimating Power for the ADSP-21362 SHARC Processors (EE-277)*
- *Estimating Power Dissipation for Industrial Grade ADSP-21262 SHARC Processors (EE-250)*
- *Estimating Power Dissipation for ADSP-21262S SHARC DSPs (EE-216)*

结论

当处理器之间的存储器存在差别时，将系统设计从传统 SHARC 处理器移植到新 SHARC 处理器，是一项可控制的任务，移植的挑战不仅来自于器件的明显规格说明的差别，还来自于更细致的，不明显的性能特性的差别。

本应用笔记旨在提供细微的特性差别，以轻松实现系统移植。利用本文件只是一个开始，这里提出的问题将系统设计者引到影响其移植计划的处理器文件的相关部分。

参考文献

- [1] *ADSP-2136x SHARC Processor Programming Reference*. Rev 1.0, March 2007. Analog Devices, Inc.
- [2] *ADSP-21368 SHARC Processor Hardware Reference*. Rev 1.0, September 2006. Analog Devices, Inc.
- [3] *ADSP-21160 SHARC DSP Instruction Set Reference*. Rev 2.0, November 2003. Analog Devices, Inc.
- [4] *ADSP-2126x SHARC Processor Peripherals Manual*. Rev 3.0, December 2005. Analog Devices, Inc.
- [5] *ADSP-2136x SHARC Processor Hardware Reference for the ADSP-21362/3/4/5/6 Processors*. Rev 1.0, October 2005. Analog Devices, Inc.
- [6] *ADSP-21161 SHARC Processor Hardware Reference*. Rev 4.0, February 2005. Analog Devices, Inc.
- [7] *ADSP-21160 SHARC DSP Hardware Reference*. Rev 3.0, November 2003. Analog Devices, Inc.
- [8] *ADSP-2126x SHARC DSP Core Manual*. Rev 2.0, February 2004. Analog Devices, Inc.
- [9] *ADSP-21065L User's Manual*. Rev 2.0, July 2003. Analog Devices, Inc.
- [10] *ADSP-2106x SHARC User's Manual*. Rev 2.1, March 2004. Analog Devices, Inc.
- [11] *Extended-Precision Fixed-Point Arithmetic on SIMD SHARC Processors (EE-270)*. Rev 1, July 2005. Analog Devices, Inc.
- [12] *Implementing In-Place FFTs on SISD and SIMD SHARC Processors (EE-267)*. Rev 1, March 2005. Analog Devices, Inc.
- [13] *Managing the Core PLL on Third-Generation SHARC Processors (EE-290)*. Rev 2, May 2007. Analog Devices, Inc.
- [14] *Interfacing SDRAM Memory to ADSP-21368 and ADSP-2137x SHARC Processors (EE-286)*. Rev 3, April 2007. Analog Devices, Inc.
- [15] *Using the Expert DAI for ADSP-2126x, ADSP-2136x and ADSP-2137x SHARC Processors (EE-243)*. Rev 3, June 2006. Analog Devices, Inc.
- [16] *Estimating Power Dissipation for ADSP-21368 SHARC Processors (EE-299)*. Rev 1, December 2006. Analog Devices, Inc.
- [17] *Estimating Power for the ADSP-21362 SHARC Processors (EE-277)*. Rev 1, January 2006. Analog Devices, Inc.
- [18] *Estimating Power Dissipation for Industrial Grade ADSP-21262 SHARC Processors (EE-250)*. Rev 1, May 2005. Analog Devices, Inc.
- [19] *Estimating Power Dissipation for ADSP-21262S SHARC DSPs (EE-216)*. Rev 1, December 2003. Analog Devices, Inc.

文档记录

Revision	Description
Rev 1 – June 27, 2007 by Divya Sunkara	Initial release