



更多关于 ADI 公司的 DSP、处理器以及开发工具的技术资料，

请访问网站：<http://www.analog.com/ee-note> 和 <http://www.analog.com/processor>

如需技术支持，请发邮件至 processor.support@analog.com 或 processor.tools.support@analog.com

Blackfin® 处理器硬件设计注意事项

作者: Robert Kilgore

Rev 2 – July 7, 2008

引言

本EE-技术笔记描述了在使用Blackfin®处理器进行设计时，大多数需要避免的共性错误。除了本技术文档，设计人员还需要阅读与所需使用的处理器有关的最新数据手册，硬件参考手册，芯片异常列表(可从ADI公司网站获取)。

一般的硬件设计问题

以下章节将定位于与存储器接口或专用外设无关的设计事项。

NMI 极性

仔细检查处理器的非屏蔽中断(NMI)信号的极性。在几款 Blackfin 处理器中 (ADSP-BF531/BF532/ BF533/BF535和ADSP-BF561)，NMI信号是高电平有效，而在其他所有Blackfin处理器中，为更好的与标准监控管理器件连接，NMI信号是低电平有效。而且还应牢记，如果不使用NMI信号，应该将其置于无效状态。



不要将 NMI 信号悬空，或者连接成有效状态。

5V 兼容性

加到信号上的非标称的5伏电压，可能会损坏器件并引起故障，Blackfin处理器的输出端不得连接到要求5V电压器件的输入端，大多数Blackfin处理器的信号引脚不兼容5V电压，但也有例外，如某些双线接口信号(TWI)。如果需要，则处理器的其他信号引脚都需要使用电平转换器，使其电压小于等于处理器数据手册中规定的绝对最大值。对于CAN发送接收器和ATAPI接口，通常都需要使用电平转换器。为了防止高电压，仅用限流电阻不能提供足够的保护。

未使用的信号

查看数据手册信号部分最后关于未使用信号的说明。通常，未使用的信号都在数据手册最后说明。如果没有正确连接/NMI、NMI、/BR信号引脚，将引起芯片的加电顺序和复位故障。对电磁干扰或者电磁耐受性要求很高的应用,如有可能，应中止所有未使用信号。

信号完整性

在间歇通信故障内信号快速上升与下降时间是产生信号完整性问题的首要原因。对不同的信号

Blackfin处理器有不同的边沿速率。同样地，某些信号对噪声和信号反射更加敏感，因此，仅用简单的信号完整性分析方法防止传输线反射，将引入附加的时钟和同步信号。对于以下信号，短的布线长度和串接终端匹配是非常关键的：

- CLKIN信号需要在驱动端使用串接一个单独的阻抗匹配电阻
- SPORT 串行口接口信号(TCLK, RCLK, RFS, 和TFS)需要使用终端匹配
- PPI信号，如PPI_CLK和同步信号，也将受益于这些标准的信号完整性技术
- SDRAM时钟、控制、地址和数据信号也将受益于这些降低电磁干扰(EMI)的串接终端匹配

在某些情况下，如果信号具有多源输入，这将很难使布线长度最短，此时则适合进行仿真分析。从ADI公司网站获取IBIS模型将有助于信号仿真分析。

一些新的和未来的Blackfin处理器系列产品将支持附加的信号完整性特性，如可编程的输入滞后，可编程的输出驱动强度。细节请查询相应的硬件参考手册。

测试点与信号访问

通过在信号上加测试点将有助于调试过程，如CLKOUT、SCLK、块选择信号、PPI_CLK和/RESET等。有些选择性输入引脚，如加载模式引脚(BMODE)直接连接到电源或者地，由于这些引脚在BGA封装芯片下而不能访问。为了调试方便，用上拉和下拉电阻连接这些信号会更有帮助，而不是直接连接到电源或者地。

旁路电容

当处理器工作在更高速度时，内部电源供应引脚加合适的旁路电容将十分关键。高频工作时，电容中讨厌的寄生电感和布线会降低旁路电容的有效性。当处理器运行速度高于100MHz时，采取以下两项措施十分必要。第一，电容必须在物理尺寸上很小，且其引线应很短以减少电感量。大小为0402封装的表贴电容将比尺寸大的电容有更好的效果；第二，较小的电容值将提高LC电路的谐振频率。对于V_{DDINT}电源滤波，虽然0.1uF的电容在50MHz以下工作效果好，但在500MHz范围，更适合使用0.1, 0.01, 0.001uF，甚至是100pF电容的组合进行滤波。

/RESET 驱动

大部分Blackfin处理器的输入信号没有滞后现象，因此，需要单调上升或者下降的输入信号。由于R/C时延电路对噪声比较敏感，因此/RESET信号也不应直接与R/C时延电路相连，而/RESET信号应该通过专用的复位监控芯片提供。

板间通信

当未加电时，像CAN和TWI等通信标准有其特殊的要求，例如，未加电的上拉电阻将引起额外的漏电流，这将扰乱总线上与其他单元的通信。这种未加电状态在“热插拔”应用中通常都需要考虑。

JTAG

Blackfin处理器的JTAG复位引脚/TRST应下拉到正常操作模式，详细讨论JTAG连接问题的应用技术文档，请查阅，*Analog Devices JTAG Emulation Technical Reference (EE-68)*^[1]。

GPIO 口信号用于输入或者输出

在上电复位时，所有通用信号都是输入信号。但在加载过程中，部分信号可能变为输出信号，这取决于选择的加载模式，如HWAIT，该信号在所有加载模式中都是输出信号。当外部器件驱动输出信号时，该信号不能用作输入信号。如果在引导加载阶段，HWAIT的电平很关键，该信号也不能用于输出。

在复位后，GPIO信号要用作输出信号，需要使用上拉或者下拉电阻确定其状态。这里主要考虑输出信号，包括器件使能信号(如NAND闪存)和通信握手信号，比如 HWAIT，UARTxTX，UARTxRTS，CANxTX，选择从输入输出的SPI，串行TWI，以及所有的片选信号。

一些通用输出可以在5V状态使用，比如SDA和SCL在所有工作模式中都是漏极开路的，这些引脚在数据手册中列出了，且用作通用输出时需要上拉。但这些信号引脚的容性会限制信号的输出速度。

使用 EZ-KIT Lite® 电路图

由于EZ-KIT用于设计评估与开发，且某些情况下还提供了附加电路，因此EZ-KIT评估系统电路图可作为初始学习的良好参考。有时某个元件不常用，或者增加了额外的元件使得易于修改和测量，因此仔细阅读EZ-KIT板电路原理图将十分有益。

异步存储器

总线请求

在所有设计中，总线请求信号(/BR)都需要上拉电阻，如果该信号没有上拉，或者没有外部器件驱动，则不正确的总线请求将妨碍总线正常操作。

异步总线/GPIO 信号复用注意事项

在某些Blackfin处理器中，异步总线信号可以和GPIO功能引脚复用，这需要将总线请求功能的GPIO编程为总线请求，且要求GPIO上拉，如以上所示。

如信号描述所示，某些处理器允许将未使用的总线用作通用输入/输出信号。然而，如果采用异步总线加载，则将驱动所有地址信号。同样，在某些处理器加载过程中，将驱动/BG和/BGH 信号，且/BR 信号用作输入。当BMODE设置为并行存储器，或者处理具有一次性编程(OTP)特性的存储区，当OTP编程使能了异步总线，这种情况将会出现。

某些处理器通过GPIO共享其他异步总线信号，细节请查阅硬件参考手册加载部分。

8/16 位存储器

在异步存储块，应当将合适的地址线连接到8位存储器上，这是因为外部存储器没有真正的字节地址。8位存储器寻址方式与16位存储器的寻址方式相同，所以需要A1(而不是/ABE0 或者/ABE1)作为地址线的LSB。具有字节使能的16位存储器可以同时用8位方式访问。否则，16位存储器只能采用字访问方式。带有32位EBIU的Blackfin处理器，利用/ABE3作为外部设备的最低位地址，可以与16位的存储器连接，更多信息参考处理器硬件参考手册。

ARDY

如果没使用ARDY信号，应该端接匹配电阻。此外，也可通过软件编程忽略ARDY信号。如果使

用了ARDY信号，则需要查阅硬件参考手册。某些Blackfin器件要求ARDY信号是输入，且与SCLK (CLKOUT)信号同步。

注意休眠状态

数据手册可能说明了在休眠状态，所有外部信号都是三态，这包括总线选通信号，外设芯片片选信号，如/AMSx等都需要上拉。

其他外部总线接口控制信号

在上电或者掉电过程中，为了确保所有低电平有效的总线控制信号的状态，虽然不是必须，但都需要考虑使用上拉电阻。未来Blackfin系列成员可能有更多的器件控制信号与GPIO或者其他功能信号复用，这就更需要上拉电阻，防止复位过程中或配置之前的数据冲突和总线竞争。

SDRAM 存储器

SDRAM 块寻址

- ADDR18连接到BA0。
- ADDR19连接到BA1。

SDRAM 地址线 SA10

将SA10直接连接到SDRAM器件的A10地址线上。连接到SDRAM接口上的无论是16位还是32位器件(对于衍生的32位宽外部存储器接口)，SA10都替代了Blackfin处理器的ADDR_x。例如，ADSP-BF561处理器，当用16位SDRAM器件，SA10就代替ADDR11，如果用32位SDRAM器件，则SA10替代ADDR12。对于ADSP-BF533处理器，则SA10代替ADDR11。需要注意的是，被替换的ADDR_x信号不再使用，而更高一位的处理器地址接存储器的A11。细节请参阅硬件参考手册的“SDRAM地址映射”一节。

休眠注意事项

/SMS信号仍然推荐使用上拉电阻。

同步 DDR 存储器

DDR PCB 布局

对于任何DDR存储器设计，都需要恰当的PCB布局，请参阅处理器数据手册中列出的AC时序与特性。信号时序是由器件时序与印制板电路特性共同决定。布线长度不同，串扰，电压变化都可能导致300—500ps的时间误差。所以需要遵循存储器厂商推荐的布局方案。极其重要的是要降低DQS0到DQ0-7，以及DQS1到DQ8-15的偏移。使用速度等级高的存储器，可以提高可允许的偏移。仔细布线使长度匹配，增加线间空间可以减少串扰。蛇形布线空间应该是线宽的四倍，这样可以提供足够的延迟。DCLK0-1，DQS0-1，DQM0-1和DQ0-15信号的布线长度应少于3.5英寸。DDR_VSSR应直接连接到处理器的地，DDR_VREF采用30MIL线宽的低阻抗连接。

DDR 终端匹配

在所有数据、地址和控制信号上加串接终端匹配，可以支持连接多达四个存储器设备。

休眠注意事项

在/DDRCS片选信号上仍然推荐使用上拉电阻。

同步突发 FLASH 存储器

一些Blackfin系列处理器可以直接以突发模式和页访问模式访问FLASH设备，但当FLASH是启动加载数据源时，需要特别小心。如果Blackfin处理器通过软件复位命令或者看门狗定时器事件产生了复位，则处理器与存储器可能出现不一致的操作访问模式，此时，可使用OTP_RESETOUT_HWAIT特性指示处理器在重加载前完成对FLASH设备的配置。查阅硬件参考手册和数据手册中关于加载、时序和连接信息。

休眠注意事项

在/AMSx等外设片选信号上推荐使用上拉电阻。

SPI 接口

加载

SPI主启动加载模式需要在GPIO信号加上拉电阻，作为SPI存储器设备的片选信号。当然，片选信号的名称随着Blackfin处理器信号的不同有所变化，需要查看Blackfin处理器数据手册SPI加载部分，查找SPI /CS信号在加载模式的连接方式。当前大部分处理都需要在MISO信号加上拉电阻。在所有SPI系统中，SPI_SCK最好使用下拉电阻确定其初始状态，以降低噪声。也可参考应用笔记“*ADSP-BF533 Blackfin Booting Process (EE-240)*^[2]”中的“SPI主加载模式”。

MOSI 和 MISO 信号

SPI接口要求所有MOSI信号共连，且所有MISO信号也共连。为了避免器件的竞争和可能出现的器件损坏，要仔细检查这些信号没有互相交叉，

只能MISO连接MISO，MOSI连接MOSI。如果外设信号的名称是DIN或者DOUT，则需要根据它们的主或者从功能进行连接。当然，使用恰当的原理图上的信号名称可减少这种混乱。

两线接口

两线接口是与I2C兼容的外设。由于SCL和SDA是开漏输出，两个TWI信号都需要上拉电阻，这与I2C标准需要上拉电阻类似。

SD/SDIO 接口

在大多应用中设计的安全数字接口(SDIO)不需要外部的上拉或下拉，但SD/MMC卡则可能在SD_CMD上需要微弱上拉，其余都在处理器内部提供了电阻上拉或者下拉功能，然而，需要在所有信号上加串接终端匹配电阻。在数据手册中查阅SD特性和时序，确定对于标准和高速SD器件可支持的最高频率，同时，如果SD连接器是远程的，还要考虑传输时间。

串行 SPORT 接口

在多通道模式，SPORTs主时钟和帧同步不得连接到TFS和RFS上。TFS标志有效的传输通道数据，充当发送数据有效信号(TDV)的角色。

时钟输入信号

CLKIN

Blackfin的时钟输入应该在上电复位后开始触发翻转，当电源工作后应持续输入。

XTAL

当利用振荡器输出代替晶体时，XATL输出信号不能用通过电容旁路到地，但这种方式在某些EZ-KIT电路原理中出现过。但注意，这在电路板中并不流行，且在最终设计中也不应流行。

晶体输入

除了供给处理器的内核时钟CCLK和外设时钟SCLK外，某些Blackfin处理器还有其他的局部时钟域，如实时时钟，以太网，USB和MXVR。与CLKIN和XTAL类似，这些时钟域也可以用晶体或者外部时钟驱动输入。外部时钟可以是方波或者正弦波，如果使用正弦波，则电压电平必须维持在数据手册限制的最小值和最大值之间。某些外设XTAL引脚也可以用处理器的CLKBUF输出信号驱动。如果使用外部时钟，而不是晶体，则相应的XTAL输出信号必须悬空；如果使用晶体，则应查阅数据手册和晶体特性，并使用推荐的串接或者并接电阻。小的晶体不要使之负载过重，这一点也十分重要。如果应用中没有用到时钟域，则应当将时钟输入信号上拉或下拉，防止振荡。

电源调整器

在某些Blackfin系列处理器中，还提供了软件可控制的内部调整器电路，辅之以外部场效应管(FET)、二极管和电感。内核电压(V_{DDINT})也可以由标准的外部调整器提供。通过电源管理设备，既可以控制时钟速率，还可以控制内核电压，在某些应用中，内部电压调整器还是一种吸引人的选择。

应当注意的是，内部电压调整器是一种开关调整电路(不是线性调整电路)，因此数据手册中提供的二极管应确保存在。由于VROUT信号可能成

为一种辐射噪声源，因此该信号的布线应很短。对于元器件选择的细节，请查看应用笔记“*Switching Regulator Design Considerations for ADSP-BF533 Blackfin Processors (EE-228)*”^[3]。

某些Blackfin处理器还增加了功率控制功能，VRSEL信号用于选择是内部调整器还是外部调整器模式。在进入休眠状态时，EXT_WAKE输出信号用于关断外部调整器，该信号是高电平有效开关信号，可以直接连接到很多调整器具有低电平有效的关断输入信号上。

某些处理器上有PG或者SS/PG信号也是一个特色。在内部工作模式，SS/PG用于上电时或者休眠结束时的处理器的软启动。在外部工作模式，该信号是一个低电平上电成功信号，用于处理器从休眠模式唤醒后，安全的启动处理器核运行。

多电源域

为了有连续的时间信息，您的设计是否也需要电池？如果不需要，甚至不用RTC，应当将RTC电源连接到 V_{DDEXT} 。所有电源和地信号都必须连接到数据手册说明的电平，即使没有使用相关外设，哪怕在您的设计中处理器根本就没有外设，也必须这么做。如果电源连接驱动失败，可能导致JTAG连接失败，且不能正常初始化和运行。

USB OTG 接口

几款Blackfin系列处理器允许直接在物理上与USB接口，这在硬件参考手册中也称为通用发送接收宏接口。

USB 时钟 USB_XI

为了给内部USB2提供高速时钟，需要外部振荡器或者晶体振荡器，选择的频率应使内部时钟可工作到960 MHz。外部频率和可编程的多个任意应用组合值可达到内部频率的一半，即480 MHz。相应数据手册中CLKIN连接部分给出的电路也可作为该时钟输入的参考。

USB_ID

USB_ID对USB OTG是唯一的，它允许OTG电缆确定接口中的主设备(A设备)或者外设(B设备)的初始状态。如果没有用OTG，但使用USB接口作为主设备(A设备)，则该引脚可接地。相反，如果没有用OTG，但使用USB接口作为外设(B设备)，则该引脚应悬空或者微弱的上拉。

D+和 D-连接

Blackfin的USB_DP和USB_DM 信号采用阻抗可控的差分对布线，并直接连接到USB连接器的D+和D-上。布线周围也不应有无关的侧线，有时也称为线段。也应注意应当将该差分对与其他高速信号或噪声源(如VROUT)隔离。为了与OTG

兼容，Blackfin处理器还提供了端接电阻。

USB_VBUS 连接

除了编程为输出会话请求脉冲外，USB_VBUS都是处理器的输入信号。在主或者OTG(A设备)模式，外部需要提供超过8mA的5V源驱动给USB_VBUS。但在OTG(B设备)模式，该电源则完全不需要，可以通过一个GPIO信号来使能/禁用，USB_VBUS信号直接连接到USB连接器上。

查看数据手册中USB_VBUS信号的5V兼容性，如果 V_{DDUSB} 外部电源是0V，某些处理器与5V不兼容。在少数应用中，如果处理器没有本地电源，而又期望设计的产品在USB_VBUS线上能长时间连接到5V电源，这些应用则希望通过USB_VBUS为 V_{DDUSB} 提供电源，在ADSP-BF548 EZ-Kit评估板电路图中，则提供了这种保护电路的实例。

USB ESD 保护

推荐在电缆的USB_DP，USB_DM，USB_ID和USB_VBUS信号上使用额外的防静电(ESD)保护，保护器件应当放置在连接器的附近。

参考文献

- [1] *Analog Devices JTAG Emulation Technical Reference (EE-68)*. Rev 10. April 2008. Analog Devices, Inc.
- [2] *ADSP-BF533 Blackfin Booting Process (EE-240)*. Rev 3. January 2005. Analog Devices, Inc.
- [3] *Switching Regulator Design Considerations for ADSP-BF533 Blackfin Processors (EE-228)*. Rev 1. February 2005. Analog Devices, Inc.
- [4] *Estimating Power for ADSP-BF531/BF532/BF533 Blackfin Processors (EE-229)*. Rev 4. December 2007. Analog Devices, Inc.

文档记录

Revision	Description
<i>Rev 1 – October 19, 2005 by Robert Kilgore</i>	Initial release
<i>Rev 2 – July 7, 2008 by Robert Kilgore</i>	Added information to cover new peripherals and features in the Blackfin processor portfolio