

通过SPI与高速ADC接口

作者：高速转换器部

简介

本应用笔记介绍如何使用ADI公司高速转换器的SPI端口。此外，本应用笔记阐述了与这些器件进行接口的电气、时序和程序方面的要求。接口的实现方案与业界标准SPI端口兼容，并且至少采用双线式模式和可选的芯片选择引脚。

定义

SPI端口由三个引脚组成：串行时钟引脚(SCLK)、串行数据输入/输出引脚(SDIO)和片选引脚(CSB)。有些芯片可能还有一个串行数据输出引脚(SDO)，用于三线式模式。为使引脚数量最少，多数芯片都省去了这一引脚。不过，如果包含了该引脚，它也只能用于从器件读取数据。

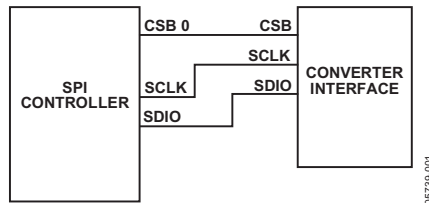


图1. 双线式模式下的单器件控制

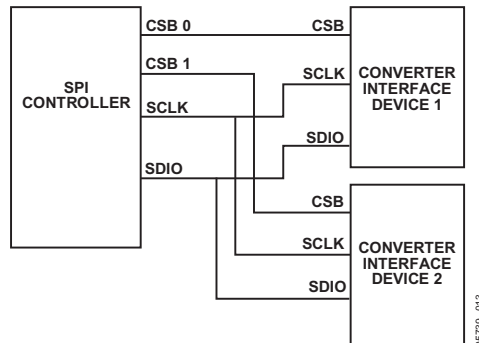


图2. 双线式模式下的多器件控制

目录

简介.....	1	位3至位0—主转换器.....	9
定义.....	1	写.....	9
SPI端口引脚.....	3	读.....	9
串行时钟(SCLK).....	3	程序寄存器.....	10
串行数据输入/输出(SDIO).....	3	模式(0x008).....	10
芯片选择(CSB).....	3	时钟(0x009).....	10
串行数据输出(SDO).....	4	PLL控制(0x00A).....	11
格式.....	5	时钟分频器(0x00B).....	11
指令周期.....	5	增强模式(0x00C).....	11
READ/WRITE.....	5	输出测试模式(0x00D).....	11
字长.....	5	内置自测(0x00E).....	13
流处理.....	6	模拟输入(0x00F).....	13
地址位.....	6	偏置调整(0x010).....	13
数据周期.....	6	增益调整(0x011).....	13
位序.....	6	输出模式(0x014).....	14
SPI模式和引脚模式的检测.....	7	输出设置(0x015).....	14
硬件接口.....	7	时钟分频器相位(0x016).....	14
芯片编程.....	8	输出延迟调整(0x017).....	14
配置寄存器(0x000).....	8	基准电压调整(0x018).....	15
位7—SDO有效.....	8	用户测试方式(0x019至0x020).....	15
位6—LSB优先.....	8	串行数据控制通道(0x021).....	15
位5—软复位控制.....	8	串行通道关断(0x022).....	15
位4—保留.....	8	MISR寄存器(0x024和0x025).....	15
传送寄存器（主从锁存）(0x0FF).....	8	特性(0x02A).....	15
位0—软件传输.....	9	高通(0x02B).....	16
位7—硬件传输使能.....	9	模拟输入(0x02C).....	16
芯片ID(0x001).....	9	交叉开关(0x02D).....	16
芯片等级(0x002).....	9	编程示例.....	17
器件索引(0x004和0x005).....	9	控制寄存器.....	18
位7至位4—辅助器件.....	9		

修订历史

2007年4月—初始版至修订版A

格式更新.....	通用
修改“传送寄存器”部分.....	8
修改图13.....	10
增加表6.....	11
增加“PLL控制(0x00A)”部分.....	11
修改表8.....	12

SPI端口引脚

下面几节介绍SPI端口引脚。

注意：请参考具体ADC数据手册以确定标称和绝对最大值逻辑电压。

串行时钟(SCLK)

SCLK引脚为串行移位时钟输入引脚。为降低该引脚对时钟线路上噪声的敏感度，它采用施密特触发器实现，并且通过50 kΩ电阻下拉到地。该引脚可以为高电平或低电平。

SCLK用来使串行接口的读写操作同步。输入数据在该时钟的上升沿有效，输出数据在下降沿有效。

SCLK的最低保证速度为25 MHz (t_{CLK} 40 ns)。保持时间(t_{DH})典型值为0 ns，SCLK与SDIO之间要求最短5 ns的建立时间(t_{DS})。(请参考具体器件的数据手册以确定接口时序的确切要求。)为优化内部和外部时序，总线能够在半个SCLK周期内完成SDIO线路的状态变换。这意味着，在将读取请求的地址信息传递给转换器之后，SDIO线路将在半个时钟周期内从输入状态转变为输出状态，从而确保到下一个时钟周期的下降沿出现时，数据可以安全地放在该串行线路上以供控制器读取。如果外部控制器不够快，无法跟上ADC SPI端口的节奏，则外部器件可以保持时钟线，增加处理外部时序问题的时间。

串行数据输入/输出(SDIO)

SDIO引脚具有双重用途。该引脚通常的作用是用来输入或输出，具体取决于所发送的指令(读或写)以及时序帧中的相对位置(指令周期或数据周期)。在写或读操作的第一阶段，该引脚用作输入，将信息传递到内部状态机。如果该命令被确定为读命令，状态机将把该引脚(SDIO)变为输出，然后该引脚将数据回传给控制器。(参见表1中的 t_{EN_SDIO} 和 t_{DIS_SDIO})。如果器件含有SDO引脚，而且配置寄存器设置为利用该引脚，则SDO变为有效，而不是SDIO引脚变为输出。在所有其它时间，SDO引脚保持高阻抗状态。如果该命令被确定为写命令，则在指令周期内，SDIO引脚始终用作输入。

芯片选择(CSB)

CSB是一种低电平有效控制，用来选通读写周期。CSB可以在多种模式下工作。如果控制器具有芯片选择输出或其它多器件选择方法，则该引脚可以与CSB线相连。当该线为低电平时，器件被选择，SCLK和SDIO线路上的信息便会得到处理。当该引脚为高电平时，器件会忽略SCLK和SDIO线上的所有信息。这样，多个器件便可以与SPI端口相连。在只连接一个器件的情况下，可以将CSB线路与低电平相连，使器件始终处于使能状态。(将CSB线路与低电平相连时，如果端口发生错误，将无法使器件复位。)CSB线路也可以与高电平相连，以启用SPI端口的辅助功能。(详情请参见“SPI模式和引脚模式的检测”部分。)CSB为高阻抗线路，通过50 kΩ电阻上拉至高电平。

在一些配置中，CSB可以停止在高电平，即在多个时钟周期内保持高电平(参见图5)，这样可为外部时序问题的处理提供更多时间。如果一次通过接口传输三个或更少的字(不包括指令信息)，则CSB可以在字节(包括指令信息的字节)之间停止在高电平。如果CSB在一个字节当中停止在高电平，则状态机将复位，控制器返回空闲状态，等待传输新指令。这种机制允许在检测到故障后进行恢复。为检测复位，必须出现至少一个串行时钟，但不能超过七个串行时钟。一旦状态机进入空闲状态，CSB的下一个下降沿将启动新的传输周期。

一些器件利用SPI引脚实现一些辅助功能。通常而言，这些功能包括输出数据格式、占空比稳定器或其它常见功能。这些引脚功能由CSB引脚使能。如果CSB引脚被拉高，SPI功能将处于高阻抗模式。在这种模式下，可以开启辅助功能，以对片内特性进行控制，而不需要SPI工作。这些特性随器件不同而异。因此，为确定是否支持这一功能及它控制何种特性，必须参考具体器件的数据手册。

对于要由SPI端口控制的应用，在SPI端口访问器件之前，辅助功能优先。进而言之，在SPI端口访问芯片之前，SCLK、SDIO和SDO(如有)上的所有控制均被视为辅助功能。因此，芯片需要在上电之后尽快初始化。(详情请参见“SPI模式和引脚模式的检测”部分。)

AN-877

串行数据输出(SDO)

要确定器件是否支持SDO引脚，请参考器件的数据手册。如果SDO存在，则它处于高阻抗状态，除非数据正在该引脚上有效，这样可将多个器件一同连接在接收端。此外，数据是在指令周期完成之后的SCLK的第一个下降沿移位输出的。当数据返回控制器时，信息存放在输出移位器中，存放时间为与指令阶段相关的SCLK的最后一个上升沿与紧接着的下降沿之间的时间。当以25 MHz工作时，该时间的标称值为20 ns。

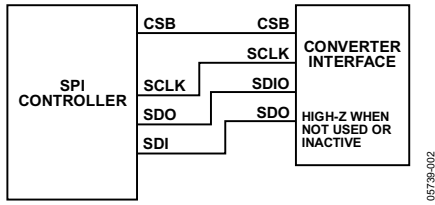


图3. 三线式控制

表1: 串行时序规格¹

符号	描述
t_{DS}	数据与SCLK上升沿之间的建立时间
t_{DH}	数据与SCLK上升沿之间的保持时间
t_{CLK}	时钟周期
t_s	CSB与SCLK之间的建立时间
t_H	CSB与SCLK之间的保持时间
t_{HI}	SCLK处于逻辑高状态所需的最短时间
t_{LO}	SCLK处于逻辑低状态所需的最短时间
t_{EN_SDIO}	SDIO引脚在输入与输出之间切换所需的最短时间，相对于SCLK下降沿
t_{DIS_SDIO}	SDIO引脚在输出与输入之间切换所需的最短时间，相对于SCLK上升沿

¹ 关于最小和最大额定值，请参考数据手册。

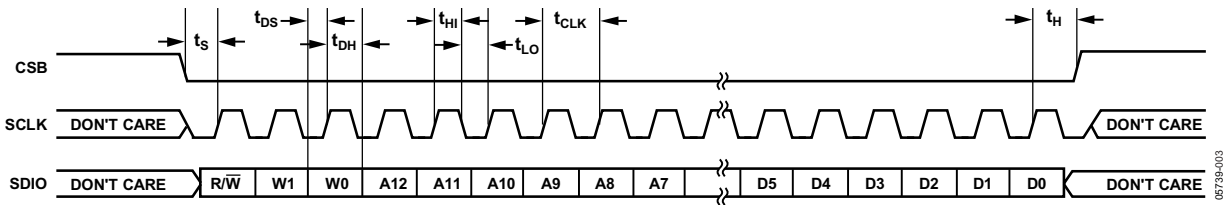


图4. 建立和保持时序测量

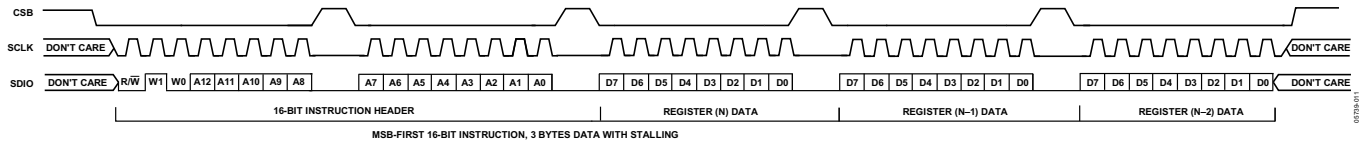


图5. 带有停止时间的MSB优先指令和数据

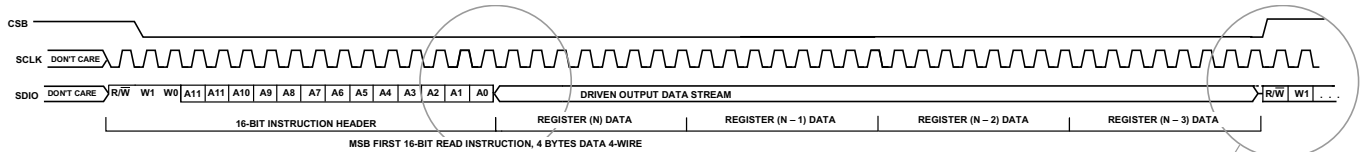


图6. 典型SDIO输出使能和禁用时序

格式

CSB的下降沿与SCLK的上升沿一起决定帧何时开始。一旦确定了帧的开始时间，时序的确定便很简单。传输的第一阶段是指令阶段，指令由16位组成，之后是数据，数据由多个8位组成，长度不定。如果器件的CSB与低电平相连，则帧开始于SCLK的第一个上升沿。

指令周期

指令周期为传输的前16位。如图4和图7所示，指令周期分为若干位段。

READ/WRITE

数据流中的第一位是读/写指示位($\overline{R/W}$)。当该位为高电平时，表示指令为读取指令。指令周期(前16位)完成时，内部状态机使用所提供的信息解码要读取的内部地址。SDIO线路的方向从输入变为输出，由字长定义的适当数量的字从器件移位出来(参见“字长”部分)。如果器件配有SDO引脚，并且配置寄存器设置适当，则SDO线路将脱离高阻抗状态，数据从SDO引脚传输出来，而不是从SDIO引脚。一旦字长所要求的所有数据均已移位输出，状态机便返回空闲模式，等待下一个指令周期。

当数据流中的第一位为低电平时，则进入写入阶段。指令周期完成时，内部状态机使用所提供的信息解码要写入的内部地址。指令之后的所有数据均移入SDIO引脚并送往目

标地址。一旦传输完字长所要求的所有数据，状态机便返回空闲模式，等待下一个指令周期。

无论是读取模式还是写入模式，处理过程均会持续到字长要求时或CSB线路拉高时为止。如果达到存储器末端(0x000或0xFF)，则会发生翻转，下一个处理的地址为0x000(地址递增时)或0xFF(地址递减时)。

字长

W1和W0表示要为读取或写入而传输的数据字节数。(W1:W0 + 1)所表示的值即为要传输的字节数。如果要传输的字节数为三个或更少(00、01或10)，则CSB可以在字节边界上停止在高电平。停止在非字节边界将终止通信周期。如果这些位为11，则数据可以传输到CSB变为高电平时为止。在数据流处理过程中，不允许CSB停止。一旦流处理开始(定义为第三个数据字节完成之后)，则在操作完成之前，不允许CSB回到高电平。如果CSB确实变为高电平，流处理即终止，下次CSB变为低电平时，将开始新的指令周期。如果CSB在非8位边界变为高电平，通信周期即终止，任何未完成的数据字节均会丢失。不过，已完成的数据字节会得到正确处理。

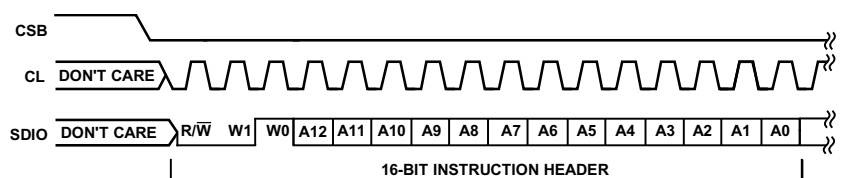


图7. 指令周期位段

表2

W1:W0 设置	操作	CSB 停止
00	可以传输1个字节的数据	可选
01	可以传输2个字节的数据	可选
10	可以传输3个字节的数据	可选
11	可以传输4个或更多字节的数据。CSB 必须在整个操作序列中保持低电平，否则周期即终止，当CSB再次回到低电平时，预期开始新的指令周期。	不允许

如果W0和W1所表示的值为0，则传输1个字节的数据。如果W0和W1所表示的值为1，则传输2个字节的数据。如果W0和W1所表示的值为2，则传输3个字节的数据。数据传输完成之后，状态机返回空闲状态，等待下一个指令周期。

流处理

如果W0和W1所表示的值为3，则数据将不断流入器件。只要CSB保持低电平，器件便会持续接收新数据，从初始地址开始，每收到一个新字便前进到下一个地址。建议在流处理时不要将CSB线路从物理上与低电平相连，因为流处理只能通过将CSB线路拉高而终止。如果在流处理时CSB与低电平相连，则所用的第一个指令将无限执行下去。这意味着，一旦进入写(或读)周期，数据将无法从器件读取(或写入器件)。类似地，起始地址将根据工作模式而持续自动递增或递减，根本没有机会直接更改状态机的地址。(地址发生器持续以可预测的方式回绕终点地址。)如果用户只希望对器件编程，而不会读取内部寄存器，那么这可能不是问题。如果用户将CSB线路与低电平相连，则建议用户只传输1个、2个或3个字节块的数据，除非用户肯定不

会从内部寄存器读取数据。虽然并不是必需的，但建议用户保持对CSB线路的控制权，以便能中断流处理过程，并将状态机复位至空闲状态。

地址位

其余13位表示所发送数据的起始地址。如果要发送的数据不止一个字，则会使用顺序寻址，从指定地址开始，根据模式设置而递增或递减。

数据周期

指令周期之后是数据周期。发送的数据量由字长(位W0和位W1)决定。它可以是一个或多个字节的数据。所有数据均由8位字组成。如果状态机检测到传输的数据不完整，状态机将复位并进入空闲状态，等待CSB线路的下一个下降沿启动新的指令。如果CSB从物理上与低电平相连，则无法执行故障校正，除非器件具有芯片复位功能。(详情请参考具体器件的数据手册。)

位序

发送数据有两种模式：MSB优先或LSB优先(参见“配置寄存器(0X000)”部分)。上电时，默认模式为MSB优先。这可以通过对配置寄存器编程来改变。在MSB优先模式下，串行交换从最高位开始，结束于LSB。在LSB优先模式下，顺序相反。指令长度为16位，由2个字节组成，如上文所述。在MSB优先模式下，位序为从最高位至最低位。在LSB优先模式下，全部16位的顺序均相反，如图8所示。

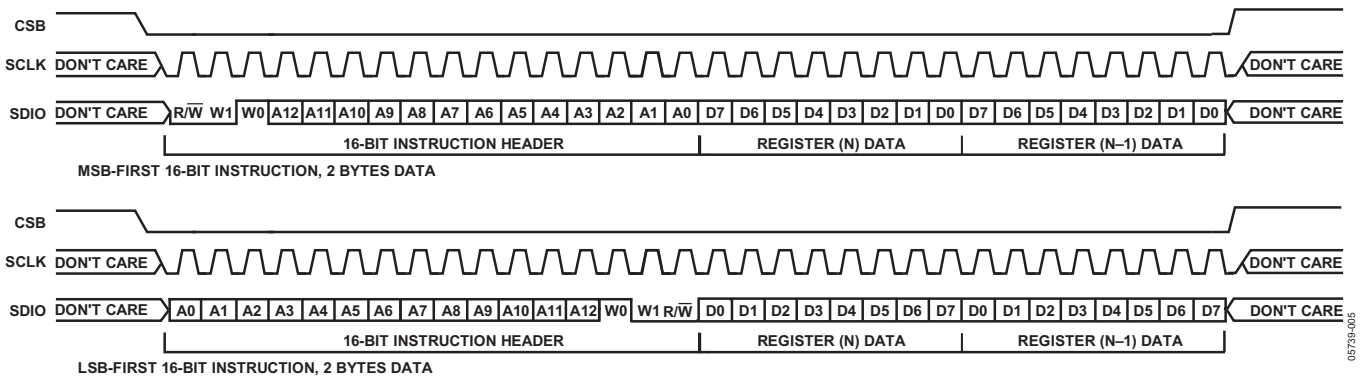


图8. MSB优先和LSB优先的指令和数据周期

SPI模式和引脚模式的检测

一些用户可能选择不使用SPI端口来配置器件。一般地，芯片在上电后都会使用默认的寄存器设置。(详情请参考相应器件的数据手册。)不过，用户可能希望不用SPI控制器就能更改一些基本特性。例如，占空比稳定器的控制或数据输出格式(二进制补码和偏移二进制)的改变。对于这类控制，可以通过设定芯片一些特定的管脚电压来实现，而不必对器件编程。为使外部引脚数量最少，可以将SPI相关引脚进行功能复用。

对于支持这种功能的器件(请参考数据手册以确定是否支持此功能)，用户可以选择启用引脚控制模式。为此，必须将CSB引脚拉高。当该引脚为高电平时，其余SPI引脚就变成替代功能引脚，可以按照器件数据手册中的定义对这些引脚进行设置。一旦用户决定进入SPI模式，则将无法再进入引脚模式，除非切断器件电源。

上电时，只要CSB为逻辑高电平，器件便默认进入引脚控制模式。只要CSB一直是高电平，则器件将始终处于引脚控制模式。类似地，如果CSB与低电平相连，则器件在上电后将进入SPI模式(关于此模式的局限性，请参见“流处理”部分)。多数情况下，CSB用来选择芯片。一般而言，在此模式下，CSB通常在上电时由外部SPI控制器设为高电平。因此，在默认情况下，其余SPI引脚最初是以引脚控制模式工作。一旦CSB变为低电平，SPI功能即被启用，此时SPI管脚的电平状态将被忽略。

当CSB为低电平时，状态机预期SCLK会移入数据。经过9个时钟周期(代表第一个字节和一个额外周期)后，内部状态机不再检查CSB引脚以确定是使用引脚模式还是SPI模式。这种情况所用的逻辑如图9所示。只要上电后CSB为高电平，器件就会使用一个内部多路复用器来选择SPI引脚的复用功能。一旦CSB变为低电平，输入引脚就会取消选择该多路复用器，这些管脚上的信号将被解读为SPI信号。识别出SPI命令之后，该多路复用器仍将处于SPI位置，无论CSB为何状态。因此，用户无法在SPI模式与引脚模式之间进行切换。

此外，如果SPI端口正用于控制，则建议在其它启动程序中配置器件，以确保当不使用引脚模式时，器件刚好处在所需状态。执行软复位功能无法使器件回归到引脚模式。要

回归引脚模式，唯一途径是开机重启或利用器件的引脚复位功能(如果器件具备此功能)。请注意，并非所有器件均具有引脚复位功能，详情请参考器件数据手册。

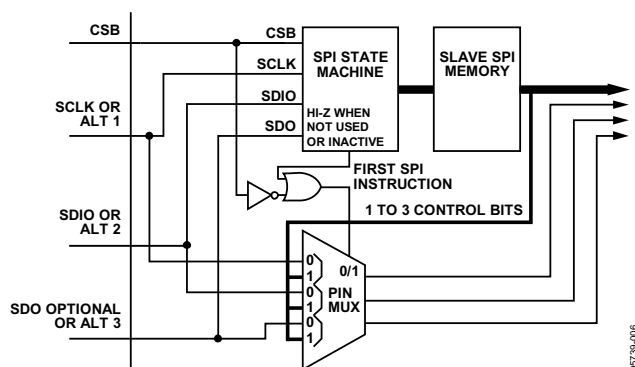


图9. 硬件接口

硬件接口

虽然这些器件针对与SPI控制器接口而设计，但不一定需要使用SPI控制器来设置这些器件。引脚模式就是一种选择，但如果需要更高的灵活性，可以使用串行PIC或PROMS微控制器，如图10和图11所示。关于利用PIC微控制器对这些器件进行编程的详细信息，请参考应用笔记AN-812：“基于微控制器的串行接口(SPI)启动电路”。

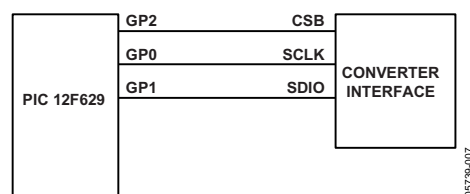


图10. 利用低成本PIC微控制器进行编程

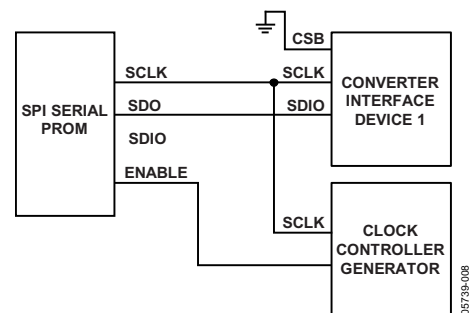


图11. 利用低成本串行PROM和外部时钟源进行编程

芯片编程

SPI端口是一种用于配置转换器的机制。此外，为对器件进行编程，需要定义一个结构化的寄存器空间。此结构可细分为许多地址，数据传输的指令阶段中的地址即指向这些地址。每个地址可细分为多个8位字节。每个字节又可细分为多个段，下面将说明这些段。

寄存器有三种类型：配置寄存器、传送寄存器和程序寄存器。

配置寄存器(0x000)

配置寄存器位于地址0x000。该寄存器用来配置串行接口，仅含有四个有效位，位于高半字节中。低半字节未连接，留作备用。建议在高与低半字节之间建立主动镜像关系。这样，同步和方向信息如有丢失，则很容易通过写入地址0x000来恢复。此外，它使芯片能够软复位并配置在已知状态，而与当前的数据移位方向无关。这将确保在发生故障时器件能予以积极处理。

位7—SDO有效

用户必须将位7镜像到位0中。该位负责激活SDO引脚。如果器件没有SDO引脚，设置该位将不起作用。如果该位清零，则SDO将无效，读取的数据将送至SDIO引脚。如果设置该位，读取得数据将出现在SDO引脚（如有）。该位的默认值为低电平，因而SDO默认无效。

位6—LSB优先

用户必须将位6镜像到位1中。该位决定发送和接收的信息的顺序。如果该位清零，数据将以MSB优先的方式处理。如果设置该位，数据将以LSB优先的方式处理。除数据移位的顺序外，位6还控制内部地址指针的自动递增方向。如果该位清零，即MSB优先模式，则每处理一个新数据，内部地址计数器便会减一。相反，如果设置该位，即LSB优先模式，则每处理一个新数据，内部地址计数器便会加一。该位的默认值为零，因而默认工作模式是MSB优先。

位5—软复位控制

用户必须将位5镜像到位2中。该位控制软复位。该位的默认值为零，但如果用户将其设置为高电平，就会启动芯片软复位。软复位将所有默认值写入寄存器中，但配置寄存器(0x000)除外。无默认值的寄存器将保持用户最后一次编

程的状态。软复位处理完毕之后，该位清零，表示复位过程已完成。

位4—保留

用户必须将位4镜像到位3中。该位的默认值为1，无法更改。

表3

位	名称	描述	默认状态
位7	SDO有效	设置该位将使SDO有效(如有)。如果清零，SDO引脚仍为三态，所有读取数据从SDIO引脚输出。	0。输入和输出均使用SDIO。
位6	LSB优先	设置该位将使输入和输出数据以LSB优先的方式处理，地址递增。如果该位清零，数据将以MSB优先的方式处理，地址递减。	0。MSB优先，地址递减。
位5	软复位	如果设置该位，芯片将进入软复位模式，使内部寄存器恢复默认值。无默认值的寄存器无变化。完成后，状态机会使该位清零。	0。片内上电，设置所有具有默认值的寄存器。
位4	保留	无法改变默认值。	1。

传送寄存器(主从锁存)(0x0FF)

寄存器图中的许多寄存器都需要采用主从锁存进行缓冲。缓冲可以增强系统的多器件同步能力，并有助于写入对存储器其它部分中写入的值可能有依赖关系的配置。根据设计不同，一些寄存器可以采用这种方式缓冲。有些寄存器则永远不会进行缓冲，例如0x000、0x004、0x005和0x0FF，因为出于程序和控制目的，这些寄存器要求即时获得响应。（请参考器件数据手册以确定哪些寄存器需要采用缓冲。）

无论缓冲与否，SPI端口都要负责将信息放在寄存器中。不过，对于采用缓冲的寄存器，必须启动传输以将数据移至从寄存器。已定义两种机制来将数据从主寄存器传输至从寄存器。未缓冲锁存会在SPI状态机收到时立即起作用。

一些器件支持独特的器件专用功能，这些器件上的传输位可能位于存储器中的较高位置。对于这种情况，传输位的功能是相同的，只是位置不同。详情请参考器件数据手册。

位0—软件传输

设置此寄存器的位0将启动软件传输，如图10所示。当状态机识别出该位已设置时，它会产生一个内部传输信号，将数据从主寄存器移至从寄存器。完成之后，状态机将该位清零，以使用户能确定传输是否已发生。建议在启动传输之前，所有其它寄存器按照需要进行配置。一旦主器件已设置就绪，最后一条指令应使数据得到传输。只要有电源，数据便无限期地保存在主寄存器中。因此，可以独立设置许多芯片，并同时向所有芯片广播传输命令，以在多个芯片上同时开始传输。广播可以通过将所有CSB线路同时变为低电平而实现，这将导致相同数据被立刻送往所有芯片。

位7—硬件传输使能

并非所有器件都支持硬件传输机制。(请参考器件数据手册以确定是否适用。)此寄存器位7的作用为硬件同步使能。如果位7清零，则启用默认的软件同步。如果设置该位，则传输控制功能将被转移到指定的外部引脚(参见图13)。

芯片ID (0x001)

寄存器0x001为芯片ID寄存器。这是一个只读寄存器，返回设计过程中写入的芯片唯一识别符，该识别符通常会显示器件的子ID或等级，用来表明当存在多种等级或选项时，封装中使用的是哪一种die。(请参考器件数据手册以确定正确的ID。)

芯片等级(0x002)

寄存器0x002为芯片等级寄存器。这一可选寄存器可能含有、也可能不含有最终用户器件信息。(请参考器件数据手册以确定是否支持此寄存器以及其值的含义。)

器件索引(0x004和0x005)

寄存器0x004和寄存器0x005用于为同一芯片上的各转换器编制索引。寄存器0x005用来定位低位器件ADC0至ADC3，0x004则用来定位高位器件ADC4至ADC7。如果封装中仅有一个ADC，则不使用此寄存器。但是，如果有多个ADC，则必须使用此寄存器以表明正在读写哪一个器件。在写入过程中，通过将这些寄存器中与要写入的ADC通道对应的多个位设置为高电平，可以一次写入多个ADC。在读取过程中，建议一次只将一位设置为高电平，以免分辨不清当前是哪一个ADC在占用读取总线。片内电路可防止总线竞争，但除非一次仅使能一个ADC，否则将无法知道选择用于回读的通道是哪一个。

争，但除非一次仅使能一个ADC，否则将无法知道选择用于回读的通道是哪一个。

位7至位4—辅助器件

高位半字节用于使能芯片上的其它器件，例如时钟发生器或辅助转换器。

位3至位0—主转换器

低位半字节用于使能最多四个ADC。由于有两个寄存器，因此总共可以访问八个ADC。

写

由于ADC使能不进行解码，因此一次可以写入多个器件。为实现这一目的，需设置位0至位3以启用对所选器件的写入操作。可以只设置与所需目标转换器对应的那些位，从而只写入这些寄存器的一个子集。如果同时使用0x004和0x005，则这两个寄存器中的位段可以设置为写入任意或所有ADC(0至7)，以及写入任意或所有辅助器件。

读

当读取器件时，同一时间串行总线上只能有一个器件。虽然使能多个器件不会造成损坏，但结果可能是不确定的。因此，在回读操作期间必须小心，一次只能使能一个器件。

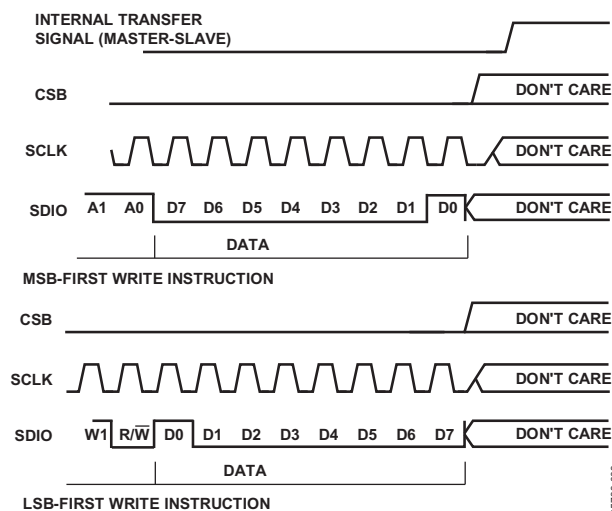


图12. 内部锁存时序

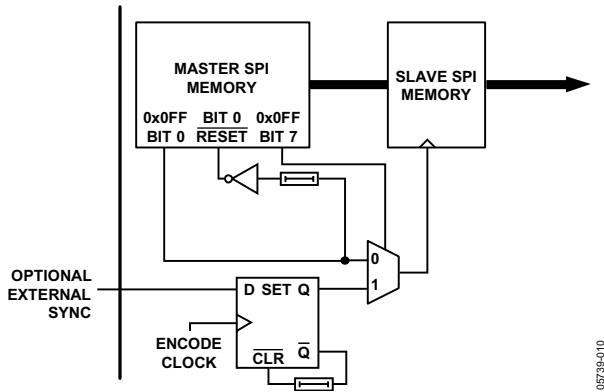


图13. 内部锁存流程

程序寄存器

寄存器0x004和0x005可以为程序寄存器编制索引，也可以不为其编制索引。(请参考器件数据手册以确定器件如何使用这些寄存器。)

模式(0x008)

寄存器0x008控制芯片的模式。

位7—外部关断使能

位7用来使能外部关断引脚(如有)。(请参考具体器件的数据手册以确定是否提供了此引脚。)如果该位清零，则所有基于寄存器的电源设置(位0至位2)具有优先权。但是，如果设置该位，则外部引脚将与位6和位5一同决定芯片的工作模式。如果位7为高电平，而外部引脚为低电平，则芯片模式由位[6:5]确定。如果位7为高电平，外部引脚也为高电平，则芯片将按照其它器件设置的要求，以正常工作模式工作。如果没有外部关断引脚，则将忽略位7至位5。

位6至位5—外部关断模式

如果位6至位5设置为：

- 00，则当外部引脚有效时，将导致完全关断。
- 01，则当外部引脚有效时，将导致待机状态。
- 10，则表示保留模式。
- 11，则当外部引脚有效时，将启用数字输出。

表4

位6至位5	外部引脚控制的模式描述
00h	当外部引脚有效时，进入完全关断状态。
01h	当外部引脚有效时，进入芯片待机状态。
10h	保留
11h	当外部引脚有效时(低电平)，启用数字输出。

位4—保留

位3—功能旁路

如果位3置位，片内模拟信号处理模块将被旁路并关断。(详情请参考器件数据手册。)

位2至位0—内部关断模式

位2至位0决定芯片的工作模式。这些位可提供下列设置：

- 000，芯片正常工作。
- 001，模拟电路和时钟电路均完全关断，即低功耗休眠模式。
- 010，芯片关断，但允许快速重启。
- 011，芯片复位。
- 100，关断核心ADC器件，包括模拟信号处理模块或模拟前端(AFE)的。
- 101，关断AFE，包括模拟信号处理模块。
- 110至111，保留用于将来的工作模式。

表5

位2至位0	芯片电源模式描述
000h	芯片运行(默认)
001h	完全关断
010h	待机模式
011h	芯片复位(复位之后，器件默认回到芯片运行模式，与000h相同)
100h	ADC关断(适用于含有AFE的芯片)
101h	AFE关断(适用于含有AFE的芯片)
110h	保留
111h	保留

时钟(0x009)

寄存器0x009用来配置芯片时钟。

位7至位3—保留

位2—锁相环(PLL)使能

设置该位将使能任何片内PLL。

位1—时钟增强

位1用来增强时钟的性能。设置该位可提高时钟电路的电流水平，从而改善时钟抖动性能。该位清零可降低功耗，但会增加时钟电路的抖动。(详情请参考器件数据手册。)

位0—占空比稳定器

位0用来禁用或使能内部占空比稳定器(DCS)。如果将位0置1，则将使能DCS。此寄存器的默认值为0x01，因而默认使能DCS。

PLL控制(0x00A)

寄存器0x00A用来使能和控制片内PLL，后者可以用来产生采样时钟。

位7—PLL锁定

该位由内部硬件控制，当PLL锁定时该位置1。如果该位清零，则芯片尚未锁定。

位6—PLL自动

如果该位置1，PLL将自动选择最适合特定分频器的PLL设置。

位5至位0

设置为PLL分频比加上1。

时钟分频器(0x00B)

寄存器0x00B用来将所施加的时钟分成较低的频率以供编码使用。如果设置为全0，分频器将被旁路。否则，分频比为寄存器中的值加上1。

增强模式(0x00C)

寄存器0x00C控制增强模式。

位7至位4—保留**位3至位2—斩波使能**

斩波用来改善DC或接近DC时的噪声性能。如果位3至位2设置为：

- 00，禁用内部斩波。
- 01，启用斩波模式1。
- 10，启用斩波模式2。
- 11，启用斩波模式3。

(详情请参考器件数据手册。)

表6

位2至位0	斩波模式
00h	无斩波
01h	启用斩波模式1
10h	启用斩波模式2
11h	启用斩波模式3

位1至0—随机模式

随机用来改善ADC传递函数的线性度。

如果位1至位0设置为：

- 00，禁用内部随机。
- 01，启用随机模式1。
- 10，启用随机模式2。
- 11，启用随机模式3。

表7

位1至位0	随机模式
00h	无随机
01h	启用随机模式1
10h	启用随机模式2
11h	启用随机模式3

输出测试模式(0x00D)

寄存器0x00D用来使能可用的测试模式。(请参考器件数据手册以确定支持哪些模式。)此寄存器的默认设置为0x00。不过，当将此寄存器设置为记载的设置之一时，测试模式数据就会替换ADC数据。对于测试模式1、2、3、5、6，输出格式由寄存器0x014的设置决定。所有其它输出码均提供逻辑输出序列，不受寄存器0x014的输出格式设置影响。

位7至位6—序列化

这些位与位3至位0所定义的测试模式8一同使用。

如果这些位设置为：

- 00，则0x019和0x01A中存储的测试码将被静态地置于输出上。
- 01，则码将在用户码1(0x019和0x01A)中存储的码与用户码2(0x01B和0x01C)中存储的码之间交替。
- 10，则在一个转换周期内，用户码1将被置于输出上，此后的输出被设置为全0。
- 11，则用户码1将被置于输出上，下一个编码周期则为用户码2。此后的转换周期产生全0，像输出数据格式所确定的那样。

位5—PN23复位

位5控制复位长PN序列(PN23)。如果该位置1，PN序列将处于复位状态。如果该位清零，PN序列将从种子值恢复。种子值为0x003AFF。

位4—PN9复位

位4控制复位短PN序列(PN9)。如果该位置1，PN序列将处于复位状态。如果该位清零，PN序列将从种子值恢复。种子值为0x000092。

位3至位0—测试模式

如果这些位设置为：

- 0000，器件功能为正常ADC。
- 0001，输出设置为数字中量程。
- 0010，输出设置为+FS。
- 0011，输出设置为-FS。

AN-877

- 0010, 输出设置为交替棋盘形式。
- 0101, 输出设置为PN23序列, 基于ITU 0.150, 利用公式 $X^{23} + X^{18} + 1$ 。种子值为0x003AFF。(相关偏差请参考器件数据手册。)
- 0110, 输出设置为PN9序列, 基于ITU 0.150, 利用公式 $X^9 + X^5 + 1$ 。种子值为0x000092。(相关偏差请参考器件数据手册。)
- 0111, 输出字在全1与全0之间变换。
- 1000, 输出设置为用户模式, 由位7和位6控制。如果输出处于用户模式0x08, 并且位7和位6设置为00, 则用户码存储器中存储的码将被静态地置于输出上。如果设置为01, 则输出将在用户码1(存储在0x019和0x01A中)与用户码2(存储在0x01B和0x01C中)之间交替。如果设置为10, 则在一个转换周期内, 用户码1

将被置于输出上, 此后的输出被设置为全0。如果设置为11, 则在下一个编码周期, 用户码1和用户码2将被置于输出上。此后的转换周期产生全0, 像输出数据格式所确定的那样。

- 1001, 输出置于1/0位交替模式, 用于串行输出测试。这将迫使串行输出流上产生1/0交替变换。
- 1010, 这些位的前半部分设置为0, 后半部分设置为1。下一个字帧将重复该循环。(详情请参见表8。)
- 1011, 串行字的第一位设置为高电平, 后续位设置为低电平。
- 1100, 表8所示的串行字移位。

位模式1101和1110保留供将来使用。位模式1111保留用于芯片专用的测试要求。

Table 8.

输出测试模式 ¹	码	字1 ²	字2 ²	接受数据格式选择	注释
0000	关	N/A	N/A	是	
0001	中量程短	1000000000000000	N/A	是	所示为偏移二进制码
0010	+FS短	1111111111111111	N/A	是	所示为偏移二进制码
0011	-FS短	0000000000000000	N/A	是	所示为偏移二进制码
0100	棋盘形式	1010101010101010	0101010101010101	否	
0101	PN序列长	N/A	N/A	是	PN23 ³ ITU 0.150 $X^{23} + X^{18} + 1$
0110	PN序列短	N/A	N/A	是	PN9 ³ ITU 0.150 $X^9 + X^5 + 1$
0111	1/0字交替	1111111111111111	0000000000000000	否	
1000	用户输入	寄存器19至寄存器1A	寄存器1B至寄存器1C	否	
1001	1/0位交替	1010101010101010	N/A	否	可用于串行输出模式
1010	1×同步	0000000011111111	N/A	否	较低分辨率会截断头位数字和末位数字
1011	1位高电平	1000000000000000	N/A	否	可用于串行输出模式
1100	混频	101000110011 (12位) 1001100011 (10位) 10100001100111 (14位) 10100011 (8位)	N/A	否	可用于串行输出模式
1101	保留				
1110	保留				
1111	芯片专用				

¹并非所有器件均可支持所有模式。详情请参考器件数据手册。

²对于较低分辨率, 从右侧截断。

³相关偏差请参考器件数据手册。

内置自测(0x00E)

寄存器0x00E用来配置并启用内置自测(BIST)功能。BIST是一项用户功能，它能以极高的可信度证明芯片的内核处理功能符合预期。BIST以简单的“合格/不合格”方式确定器件是否正常工作。BIST的结果在多输入状态寄存器(MISR) 0x024和0x025中提供。

BIST的原理很简单。先将一个PN序列送至转换器的数字模块，然后将数字模块的输出与一个累加器相加。累加器在BIST周期开始时清零。累加结果包含通过数字模块的所有PN序列的和。如果转换器内核正常工作，则每次调用它时，它都会做出同样的响应。因此，每次的结果应是一致的。

结果被置于MISR寄存器0x024和0x025中。用户可以读取这些寄存器，将读取的值与测试模式中存储的值相比较，以判断芯片的数字节是否正常工作。由于数字后端具有许多不同的编程选项，因此并不存在表示正确响应的唯一值。但是，一旦用户确定配置后，就可以在正常工作的器件上读取此器件的值，以确定正确的响应。采用特定配置的所有正常工作器件应当提供相同的结果。如果结果不同，则表明存在故障。

位7至位3—保留**位2—BIST启动**

位2为BIST启动位。如果该位为低，则在BIST周期启动之前，MISR不清零。如果该位为高，则在BIST周期启动之前，MISR会清零。这样可以连续进行多次测试，最终一并查看测试结果，而不用查看每次的测试结果。

位1至位0—BIST模式

如果该位码为：

- 00，禁用BIST模式，芯片正常工作。
- 01，启用BIST模式1。

当设置BIST模式1时，一个伪随机数据流会激励ADC产生内部数字流，输出则累加在MISR寄存器中(24h和25h)。任何改变数据(例如偏置或增益)或格式化数据(例如偏移二进制或二进制补码)的配置设置都会影响累加结果。由于伪随机序列是可预测的，因此对于任何给定配置，累加值始终相同。这样就能以极高的可信度证明数字后端的功能完全正常。积分周期是固定的，为256个编码周期。BIST周期完成之后，该位清零，除非位2为零。

请注意，10和11保留用于将来的BIST模式。

模拟输入(0x00F)

寄存器0x00F用来配置模拟输入。

位7至位4—带宽(低通)

位7至位4确定转折频率或片内低通滤波器。请注意，0000为器件数据手册中规定的默认带宽。其它带宽由值0001至1111定义。并非所有选项均可供使用。关于可用的选项，请参考器件数据手册。

表9

位7至位4	带宽模式
0000h	默认带宽
001h至1111h	其它带宽选择

位3—保留**位2—模拟断开**

设置位2将使模拟输入与ADC通道的其余部分断开连接。当该位清零时，转换器正常工作。如果该位置1，转换器将继续工作，但模拟输入与电路的前端断开连接。用户可以借此确定转换器引起的内部噪声量，有些应用需要该信息。

位1—共模输入使能

位1用来使能与ADC模拟输入相关的任何共模电路。(关于其应用和功能的详细信息，请参考器件数据手册。)

位0—单端

位0在输入为单端时置1，适用于另外还具有差分输入的器件，以增强性能。

偏置调整(0x010)

利用寄存器0x010可以微调器件的偏置。此寄存器的作用是提供足够的偏置，以将热噪声移到中量程之外。它通常以数字偏置的方式实现，关于调整范围请参考器件数据手册。此寄存器的默认值为0x00(中量程)，使用二进制补码表示，0x7F表示最大正值偏置调整，0x80表示最大负值偏置调整。偏置+1表示为0x01，偏置-1表示为0xFF。此寄存器的实际范围随器件不同而异。(请参考器件数据手册。)

增益调整(0x011)

利用寄存器0x011可以调整器件的增益。实际范围和选项随器件不同而异。(详情请参考器件数据手册。)

输出模式(0x014)**位7至位6—逻辑类型**

位7至位6控制输出逻辑类型。这些位的设置与所选输出逻辑的类型相对应。这些类型仅规定为电平选项0至电平选项3，其定义请参见器件数据手册。如果使用LVDS类型输出，则该类型输出也可以与0x015一同确定输出端接和驱动电流。CMOS类型输出也可以与0x015一同确定输出驱动强度。

表10

位7至位6	输出逻辑电平
00h	选项0
01h	选项1
10h	选项2
11h	选项3

位5—输出多路复用器

如果位5置1，输出将在两路不同输出之间多路复用，或者以双倍数据速率形式使两个ADC在同一路输出上交错。

位4—输出使能

位4为输出使能。如果该位为低，则启用输出。对于CMOS/TTL器件，这将把输出置于高阻抗状态。对于其它逻辑系列，输出被置于器件数据手册所定义的模式。如果存在外部输出使能，则该位的功能无效。如果外部引脚被定义为替代功能(参见“模式(0x008)”部分)，则该位控制输出。

位3—双倍数据速率使能

位3允许使用较少的输出引脚来产生同样的数据量。如果该位置1，则将利用一半的输出位发送所有数据位，但时钟速率为采样速率的两倍。这种模式不使用其余的输出位。如果该位清零，转换器将以正常方式工作，所有输出位都会得到利用。

位2—输出反转

如果位2置1，输出将发生反转。

位1至位0—输出编码

位1至位0决定输出编码方式。如果设置为：

- 00，输出为偏移二进制。
- 01，输出为二进制补码。
- 10，输出为格雷码。

11保留。

只能识别具体器件支持的模式。(请参考器件数据手册。)默认值为0x00。

表11

位1至位0	输出数据格式
00h	偏移二进制
01h	二进制补码
10h	格雷码
11h	保留

输出设置(0x015)

寄存器0x015与CMOS和LVDS模式一同设置输出端接和输出驱动电流水平。

位7至位4—输出端电极

位7至位4决定LVDS和其它受控阻抗驱动器输出的输出端接选项。(详情请参考器件数据手册。)

位3至位0—输出驱动电流

位3至位0决定各种CMOS和LVDS选项的输出驱动电流。(详情请参考器件数据手册。)

时钟分频器相位(0x016)

寄存器0x016决定时钟分频器的哪一个相位用来锁存数据。它可以与寄存器0x00B或用来提供串行时钟的PLL分频器输出一同使用。此寄存器的默认值为0x00，即选择第一个不反转的相位。

位7—相位反转

位7用来反转内部相位。

位6至位4—保留**位3至位0—相位选择**

位3至位0决定选择哪一个相位来驱动串行时钟。

输出延迟调整(0x017)

寄存器0x017设置输出锁存相对于内部输出寄存器选通时间的精密延迟。此设置不更改内部时序，只改变输出锁存，以补偿ADC时序问题引起的外部设置和保持时间。关于此寄存器的范围，请参考器件数据手册的规定。

位7—使能

位7用作此功能的使能。如果清零，则将选择默认时序来提供基准时序。

位6—DLL使能

设置位6将使能用于产生输出锁存的片内DLL。DLL用来维持输出数据眼与该数据的锁存之间的最佳时序，适用于时序至关重要且数据必须优化的应用。如果该位清零，则DLL关闭；在位7使能本功能的情况下，可通过位5至位0手动调整延迟。

位5至位0—延迟

位5至位0代表芯片专用的偏移时序，0x00为最大的负调整值，3F为最大的正调整值。

基准电压调整(0x018)

寄存器0x018可用来选择和/或调整内部基准电压。

位7至位6—VREF选择

位[7:6]决定使用哪一个 V_{REF} 。如果设置为：

- 00，则连接主 V_{REF} 。
- 01，则选择次 V_{REF} 。

1×保留用于其它基准电压选项。

位5至位0

位5至位0可用来调整内部 V_{REF} 。关于调整范围，请参考器件数据手册的规定。

用户测试码(0x019至0x020)

这些寄存器与测试模式配置一同使用，用户可以利用这些寄存器指定测试码。这些寄存器成对使用，0x019与0x01A配对，0x01B与0x01C配对，0x01D与0x01E配对，0x01F与0x020配对。低地址为低字节。(请参见本应用笔记的“输出测试模式(0x00)”部分。)

串行数据控制通道(0x021)

寄存器0x021为高速串行数据控制通道。它也可以用在并行输出器件中，以控制有效的输出位数(位2至位0)。

位7—LSB优先

如果该位置1，器件将使用串行端口输出转换器数据，以LSB优先的方式移位数据。如果清零(默认值)，则以MSB优先的方式移位数据。

位6至位4—保留**位3—PLL优化**

位3用来针对各种频率范围优化PLL操作。(详情请参考器件数据手册。)

位2至位0

这些位用来确定串行帧或并行输出中移位的位数。如果设置为000，则移位转换器本有的位数。该控制功能可以对位流进行截断或填充处理。例如，通过将此寄存器的最低3位设置为001，可以强制一个12位转换器表现得像一个8位转换器。同样，通过用0填充额外的位，可以强制一个12位转换器表现得像一个16位转换器。(关于对此设置的完整范围的支持情况，请参考器件数据手册。并非所有器件都支持所有选项。)

表12

位2至位0	串行输出帧长度
000h	本有位数
001h	截断/填充为8位
010h	截断/填充为10位
011h	截断/填充为12位
100h	截断/填充为14位
101h	截断/填充为16位
110h	保留
111h	保留

串行通道关断(0x022)

串行通道关断用来控制串行输出转换器中各串行通道的状态。

位7至位2—保留**位1—通道输出复位**

当数据通道或时钟通道的位1(ch_output_reset)被置1时，所有部分均处于工作状态。不过，与该通道相关的LVDS驱动器之前的输出触发器保持复位状态。

位0—通道关断

当数据通道的位0(ch_power_down)被置1时，相关的ADC和LVDS驱动器关断，而相关的数字电路则保持复位状态。当时钟通道的位0(ch_power_down)被置1时，相关的LVDS驱动器关断，而相关的数字电路则保持复位状态。

MISR寄存器(0x024和0x025)

寄存器0x024为多输入签名寄存器(MISR)低字节。寄存器0x025为MISR高字节。MISR为多输入签名寄存器，与BIST(0x00E)一同使用。该寄存器是内核MISR的镜像，只能读取。

特性(0x02A)**位7至位1—保留****位0—超量程使能**

如果位0被置1，则将禁用超量程引脚。如果清零，超量程引脚将正常工作。

AN-877

高通(0x02B)

寄存器0x02B配置高通滤波器。

位7、位5至位3—保留

位6—调谐

位6用来校准高通或低通片内滤波器。该位置1将启动带宽校准流程。关于校准哪些滤波器及其它信息，请参考器件数据手册。

位2至位0—带宽(高通)

位2至位0确定片内高通滤波器的转折频率。请注意，000为默认带宽，与直流耦合相对应。其它带宽由值001至111定义。并非所有选项均可供使用。(关于可用的选项，请参考器件数据手册。)

表13

位7至位4	带宽模式
0000h	默认带宽(DC)
001h至1111h	其它高通选择

模拟输入(0x02C)

位7至位1—保留

位0—输入阻抗

位0可用来选择两种输入阻抗中的一种。(详情请参考器件数据手册。)

交叉点开关(0x02D)

此功能提供一个模拟交叉点开关，它可以用来将模拟输入与内核ADC相连，或者将各种模拟输入路由至器件数据手册中定义的各种辅助模拟输出。

编程示例

可以使用编程工具来帮助开发用于SPI器件的代码。用户可能希望使用SPI控制所提供的功能，而不是全功能SPI控制器。如果是这样，请参考应用笔记AN-812，了解全功能控制器的低成本替代选择。

另外，还有一个软件工具(请登录www.analog.com/FIFO)可用于控制相应评估板上使用的器件。利用该工具可以配置寄存器，以确定适合最终应用的最佳器件配置。此外，一旦完成此过程，软件工具就会生成两个文件，可用于对器件进行编程。第一个文件的格式为伪代码格式，可以将

它添加到C语言项目中，以设置适当的读写操作，确保器件按照评估软件中的设置进行配置。为使用伪代码，用户只需提供与SPI控制器相关的硬件专用读写功能。本节中的示例代码显示了用于这些器件的程序序列示例。

第二个文件的格式为汇编代码格式，可结合应用笔记AN-812所述的微控制器使用。(关于此输出的使用方法的详细信息，请参考AN-812。)

关于使用这些工具的详细信息，请参考应用笔记AN-878：“高速ADC SPI控制软件”

```
write(0, 18);    //configure serial interface for MSB first
write(5, 3);    //set Devices-Index to program ADC Channels 0 and 1
write(18, 80);  //set vref to option 2 and adjustment to all zeros
write(14, 10);  //set output_mode to level option 0, disable output MUX, enable output and offset binary
write(17, 83);  //set output_delay to enable and set to delay value of 3
write(FF, 1);   //write transfer bit (for configurations that require a manual transfer)
write(10, 3);   //set offset to 3 (for Channel 1 only)
write(5, 2);    //set Device-Index to program ADC Channel 1
write(FF, 1);   //write transfer bit (for configurations that require a manual transfer)
Write(5, 4);    //set Devices Index to program ADC Channel 2
write(10, 9);   //set offset to 9 (for Channel 2 only)
write(FF, 1);   //write transfer bit (for configurations that require a manual transfer)
```

AN-877

控制寄存器

表14: 控制寄存器映射

地址 ¹ 和参数名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 ¹	备注
00-chip_port_config	SDO有效 ²	LSB优先	软复位	应当设置。不要清零。					18h	用户应在两个半字节之间建立镜像关系, 使得无论在何种移位模式下, LSB优先或MSB优先模式均能正确记录数据。
01-chip_id	8位芯片ID; 位[7:0]								只读	默认值为唯一芯片ID, 各器件均不相同。这是一个只读寄存器。(详情请参考器件数据手册。)
02-chip_grade	8位子ID								只读	只读。子ID用来区分器件等级。(详情请参考器件数据手册。)
04-device_index_B	Aux 7	Aux 6	Aux 5	Aux 4	ADC 7	ADC 6	ADC 5	ADC 7	FFh	设置这些位以决定片内何器件接收下一个写命令。默认为片内所有器件。
05-device_index_A	Aux 3	Aux 2	Aux 1	Aux 0	ADC 3	ADC 2	ADC 1	ADC 0	FFh	设置这些位以决定片内何器件接收下一个写命令。默认为片内所有器件。
08-modes	外部关断使能	外部关断模式 00h: 完全关断 01h: 待机 10h: 普通模式(输出禁用) 11h: 普通模式(输出使能)		功能旁路	内部关断模式 0: 芯片运行 1: 完全关断 2: 待机 3: 复位 4: ADC关断 5: 模拟前端关断 6: 保留 7: 保留				00h	决定芯片的一般工作模式。
09-clock	保留用于支持其它时钟输入					PLL使能	时钟增强	占空比稳定	01h	
0A-PLL control	PLL锁定	PLL自动	PLL乘法器; 位[5:0]						00h	通过使能并设置乘法器来配置片内PLL。当PLL锁定时MSB被置1。
0B-clock_divide	时钟分频器; 位[7:0]								00h	分频比为该值加上1
0C-enhance	保留	保留	保留	斩波使能 0: 关 1: 模式1 2: 保留 3: 保留		随机模式 0: 关 1: 模式1 2: 保留 3: 保留			随机模式决定如何执行随机选择。斩波决定如何处理输入以改善接近DC时的噪声。	
0D-test_io	用户测试模式 00h: 单一 01h: 交替 10h: 单一一次 11h: 交替一次		产生复位PN长序列	产生复位PN短序列	输出测试模式 0: 关 1: 中量程短 2: +FS短 3: -FS短 4: 棋盘形式输出 5: PN23序列 6: PN9 7: 1/0字交替 8: 用户输入 9: 1/0位交替 10: 1×同步 11: 1位高电平 12: 混合位频率 (格式由output_mode决定)				00h	置1时, 测试数据将取代正常数据被置于输出引脚上。
0E-test_bist						BIST启动	保留	BIST使能	00h	BIST模式配置
0F-adc_input	低通滤波器带宽 0: 默认值, 1至15: 其它转折频率 (详情请参考器件数据手册)					模拟断开	共模输入使能	单端	00h	
10-offset	8位器件偏置调整; 位[7:0]								80h	器件偏置调整
11-gain	8位器件增益调整; 位[7:0]								00h	器件增益调整

地址 ¹ 和参数名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 ¹	备注
14-output_mode	0: 电平选项0 1: 电平选项1 2: 电平选项2 3: 电平选项3		输出多路复用器使能(交错)	输出使能	DDR使能	输出反向	0: 偏移二进制 1: 二进制补码 2: 格雷码 3: 保留		依器件而定	配置输出和数据格式
15-output_adjust	输出驱动器端接; 位[7:4]				输出驱动电流; 位[3:0]				依器件而定	决定LVDS或其它输出属性。主要功能是代替外部电阻设置LVDS范围和共模电平。
16-output_phase	输出极性				输出时钟相位调整; 位[3:0]				00h	用于利用时钟分频的器件上, 决定使用分频器输出的哪一个相位来提供输出时钟。内部锁存不受影响。
17-output_delay	使能	DLL使能	6位输出延迟; 位[5:0]						00h	设置输出时钟的精密输出延迟, 但不改变内部时序。
18-vref	V _{REF} 选择 0: 主(0) 1: 次(1) 2: 选项2 3: 选项3		6位内部VREF调整; 位[5:0]						20h	选择和/或调整VREF
19-use_r_patt1_lsb	B7	B6	B5	B4	B3	B2	B1	B0	00h	用户定义的码1 LSB
1A-user_patt1_msb	B15	B14	B13	B12	B11	B10	B9	B8	00h	用户定义的码1 MSB
1B-user_patt2_lsb	B7	B6	B5	B4	B3	B2	B1	B0	00h	用户定义的码2 LSB
1C-user_patt2_msb	B15	B14	B13	B12	B11	B10	B9	B8	00h	用户定义的码2 MSB
1D-user_patt3_lsb	B7	B6	B5	B4	B3	B2	B1	B0	00h	用户定义的码3 LSB
1E-user_patt3_msb	B15	B14	B13	B12	B11	B10	B9	B8	00h	用户定义的码3 MSB
1F-user_patt4_lsb	B7	B6	B5	B4	B3	B2	B1	B0	00h	用户定义的码4 LSB
20-user_patt4_msb	B15	B14	B13	B12	B11	B10	B9	B8	00h	用户定义的码4 MSB
21-serial_control	LSB优先				PLL优化	000: 正常位流 001: 8位 010: 10位 011: 12位 100: 14位 101: 16位			00h	串行流控制。默认为MSB优先, 本有位流。
22-serial_ch_stat							通道输出复位	通道关断	00h	用来关断转换器(局部)的个别部分
24-misr_lsb	B7	B6	B5	B4	B3	B2	B1	B0	00h	MISR的低字节(只读)
25-misr_msb	B15	B14	B13	B12	B11	B10	B9	B8	00h	MISR的高字节(只读)
2A-features							OVR替代引脚	OVR输出使能	00h	辅助功能集控制
2B-high pass		调谐				转折频率 位0: DC 位1至位7: 其它转折频率			00h	高通滤波器控制
2C-ain								输入阻抗	00h	模拟输入控制
2D-cross_point									00h	模拟输入交叉点开关
FF-device_update	使能HW传输							SW传输	00h	从主移位寄存器向从移位寄存器同步传输数据

¹ 十六进制² 多数器件不支持

AN-877

注释