

时钟应用中的直接数字频率合成器 基于直接数字频率合成器的时钟系统的时间抖动

作者: David Brandon

本应用笔记介绍了使用基于直接数字频率合成器(DDS)的时钟系统可以获得的**时间抖动**性能,并说明了频率规划、输出功率和重构滤波对于改善系统抖动性能具有的重要作用。

使用DDS产生时钟信号的最主要优势在于其极精密的频率调谐分辨率。ADI公司标准DDS产品可以获得的调谐分辨率为28位、32位或48位。对于400 MHz系统时钟,48位调谐字可以使调谐分辨率达到微赫兹。另外,DDS的频率可以从DC调谐至其内部系统时钟速率的一半(最大值)。不过,在实际操作中,频率上限通常约为最大值的45%,以适应外部滤波要求。相位调谐分辨率通常为14位,相位偏

移为0.022度。对于时钟电路,相位调谐分辨率相当于延迟调整分辨率。此外,基于DDS的时钟系统还可以提供出色的残留相位噪声性能。

使用DDS产生低抖动时钟信号的主要挑战,在于降低DDS输出信号中存在的离散杂散成分所引起的确定性时间抖动。

为详细阐述这一点,需要了解DDS产生方波时钟信号的过程。图1展示该过程中每一点的理想时域和频域表现形式,以及实际的频域表现形式(最下方)。

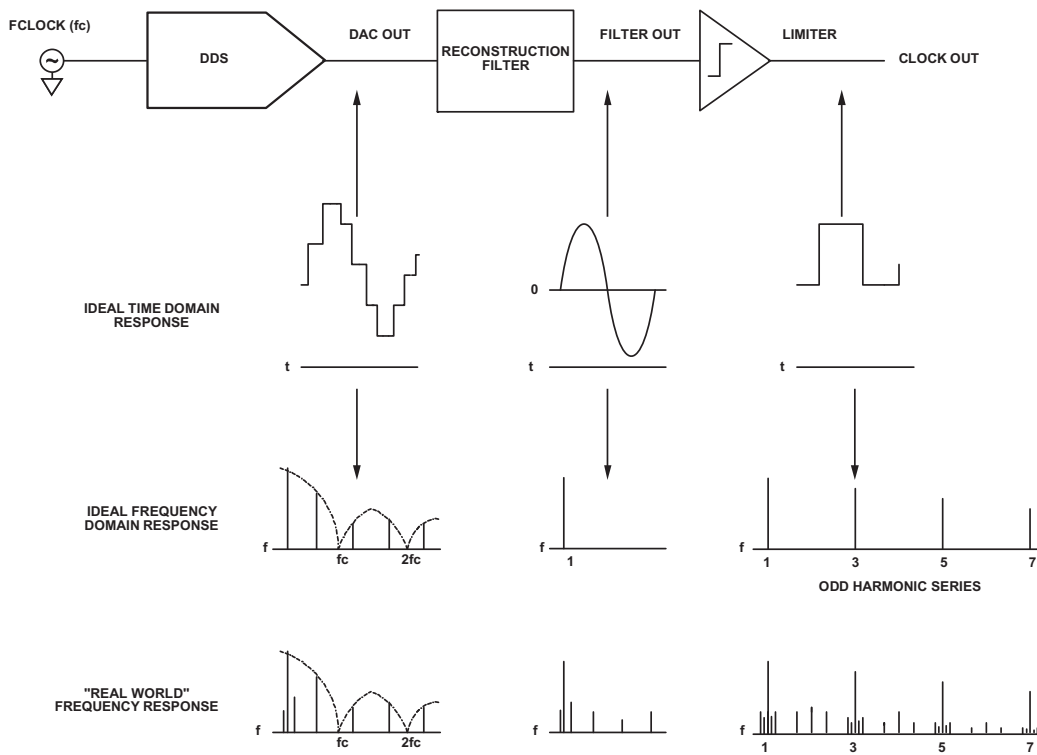


图 1. DDS产生时钟信号的过程

如图所示，DDS的理想时域输出为采样正弦波。采样正弦波的理想频域表现形式由基波信号及其镜像组成。为将采样正弦波转换为时钟信号，必须分两步处理。第一步是对信号进行滤波，通常是低通滤波，以消除采样过程中产生的镜像。虽然这个过程不是完全理想，但重构滤波器一般将该信号转换为纯正弦波，如图所示。该低通滤波器的转折频率通常设置为系统时钟的40%至45%左右，以便利用全部调谐带宽，同时也能充分衰减镜像。第二步是借助限幅器，将经过滤波的正弦波转换为方波。限幅器的输入端类似于一个比较器，它在输入波形跨过阈值电压的精确时刻，将其输出切换为所需的逻辑高或逻辑低状态。为减小噪声耦合，DAC输出端与限幅器输入端之间最好有一个双线式平衡连接。

如图1所示，未滤波的DDS输出的实际频谱富含杂散成分，含有DAC相关谐波失真以及基波频率的镜像。基波频率的谐波源于DAC传递函数的非线性。

基波频率的镜像位于重构滤波器的截止频率之上。然而，基波频率的谐波也会在镜像中再现。扩展到第一奈奎斯特频率区(DC至 $\frac{1}{2} fc$)中的镜像显示为谐波的混叠形式。因此，这些镜像可能出现在滤波器通带以内。DAC谐波的这些带内镜像，以及滤波器未充分衰减的带外镜像，构成限幅器输出

端上的抖动的重要来源。在输入波形跨过限幅器阈值电压的时间间隔内，杂散成分会引起逐周期的调制，从而在限幅器输出端产生抖动。这一过程所产生的抖动属于确定性抖动，它与信号的杂散成分的特定频率相关。杂散成分通过限幅功能转换为相位或时序误差(抖动)的过程称为AM或PM转换。如果减小滤波器的带宽(利用具有低截止频率的低通滤波器或利用带通滤波器)，杂散噪声量将会降低，进而减小所产生的时间抖动的幅度。

时间抖动的幅度与杂散成分的幅度(相对于基波的压摆率而言)成比例。DDS输出为正弦波，因此其压摆率与信号频率和幅度成比例。DAC输出与限幅器输入之间的噪声耦合，包括来自限幅器本身的器件噪声，也会引起抖动。一般而言，限幅器输入端的压摆率越高，对耦合噪声引起的抖动越不敏感。压摆率与频率和幅度成比例，因此提高任一参数均可改善抖动性能。

为使基于DDS的时钟系统的抖动最小，关键在于将DAC输出压摆率提高到最大，并对DDS杂散成分实行有效的滤波。下面的一系列实验数据反映了这些要点。

图2中的电路是一个基于DDS的时钟发生器，由一个DDS及后置的重构滤波器和AD9515时钟分配器件组成，用来为模数转换器(ADC)提供采样时钟。DDS系统时钟由Rohde & Schwarz SMA信号发生器产生。选择两个不同DDS进行测试：AD9958和AD9858。测量抖动时，使用DDS和AD9515为ADC提供时钟，ADC对一个干净的170 MSPS正弦波进行采样。测试所用的ADC为14位、100 MSPS器件AD6645。通过评估ADC的微分非线性(DNL)和热噪声对测得的SNR(信噪比)的贡献，然后应用基于DDS的时钟并测量SNR，便可利用下式算出基于DDS的时钟所增加的抖动。

$$t_{JITTER\ rms} = \frac{\left(\sqrt{\left(10^{\frac{-SNR}{20}} \right)^2} \right) - \left(\frac{1 + \epsilon}{2^N} \right)}{2\pi f_{IF}}$$

其中：

SNR为ADC的高频SNR。

N为转换器的位数。

ε为转换器的平均微分非线性(DNL)加上热噪声。

f_{IF}为ADC的中频(IF)模拟输入频率。

有关此公式及如何用于评估ADC采样时钟抖动特性的更多信息，请参考ADI应用笔记AN-501。

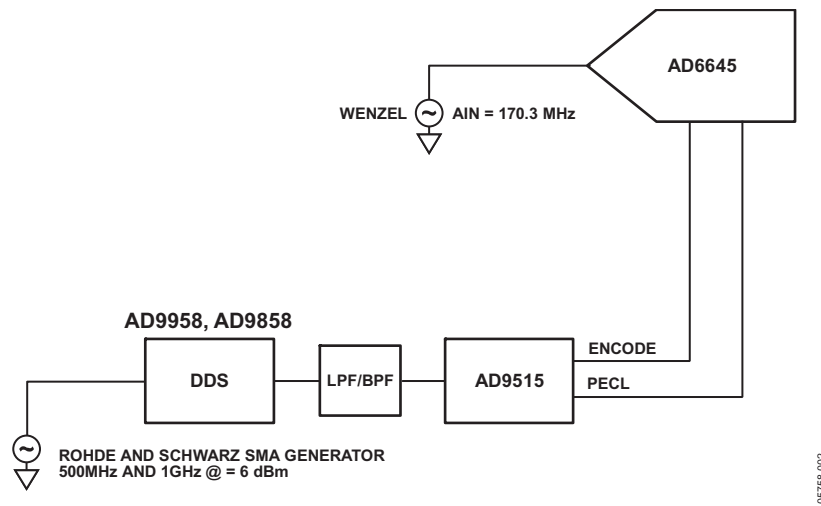


图 2. 基于DDS的时钟发生器和抖动测量电路

关于测试和结果的讨论

我们使用图2所示配置进行了一系列抖动测量，以便量化滤波和频率规划的影响。

我们获得了针对三种频率的抖动数据。对于每种频率，我们用三种不同的滤波器配置来测试压摆率(频率)和带宽限制对测得的抖动的影响。同时显示了每种设置的输出功率水平，以便监控每种测试条件下限幅器输入端的压摆率。

标称滤波器带宽设置为采样速率的约40%，这是宽带DDS应用中设置转折频率的一般规则。对于不需要宽带宽范围的应用，可以将滤波器带宽设置为某一值，使得转折频率恰好略高于所需的最高输出频率。这样做的意图是以调谐带宽为代价来改善抖动性能。最后，图 2的抖动测量配置使用一个5%带通滤波器。这样可以滤除大部分宽带噪声和杂散成分，从而获得最佳抖动性能，但缺点是会牺牲大部分调谐带宽。在频率保持恒定的时钟应用中，这一缺点无关紧要。

表1列出了AD9958的测试数据。这些数据证明：提高频率

或压摆率以及减小滤波通带，可以改善抖动性能。

当输出为38.88 MHz、采用略低于奈奎斯特频率的低通滤波器时，抖动最大，约为4 ps(均方根)；当输出为155 MHz、采用5%滤波器时，抖动最小，约为700 fs。每种情况下，AD9515都能随着其输出频率的倍降而保持信号的抖动性能。这是AD9515及类似产品(参见表4)的重要特性，正是这种特性与DDS的组合，才实现了最低至19 MHz频率的皮秒(ps)以下抖动性能。请注意，如果DDS直接在19 MHz下驱动方波器件，则前述压摆率效应将使得上述结果难以实现。

为进一步确认抖动与压摆率相关，我们采用AD9858 DDS获得了更多数据(表2)。该器件能够向50 Ω负载提供40 mA输出电流，输出功率更高，相关的压摆率更大。

AD9958和AD9959为多通道DDS器件，其输出可以相加，以提高输出功率。

表 1: AD9958和AD9515的抖动响应与输出频率、功率、频率、滤波器带宽的关系

产品	DDS 采样速率 (MHz)	DDS 输出频率 (MHz)	DDS 输出功率 (dBm)	DDS 重构滤波器 (MHz)	AD9515 分频器 输出设置	AD9515 输出频率 (MHz)	均方根 抖动 (ps)
AD9958/AD9515	500	38.88	-3.6	200 LPF	1	38.88	4.1
AD9958/AD9515	500	38.88	-3.6	200 LPF	2	19.44	4.1
AD9958/AD9515	500	38.88	-4.7	47 LPF	1	38.88	2.4
AD9958/AD9515	500	38.88	-4.7	47 LPF	2	19.44	2.4
AD9958/AD9515	500	38.88	-3.3	5% BPF	1	38.88	1.5
AD9958/AD9515	500	38.88	-3.3	5% BPF	2	19.44	1.5
AD9958/AD9515	500	77.76	-3.8	200 LPF	1	77.76	2.5
AD9958/AD9515	500	77.76	-3.8	200 LPF	2, 4	38.88, 19.44	2.5
AD9958/AD9515	500	77.76	-4.9	85 LPF	1	77.76	1.5
AD9958/AD9515	500	77.76	-4.9	85 LPF	2, 4	38.88, 19.44	1.5
AD9958/AD9515	500	77.76	-3.8	5% BPF	1	77.76	1.1
AD9958/AD9515	500	77.76	-3.8	5% BPF	2, 4	38.88, 19.44	1.1
AD9958/AD9515	500	155.52	-5.5	200 LPF	2	77.76	1.5
AD9958/AD9515	500	155.52	-5.5	200 LPF	4, 8	38.88, 19.44	1.5
AD9958/AD9515	500	155.52	-5.6	5% BPF	2	77.76	0.68
AD9958/AD9515	500	155.52	-5.6	5% BPF	4, 8	38.88, 19.44	0.68

表 2显示了AD9858与5%带通滤波器、225 MHz低通滤波器在各种DDS输出功率水平时的测量结果。与预期的情况一致，提高功率和降低带宽可以改善抖动性能。利用5%带通滤波器，可衰减DAC的大部分杂散。这种情况下，抖动在更大程度上取决于DAC输出与限幅器输入之间的噪声耦合，抖动降低与压摆率提高之间的高度相关性证明了这一点。

这些数据还显示，对于相似的功率水平和带宽，采用AD9858比采用AD9958能获得更好的抖动性能。不同DDS产品的杂散性能有差异，导致抖动性能参差不齐。选择时

钟应用的DDS时，一般而言，具有最佳无杂散动态范围(SFDR)的器件能提供最佳的抖动性能。AD9858的采样速率也远高于AD9958，因此基波频率的镜像和较低阶谐波进一步深入重构滤波器频率响应的阻带范围内。

从DAC重构滤波器获得所需的阻带衰减和整体性能并非易事。滤波器的寄生效应及PCB板的布局效应会影响滤波器的理想响应特性。如果阻带衰减受到影响，并由此导致带外噪声馈通，抖动性能就会降低。

表2：AD9858和AD9515的抖动响应与输出频率、功率、频率、滤波器带宽的关系

产品	DDS 采样速率 (MHz)	DDS 输出频率 (MHz)	DDS 输出功率 (dBm)	DDS重构滤波器 (MHz)	AD9515 输出分频器设置	AD9515 输出频率 (MHz)	均方根 抖动(ps)
AD9858/AD9515	1000	155.52	+7.7	225 LPF	2	77.76	0.56
AD9858/AD9515	1000	155.52	+7.7	225 LPF	4,8	38.88, 19.44	0.56
AD9858/AD9515	1000	155.52	+7.7	5% BPF	2	77.76	0.33
AD9858/AD9515	1000	155.52	+7.7	5% BPF	4, 8	38.88, 19.44	0.33
AD9858/AD9515	1000	155.52	+2.6	225 LPF	2	77.76	0.63
AD9858/AD9515	1000	155.52	+2.6	225 LPF	4, 8	38.88, 19.44	0.63
AD9858/AD9515	1000	155.52	+1.1	5% BPF	2	77.76	0.42
AD9858/AD9515	1000	155.52	+1.1	5% BPF	4, 8	38.88, 19.44	0.42
AD9858/AD9515	1000	155.52	-3.2	225 LPF	2	77.76	0.73
AD9858/AD9515	1000	155.52	-3.2	225 LPF	4, 8	38.88, 19.44	0.73
AD9858/AD9515	1000	155.52	-4.6	5% BPF	2	77.76	0.64
AD9858/AD9515	1000	155.52	-4.6	5% BPF	4, 8	38.88, 19.44	0.64

术语

时间抖动

就本应用笔记而言，抖动一词是指时间抖动。相位噪声是一种频域现象。在时域内，该效应表现为时间抖动。观察正弦波时，连续过零的时间并不固定。方波中，时间抖动表现为边沿偏离其理想(规则)的出现时间。这两种情况下，实际时序与理想时序的偏差即为时间抖动。这些偏差本质上是随机的，因此规定时间抖动的单位为均方根(rms)

秒，对应于一个正态概率密度函数平均值附近一个标准差范围的面积。

DDS

就本应用笔记而言，DDS是指数字控制振荡器(NCO)与数模转换器(DAC)的组合。

表 3: ADI公司高频DDS产品

DDS产品选择	最大采样速率(MHz)	频率调谐分辨率(位)	DAC满量程电流(mA)	DAC分辨率(位)	输出通道数
AD9858	1000	32	40	10	1
AD9958	500	32	10	10	2
AD9959	500	32	10	10	4
AD9956	400	48	15	14	2
AD9540	400	48	15	10	2
AD9859	400	32	15	10	1
AD9951	400	32	15	14	1
AD9952	400	32	15	14	1
AD9953	400	32	15	14	1
AD9954	400	32	15	14	1
AD9852	300	48	20	12	1
AD9854	300	48	20	12	2
AD9851	180	32	20	10	1
AD9850	125	32	20	10	1
AD9830	50	32	20	10	1

表 4: ADI公司时钟分配产品

分频器产品选择	最大输入频率(MHz)	最大输出频率(MHz)	整数分频比	输出通道数	输出电平 (因通道不同而异)
AD9515	0 to 1600	0 to 1600	1 to 32	2	LVDS/CMOS/LVPECL
AD9514	0 to 1600	0 to 1600	1 to 32	3	LVDS/CMOS/LVPECL
AD9513	0 to 1600	0 to 800	1 to 32	3	LVDS/CMOS
AD9512	0 to 1600	0 to 1200	1 to 32	5	LVDS/CMOS/LVPECL
AD9511	0 to 1600	0 to 1200	1 to 32	5	LVDS/CMOS/LVPECL
AD9510	0 to 1600	0 to 1200	1 to 32	8	LVDS/CMOS/LVPECL

注释

注释