

## 多个 AD9779 TxDAC® 器件的同步

作者：Steve Reine 和 Gina Colangelo

### 简介

AD9779 TxDAC 的 DAC 输出采样速率最高可达 1 GSPS。在某些应用中，例如需要波束导引的应用，用户可以同步多个 AD9779。因此，当 AD9779 以接近最高速度工作时，TxDAC 时序特性变得至关重要。

本应用笔记不讨论 AD9779 运作涉及到的全部细节。若要全面了解其内部数字引擎，用户应参阅 AD9779 数据手册。本应用笔记扩展了 SYNC\_I 的使用，使多个 AD9779 器件实现相同的 REFCLK/DATACLK 同步。

在传统的插值 TxDAC 中，当 DAC 采用 DAC 输出采样速率时钟驱动时，会产生两个问题。第一，可能难以确定输入数据在哪个 DACCLK 沿锁存。多数 DAC 解决这一问题的方法是提供一个 DATACLK 信号输出，以指示输入寄存器锁存沿的位置。第二个问题发生于用户试图同步多个 TxDAC 时，这是本应用笔记的主题。多个器件的 DATACLK 输出并不保证同步，上电时仅靠器件本身不大可能实现同步。AD9779 解决这一问题的方法是为数据同步提供第二个时钟，该时钟称为 SYNC\_I，是 AD9779 的一路输入，可以用来同步多个 AD9779 的输入数据锁存。

本应用笔记将详细说明用于同步多个 AD9779 器件的数字数据输入的方法。DAC 输出的相位对齐通过设计保证，精度小于一个 DACCLK 输出周期。然而，由于输出延迟不匹配（室温下及冷热温度下），多个 DAC 输出的相位对齐可能存在细微的不一致，本应用笔记不讨论这一问题。

### 同步方案

同步多个 AD9779 DAC 有两种方案。在第一种方案中，一个器件用作主器件，其余器件用作从器件。在第二种方案中，所有器件都是从器件。两种方案具有相同的时序限制，不存在性能权衡。主 / 从模式和从模式的框图分别如图 1 和图 2 所示。

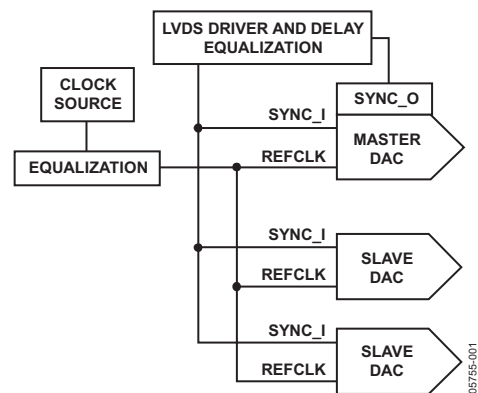


图 1. 主 / 从 SYNC\_I/O 分配

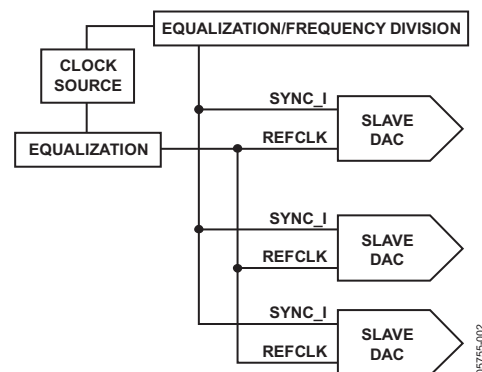


图 2. 从 SYNC\_I 分配

## 目录

简介.....	1	同步详解.....	3
同步方案.....	1	时序规格.....	7
修订历史.....	2		

### 修订历史

#### 2006 年 9 月—修订版 0 至修订版 A

更换“简介”部分.....	1
更换“同步详解”部分.....	3
更换“时序规格”部分.....	7

#### 2006 年 2 月—修订版 0：初始版

## 同步详解

工作中，差分时钟信号驱动所有主器件和从器件的 AD9779 REFCLK 输入。REFCLK 输入接收器是一个高增益差分放大器，各差分输入需要接近 400 mV 的共模输入电平和至少 400 mV p-p 的摆幅。

如果选定了主器件，可以使能主器件的差分 LVDS 输出信号，该信号称为 SYNC\_O+ 和 SYNC\_O-。通过寄存器 0x07 的位 5，可以将 SYNC\_O 设置为在 DACCLK 的上升沿或下降沿触发。SYNC\_O 还有一个可编程的延迟，可以通过寄存器 0x04 的位 0 (MSB) 和寄存器 0x05 的位 [7:4] (LSB) 设置。SYNC\_O 通过将同步驱动器使能位（寄存器 0x07 的位 6）置 1 而使能。SYNC\_O 信号速度可以是 REFCLK 速度的整数除数，通过寄存器 0x04 的位 [3:1] 设置。主器件的 REFCLK 输入和 SYNC\_O 信号的可能时序情况如图 3 所示。

SYNC\_O 驱动器和 SYNC\_I 接收器规定用于 LVDS 电平（参见 AD9779 数据手册）。

驱动多个 AD9779 器件的 CMOS 数字数据输入的并行数字输入总线在时间上应均衡。如果多条数据总线不均衡，可以利用 AD9779 的编程能力，通过 DATA\_CLOCK\_DELAY（寄存器 0x04 的位 [7:4]）以大约 180 ps 的增量偏移各 AD9779 的锁存时间。AD9779 无法补偿单条数据总线中包含的位偏斜。

在所有 AD9779 器件上，SYNC\_I、REFCLK 输入与 CMOS 数字输入数据之间都存在建立保持关系。AD9779 数据手册的“时序信息”部分说明了这些时序关系。

SYNC\_O 和 SYNC\_O\_DELAY 的推荐应用是利用 SYNC\_O\_DELAY 来均衡 SYNC\_I 和 REFCLK 的时序，确保其时序关系有效。

SYNC\_I 具有其自己的可编程延迟，可以通过寄存器 0x05 的位 0 (MSB) 和寄存器 0x06 的位 [7:4] (LSB) 设置。SYNC\_I\_DELAY 可以用于均衡不理想或者选用图 2 所示电路的应用中。SYNC\_I 通过将同步接收器使能位（寄存器 0x07 的位 7）置 1 而使能。

表 1 显示了增量延迟 SYNC\_O\_DELAY 和 SYNC\_I\_DELAY，这些延迟可以通过 SPI 寄存器设置。

表 1

温度	SYNC_I/O_DELAY (增量延迟近似值)
-40°C	72 ps
+25°C	78 ps
+85°C	83 ps

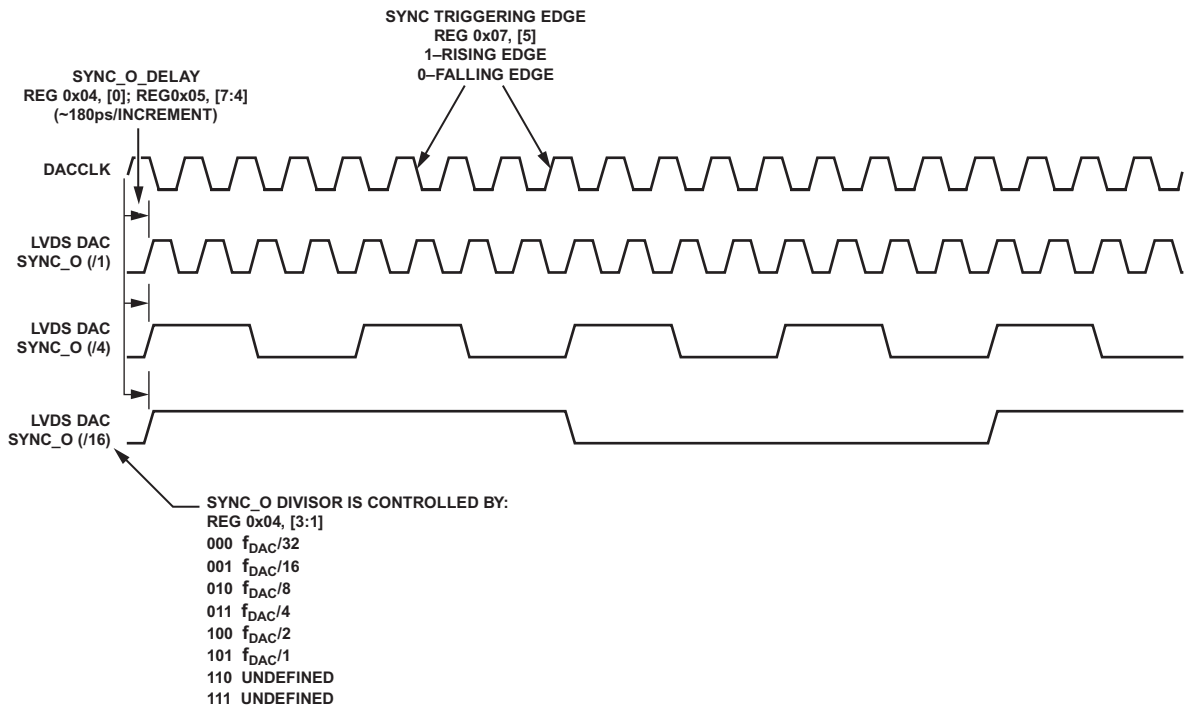


图 3. DACCLK SYNC\_O 时序

图 4 所示为用于同步多个 AD9779 的内部电路框图。在可编程的延迟后，SYNC\_I 信号得到处理，使得对于 SYNC\_I 的每个上升沿，只剩下一个长度为 DACCLK 周期的脉冲。注意在这种情况下，DACCLK 代表 AD9779 DAC 的内部采样速率时钟，它可以与 REFCLK 相同，具体取决于对 AD9779 的编程。长度为 DACCLK 周期的该单一脉冲驱动图 4 中的 5 位分频器的负载信号。分频器延迟逻辑的 5 信号输出代表所有插值速率的可能 DATACLK 信号，包括使能零填充的可能性。通过设置 DACCLK 偏移寄存器，图 4 中的位 1 至位 4 可以 DACCLK 周期为增量进行延迟。5 位分频器的内部时序、负载信号的影响和 DACCLK 偏移值如图 6 所示。

边沿检测器还驱动误差检测电路，图 5 更详细地显示了该电路。可编程误差检测电路可以用来测量时序裕量，如果超出时序裕量，将产生中断。

图 5 更详细地显示了图 4 中虚线所示的电路。在电路内部，FF5 输入端的信号相互之间必须满足建立保持要求。FF5 输入端的无效时序可能导致 REFCLK 与数字输入数据之间的同步丢失。此点的时序故障通常表现为 DAC 输出噪底的提高。对于 DACCLK 和 SYNC\_I 输入，FF5 输入端的时序要求变为建立保持要求。

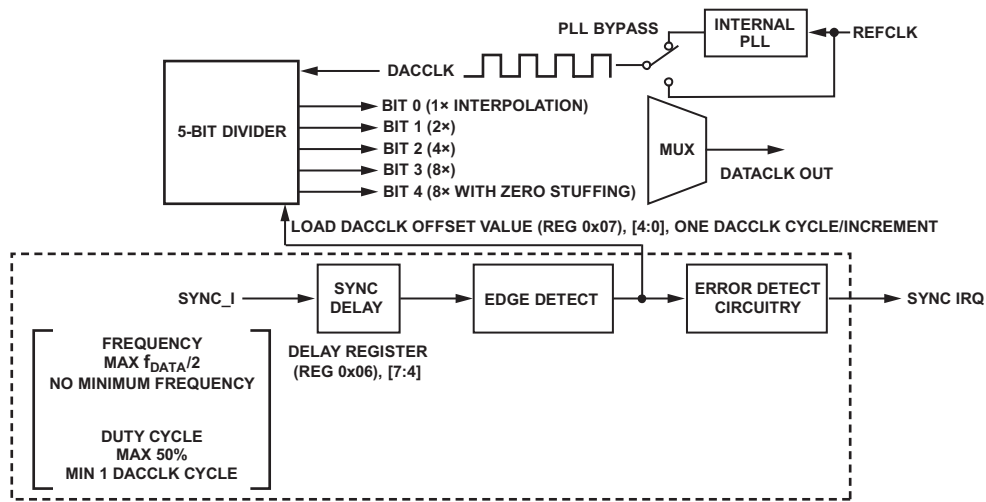


图 4. AD9779 多 DAC 同步电路框图

05755-004

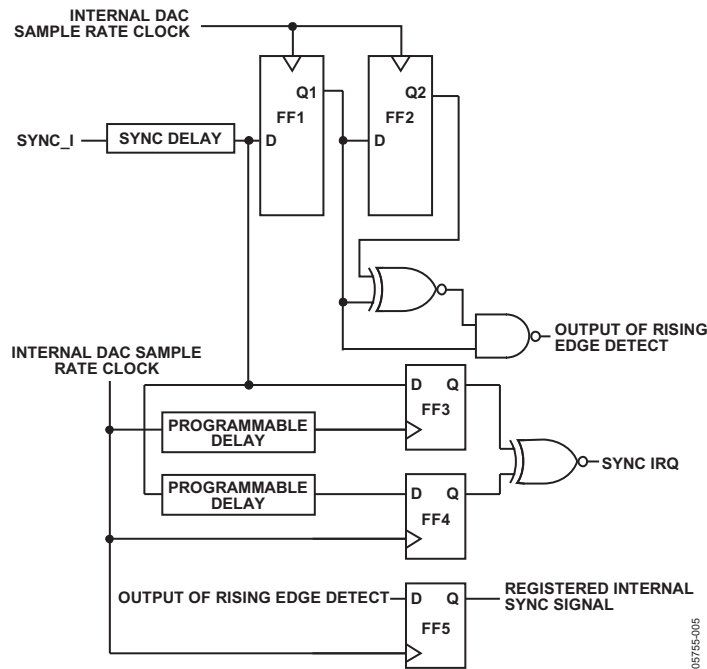


图 5. 可编程时序裕量和负载信号产生详情

改变同步输入延迟可以有效移动 REFCLK/SYNC\_I 的有效时序窗口。在实际应用中，对于给定的同步输入延迟，将产生一个具有给定宽度的有效 REFCLK/SYNC\_I 时序窗口。如果时序裕量按 1 递增，可以将时序裕量值设置为 SYNC IRQ 的设置值。将时序裕量设置为此值时，事实上是将 SYNC IRQ 设置为 0 裕量。SYNC IRQ 不区别建立和保持违规引起的时序误差。然而，根据设计，当可编程时序裕量超过建立和保持裕量二者中的较小者时，SYNC IRQ 置 1。用户可以通过提高寄存器 0x06 位 [3:0] 的值来提高时序裕量。对于 0 裕量，如果存在任何偏向敏感（建立或保持）特性的漂移，则 SYNC IRQ 置 1。

事实上，DACCLK 会对边沿检测器的输出进行采样。边沿检测器的输出是一个逻辑高电平宽度等于一个 DACCLK 周期的单脉冲。为使负载信号有效，边沿检测器的输出在围绕内部 DACCLK 信号上升沿的给定时序窗口内必须保持稳定（高电平或低电平）。

假设可编程时序裕量设为 0，并且 FF5 输入端的时序有效，则 FF3 和 FF4 的 Q 输出相同，SYNC IRQ 处于复位状态。在同样的条件下，如果 FF5 输入端的时序无效，则 FF3 和 FF4 的输出不同，SYNC IRQ 置 1。如果 FF5 输入端存在有效的时序条件，则必须将可编程时序裕量设置为大于 0 的值才能确定时序裕量。

设计一个在主 / 从同步配置下使用 AD9779 的系统时，推荐的程序是在 SYNC IRQ 置 1 前找出 SYNC\_O\_DELAY 的值（在该值时，可编程时序裕量可以设置为最大可能的值），这代表最佳的时序和最大的时序裕量。然后，用户可以降低可编程时序裕量的值。可编程时序裕量的降幅代表 SYNC IRQ 对漂移的敏感度。

在 AD9779 可以接收的高 DACCLK 频率时，DACCLK 和 SYNC\_I 的有效时序窗口可能占 DACCLK 周期相当大的一部分。然而，在较低 DACCLK 频率时，可编程时序裕量的范围可能不会让用户有机会找到无效的时序窗口。这种情况下，用户可以确信：在正常漂移下，AD9779 不会随温度漂移到无效时序状况中。

为确保同步，SYNC\_I 的最大速率为 DATACLK/2，其中 DATACLK 是 AD9779 的输入数据速率（不是 DACCLK）。图 6 给出了应用 SYNC\_I 的两个可能示例。在这两个例子中，AD9779 均处于 4× 插值模式，SYNC\_I 以 DACCLK/8 的速度运行。因此，4× 线也是 DATACLK 输出信号。在图 6 (a) 中，DACCLK 偏移值设为 00000。在内部 SYNC\_I 延迟 (a) 信号的上升沿，DACCLK 上升沿使所有 DATACLK 输出位复位到 0。注意，为在时间 (X) 设置 4× 线，SYNC\_I 延迟必须发生在相对于 DACCLK 的窗口 (Y)。如果 SYNC\_I 延迟 (a) 的发生时间略微提前或落后于此窗口，4× 线的上升沿将提前或滞后一个 DACCLK 周期。

注意,当 DACCLK 偏移值为 00000 时,应用 SYNC\_I 延迟 (a) 与 4x 线的上升沿之间存在一个 DACCLK 周期的延迟。

在图 6 (b) 中,DACCLK 偏移值在时间 (Z) 设为 00010。因此,8x、4x 和 2x 设为 010 (与 DACCLK 偏移位一致)。4x 线 (DATACLK 输出) 的下一个上升沿出现在 3 个 DACCLK 周期之后。

如果多个 DAC 在某一时间窗口内接收到 SYNC\_I 脉冲,并且它们全都具有相同的 DACCLK 偏移值,则其 DATACLK 信号同步。因此,多个 AD9779 器件的数据锁存同时发生。

在初始同步期间,2x、4x 和 8x 计数器位可能不连续。这就是说,在初始应用 SYNC\_I 上升沿时,计数器可能处于这样一种状态,使得同步可能导致其改变多个值。然而,在初始同步完成后,只要 SYNC\_I 的速度保持 DATACLK/2 或更慢,那么同步脉冲只会在 2x、4x 和 8x 位复位到 0 时出现。(这似乎是多余的,但在实现同步后,SYNC\_I 脉冲实际上不必应用。)初始脉冲后的周期性 SYNC\_I 脉冲主要用于 AD9779 器件失去同步这一罕有场合。电源毛刺或不良时钟脉冲触发系统中的某些但不是全部 AD9779 器件时,可能发生器件失去同步的情况。

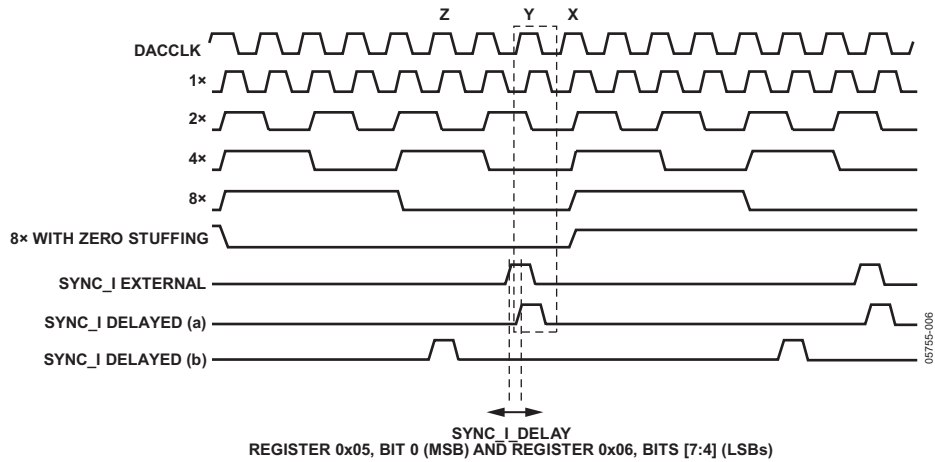


图 6. SYNC\_I、DACCLK 和 DATACLK 的内部时序

### 时序规格

第一个需要注意的时序规格是 SYNC\_I 与 REFCLK 之间的关系，如图 7 所示。从 AD9779 数据手册可知，所需的时序规格为： $t_s = -0.2\text{ ns}$ ， $t_H = 1.0\text{ ns}$ 。

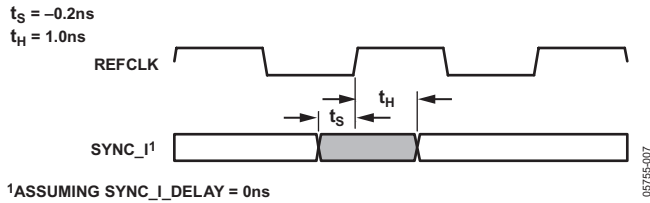


图 7. REFCLK 与 SYNC\_I 的时序关系

如果 DACCLK OFFSET 值被设置为非 0 值，则图 7 所示的 DACCLK 信号会左移一个 DACCLK 周期。同样，如果 SYNC\_I\_DELAY 被设置为非 0 值，则 SYNC\_I\_DELAY 每递增一次，图 7 中的 SYNC\_I 信号就会左移 AD9779 数据手册给定的 SYNC\_I\_DELAY 增量。

第二个重要时序规格是 DATACLK 输出与数字输入数据之间的时序关系，该时序信息如图 8 所示。当 DATACLK\_DELAY\_ENABLE 复位时，这些值有效。如果 DATACLK\_DELAY\_ENABLE 置 1，则 DATACLK 发生延迟（移至图 8 右侧），而数字输入数据的采样点保持静止。因此， $t_s$  和  $t_H$  的阻挡窗口相对于 DATACLK 左移。DATACLK\_DELAY\_ENABLE 置 1 时，每递增一次的平均延迟和 DATACLK\_DELAY 的增量值参见 AD9779 数据手册。

建立保持数据与 REFCLK 的关系参见 AD9779 数据手册，某些应用中该数据也是必要的。

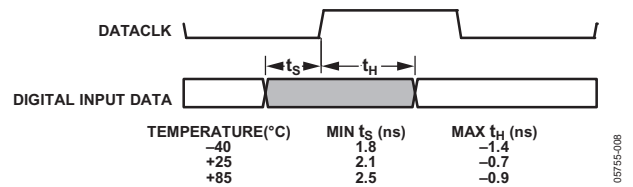


图 8. 建立保持、DATACLK 到输入数据

**AN-822**

**注释**