

实现UXGA解决方案的双通道AD9981设计准则

作者: Del Jones

简介

借助AD9981, 利用一种双芯片“乒乓”配置可以实现超过110 MHz的像素时钟速率。双芯片解决方案与交替像素采样解决方案的不同之处在于, 前者可以维持全速刷新率。

双通道AD9981设计有多种实现方式。本应用笔记旨在让用户了解在实现这种配置时需要考虑的因素。相关变量包括布局和路由限制、时钟选择、图形控制要求和最高速率要求等。

模拟输入布局和路由

在设计模拟输入(R、G、B和HSYNC)的布局和路由时, 需要考虑多种因素。R、G和B输入的走线长度应尽量相等, 同时使线路保持直线(无之字形)以维持相等的传播延迟。AD9981各个模拟输入的分支应尽量短。RGB输入上的75 Ω端子应尽量靠近分支结点。最后, 每个R、G和B分支都需要自己的耦合电容。图1显示了这些考虑因素。

时钟源选择

有三种方法可以提供数据时钟。可以利用一个外部时钟源来给AD9981和数据锁存器件(图形控制器)提供时钟。这种方法要求采用外部PLL电路, 而且有着特殊的高速时钟布局及路由考虑。

第二种方法是用芯片1中的PLL来驱动芯片2。这种方法要求针对外部时钟操作来配置芯片2, 用芯片1的DATAACK的负向沿来对RGB数据采样。这种方法采用的是最直接的HSYNC路由方式。HSYNC可以直接路由至芯片1, 然后再路由至第二个器件。(尽管第二器件并不使用HSYNC来产生时钟, 但仍然需要用它来为箝位等其他功能提供时序参考。)这种方法的问题在于, 难以为芯片2设置正确的时钟相位, 因为HSYNC与芯片1的数据时钟输出之间增加了传播延迟。同时也会给芯片2带来持续的时钟相位困难, 因为芯片1的数据时钟传播延迟会随时间和温度而变化。

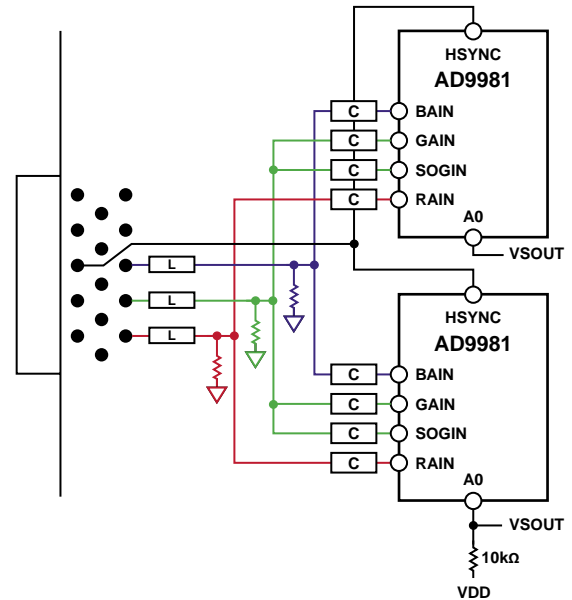


图1. 模拟输入路由

提供时钟信号的推荐方法是两个芯片中都使用PLL。这种方法要求特别注意HSYNC输入布局, 如图1所示。如果小心地使分支保持相同的长度(避免之字形), 则两个芯片采样时钟与数字输出之间的偏斜可以忽略不计。

采样时钟反相

所有上述三种方法都要求芯片2以与芯片1呈180°反相方式对RGB数据采样。这可以通过相位调整控制来实现。芯片2的初始相位设置将与芯片1的初始相位设置偏移180°(标称值为16个步进)。利用这种方法时, 芯片2输出的数据会偏移1/2像素时钟。这种方法允许两个芯片的时钟速率等于有效数据速率的一半。芯片1在采样沿上采集奇数数据, 芯片2则在采样沿上采集偶数数据(与芯片1呈180°反相)。

如果采集器件对每个数据端口(奇数和偶数数据)都采用独立的采集时钟, 则与数据采集相关的时序问题可以忽略不计。如果锁存器件(图形控制器、ASIC等)上针对这两个端口只有一个时钟引脚, 则需使锁存器件内置的时钟反相。除非锁存器件能够在数据时钟的任一边沿采集数据, 否则适用这种情况。图2展示了两个器件的输入数据像素与数字化输出数据之间的基本时序关系。

时钟相位调节

尽管内部时钟延迟应该是相同的, 但每个芯片的相位都需要单独调节。两个芯片之间的相差可能源于HSYNC输入或RGB输入中的布局走线长度偏差, 也可能来自正常的内部芯片偏差。

由于每个芯片均半速运行, 因此相对于全速时钟, 相位调节步长会增加一倍。结果导致可用相位调节步数减少一半(16步而非32步), 因为现在相位调节范围需要覆盖两个全速像素而不是一个。

建议对两个器件分别执行相位调节操作, 因为每个器件的最佳相位设置可能并非刚好相差16个相位步长(原因有多种)。为了加快相位选择算法的执行速度, 可以在对器件1执行全部流程之后, 在器件2上使用有限相位选择流程。如果器件1上的最佳相位设置(OPS1)小于16, 则可预计器件2的最佳相位设置(OPS2)为 $OPS1 + 16 \pm 4$ (如果结果大于31, 则绕回)。如果 $OPS1 \geq 16$, 则 $OPS2 = OPS1 - 16 \pm 4$ (如果结果小于0, 则绕回)。因此, 相位选择算法(器件2)的第二步可以限制为最佳设置步进。

器件间差异调节

双通道ADC应用对两个ADC之间的差异十分敏感。这些差异可能源于增益、失调和线性度。

增益和失调

双通道ADC应用对两个芯片之间的增益和失调误差非常敏感。奇数像素与偶数像素之间的任何差异都是高度可见的。因此, 每个芯片都要求进行精确的增益和失调调节。幸运的是, AD9981具有自动箝位反馈功能。使能时, 箝位反馈会自动消除全部通道中的通道间失调偏差。

虽然通道间增益偏差对图像的影响不如失调偏差大时, 但是仍然建议通过一次性工厂校准方案尽量减少通道间的任何增益失配。

线性度/扰动

双通道ADC应用同时还对两个器件之间的线性度差异非常敏感。10位ADC可以大幅提高双通道ADC应用的线性度性能, 因而可能并不需要扰动机制。然而, 如果应用要求十分严格, 则可以使用扰动机制来进一步增强线性度。扰动法要求每隔一个数据帧切换偶数和奇数器件。例如, 在第1帧期间, 器件1处理奇数像素, 器件2处理偶数像素。在第2帧期间, 器件1处理偶数像素, 而器件2则处理奇数像素。借助扰动, 眼睛实际上会“中和”线性度差异以及失调和增益差异的影响。

器件寻址

每个AD9981都需要一个不同的串行总线地址。这是通过A0/VSOUT引脚来实现的, 如图1所示。

数据模式选择

对于AD9884A、AD9888等双端口器件，在实现乒乓方案时，可以采用三种不同的数据模式。然而，由于AD9981采用单端口设计(只有30个输出位)，因此双通道AD9981设计只能采用单通道模式。参见图2。

单通道模式要求具有60条数据输出走线，并且要求图形控制器具有60条数据输入线路。频率不超过110 MHz时，建议采用单芯片模式(器件1处理每个像素，器件2为低功耗模式)；频率超过110 MHz时，则采用乒乓模式。数据切换使最高工作速度限制为220 MHz。

为了取得正确的DATAACK频率(像素时钟 $\div 2$)，必须对PLLDIV寄存器进行适当编程。采用乒乓模式时， $PLLDIV = \text{像素频率} \div (2 \times \text{水平频率})$ ，为PLLDIV正常值的一半。

参考设计

目前还没有采用AD9981的乒乓参考设计。有关更多信息，请通过电子邮件联系ADI公司：flatpanel_apps@analog.com。

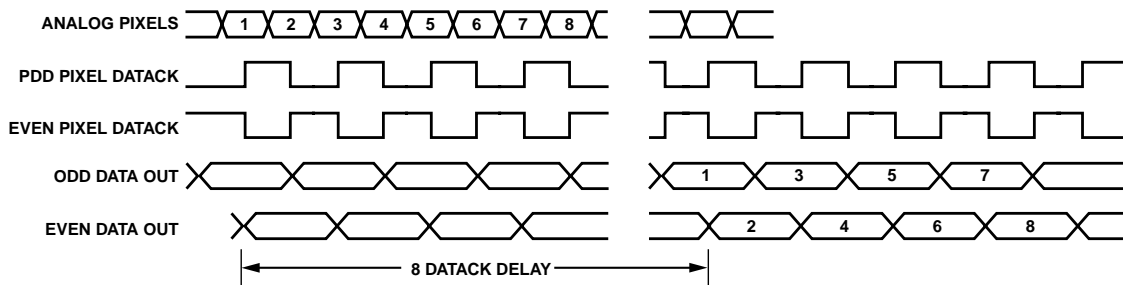


图2. 双通道AD9981实现的基本数据时序

