

高速CMOS输入DAC中的建立和保持时间测量

作者: Steve Reine

为实现高速DAC的最佳性能,必须满足一定的建立和保持时间要求。在200 MSPS至250 MSPS的时钟速率下,FPGA/ASIC/DAC的全部时序预算并不是一件小事。客户若要完成时序验证,必须清楚列出并明确定义数据手册中的时序规格。

如果建立和保持时间要求得到满足,则时钟边沿到达锁存器时,DAC内部锁存器中的数据就能稳定下来。如果到达锁存时钟边沿时数据处于转换过程中,则被锁存的数据将是不确定的,因而会提高DAC模拟输出的噪声底。对于AD9777或AD9786等DAC,十分之几纳秒的误差就会严重影响DAC噪底。图1、图2和图3显示三种情况下AD9786时钟输入/输出和数据信号的示波器测量结果:建立时间要求恰好得到满足时、偏离0.1 ns时和偏离0.5 ns时。这种情况下,AD9786处于主机模式,采用1倍插值,因此输入采样速率与DAC输出采样速率相同。注意,从图1可看出,在这些条件下该DAC的建立时间为-0.7 ns。建立时间为负值的原因是阻挡窗口完全偏向时钟锁存(本例中为下降)边沿的右侧。三幅图中的虚线表示时钟边沿的中部,实线表示数据转换的中部。

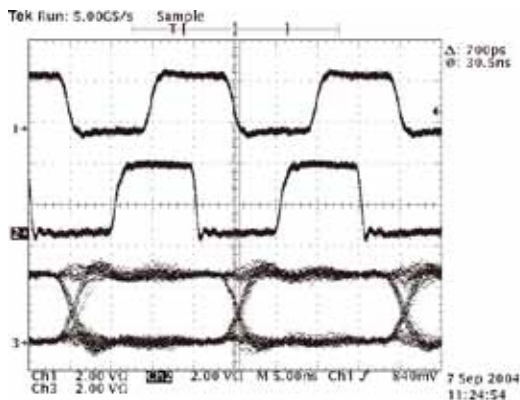


图1. DAC时序恰好满足建立时间要求

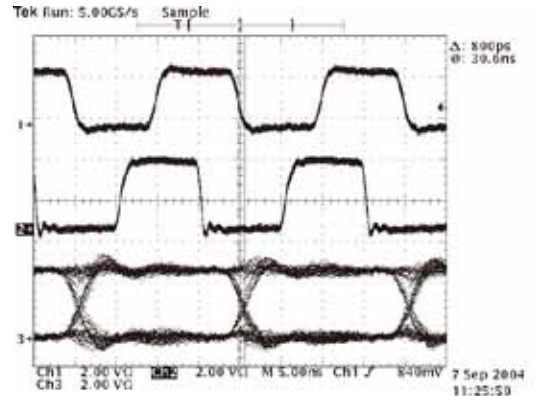


图2. DAC时序偏离建立时间要求0.1 ns

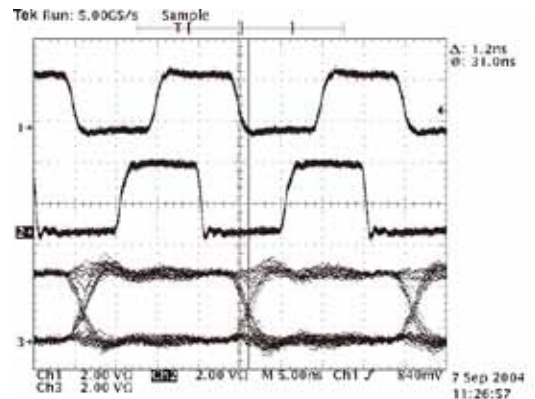


图3. DAC时序偏离建立时间要求0.5 ns

还应注意,规定的建立(或保持)时间表示数据有效的时间,而不是违反时序要求的时间。用户必须严格遵从规定的建立/保持时间要求,才能实现最佳性能。

传统上，建立时间指到达时钟锁存沿(此时数据必须处于稳定状态)之前所用的时间量。该时间通常定为最小值规格。数字设计工程师将建立时间规定为到达锁存沿(此时数据必须处于稳定状态)之前所用的最小时间量。例如，1 ns(最小值)的建立时间意味着数据必须在时钟锁存沿之前至少1 ns处于稳定状态。

保持时间指为了精确采集数据，到达锁存沿之后数据必须保持稳定状态的时间量。保持时间通常用最小值加以规定。例如，2 ns(最小值)的保持时间意味着数据必须在锁存时钟沿之后至少2 ns处于稳定状态。

阻挡窗口指锁存时钟沿前后的整个时间窗口，包括建立时间和保持时间。就上述例子来说，当建立时间为1 ns、保持时间为1 ns时，阻挡窗口是从时钟锁存沿之前的1 ns到时钟锁存沿之后的1 ns。

建立和保持的传统定义很容易理解。然而，在高速DAC中，复杂的时钟树和高采样速率有时会导致外部施加的锁存时钟沿与数据实际锁存时间之间的延迟占到一个时钟周期的相当一部分。典型的DAC时钟树和锁存结构如图4所示。

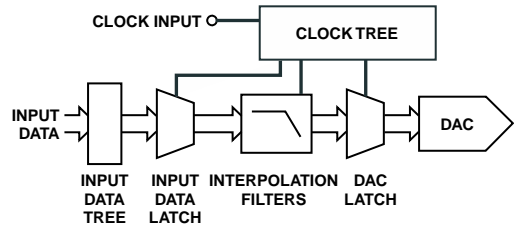


图4. 典型插值DAC时钟

对于ADI公司的AD9777或AD9786插值DAC，这种情况下的阻挡窗口可能会延迟足够长的时间，使得建立时间可能是0.0，甚至是负值。特定DAC可能具有-1.0 ns的建立时间和3.0 ns的保持时间。这种情况下，阻挡窗口将从时钟锁存沿之后1 ns到时钟锁存沿之后3 ns。由于DAC内部的同步特性，阻挡窗口也可能移动到左侧，即在时间上提前了，但这种可能性不大。此时，建立时间为正值，保持时间为负值。图5a、图5b和图5c是对以上三种情况的总结：阻挡窗口关于锁存时钟沿对称、移向右侧(建立时间为负值)和移向左侧(保持时间为负值)。

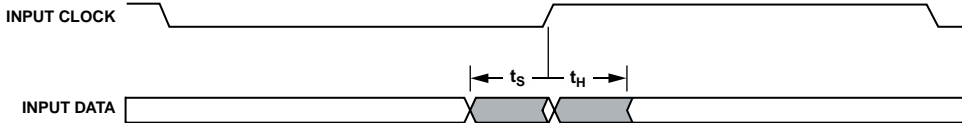


图5a. 建立和保持时间关于锁存时钟沿对称(t_s 和 t_H 均为正值)

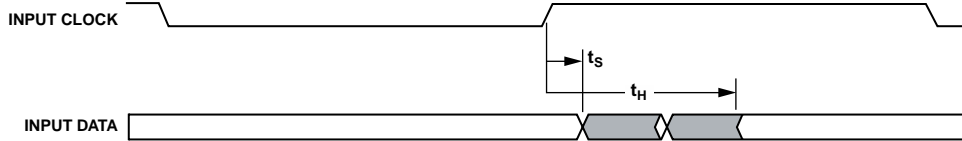


图5b. 建立和保持时间相对于锁存时钟沿延迟(t_s 为负值, t_H 均为正值)

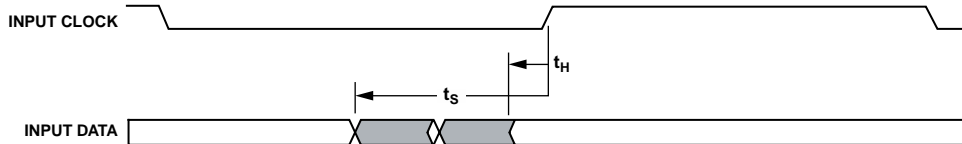


图5c. 建立和保持时间相对于锁存时钟沿提前(t_s 为正值, t_H 均为负值)

对于数字设计工程师而言，建立时间或保持时间为负值并不重要。整个阻挡窗口尽可能短才更重要。DAC的时序规格只是FPGA或ASIC与DAC数字接口的整个时序预算中的一部分。应用工程师常常需要测试一批中的许多器件或多批器件，以便了解建立时间、保持时间和阻挡窗口如何变化，有时甚至需要测量这些规格相对于温度的变化。在驱动DAC数字输入的FPGA或ASIC上，可能会使用DLL或其它类似的同步器件，这些器件也会有变化。高速CMOS输入DAC的工作速率可能高达250 MSPS，因而总周期时间为4 ns。这种情况下，DAC本身的阻挡窗口可能在1 ns至1.5 ns左右。这意味着，25%以上的时序预算已被DAC使用，因此，数字设计工程师必须非常小心地处理驱动DAC的数字引擎中的时序。

测量建立和保持时间

高速DAC常用于无线发射机应用。出于这个原因，其许多规格是基于频域，而非时域。无杂散动态范围(SFDR)、频谱噪声密度和邻道泄漏比(ACLR)等规格就是如此。因此，高速DAC的建立和保持时间需在频域上测量。图6显示一个DAC以50 MSPS速率采样，并以2.4 MHz频率重构一个信号。在图6中，建立和保持时间要求得到满足。在图7中，DAC的时序与阻挡区域偏离0.1 ns。时序是偏离建立时间还是保持时间无关紧要，因为违反任一条件的结果相同。注意在图7中，噪底显著提高。这表明它违反了时序要求。图8所示为偏离时序要求0.5 ns的情况，显而易见，时序同步已遭破坏，DAC的模拟输出性能严重下降。

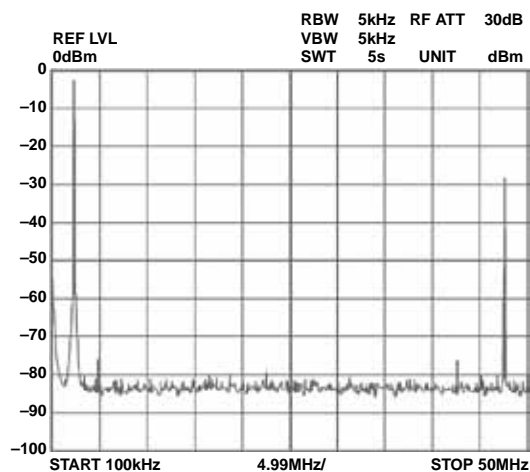


图6. DAC时序满足建立和保持要求

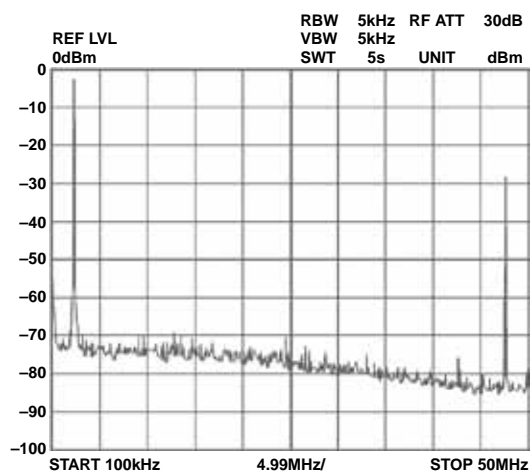


图7. DAC时序偏离建立和保持要求0.1 ns

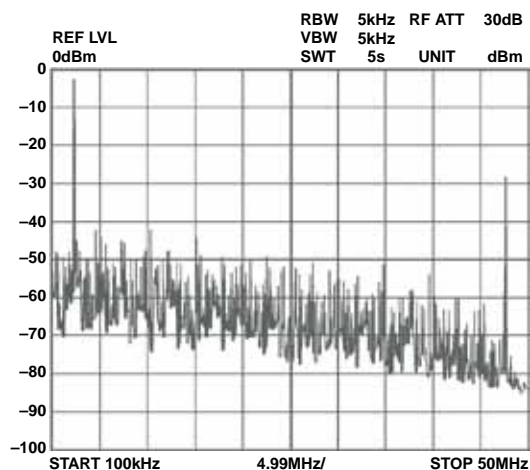


图8. DAC时序偏离建立和保持要求0.5 ns

AN-748