

将单端时钟源耦合至第三代TxDAC®和TxDAC+® 产品的差分时钟输入端

作者: Doug Mercer Steve Reine David Carr

简介

第三代TxDAC和TxDAC+系列*配有一个灵活的差分时钟输入。CLK+和CLK-两个差分时钟输入端可以采用多种单端和差分时钟源来驱动。在许多单端转差分应用中，变压器耦合是一种十分有用的方式。然而，在某些情况下，磁耦合变压器可能并不方便。一个单端时钟信号可通过多种方式耦合至时钟输入端。当在CLK-输入端施加一个适当的直流阈值电压时，可以驱动CLK+输入端，如图1所示。电阻R1、R2与电容C3一起为CLK-端产生一个等于CLKVDD/2的直流电平。时钟源必须为单极性，摆幅接近轨到轨。这种配置尽管简单，却无法提供恰当的源端接阻抗，对电源噪声或接地噪声几乎无招架之力。

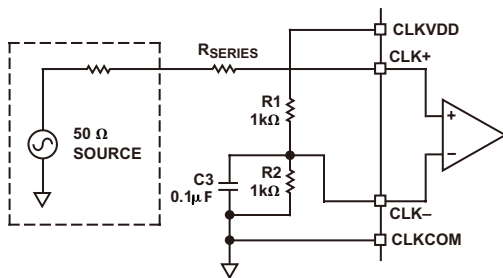


图1. 单端接口

一种较好的替代办法是采用一种简单的宽带电阻匹配网络(见图2)。如图1所示，电阻R1、R2和电容C3产生等于CLKVDD/2的直流偏置点。电阻R3、R4为差分输入端CLK+和CLK-提供直流偏置。一个端接电阻R_TERM (50Ω) 提供必要的源端接，电容C1、C2则提供隔直。端接电阻最好直接跨接于输入引脚CLK+和CLK-，其作用是在时钟信号振幅较小的情况下降低直流偏置电压的可能不利影响。在低频情况下，这种解决方案并不出色，因为它要求使用较大的耦合电容。与图1中电路不同的是，输入源可以是双极性；同时，由于R3和R4与50Ω R_TERM之比比较大，至少可以抑制一定的电源噪声和接地噪声。但耦合电容C2的共模侧所采用的连接方式反而可能将噪声

引入CLK-输入端。理想情况下，应该连接在与时钟源相同的公共点(见图2)。

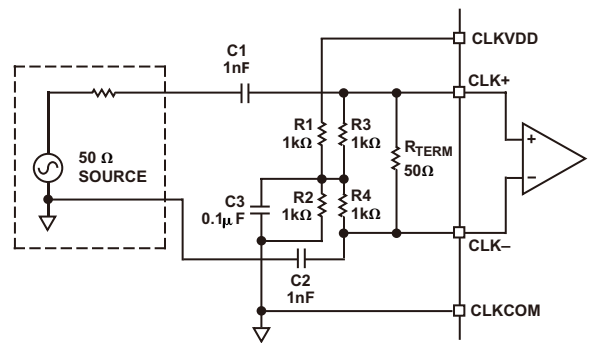


图2. 电阻匹配接口

两个1 nF的输入耦合电容C1和C2将网络的高通转折频率设在5 MHz左右。可根据以下公式上下调节高通转折频率

$$f_{3dB} = \frac{1}{2\pi \times C \times 50}$$

where $C = \frac{C1 \times C2}{C1 + C2}$

窄带匹配

在宽带应用中，变压器耦合十分有用。然而，在转换器应用中，时钟通常采用单一的固定频率。在高时钟频率，或者因时钟源与转换器相距较远而可能拾取路径干扰的情况下，通常采用窄带匹配网络会更好。窄带LC匹配可以采用一种串联电感/并联电容，或串联电容/并联电感来实现。然而，由于CLK+和CLK-两个时钟输入端的并行要求采用交流耦合方式，因此串联电容/并联电感类匹配更为合适(见图3)。

* AD9740ACP、AD9742ACP、AD9744ACP、AD9748ACP、AD9751、AD9753、AD9755、AD9772、AD9773、AD9775、AD9777

采用这样的带通网络有几项优势。由于差分输入端的输入阻抗较高且几乎为纯容性，因此可以实现一定量的电压增益。在只有低振幅时钟信号可用的情况下，这可以提高噪声免疫力。元件数量少：除了产生直流偏置必不可少的元件外，还有两个电容和一个较便宜的片式电感。

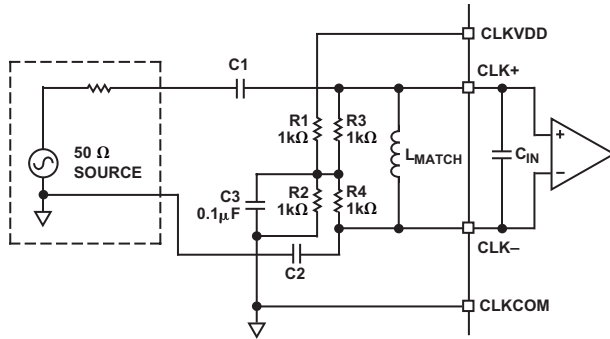


图3. LC匹配接口

窄带LC匹配示例(100MHz)

尽管有许多软件程序可用来轻松计算匹配元件值，但清楚了解所涉及的具体计算也是十分有用的。考虑到较高频率下存在的PC板布局寄生效应，本示例采用的频率值为100 MHz。在要求较高频率的PC板设计中，RF布局仿真软件非常有用。

典型情况下，时钟输入需要匹配至50 Ω。为了简化匹配过程，可暂时不计算CLK+和CLK-两个输入端的输入电容 C_{IN} ，方法是添加一个虚拟并联电感($L2$ ，见图4)，该电感将按所需频率与 C_{IN} 谐振。稍后确定匹配电感 L_{MATCH} 时将考虑该电感(见图3)。这样做可以在50 Ω源与1 kΩ直流偏置电阻之间简单的电阻到电阻匹配过程的基础上进行主要计算。

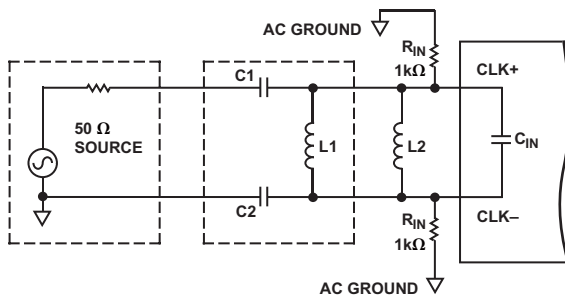


图4. 输入匹配示例

谐振频率由以下公式定义：

$$2\pi \times f_0 = \frac{1}{\sqrt{L2 \times C_{IN}}}$$

所以：

$$L2 = \frac{1}{(2\pi \times f_0)^2 \times C_{IN}}$$

若中心频率为100 MHz且 $C_{IN} = 2.5$ pF，则 $L2 = 1.01$ μH。

在暂时忽略 C_{IN} 的情况下，可以进行相关计算，以使50 Ω源(R_S)与1 kΩ直流偏置电阻(R_{IN})相匹配，同时计算 C_{MATCH} 和 $L1$ 的值。

$$\text{若 } R_S \times R_{IN} = \frac{L1}{C_{MATCH}}$$

在以下频率下，输入端将出现电阻：

$$f_0 = \frac{1}{2\pi \sqrt{L1 \times C_{MATCH}}}$$

求解 C_{MATCH} ，结果得到：

$$C_{MATCH} = \frac{1}{2\pi \times f_0 \sqrt{R_S \times R_{IN}}}$$

若 $f_0 = 100$ MHz， $R_S = 50$ Ω， $R_{IN} = 1$ kΩ，则 $C_{MATCH} = 7.12$ pF
接下来求解 $L1$ ，结果得到：

$$L1 = \frac{\sqrt{R_S \times R_{IN}}}{2\pi \times f_0}$$

若 $f_0 = 100$ MHz， $R_S = 50$ Ω， $R_{IN} = 1$ kΩ，则 $L1 = 356$ nH。

由于 $L1$ 和 $L2$ 相并联，因此综合二者，可得 L_{MATCH} 的最终值：

$$L_{MATCH} = \frac{L1 \times L2}{L1 + L2}$$

若 $L1 = 356$ nH且 $L2 = 1.01$ μH，则 $L_{MATCH} = 263$ nH。

$C1$ 和 $C2$ 有多种选择。首先，可以将 $C2$ 设为一个大值，如1000 pF，以使其表现为一个RF短路。然后将 $C1$ 设为等于 C_{MATCH} 计算值。第二，可将 $C1$ 和 $C2$ 分别设为 C_{MATCH} 的两倍，以使总串联电容等于 C_{MATCH} 。第三，通过使 $C1$ 和 $C2$ 略微存在差异(即选择 $C2$ 比 $C1$ 低10%左右)但使其串联值相等，则可使CLK+和CLK-端信号的振幅相等，从而提高差分输入驱动的平衡性。只要 $C1$ 和 $C2$ 的合并串联值(即 $(C1 \times C2)/(C1 + C2)$)等于 C_{MATCH} ，则可采用上述三种选项中的任意一种。

在所有情况下， C_{MATCH} (C1, C2)和 L_{MATCH} 的值必须从标准值中进行选择。最接近的标准值为 $C1=16\text{ pF}$ ， $C2=15\text{ pF}$ ， $L_{MATCH}=270\text{ nH}$ (如表1所示)。此时，需要安装上这些值对应的器件，并测量在频率为100 MHz时的性能。由于存在PC板和布局寄生效应，所以可能需要对以上示例算出的元件值进行调整。

另外，在采用单端源驱动的情况下，通过使这些电容存在稍许差异，可以使CLK+和CLK-端的振幅相等；即是说，网络发挥着平衡-非平衡变换器的作用。图5显示的是中心频率为100 MHz时的响应；请注意低频下存在的极高衰减。高频衰减是时钟输入引脚的输入电容所致。其中，CLK+和CLK-两端的差分振幅响应合并在一起，同时还有相对公共地的各个输入端的单端响应。鉴于匹配网络的谐振性质，CLK+和CLK-两个输入端存在 90° 左右的相移。这种情况如图6所示。在调整转换器数据设置和保持时间时，必须考虑这种相位差。

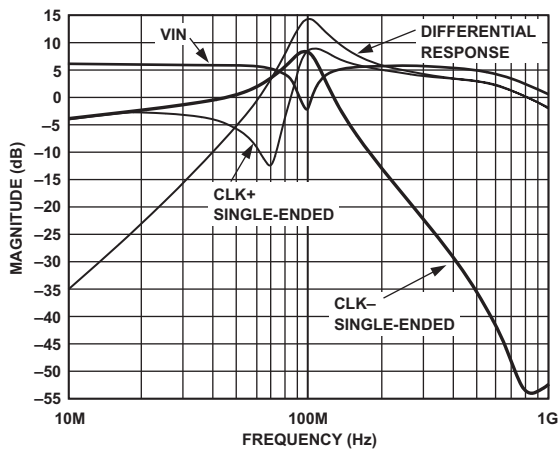


图5. 100 MHz匹配网络的振幅响应

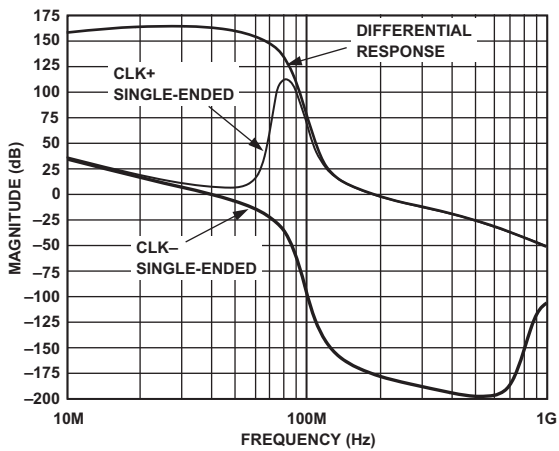


图6. 100 MHz匹配网络的相位响应

表1列出了图3所示电感和电容在选定RF频率下的建议值。如前所述，对PC板布局进行修改将使网络性能与规格存在差异。

表I. 针对图4中C1、C2和 L_{MATCH} 的建议值

频率 (MHz)	L_{MATCH} (nH)	C1 (pF)	C2 (pF)
61.44	470	24	22
65.00	470	24	18
76.80	390	18	16
78.00	390	18	15
78.64	390	16	16
92.16	330	13	12
100.00	270	16	15
122.88	220	11	10
130.00	180	12	11
153.60	150	10	9
156.00	150	10	8
157.29	120	12	12
184.32	120	8	7
245.76	82	6	5
260.00	56	9	8
307.20	47	7	6
312.00	47	6	6
314.57	47	6	6
368.64	39	5	4
491.52	22	5	4
520.00	18	6	5
614.40	15	4	4
624.00	15	4	3
629.15	15	4	3
737.28	12	2	2

附录1

用Spice来对这种接口网络进行建模和仿真，这是本文所示手工计算方式的有用替代办法。这种模式下可以考虑更多寄生效应，比如包装和PC板迹线等元件产生的寄生效应。以下列出的是针对时钟输入结构的Spice级子电路模型。参照图7和图8中的原理图以及列表顶部，电感L1和电容C1、C2确定了网络的中心频率。其中所列值均基于100 MHz的频率。电阻R1为驱动源(V3)阻抗，电阻R2和R3则为交流耦合输入提供直流偏置电压(由电压源V4设定)。

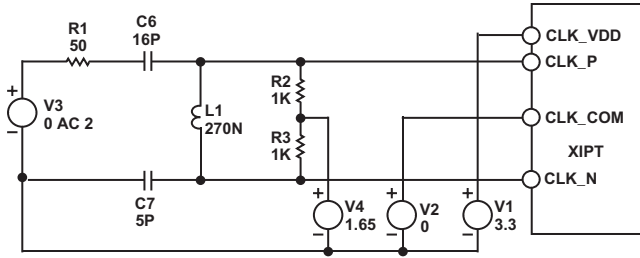


图7. 输入网络的SPICE模型

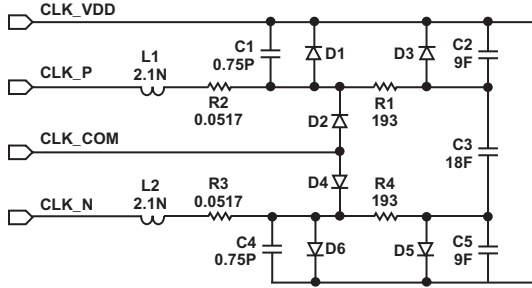


图8. XIPT模块的SPICE子电路

列表1

时钟输入匹配网络模型

```

*
V1 CLK_VDD 0 3.3
V2 CLK_COM 0 0
V3 SRC_P 0 0 AC 2
V4 CML 0 1.65
R1 SRC_P CAP_P 50
R2 CLK_P CML 1K
R3 CLK_N CML 1K
C1 CAP_P CLK_P 16p
C2 CLK_N 0 15p
L1 CLK_P CLK_N 270n
XXIPT CLK_P CLK_N CLK_COM CLK_VDD CLK_INPUT
.SUBCKT CLK_INPUT CLK_P CLK_N CLK_COM CLK_VDD
C1 CLK_VDD C1_B 0.75p
C2 CLK_VDD C2_B 9f
C3 C2_B C3_B 18f
C4 CLK_VDD C4_B 0.75p
C5 CLK_VDD C3_B 9f
    
```

```

D1 C1_B CLK_VDD DP1 1
D2 CLK_COM C1_B DN2 1
D3 C2_B CLK_VDD DP3 1
D4 CLK_COM C4_B DN2 1
D5 C3_B CLK_VDD DP3 1
D6 C4_B CLK_VDD DP1 1
L1 L1_A CLK_P 2.1n
L2 L2_A CLK_N 2.1n
R1 C2_B C1_B 193
R2 C1_B L1_A 0.0517
R3 C4_B L2_A 0.0517
R4 C3_B C4_B 193
.ENDS CLK_INPUT
    
```

```

.model DP1 D (bv=5.5 cjo=1.17088p eg=1.106 fc=500m
ibv=608.2p is=1.299342f m=632.669m)
.model DP3 D (bv=5.5 cjo=325.2446f eg=1.106 fc=500m
ibv=608.2p is=3.609284e-16 m=632.669m)
.model DN2 D (bv=8.0 ibv=1.54587E-06 cjo=1.411p
m=0.3675268 is=1.759f eg=1.140)
    
```

```

.AC DEC 400 10E6 1E9
.PROBE
.OP
.END
    
```

附录2

关于片式电感和电感的Spice模型可向制造商索取。图9是用于电感的通用模型；图10为模型电容中使用的通用子电路。

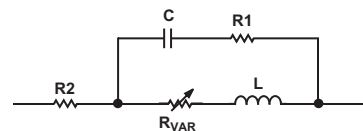


图9.

这些模型的值可从制造商网站(如www.coilcraft.com)获取。图9中的 R_{VAR} 因频率而定，与集肤效应及其他电感损耗相关。

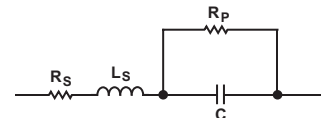


图10.