

## 高速模数转换器的LVDS数据输出

作者 Cindy Bloomingdale和Gary Hendrickson

多年来，为了满足在通信、仪器仪表和消费市场的各种应用中新的带宽需求，模数转换器(ADC)的采样速率稳步提升。伴随在信号链前端对信号进行数字转换从而利用数字信号处理技术的需求，推动了高速ADC内核的开发，它们能够以8到12位分辨率在超过100 MHz到200 MHz时钟速率下进行数字转换。

在独立的转换器中，ADC需要能够驱动接收逻辑及其PCB走线所产生的电容。由于要驱动负载，电流开关瞬变会耦合到ADC的模拟前端电路，对性能造成负面影响。将这种影响降到最低的一种方法是复用两个输出端口，以时钟速率的一半速率来提供输出数据，这降低了信号边沿的速率，增加了开关瞬间的建立时间。AD9054A、AD9884、AD9410和AD9430是最新的例子。

在ADC应用中，提供高速数据输出同时将性能限制降到最低的一种新方法是使用LVDS(低电压差分信号传输)。ADI正在将LVDS输出能力加到一个新的170 MSPS、12位ADC中——AD9430——并将会把LVDS引入到以后的高速ADC和DAC中。

正如其名字所表述的，LVDS是一种低电压差分信号传输方案。关键词是低电压(~350 mV)和差分。标准机构已经制定了规范，这些将稍后在这篇笔记中讨论。低电压信号摆幅具有更短开关时间的固有优势，这也降低了对EMI的考虑(相邻的差分走线会抵消相互之间的EMI)。

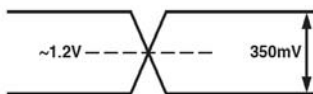


图1. LVDS输出电平

差分信号也有众所周知的共模抑制的优点。耦合到信号上的噪声往往在两个信号路径上都存在，这个噪声会被精心设计的差分接受器消除。LVDS输出是电流输出级，在接收端需要100 Ω的端接电阻，这与不需要端接的CMOS输出不同。电流输出导致输出供电电源上有固定直流负载电流，要避免供电电源的尖峰电流耦合到敏感的模拟前端。

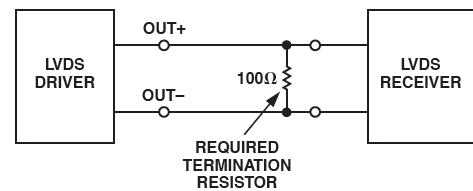


图2. LVDS远端端接

### 标准

有两个标准定义了LVDS。一个是ANSI/TIA/EIA-644，其标题是《低电压差分信号(LVDS)接口电路的电气特性》。另外一个IEEE标准1596.3，其标题是《可扩展一致性接口(SCI)的低电压差分信号(LVDS)IEEE标准》。下面简单总结一下这两个标准。

#### ANSI/TIA/EIA-644

ANSI/TIA/EIA标准是在电信工业委员会(TIA)的TR-30.2小组委员会下开发的，它只包含LVDS的通用电气规范。它的目的是为点到点连接的数据通信设备之间建立一个通用高速接口标准。最大数据传输速率是655 Mbps。TIA小组委员会希望其他标准体系在发射器和接收器之间更完整的接口规范中引用ANSI/TIA/EIA-644。

## IEEE标准1596.3

IEEE标准1596.3是作为1992 SCI协议(IEEE标准1596-1992)的扩展开发的。原来的SCI协议适用于高端计算机中的高速包传输,使用ECL电平。然而,对于低端和功耗敏感的应用,需要一个新的标准。选用LVDS信号是因为电压摆幅比ECL输出小,在功耗敏感的设计中允许使用更低的供电电源。

## AD9430的LVDS特性

如上所述,AD9430是一系列高速模数转换器中第一个有LVDS输出选项的产品(同时也能提供CMOS输出)。它是一款12位、170 MSPS ADC,针对宽带载波系统进行了优化,具有卓越的动态性能。图3是AD9430 LVDS输出的简化等效电路。

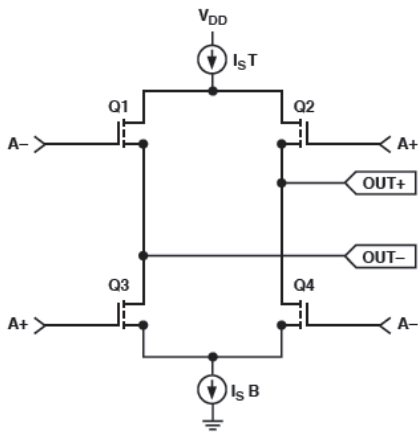


图3. LVDS数据输出

图3中差分输出由OUT+和OUT-表示,OUT+是正极或真数据输出,OUT-为差分信号的补充数据输出。电路原理

如下所述(见图4)。片内电流源( $I_{sT}$ )由 $V_{DD}$ 产生并流经Q2。在这个例子中,发送的是逻辑1( $V+ > V-$ )。100  $\Omega$ 接收端电阻为返回驱动器的电流提供了路径,电流通过Q3到更低的电流吸入端( $I_{sB}$ )再到地。额定的源/吸电流设置为大约3.5 mA,对于100  $\Omega$ 外部端接电阻产生350 mV的摆幅。

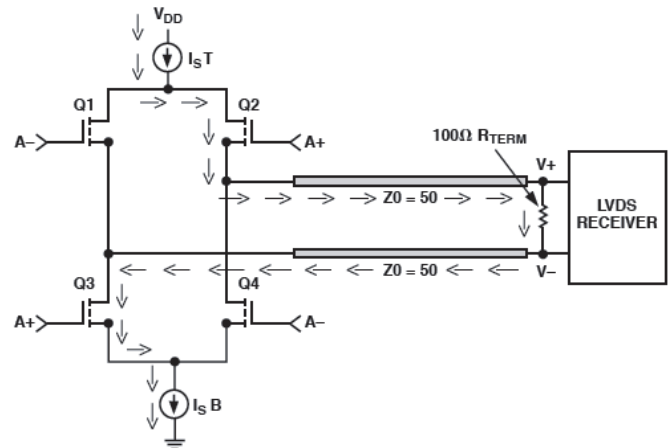


图4. LVDS输出电流

假定有约1.2 V的输出共模电压(共模控制电路没有显示),输出电阻可以视为两个串联的50  $\Omega$ 电阻,它们的中心抽头的电压为1.2 V。这与典型PCB走线的50  $\Omega$ 特性阻抗( $Z_0$ )相匹配并将反射降到最低。

AD9430的LVDS输出与ANSI/TIA/EIA-644规范更为一致。表I对比了ANSI/TIA/EIA-644和AD9430-170的规格。

表I. ANSI/TIA/EIA-644和AD9430规格小结

规格	ANSI/TIA/EIA-644		AD9430-170
	最小值	最大值	典型值
输出电流	2.47 mA	4.54 mA	取决于RSET(额定值为3.5 mA)
差分输出电压幅度	247 mV	454 mV	350 mV
输出失调电压(共模)	1.125 V	1.375 V	1.2 V
转换时间上升时间( $t_{r}$ )和下降时间( $t_f$ ); 20% 至 80%		$\leq 0.3 \times t_{UI} = 0.3 \times 5.88$ ns = 1.76 ns	0.5 ns

## 输出电流

COMS是典型的电压输出，不同于CMOS，LVDS是电流输出型。AD9430的输出电流根据一个电阻值来设置，其典型值为3.7 k $\Omega$ 。这个3.7 k $\Omega$ 电阻设置输出电流为3.5 mA。注意，3.5 mA的额定输出电流( $I_S$ )在AD9430中是可调的，方便系统设计的灵活性。详情请参见AD9430数据手册。

## 差分输出电压与失调电压

ANSI规范定义差分输出电压摆幅在247 mV和454 mV之间。假定ADC的输出电流设为3.5 mA，接收端输入阻抗为100  $\Omega$ ，那么额定差分输出电压为350 mV。

AD9430的输出驱动器设计的额定共模电压为1.2 V，这在ANSI规范的范围之内。共模电压的范围在1.1 V到1.375 V之间，在驱动和接收的地之间的电压差最多为 $\pm 1$  V。为了达到最好的性能，在同一块PCB上，ADC的输出和接收端输入之间应该非常的靠近，在这种应用中就不用担心地平面的电压差。

## 转换时间

在表I中，对于数据信号速率小于或等于200 MHz的信号，ANSI/TIA/EIA-644规范规定其转换时间要小于或等于 $0.3 \times t_{UI}$ 。  $t_{UI}$ 的值定义为数据信号速率的倒数。以AD9430为例，其最大信号速率为170 MHz，那么 $t_{UI}$ 等于5.88 ns。用规范定义的公式换算 $t_{UI}$ 的5.88 ns为 $0.3 \times 5.88 \text{ ns} = 1.76 \text{ ns}$ 。因此，差分信号上升时间和下降时间的总和应该小于1.76 ns。AD9430的上升和下降时间的额定值为0.5 ns。LVDS差分输出电压的上升和下降时间的定义如图5所示。LVDS上升和下降时间定义为信号在其最大幅度的20%到80%之间变化所用的时间，CMOS输出通常定义的范围是10%到90%。

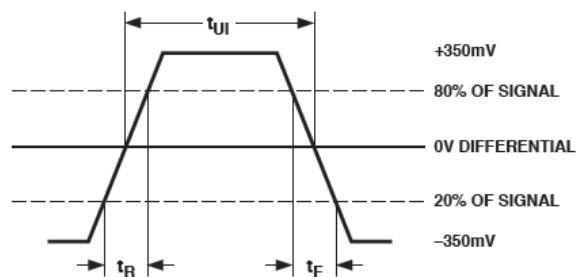


图5. 时序图

## LVDS的PCB设计考虑

高性能ADC的LVDS输出应该与数字逻辑使用的标准LVDS输出区别对待。在高速数字应用中标准LVDS能驱动1到10米(取决于数据速率)，不建议让高性能ADC驱动这么长的距离。建议输出走线的长度要短一些(小于2英寸)，尽量降低任何噪声从相邻电路耦合到输出上的几率，噪声可能会返回到模拟输入。

差分输出走线应该相互靠近，100  $\Omega$ 端接电阻要靠近接收端来提高共模抑制能力。用户应该注意PCB走线长度，尽量减小延迟偏斜。

典型差分PCB微带线的截面如图6所示。

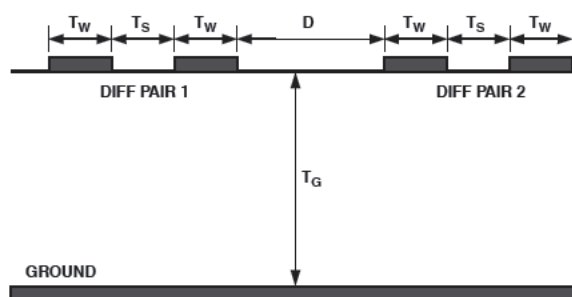


图6. PCB走线间距

## 布线指南

- 相对于走线长度的变化，保持 $T_W$ 、 $T_S$ 和 $D$ 为常量。
- 保持 $T_S \sim < 2 T_W$
- 尽可能避免使用过孔
- 保持 $D > 2 T_S$
- 尽可能避免90°的拐弯
- 控制 $T_W$ 和 $T_G$ ，使阻抗约为50  $\Omega$

对于这些快速边沿( $< 0.5 \text{ ns}$ )速率的信号，电源的去耦是非常重要的。每一个电源和地引脚都要放置低电感的表面贴装电容，尽可能靠近ADC放置。不建议将去耦电容放在PCB的另外一面，因为过孔的电感会降低去耦的作用。由于邻近效应，差分 $Z_0$ 会比每根导线的单端 $Z_0$ 略低一些，每条线的 $Z_0$ 应该设计得比50  $\Omega$ 高一些。可以对关键应用进行仿真来验证阻抗是否匹配。短期来看，这不是很关键。

## 其它的考虑

LVDS也具有降低EMI的优点。相反方向的电流产生的EMI可以相互抵消(边沿速率相匹配时)。走线长度、偏斜和不连续将会降低这一优点,应该尽量避免。

在相近的数据速率下,相对于解复用的CMOS解决方案,LVDS的时序约束更为简单。解复用的数据总线需要一个同步信号,LVDS不需要这个信号。在解复用的CMOS总线中,需要一个速率为ADC采样速率一半的时钟,这增加了成本和复杂度,LVDS不需要这些。通常,LVDS更具有兼容性,可以为客户提供更简单、干净的设计。

## 小结

在转换器的应用中,LVDS在高速信号转换中的优点可以为性能和整个系统带来好处。在ADI的众多ADC和TxDAC®产品中,这一技术响应了日益增长的高速转换器性能需求。

## 参考文献

1. ANSI/TIA/EIA-644, *Electrical Characteristics of Low Voltage Differential Signaling (LVDS) Interface Circuits*, March 1996.
2. IEEE Std 1596.3-1996, *IEEE Standard for Low-Voltage Differential Signals (LVDS) for Scalable Coherent Interface (SCI)*, March 1996.