

## 孔径不确定度与ADC系统性能

作者Brad Brannon和Allen Barlow

### 孔径不确定度

在进行中频采样时，孔径不确定度对于ADC来说很关键。孔径抖动和孔径不确定度是同义词，它们在文献中经常被互换使用。孔径不确定度是在编码过程中采样间的不一致性。它在三个方面会显著影响系统性能。首先，它会增加系统噪声。其次，它会增加被采样信号自身实际相位的不确定度，从而增加误差矢量幅度。最后，它加剧码间干扰(ISI)。然而，在典型的通信应用中，孔径不确定度对于系统噪声的要求来说都足够小，对相位不确定度和ISI的影响甚微。例如，对250 MHz的中频信号进行采样。在这个速度，1 ps的孔径抖动都会导致ADC的信噪比限制在只有56 dB，对于4 ns的周期，相位不确定度误差只有0.09度(均方根值)。这是完全可以接受的，甚至对于GSM等要求严格的规范亦是如此。这个分析的重点在于孔径不确定度对于整体噪声的影响。

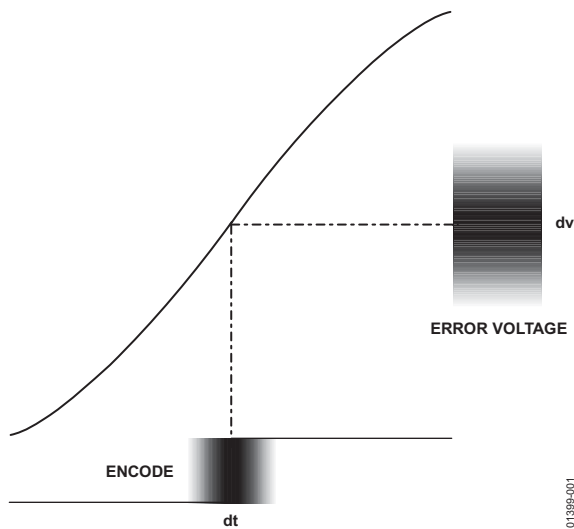


图1.均方根抖动与均方根噪声

图1显示了采样中的误差是如何导致采样后电压值误差的。在数学上，采样后电压值误差幅度是由信号函数对时间的导数定义的。考虑一个正弦波输入信号

$$v(t) = A \sin(2\pi ft) \quad (1)$$

导数是

$$\frac{dv(t)}{dt} = A2\pi f \cos(2\pi ft) \quad (2)$$

当余弦函数等于1时会产生最大误差，也就是在 $t=0$ 的时候。

$$\left. \frac{dv(0)}{dt} \right|_{\max} = A2\pi f \quad (3)$$

从图1中我们可以看到 $dv$ 是与抖动 $dt$ 相关联的采样后电压值误差。为了让概念更清晰，如果我们将 $dv$ 替换为 $V_{err}$ ，将 $dt$ 替换为 $t_a$ (孔径误差)，重新整理系数，则得到

$$V_{err} = A2\pi f t_a \quad (4)$$

如果给定 $t_a$ 是均方根值，求导后 $V_{err}$ 也是均方根值。尽管这是在最大输入量时的误差，并且只代表上限而不是一个标称值，但这个简单的模型证明了惊人的准确性，这个采样时钟抖动的函数对估算信噪比的降低很有用。

### 抖动和信噪比

如公式4所示，采样后电压值的误差随输入频率线性增加，所以在高频率时，例如在中频采样接收器应用中，时钟纯度变得极为重要。采样是一个混合操作。输入信号乘以一个本振，或在本例中是一个采样时钟。因为在时间上的乘法是在频域的卷积，所以采样时钟的频谱与输入信号的频谱卷积。考虑到孔径不确定度是时钟上的宽带噪声，它在采样后的频谱上显示为宽带噪声，在采样频率周围周期性地重复。

由于ADC编码输入有很高的带宽，时钟输入噪声的影响可以扩展至采样速率的很多倍并混叠到转换器的基带上。因此，这个宽带噪声会降低ADC的噪声性能。假设有一个幅度为A的正弦输入信号。使用公式4，由孔径不确定度限制的ADC的信噪比为

$$SNR = 20 \log \frac{A}{V_{err}} = -20 \log(2\pi f t_a) \quad (5)$$

公式5说明为什么需要高动态范围和高模拟输入频率的系统也需要低抖动的编码源。对于只有300飞秒均方根时钟抖动的200MHz模拟输入信号，信噪比限制为仅68.5 dB，这远低于12位转换器在低速时通常能达到的水平。注意，在公式5中信噪比的抖动限制与转换器的分辨率无关。（对于刚才所说的情况，14位的转换器能达到的性能不会更好。）

孔径抖动并不总是性能的限制者。公式6说明了它与其它噪声源的叠加效应。括号中的第一项是来自公式5的抖动。对此，我们必须增加量化噪声项，微分非线性项(DNL)和热噪声项。对于其它分析用途，这些项中的每一个都可以单独拆解，但是为了简化其隔离抖动的作用，我们在这里将其合并为一个附加项。

$$SNR = -20 \log \left[ (2\pi f t_a)^2 + \left( \frac{1+\epsilon}{2^N} \right)^2 \right]^{1/2} \quad (6)$$

其中：

$f$  = 模拟输入频率

$t_a$  = 孔径不确定度(抖动)

$\epsilon$  = 最低有效位的“复合均方根DNL”噪声，包括热噪声

$N$  = 位数

这个简单的公式为数据转换器的噪声性能提供了相当深刻的见解。

## 测量亚皮秒级的抖动

孔径不确定度很容易根据无谐波信噪比与模拟输入频率的函数来确定。需要两个测量才能进行计算。第一个测量是在一个足够低的模拟输入频率下进行，这时的孔径不确定度是可忽略不计的。因为抖动可以忽略不计，公式6可以简化并重新整理来计算 $\epsilon$ “复合DNL”。

$$\epsilon = 2^N \times 10^{\frac{-SNR}{20} - 1} \quad (7)$$

这里，信噪比是测量得到的低频值。

然后，在高频（中频）下进行FFT测试。频率应该尽可能的高。仍然是测量无谐波信噪比。这个时间抖动会产生噪声，并且可以通过公式6计算 $t_a$ ，得到

$$t_a = \frac{\sqrt{\left( 10^{\frac{-SNR}{20}} \right)^2 - \left( \frac{1+\epsilon}{2^N} \right)^2}}{2\pi f} \quad (8)$$

其中：

SNR = 测量的高频信噪比

$\epsilon$  = 低频测量中确定的值

## 举例：抖动和AD9246

这里所举的例子使用AD9246评估板，这是一款14位、125 MSPS ADC。以Wenzel Sprinter或超低噪声为例的外部时钟振荡器提供合适的编码源。来自Rohde & Schwarz或Agilent的主流RF频率合成器可以用作模拟信号源。这些信号发生器没有可用于编码信号源的足够好的相位噪声性能。有关配置ADI公司评估板的更多信息，请参考相应产品的数据手册。

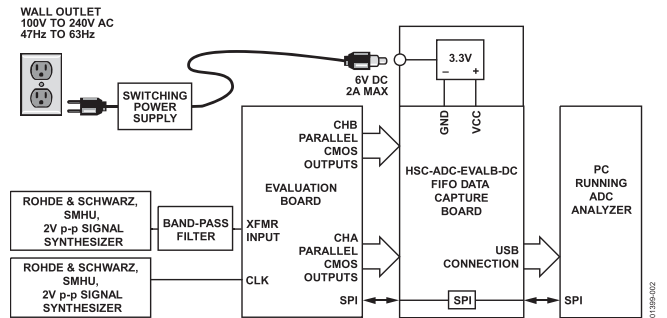


图2. 用AD9246客户评估板进行孔径不确定度测试

图3是AD9246以125 MSPS对2.3 MHz正弦波采样的5平均、64 K FFT。ADI公司的ADC Analyzer™软件(www.analog.com/fifo)收集和處理数据，报告无谐波信噪比。从坐标图中看到，信噪比是72.05 dBFS。

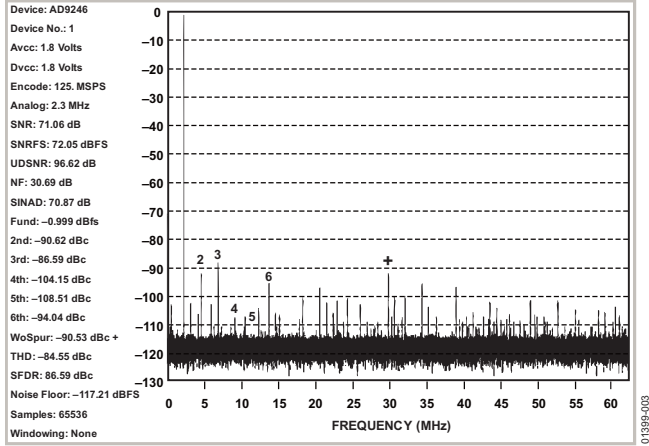


图3. 2.3MHz傅里叶变换(FFT)

将这个值用于公式7中的SNR得到这个转换器3.09 LSB的“复合DNL ( $\epsilon$ )”。

接下来，就会发现信噪比的降低是模拟输入频率的函数。图4显示来自同样的设置和时钟的数据，但它使用201 MHz的模拟输入频率。这时，噪底提高，信噪比变为69.05 dBFS。

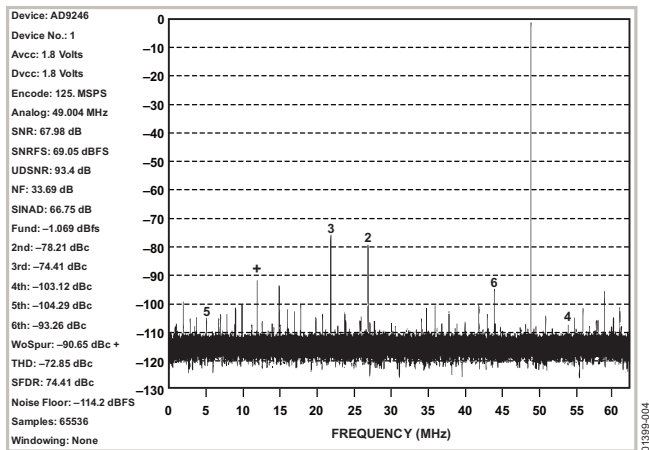


图4. 201MHz傅里叶变换(FFT)

用这个信噪比和之前  $\epsilon$  求解方法，公式8得出

$$t_a = \frac{\sqrt{\left(10^{\frac{-69.05}{20}}\right)^2 - \left(\frac{1 + 3.092}{2^{14}}\right)^2}}{2\pi \cdot 201 \times 10^6} = 197 \text{ fs rms} \quad (9)$$

197 fs这个值是AD9246与时钟振荡器的孔径不确定度叠加得到的。由于总噪声平方是各个噪声平方的和，如果已知时钟源的抖动，那么就很容易确定ADC自身的抖动。这里使用了具有大约50 fs抖动的Wenzel ULN时钟振荡器，使得ADC的抖动大约是190 fs。这些简单的测试证实，可以使用现成的硬件和简单的数值计算来测量非常小的孔径不确定度的值。

图5涵盖了在不同分辨率（水平线）下，用公式5表示的具有理想、量化噪声限制性能的不同抖动值（斜线）的曲线图，它是基于模拟输入频率和信噪比要求来快速确定抖动限制的一个有用的指导。

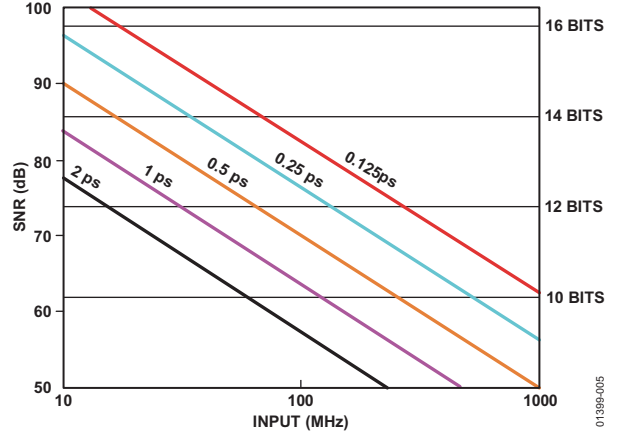


图5. 由孔径抖动引起的信噪比

### 时钟分配

系统时钟通常必须分配到多个转换器，还要分配到信号链中的FPGA、ASIC和DSP。有几种分配转换器所需的低抖动时钟的方法。

如果采样时钟是正弦波，它可以按图6中所示用功率分配器来分配并用变压器传递给ADC。这个方案对很多应用来说简单有效，特别是对于那些涉及单端至差分转换的应用。

然而，时钟往往是直接来自PLL、VCO或者VCXO的逻辑信号。在这些情况下，用逻辑门输出信号来驱动数据转换器是有利的。表1总结了不同系列的逻辑器件能够达到的典型抖动指标。应该指出的是，很多比较老的系列甚至现在的FPGA，都不能提供可接受的性能。一些比较新的高速器件可以提供满足要求的抖动指标，能够将单端信号转换为差分信号，如图7所示。

表1

逻辑门类型	抖动
FPGA <sup>1</sup>	33 to 50 ps
74LS00	4.94 ps
74HCT00	2.20 ps
74ACT00	0.99 ps
MC100EL16 (PECL)	0.70 ps
AD9510 时钟合成及分配	0.22 ps
NBSG16 (小摆幅 ECL)	0.20 ps

<sup>1</sup> 不包括由输入结构或者内部走线逻辑门引入的抖动，也不包括与使用内部DLL/PLL结构相关的抖动。基于产品数据手册的峰峰值，范围是从±100 ps 到 ±300 ps 的峰值。

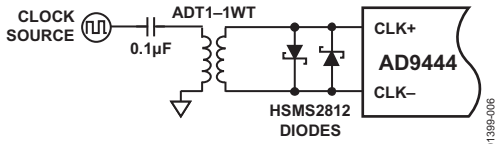


图6. 分配和差分编码选项

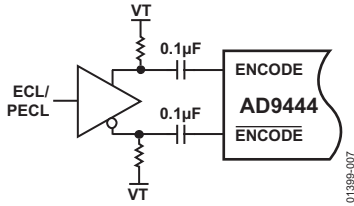


图7. 有源差分驱动电路

在数字电路中也经常用级联的逻辑门实现时钟树(见图8), 但是抖动会随着时钟树积累起来。

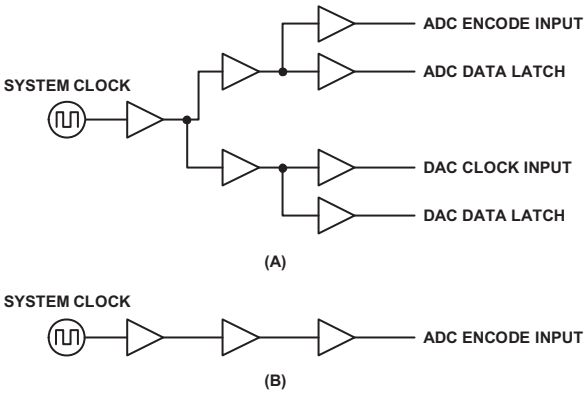


图8. 时钟分配链

在仅有3个NBSG16逻辑门(性能最好的器件)级联时, 积累的均方根抖动值增加到350 fs, 这对中频采样系统的系统性能是一个重大影响。最好避免使用传统的时钟树, 取而代之, 将时钟产生和分配作为系统级的功能来处理。

像AD9510这类器件具有优化的时钟路径将总均方根噪声降到最低。通过比较图8和图9, 可以很明确的看到, AD9510提供了与图8一样的时钟分配功能, 但只有220 fs的加性抖动。另外, 这个器件包括一个超低噪声PLL, 类似于ADF4106, 在一个器件中可以完成时钟净化、合成和分配。

另外, AD9510还具有很多其它分立逻辑器件没有的功能, 例如可选的输出类型(LVDS、PECL和CMOS)和可编程精密延迟。图10显示AD9510是如何在典型低抖动应用中使用的。

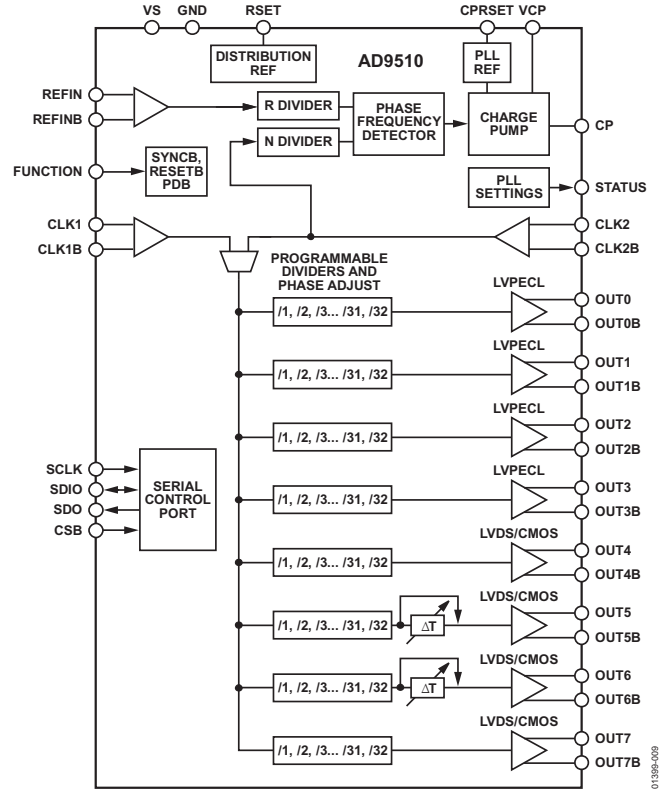


图9. AD9510的时钟合成及分配

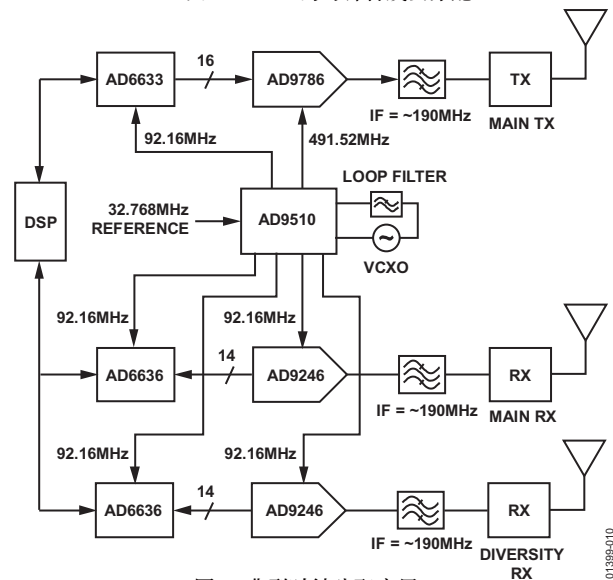


图10. 典型时钟分配应用