

## 用于完整的直接数字频率合成器AD9850的分立、 低相位噪声、125MHz晶振

作者: Richard Cushing, ADI; Steven Swift, Novatech Instruments, Inc.

作为一款颇受欢迎的器件，完整的直接数字频率合成器(DDS) AD9850旨在构建一种低成本的高速数字频率合成系统。使AD9850的时钟频率保持在其最高值125 MHz可能存在一定的技术挑战，尤其是在注重正弦输出相位噪声的应用中。鉴于用户多次提出要求，希望针对AD9850推荐高速时钟解决方案，我们专门撰写了本应用笔记。

目前市场上尚无针对AD9850的低成本型商用125MHz CMOS时钟振荡器。Champion Technologies制造了一款适合AD9850评估板使用的时钟振荡器(型号: K1300; 单价: 约45美元)。虽然该时钟源简单且易于实现，但其高昂的成本却令人望而却步，而且一般而言，此类时钟振荡器在相位噪声方面的表现并不十分突出。

采用分立方式实现的巴特勒振荡器\*电路(见图1)是一种成本较低的替代时钟源，其相位噪声性能相对优于典型的时

钟振荡器。下文将描述巴特勒振荡器电路的实现方式，其中，采用单电源(+5 V)供电，集成TTL输出级，部件单位成本为20至25美元。该解决方案代表着低相位噪声性能、电路复杂性和成本三者之间的较好平衡。

参考振荡器相位噪声与AD9850的残余相位噪声一起构成DDS输出信号的总相位噪声。AD9850在1 kHz偏置、5 MHz载波和125 MHz参考时钟条件下的残余相位噪声为-134 dBc。具有分频功能的DDS将使参考振荡器的相位噪声贡献降低20LOG(输出频率/基准频率)。例如，在125 MHz时钟频率和5MHz输出频率条件下，巴特勒振荡器对AD9850输出信号的相位噪声贡献从-110 dBc的典型值降至-138 dBc。随着DDS输出频率在参考振荡器频率中所占比重不断提高，振荡器对DDS输出相位噪声的贡献也将不断加大。

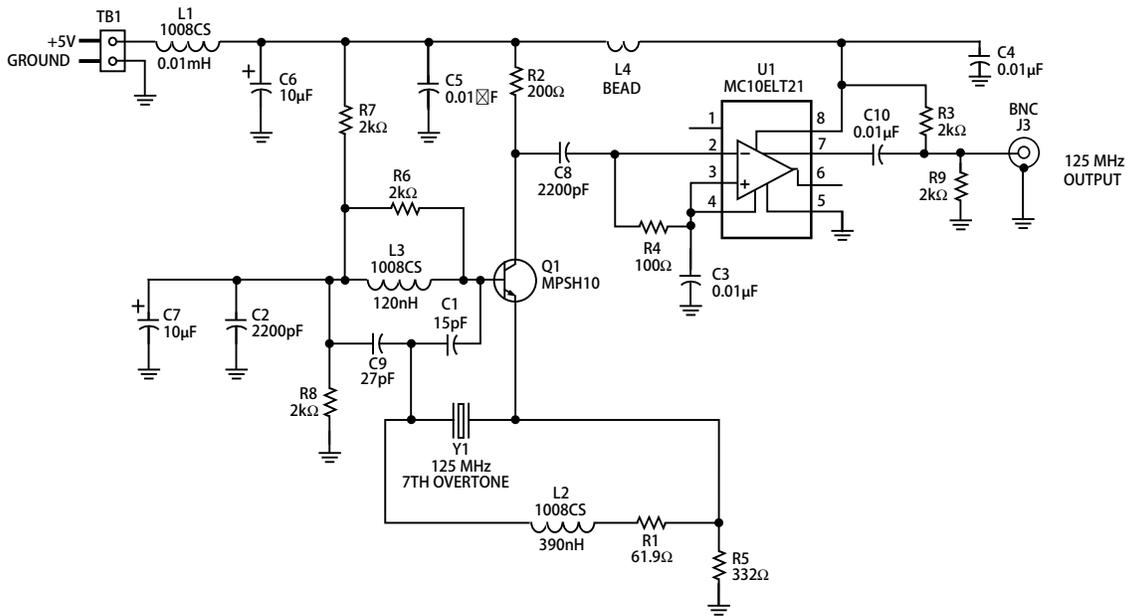


图1. 原理图和部件清单

\*巴特勒振荡器电路由华盛顿西雅图市的Novatech Instruments, Inc.的Steven Swift, P.E.提供。  
206/322-1562. <http://www.eskimo.com/~ntsales>

# AN-419

原型时钟振荡器采用一块2"×2"双面铜箔板(图2和图3)。驱动50Ω负载输出将为2 V p-p，驱动高阻抗负载输出略低于4 V p-p(图4)。全部采用芯片电容、芯片电阻和芯片电感。实际上，Q1可以是任何高频NPN，其FT比振荡频率高3至5倍——MPS918和MPSH10为典型选择。晶体为第七泛音、串联谐振模式，装于一个HC-49固定器中。PECL(正ECL逻辑)转TTL转换器U1是一款摩托罗拉ECLinPS“Lite”(单门极)表面贴装器件。U1将提供标准的TTL输出电平，或者，在本例中，其提供的CMOS兼容电平已通过外部方式电平转换为AD9850电源电平的一半。当信号至少为3 V p-p且以VDD/2为中心时，AD9850的时钟驱动即达到合适水平。

电路描述：L2/R1与晶体杂散电容以谐振方式防止寄生振荡。含L3的振荡电路的谐振频率接近125MHz，使晶体工作于第七泛音串联谐振频率。R6降低振荡电路Q，防止自激振荡及与晶体频率的对准误差。MC10ELT21 PECL转TTL转换器输出交流耦合至由R3和R9建立的2.5 V中点电压。该转换器要求信号输入大于200mV p-p，以产生TTL输出电平。振荡器输出配置要求高负载阻抗，以维持驱动AD9850 CMOS输入所需的2.5V直流偏置电压和4V信号摆幅。如果实际需要TTL电平，则应移除C10、R3和R9，并在C10处焊接一个跳线。

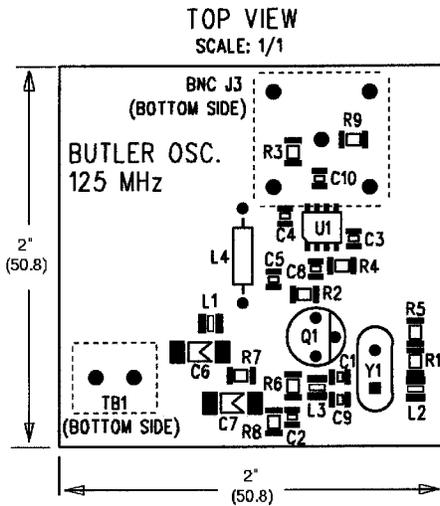


图2. PCB元件布局

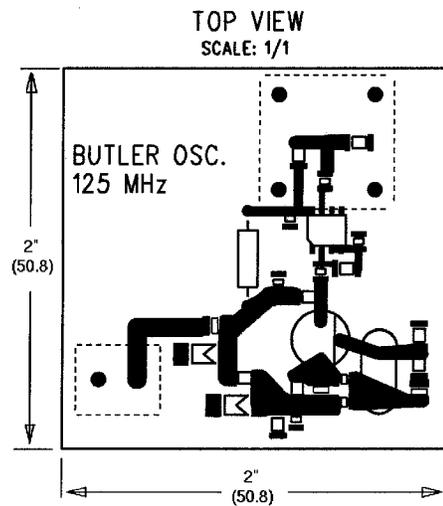


图3. PCB布线

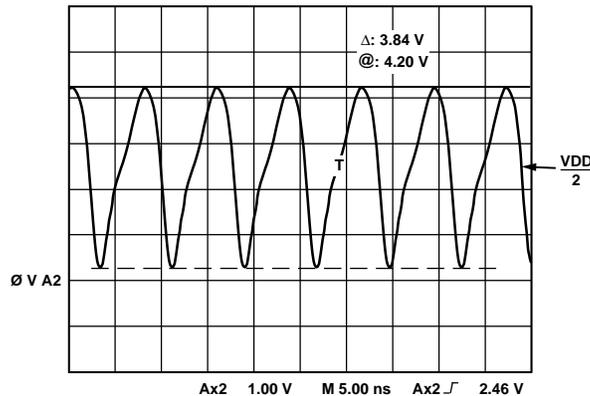


图4. 振荡器输出的数字示波器输出