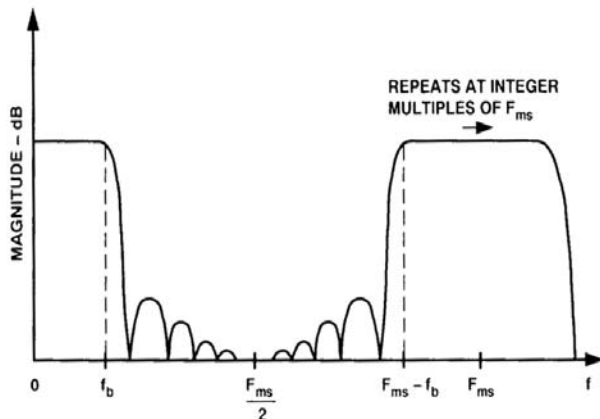


## 使用Σ-Δ转换器—第一部分

问：我想使用Σ-Δ模数转换器，但它与我目前使用的转换器完全不同，因此有一些疑问。首先，设计抗混叠滤波器时需要考虑哪些事项？

答：过采样转换器的一大优势是抗混叠所需的滤波非常简单。要了解其中的缘由以及滤波器约束条件有哪些，让我们先了解一下在这种转换器中运用的数字信号处理基本原理。就抗混叠滤波器设计用途而言，我们可以把Σ-Δ转换器看作传统的高分辨率转换器，其采样速率远高于奈奎斯特采样频率，后接一个数字抽取器/滤波器。而数字抽取滤波器是对经过噪声整形后的1位串行数据流进行滤波和抽取，但它自身并不能实现完全的滤波效果。

输入信号的采样速率为调制器输入采样速率 $F_{ms}$ ，远高于最大输入信号频率的两倍(奈奎斯特频率)。下图显示抽取滤波器频率响应的大致特征； $f_b$ 与 $F_{ms}/2$ 之间的频率分量大幅衰减。因此，可以使用数字滤波器来滤除位于 $[0, F_{ms}/2]$ 内但不在目标带宽 $[0, f_b]$ 范围内的所有转换器能量。但是，转换器无法区分输入端位于 $[0, \pm f_b]$ 与 $[kF_{ms} \pm f_b]$ 范围内的信号，其中 $k$ 为整数。这些范围内的所有信号(或噪声)均通过采样过程而混叠降至目标带宽 $[0, f_b]$ ；抽取滤波器仅对数字化样本有效，对衰减这些信号不起任何作用。



因此，在转换器对输入信号进行采样之前，必须通过抗混叠滤波器消除 $[kF_{ms} \pm f_b]$ 这些频带内的输入噪声能量。

问：那么，如果我使用动态范围为90 dB的AD1877（1994年春上市），那么抗混叠滤波器在 $F_{ms}/2$  ( $\approx 3$  MHz)时所需的衰减将要远高于90 dB吗？

答：不完全是这样。您是假设模数转换器在接近调制器采样速率的频率时具有满量程输入，但在大多数系统中并非如此。需要考虑的信号输入混叠问题通常只有转换器之前的传感器和电路引入的噪声。这种噪声一般非常低，简单的RC滤波器便足以起到抗混叠滤波器的作用。

问：如何确保单极点RC滤波器能满足我的应用需要，还有如何确定滤波器的时间常数？

答：您的应用通常会指定位于目标带宽范围内的输入信号最大容许衰减，进而可决定RC滤波器3-dB点的最小值。让我们以AD 1877为例来详细解释，并说明如何验证单极点滤波器是否能满足滤波的要求。

我们假设应用的目标带宽为0至20 kHz，此范围内的信号衰减不得超过0.1 dB或0.9886的比率(ratio)[对于电压， $\text{dB} = 20 \log_{10}(\text{比率})$ ；对于功率， $\text{dB} = 10 \log_{10}(\text{比率})$ ]。由单极点滤波器的衰减公式可得：

$$\text{比率} = \frac{1}{\sqrt{1 + (2\pi fRC)^2}} > 0.99 \quad (f = 20 \text{ kHz})$$

$$RC \leq \frac{\sqrt{1 - (\text{ratio})^2}}{(2\pi f)^2 (\text{ratio})^2} \approx 1.21 \times 10^{-6} \text{ s}$$

选择 $RC = 1.0 \mu\text{s}$ 以提供分量容差，-3-dB频率将为159kHz。现在，我们可以计算滤波器对混叠至基带内的 $kF_{ms} \pm f_b$ 频带内信号产生的衰减。假设AD 1877的调制器采样速率为3.072 MHz(输出采样速率为48 kHz)，第一频带出

现在3.052 MHz至3.092 MHz。在整个第一频带内，RC滤波器在这部分频率的衰减约为25.7 dB(约0.052)。在第二频带(6.124 MHz至6.164 MHz)内，衰减为31.8 dB(0.026)。我们知道，这两个频带内(以及量程中所有更高频带内)未被滤波器滤掉而输入模数转换器的噪声将混叠至基带，并将被以均方根(rms)值的平方和开方处理(rss)，即 $\sqrt{n_1^2 + n_2^2 + \dots + n_n^2}$ 。对于以dB给出的值，利用附录所示的公式可以直接得到以dB表示的结果，而无需进行比率计算等中间步骤。

对于白噪声，噪声谱密度是频率的常数函数，而各频率范围具有相同的带宽，所以各频带贡献给滤波器输入的噪声量相等。因此，我们以rss形式将不同频带的衰减相加，便可得到RC滤波器的有效衰减。例如，前两个频带的噪声贡献等同于 $\sqrt{0.052^2 + 0.026^2} = 0.058$ 倍或24.7 dB的单一频带内产生的衰减效果，而相比之下，第一个频带的衰减为25.7 dB。计算总混叠噪声时，我们需要考虑多少个频带呢？对于本例，前3个、前4个、前5个和前6个频带内的rss分别为-24.2 dB、-24.0 dB、-23.9 dB和-23.8 dB。因此，第一个频带占主导地位，其衰减在所有频带衰减的2 dB范围内。一般仅考虑第一个频带便足够，除非噪声特别大或者有非白噪声谱。此外，模数转换器虽然非常快，但其本身的带宽有限，往往会抑制高阶频带。

既然衰减我们可以控制，我们便可以考虑噪声幅度本身：我们保守一点（按约50%计算），假设滤波器有效衰减为20 dB（即0.1 V/V）。使用单极点滤波器时，为了计算最大容许噪声谱密度，必须估计混叠噪声可能引起的性能降低最大程度。由AD1877的动态特性可知，转换器内在的总噪声功率比满量程输入低90 dB（或为满量程输入的32 ppm）。如果整个系统要在此特性的0.5 dB范围内，则总混叠噪声功率不得超过-90 dB与-89.5 dB相差的rss范围，可得-99.1 dB（ $11.1 \times 10^{-6}$ ）。利用这一信息，以及AD 1877的输入量程为3 V峰峰值这一数据，我们可知混叠噪声不得超过 $3/(2) \times 11.1 \times 10^{-6} = 11.8 \mu\text{V}$ 。如果假设所有这些噪声均集中在单一混叠频带，根据“均方根噪声 = 噪声谱密度 (N.S.D.) x

$$\text{N.S.D} < \frac{11.8 \mu\text{V}}{\sqrt{3.092 \text{ MHz} \times 3.052 \text{ MHz}}} = 59 \text{ nV} \sqrt{\text{Hz}}$$

这就是容许的最大后置滤波器频谱密度。利用之前确定的滤波器有效衰减20 dB（即x = 10），可知最大前置滤波器频谱密度M.P.S.D. =  $10 \times 59 \text{ nV} / = 0.59 \mu\text{V} /$ 。

显然，只要您的系统在3-6-9-12-MHz区域内的噪声不

是特别高，简单的RC滤波器便可满足需要。不过，必须始终注意周围的RF噪声的影响。

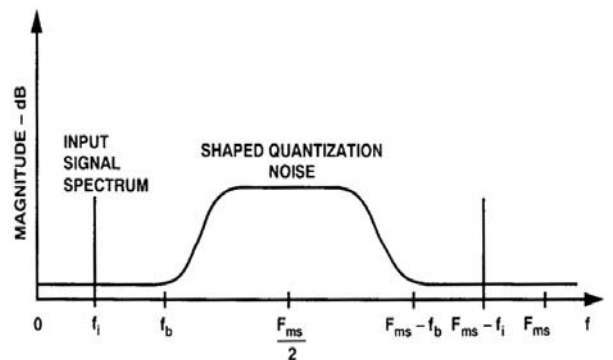
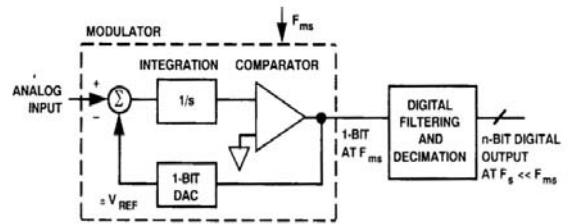
问：据我所知，Σ-Δ转换器的本底噪声可能会表现出一些不规则现象。对此您有何说明？

答：大多数Σ-Δ转换器的本底噪声中会出现一些尖峰，称为“空闲音”。一般而言，这些尖峰的能量很低，不足以对转换器的信噪比产生实质性影响。

尽管如此，仍有许多应用不能容许频谱中的尖峰远远超出白噪声本底。例如在音频应用中，当不存在较大输入信号时，即使空闲音远低于系统的积分(0-20-kHz)噪声，人耳仍然能够清晰地分辨出来。

空闲音有两个来源。最常见的原因是基准电压调制。为便于理解，需要对Σ-Δ转换器的基本原理有所了解。下面是关于Σ-Δ转换器的“一分钟速成课程”（如需深入了解，请参考一下）。[1]

如框图所示，基本Σ-Δ模数转换器由过采样调制器及后接的数字滤波器和抽取器组成。调制器输出在两个状态（高和低，或者0和1，或者+1和-1）之间摆动，平均输出与输入信号的幅度成比例。由于调制器输出摆幅始终为满量程（1位），因此其量化误差较大。不过，该调制器采用特殊结构，可以将大部分量化噪声限制在目标带宽fb以外的频谱部分中。

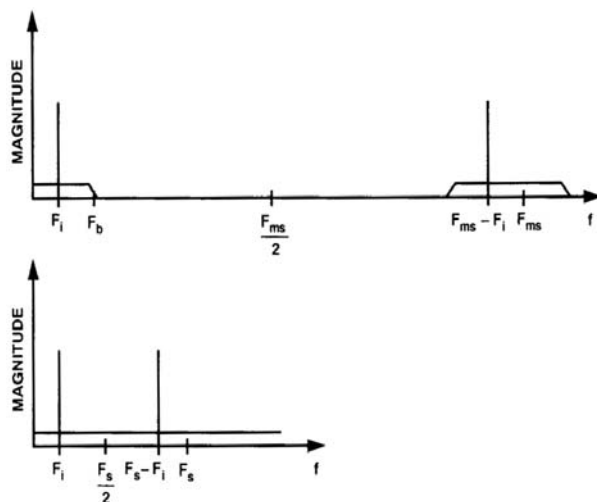


如图所示，fi和Fms-fi处的频谱“线”（单一频率）对应于输入信号，阴影区域则显示量化噪声如何被推到（整形到）目标带宽fb以外。

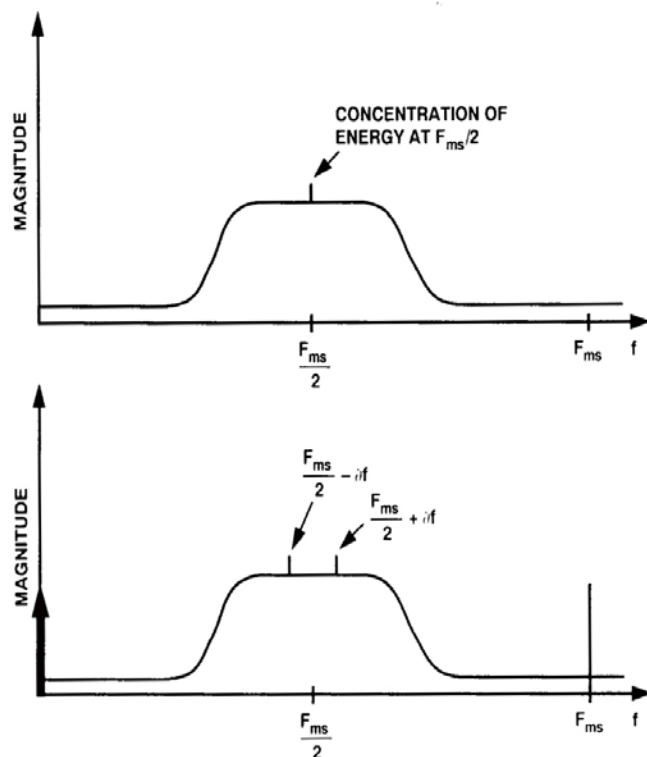
该数字滤波器一般为 $n$ 抽头FIR滤波器，它接受高速、低分辨率（1位）调制器输出，并按照理想滤波器功能特性对 $n$ 个调制器输出求加权平均值。滤波器输出为高分辨率数据，并成为模数转换器的输出。该数字滤波器可以滤除 $f_b$ 与 $F_{ms}-f_b$ 之间的所有内容，其中 $F_{ms}$ 为调制器的采样速率。由于 $f_b$ 与 $F_{ms}-f_b$ 之间的所有噪声均得以清除，因此可以将采样速率降为 $F_{ms}$ 与 $2f_b$ 之间的值，而不会导致任何频谱重叠（即混叠）。

理论上，降低采样速率（即抽取）可以认为是每隔 $(d-1)$ 个数字滤波器输出，将第 $d$ 个输出送至ADC输出，其中 $d$ 为抽取系数。这将把频谱图像拉近，如图所示，使得输出看起来像是非过采样转换器的输出。上方图形显示数字滤波之后、抽取之前的调制器输出。下方图形显示抽取之后的频谱输出，即最终模数转换输出。

在实际转换器中，考虑到设计和制造成本，数字滤波和抽取会结合在一起。因此，术语“数字滤波器”和“抽取器”可以互换使用，用来描述处理调制器输出以产生转换器输出的数字电路。



现在我们回到“空闲音”这一问题。首先，我们看一下将直流信号施加于输入时的调制器输出。对于精确的中间电平直流输入电平，调制器输出为高(1)或低(0)的概率相等；换言之，脉冲密度为0.5，极有可能产生010101样式的位流模式。这种规则模式意味着输出频谱的尖峰将位于 $F_{ms}/2$ （上方图形）。如果直流输入稍微偏离中间电平，调制器输出的位模式将相应地发生改变。比如，调制器输出的频谱尖峰将位于 $F_{ms}/2-\partial F$ 和 $F_{ms}/2+\partial F$ ，其中 $\partial F$ 与直流输入偏离中间电平的变成比例（下方图形）。



经过有效的数字滤波，这种空闲音如何还能出现在基带中？原因就是“基准电压”。数字输出是对模拟输入与基准电压比值的量度。基准电压的幅度改变 $\chi\%$ ，将导致数字输出字的幅度改变 $-\chi\%$ 。实际上，基准电压变化将对模数转换输出进行幅度调制。当转换器的内部时钟(可能还有外部时钟)以 $F_{ms}/2$ 的频率工作。如果少量时钟脉冲耦合到基准电压线路上，将使线上信号发生细微变化，从而实际上对频率为 $F_{ms}/2-\partial F$ 和 $F_{ms}/2+\partial F$ 的空闲音进行调制。这种调制产生的差频率含有是 $\partial F$ 项，它显然在目标带宽以内。非线性也可能产生频率为 $\partial F$ 数倍的空闲音。

问：从您的解释看来，似乎如果我对转换器施加交流信号，我就不必担心空闲音？

答：任何交流信号一般都有相关的直流分量，调制器输出必须表现出该直流分量，因此上述解释仍然适用。但如果系统中的总直流输入失调(即转换器内部失调加上外部失调)刚好为0，则空闲音将出现在DC(0 Hz)频率。

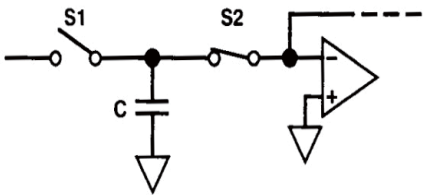
在低阶(3阶以下)调制器中，还有一个空闲音来源。调制器的阶数(积分次数)是指量化噪声整形多少次。即使并未发生基准电压调制，二阶调制器的输出实际上也会直接在基带中表现出位模式的问题。这也是ADI公司针对交流应用设计 $\Sigma$ - $\Delta$ 转换器时，均采用高阶( $\geq 3$ ) $\Sigma$ - $\Delta$ 调制器的原因之一。

问：那么我如何才能将空闲音干扰模数转换的机率降至最低呢？

答：请遵循转换器制造商推荐的布局和旁路方案，这不仅适用于基准电压源，而且也适用于电源和接地。尽可能降低转换器内部基准电压源的不利影响是制造商的责任，但减少外部耦合则是系统设计师的责任。用户只要遵循这些指导原则，应当能够将耦合降至可以忽略不计的水平。如果设计中采取适当的防范措施，但仍然存在空闲音问题，则可以考虑另一种方式。如前所述，空闲音的频率是直流输入的函数。这样，在模数转换器输入中引入足够大的直流偏移，就可能将空闲音移出目标带宽之外，然后由抽取滤波器予以滤除。如果用户不希望该直流偏移通过系统传播，则控制模数转换器的处理器可以在数据处理时将其去除。

问： $\Sigma$ - $\Delta$ 转换器的输入端对信号处理电路表现为怎样的负载？

答：这取决于转换器。一些 $\Sigma$ - $\Delta$ 转换器的输入端有缓冲器；这种情况下，输入阻抗非常高，负载可以忽略不计。但在许多情况下，输入端与转换器的调制器直接相连。开关电容型 $\Sigma$ - $\Delta$ 调制器的等效电路示意图如下图所示。



开关S1和S2由一个时钟的两个相位控制，交替通断。当S1闭合时，输入电容对输入电压进行采样。当S1断开、S2闭合时，C上的电荷流入积分器，从而使电容放电。输入阻抗可以通过计算C从外部电路获取的平均电荷而算出。可以证明，如果允许C在S1断开前完全充电至输入电压水平，则流入输入端的平均电流与下述情况产生的电流相同：输入端与地之间连有一个 $1/(F_{\text{sw}}C)$   $\Omega$ 电阻，其中 $F_{\text{sw}}$ 为输入电容对输入电压进行采样的速率。 $F_{\text{sw}}$ 与施加于转换器的时钟频率成正比，这意味着输入阻抗与转换器输出采样速率成反比。

有时，增益等其它因素也会影响输入阻抗，16/24位信号可调ADC系列AD771x就是这种情况。这些转换器的输入增益可以在1至128 V/V范围内设置。利用一种专利技术调整增益，不仅可以有效提高 $F_{\text{sw}}$ （并保持转换器输出采样速率不变），而且能够将多重的采样电荷合并。举例来说，当器件外部时钟为10 MHz并且输入

增益为1时，这些转换器的输入阻抗是2.3 M $\Omega$ 。当输入增益为8时，输入阻抗降至288 k $\Omega$ 。

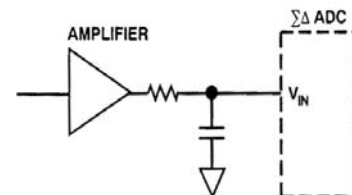
如前所述，这种阻抗代表流入或流出转换器的平均电流。然而，在确定ADC驱动器电路的最大容许输出阻抗时，并不需要考虑这种阻抗，而需要考虑S1闭合时电容C的充电时间。对于直流应用，驱动器电路阻抗必须足够低，从而使电容C能在S1断开前充电至所需精度内的某一值。该阻抗将是S1的闭合时间（与采样速率成比例）、电容C以及与输入端并联的 $C_{\text{EXT}}$ （除非 $C_{\text{EXT}} \gg C$ ）的函数。下表显示AD7710在各种增益和外部电容值情况下， $f_{\text{CLKIN}} = 10$  MHz时，要实现小于1 LSB的20位增益误差，外部串联电阻的容许值。

不会引入20位增益误差的典型外部串联电阻

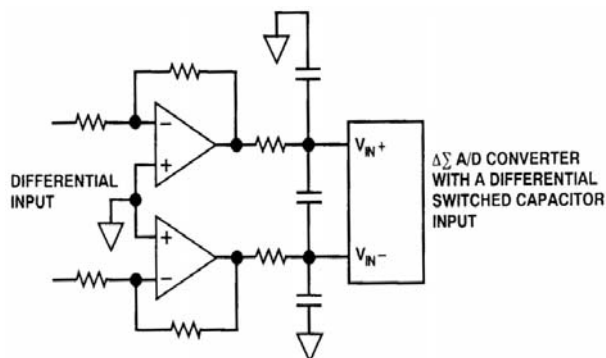
增益	外部电容(pF)					
	0	50	100	100	500	5000
1	145 k $\Omega$	34.5 k $\Omega$	20.4 k $\Omega$	5.2 k $\Omega$	2.8 k $\Omega$	700 $\Omega$
2	70.5 k $\Omega$	16.9 k $\Omega$	10 k $\Omega$	2.5 k $\Omega$	1.4 k $\Omega$	350 $\Omega$
4	31.8 k $\Omega$	8.0 k $\Omega$	4.8 k $\Omega$	1.2 k $\Omega$	670 $\Omega$	170 $\Omega$
8-128	13.4 k $\Omega$	3.6 k $\Omega$	2.2 k $\Omega$	550 $\Omega$	300 $\Omega$	80 $\Omega$

对于音频等交流应用，64倍过采样时，调制器采样速率约为3 MHz；在电容转变为放电之前，输入电容电压可能没有足够时间来建立至转换器分辨率要求的精度内。实际上，只要输入电容充电遵循RC电路的指数曲线，则即使输入电容切换过早，也只会对增益精度产生一定影响。

这种指数方式充电意味着运算放大器不能直接驱动开关电容输入端。将容性负载切换至运算放大器的输出端时，幅度会有短暂的降低。运算放大器将试图纠正这一状况，在纠正过程中会涉及其压摆率限制（非线性响应），从而可能会导致输出发生过大的振铃。为了解决这一问题，可以在放大器与ADC输入端之间插入一个时间常数较小的RC滤波器，如图所示。(小)电阻将放大器与开关电容隔离，输入端与接地之间的电容提供或吸收开关电容充电所需的大部分电荷。这样便可确保运算放大器始终不受负载的瞬态特性影响，同时，附加的滤波器还起到抗混叠的效果。



对于采用差分输入的转换器，可以采用此电路的差分形式，如下图所示。由于一个输入相对于地为正，而另一个输入为负，因此当输入电容充电时，一个输入（负输入）需要供给负电荷，而另一个输入则需要释放负电荷。在两个输入端之间连接一个电容，就能使一个输入所需的大部分电荷由另一个输入有效提供，这可以极大地减少与模拟地之间不必要的电荷转换传输。



## 附录

**对数量的RSS加法：**两个均方根信号 $S_1$ 和 $S_2$ 的平方根加和为均方根值 $\sqrt{S_1^2 + S_2^2}$ 。我们经常需要计算相对于给定参考并以dB表示的两个数值的RSS和。为此，我们必须求反对数，执行RSS加法，然后将结果转换为dB。这三种运算可以合并为一个便捷的公式。假设 $D_1$ 和 $D_2$ 均为以dB表示的比值（无论正负），则以dB表示的二者之和为：

$$10 \log_{10} (10^{D_1/10} + 10^{D_2/10})$$

类似地，求两个均方根量的差

$$\chi = \sqrt{S_2^2 - S_1^2}$$

以dB表示的结果 $\chi$ 为：

$$10 \log_{10} (10^{D_2/10} - 10^{D_1/10})$$

## 参考文献（非ADI公司资料）：

- <sup>1</sup> *Oversampling Delta-Sigma Data Converters—Theory, Design, and Simulation*, edited by J.C. Candy and G.C. Temes, IEEE Press, Piscataway, NJ, 1991.
- <sup>2</sup> J. Vanderkooy and S.P. Lipshitz, "Resolution Below the Least Significant Bit in Digital Systems with Dither," *J. Audio Eng. Soc.*, vol. 32, pp. 106-113 (1984 Mar.); correction *ibid.*, p.889 (1984 Nov.).
- <sup>3</sup> A.H. Bowker and G.J. Lieberman, *Engineering Statistics*, Prentice Hall, Englewood Cliffs, NJ, 1972.