

高速、高精度处理模拟信号

作者: Paul Brokaw

假设您购买了一个精度为10位以上的模数或数模转换器IC, 或者购买了一个输出达到1/2 LSB的建立时间在亚微秒级的电流输出DAC。为了解决接口问题, 您已付出了很多设计努力, 进行了大量技术开发, 并耗用了许多处理资源。但是, 您还没有走出困境! 为了保证速度、分辨率和精度性能, 您还得设法解决下面所列的一些问题:

1. 如果您的DAC是电流输出型, 但您需要电压, 那么就涉及到使用运算放大器, 这就要求您解决动态和静态信号接口问题。
2. 必须使公共电源连接所引起的干扰最小化。
3. 必须决定“地”在何处以及如何使之保持不动。
4. 如果“地”在远处, 您必须对它做耦合处理, 同时又不能降低精度或置干扰于不顾。
5. 如果采用逐次逼近型转换器转换模拟信号, 您可能必须缓冲信号源, 使之不受转换过程中偶然发生的快速瞬变影响。

意识到这些潜在问题是解决这些问题的第一步。所有电路和系统都存在或大或小的不同之处, 因此并不存在放之四海而皆准的现成解决方案。不过, 积极思考将非常有助于问题的解决。这篇简短笔记的目的就是要提醒您应当考虑哪些事情。

DAC和运算放大器: 动态问题

电流输出DAC通常连接到反相运算放大器的求和点, 然后反馈环路借助内部“范围”电阻 R_F 而闭合, 如图1所示。DAC的输出阻抗一般可视为电阻与电容的并联组合。分流电容 C_O 与 R_F 相结合的结果是在开环响应中增加了一个极点, 这可能导致闭环响应不佳。

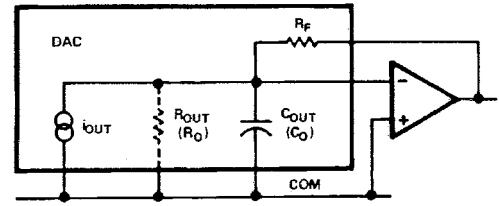


图1. 电流输出DAC的等效电路

图2显示: 当 C_O 引起的杂散极点低于未扰动的系统交越频率时, 开环幅度和相位响应可能会呈现何种形态。不仅闭环带宽会降低, 更严重的是, 还会导致过大的相位偏移。额外相位偏移会减小系统频率稳定性余量, 并可能引起不稳定(甚至振荡)。

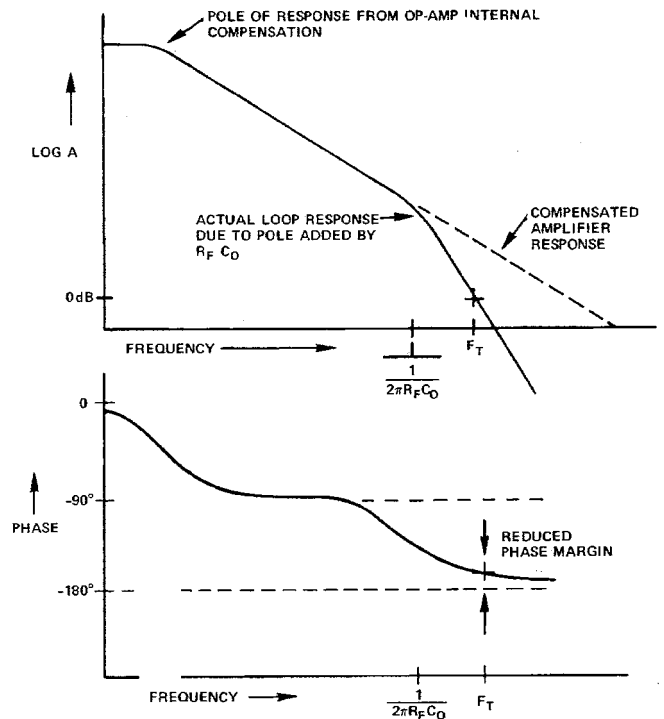


图2. 图1电路的振幅和相位响应。附加极点会降低带宽并提高过冲和响铃, 从而加长建立时间。

如图3a所示, 将一个反馈电容 C_F 与反馈电阻并联, 可以恢复环路稳定性余量。此电容在开环传递函数中产生一个零点, 可以进行调整以校正相位余量。然而, 如果 R_{OUT} 非常大(电流输出DAC常常如此), 剩余的较大极点-零点失配(图3b)可能会导致建立过程很慢(图3b)可能会导致建立过程很慢。

即使 R_{OUT} 为有限值, 残余的少量极点-零点失配(图3c)仍然可能引起长建立“尾”。DAC输出电压看起来可能建立很快, 但其后它会以很明显的幅度缓慢变化, 直至达到最终值, 这一过程可能长达数十微秒, 甚至数毫秒。¹

当DAC输出电路与反馈网络构成一个频率补偿分压器时, 即当 $R_O C_O = R_F C_F$ 时, 残余失配将被消除。这一条件通常可以得到满足, 但有时会要求很大的 C_F 值。不幸的是, 引入一个开环零点的 C_F 也会产生一个闭环极点, 导致整体带宽降低, 建立时间延长。

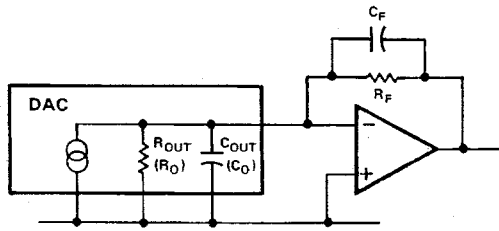


图3a. 通过反馈电容 C_F 提高环路稳定性

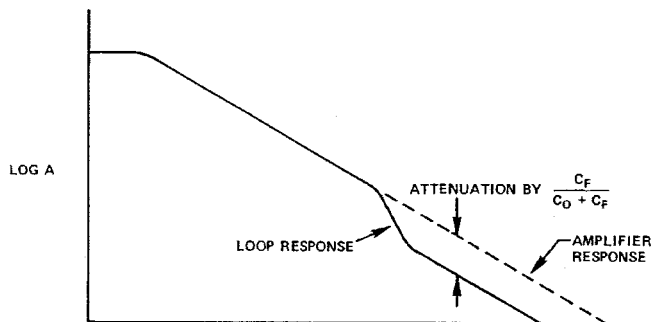


图3b. 电路3a的响应, 忽略 R_{OUT} 。极点-零点失配可能导致瞬态响应不佳。

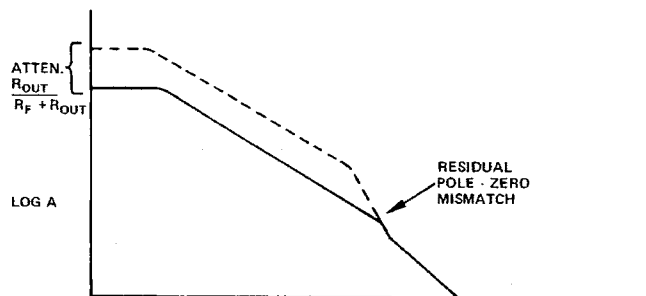


图3c. R_{OUT} 为有限值时电路3a的响应。

¹ Bob Demrow所写的一篇文章(“运算放大器的建立时间”)的附录部分较为详细地讨论了这一过程, 并附有波形图, 见《模拟对话》4-1 (1970)。

R_F 一般由所需的DAC增益确定; C_O 的最小值是转换器的一个属性, 不在系统设计人员的控制之下。因此, 只有 C_F 和 R_O 这两个参数可以操纵(减小)。在DAC输出端并联一个电阻可以减小 R_O' (R_O 的有效值), 因而所需的 C_F 值得以减小, 闭环带宽得以提高(图4)。运算放大器的单位增益带宽 b 会限制开环系统带宽, 进而限制闭环带宽的实现。 R_O' 减小时, 对于固定的运算放大器带宽 b , 可以获得的开环带宽也会降低。

调整 R_O' 使开环带宽和闭环带宽相同, 可以提供一种折衷办法。对于固定的 C_O 和 R_F , R_O' 和 C_F 的值可以由下式确定:

$$R_O' C_O = R_F C_F = \frac{1 + \sqrt{1 + 8b\pi R_F C_O}}{4b\pi} \quad (1)$$

DAC输出端的阻性元件也会影响放大器失调(V_{OS})效应和总输出电压上的噪声, 二者均放大 $(1 + R_F/R_O)$ 倍。

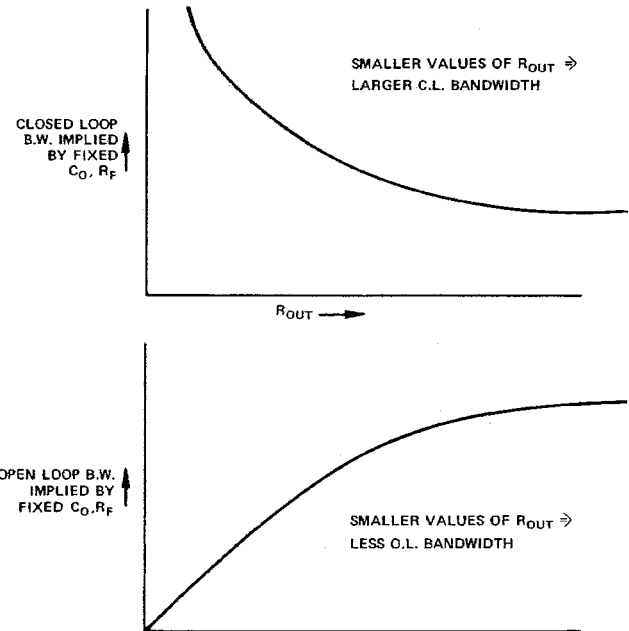


图4. R_{OUT} (R_O')变化对开环带宽和闭环带宽的影响

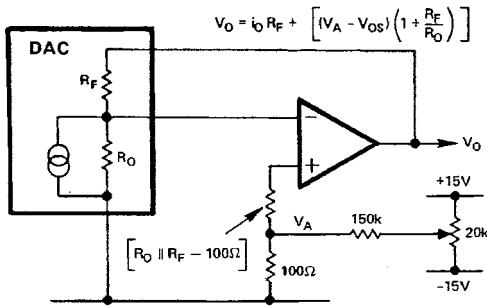
DAC和运算放大器: 零点校准问题

为了控制配合DAC所用运算放大器的 V_{OS} , 最佳方法可能是从源头着手: 选择在整个温度范围内失调电压足够低的运算放大器(例如AD510)。次佳方法是通过标准 V_{OS} 调整对运算放大器的失调电压进行零点校准, 这需要将电位计游标连接到器件上适当的电源引脚, 比较麻烦²。放大器失调电压调整只能用于 V_{OS} 零点校准; 如果将其用于补偿反馈电阻中流过的偏置电流所引起的失调, 或者外部电路中发生的失调, 放大器输入级将变成不平衡状态, 导致其 V_{OS} 温度系数变差。

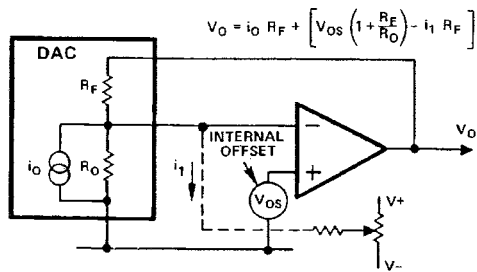
² 笔者撰写的应用笔记“IC放大器用户指南: 去耦、接地及其它一些要点”详细说明了其原因, 详情请访问ADI公司网站。1975年10月5日出版的EDN杂志上刊登了该文经过大幅修改后的版本。

如果放大器没有失调调整引脚，或者有必要在某个地方补偿上述附加失调源，则可以考虑两种常用的调整方法，如图5所示。图5a所示方法更理想，校正电压施加于放大器的正输入端。由于它与 V_{OS} 有效串联，因此 R_O' 的变化不影响 V_{OS} 校正。

效果相对较差的一种方法是在求和点引入一个电流，如图5b所示。如果电路的电阻(包括 R_O')恒定，则这不会有问題。然而，如果 R_O' 可能改变，则输出失调也会改变。如果 R_O' 的变化是所施加数字码的函数，则结果可能是微分非线性误差增大。



(a) 失调零点校准：电压施加于运算放大器参考输入



(b) 失调零点校准：电流施加于运算放大器求和点

图5. 外部失调零点校准方法

例如，如果DAC为反向R-2R梯型网络型，如图6所示，则对于含有许多1的码，输出电阻 R_O 趋近于R；对于只含一个1的码， R_O 趋近于3R；对于全0码， R_O 趋近于无穷大(∞)。如果 $R = 10k\Omega$ ，则从输出端回看网络的电阻约为 $10k\Omega$ (对于四个以上1)或 $30k\Omega$ (对于一个1)。因此，对于从0011111111到0100000000的一位跃迁，误差电压 $V_{OS} (1 + R_F/R_O)$ 从 $2 V_{OS}$ 变为 $(4/3)V_{OS}$ 。如果失调已在全0时进行过零点校准($1 + R_F/R_O = 1$ ，因为 $R_O \rightarrow \infty$)，则失调误差在第一个码时为 $+V_{OS}$ ，在第二个码时为 $(+1/3)V_{OS}$ ；误差的递增量为 $(-2/3)V_{OS}$ 。如果 V_{OS} 不是比权重最低有效位的等效电压小很多，则将产生明显的误差。这对模拟输入信号较小的乘法DAC应用特别不利。解决办法很简单：使用图5a所示方法，而不要使用图5b所示方法。

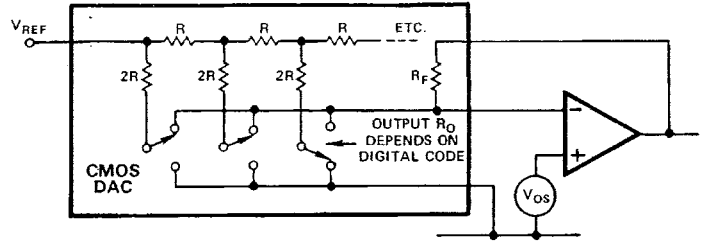


图6. CMOS和电压切换DAC中的反向R-2R梯型网络的可变输出电阻

公用地和电源线中的“外来”电流可能会引入失调、噪声和其它误差；与 V_{OS} 误差一样，这些误差会以同样的方式被放大。必须使放大器电路(及其外部 V_{OS} 调整)、产生输出电压的负载以及DAC参考输入全都以DAC引脚为基准，如图7所示。

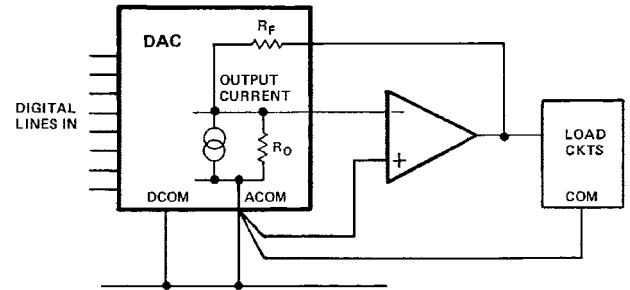


图7. 缓冲放大器和负载电路以模拟公共地为基准

旁路和去耦

在由电流输出DAC驱动的“虚地”系统中，如运算放大器等，DAC输出电流并不真正返回地，而是借道运算放大器的输出级返回其中的一个电源(图8)。为了降低高频电流路径的阻抗，应当连接旁路电容，使来自一个(或两个)电源引脚的电流返回DAC地。同样的道理，如果DAC输出为激活状态，它可能需要旁路自己的电源。

警告：您的目的与绘图部门的目的可能存在冲突。您的设计目的是能够获得有效工作的电路，并将重要细节传达给电路装配人员。而绘图部门则希望绘制漂亮整齐、赏心悦目的电路图，其中代表导线的线条具有等电位。您可能已经注意到，图7和图8中并非如此。所画的线条与导线执行的工作非常相似，汇合于公共模拟地。同样，图8中的旁路电容引脚故意绕过运算放大器的锐角而到达其电源引脚，而不是直截了当地与电源线会合(这肯定会给调试带来麻烦)。提示构建电路者务必遵循您的原意适当修改电路。

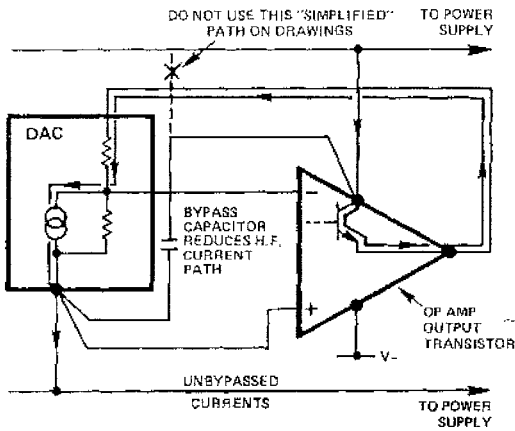
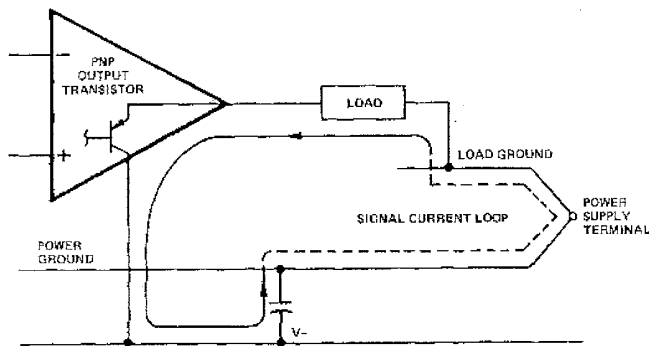
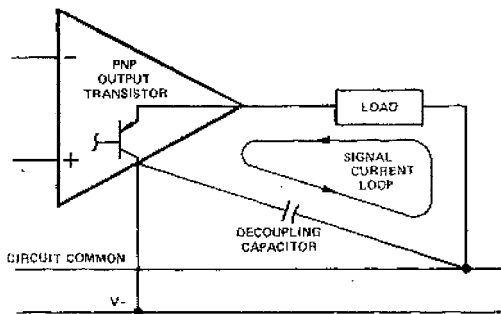


图8. 虚地应用的电源旁路。箭头表示无旁路的电流路径。

图9a显示了一个去耦无效的例子。这里，运算放大器驱动一个负载，它连接到一条很长的地线(返回到电源引脚)，放大器的电源去耦则通过另一条长线返回电源。负载电流的返回路径与运算放大器的供电线路一样长，甚至比后者还长。“本地”去耦不仅无效，而且可能给电源接地总线带来噪声。



(a) 无效的负电源去耦



(b) 针对“接地”负载而优化的负电源去耦

图9. 有效去耦和无效去耦

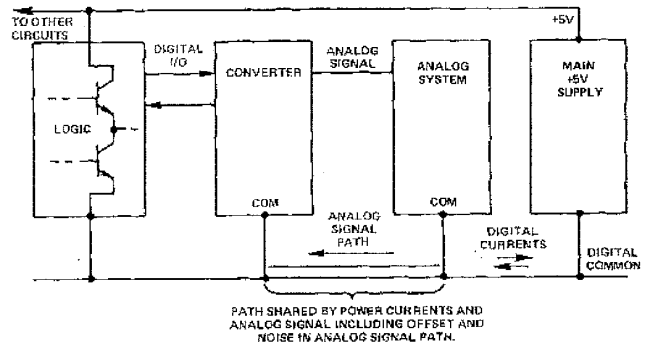
去耦的重要法则是：应使电流轻松地通过最短路径返回。图9b显示了一个更为有效的方案，其中去耦电容以最短路径连接在负载返回点与负载电压控制元件之间。这里，使阻性负载电路产生负摆幅的运算放大器从内部PNP晶体管驱动负载，负载连接到V-对运算放大器的V-引脚去耦至负

载低端，可以为高频电流提供最直接的返回路径，并将其旁路接地和电源总线。

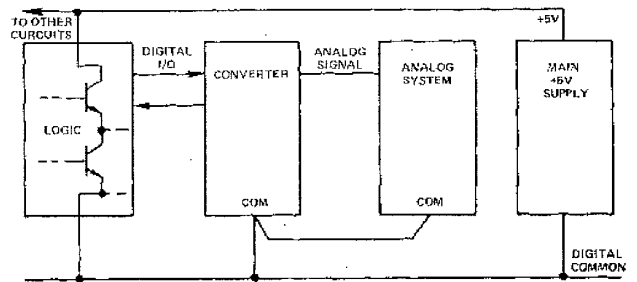
接地

为了纠正不良接地电流管理所引起的问题，需要耗费大量精力并使用许多去耦元件。在大型系统中，以及在同时处理高电平和低电平信号的系统中，“接地”(或公共总线)管理已成为设计的一个重要方面。而最可怕的事情是允许低电平模拟信号与逻辑返回或电源连接共用导线，这无异于自找麻烦。

图10a显示了一个路径例子，该路径由数字信号和模拟信号共享，位于转换器和模拟系统的公用连接之间。假设最低有效位LSB相当于2.5mV，并且约为100mA的变化数字开关电流流过一个0.1Ω电阻的引脚，如果所产生的不确定性为4-LSB(不包括尖峰和毛刺)，则意味着：由于存在布线限制，10位分辨率转换器将是最佳选择，使用12位转换器将是不太明智的浪费之举。



(a) 共用路径产生干扰和误差



(b) 这种连接使模拟与数字之间的公共阻抗最小(包括转换器数字电流)

图10. 接地的正确方法和不当方法

如图10b所示，理论上，模拟子系统可以在本地互连，然后单线连接到数字公共地。该信号连接仅携带转换器数字接口所需的数字电流。此外，并不强制模拟信号共用一条导线，即使带有这些电流。模拟子系统应采用具有本地公共返回路径的电源供电，该路径可以连接到数字公共地，但不共享任何携带电流的导线。理想情况下，除了转换器内部的电流外，不应有“外来电流”在模拟系统与数字系统之间流动。如果这两个系统仅在转换器上交会，则外来电流将共用最短路径，其影响也将极小。

在实际系统中，多条外来电流路径常常是难以避免的。例如，在包含多个数模和模数转换器的系统中，每个转换器都是数字电流的一条路径，而且它还必须接入模拟信号公共地。这种系统的接地问题常常可以这样解决：让一个模拟公共地仅处理模拟信号返回路径，对所有数字或高电平信号则使用单独的返回系统(图11)。有时候可能还会使用一个第三模拟电源公共地系统，以发挥最大优势。模拟公共地必须单点接数字公共地，应对模块化系统添加保护二极管。如果关键接地单元(“Mecca”)被移出系统，这些二极管可以防止地系统之间产生大电压。

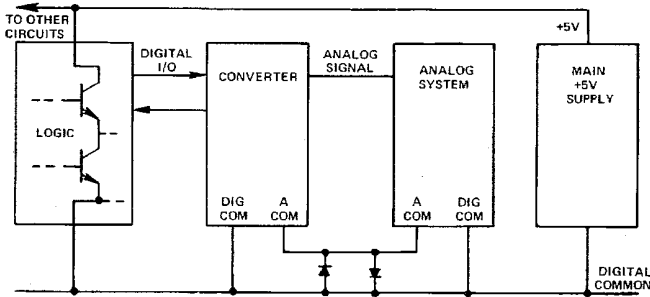


图11. 改进的地电流管理(模拟公共地和数字公共地必须在转换器或模拟系统上交会。如果此连接损坏，二极管可提供故障保护。)

当公共地不能实现时

在大型系统中，所有模拟信号都接入单一公共点是不现实的。这时，需要利用某种形式的差分(甚至隔离)放大器在地系统之间转换信号。老练的运算放大器用户可能会想到使用简单的减法器或“动态电桥”电路。这些电路可以将以某一个地系统为基准的信号，转换为以另一个地系统为基准的相似信号或放大信号(图12)。放大器的共模抑制和电阻匹配用来消除这两个地或公共点之间的电压差影响。

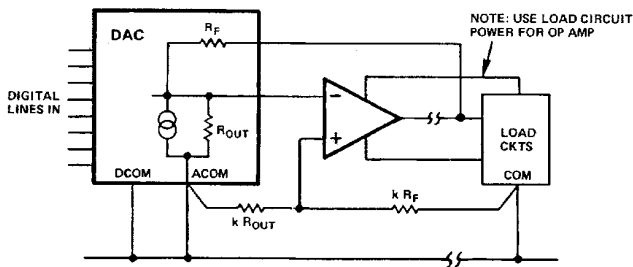


图12. 使用差分放大器消除共模电压影响

明智的做法一般是采用电路负载端可用的电源为运算放大器供电，以及/或者相对于负载公共地对运算放大器电源去耦，其原因可以从最常见类型运算放大器(图13)的电路架构得出。

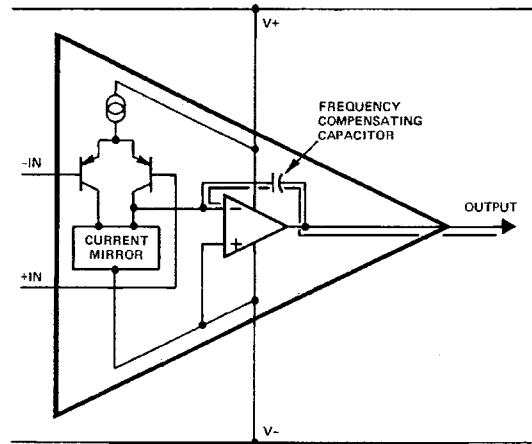


图13. 典型运算放大器电路架构。输出积分器的基准电压为V-。

运算放大器将差分输入信号转换为单端输出信号。在许多常用运算放大器中，差分转单端是相对于V-而完成(有些也使用V+)，所产生的信号驱动一个积分器³。积分器特性用来对放大器进行频率补偿，积分器输入以单端输出V-为基准。对于施加于其同相(或参考)输入的快速信号，积分器用作单位增益跟随器。因此，施加于V-端的信号将其高频成分直接传递至输出端。其频率成分高于放大器闭环带宽的信号，将得以无衰减或衰减极小地从V-端传输到输出端。

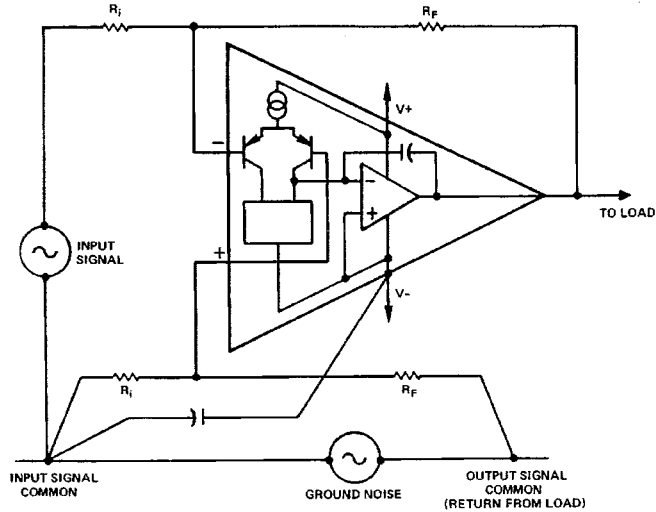
如图14a所示，如果用作减法器的运算放大器采用与输入信号相同的公共线路供电，或者旁路至该公共线路，则与之相关的所有高频信号将呈现为输出信号的一部分。如果地噪声包括相当一部分高频噪声(例如逻辑电流所产生的噪声)，则共模抑制将失去作用。

另一方面(图14b)，如果运算放大器电源引脚以输出信号公共地为基准，则不会有外来信号耦合至积分器。所有地噪声都呈现为共模输入信号，受放大器的共模抑制特性抑制(高频时，该特性一般远远优于负电源电压抑制)。

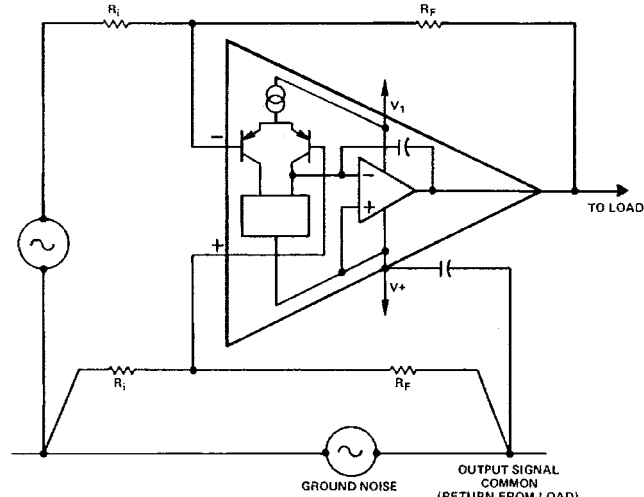
减法器的噪声抑制性能取决于精心匹配的源电阻与反馈电阻比，因此它不能用于所有情况。当无法控制源阻抗时，或者当源阻抗异常高时，减法器(或动态电桥)就变得不切实际。这种情况下，地噪声和其它远程接地困难常常可以通过使用仪表放大器来避免。

³ 尾注2中提到的参考资料相当详细地说明了大约32个器件系列的积分器参考和补偿方案。

诸如AD521之类的IC仪表放大器可以处理高阻抗差分输入信号，提供固定增益(可以选择该增益，而不用引入使输入电路与输出电路相结合的整体反馈)，并产生相对于参考引脚的输出电压，该电压可以连接到远程负载电路的输入公共地(图15)。



(a) 去耦至输入公共地将包括从负载到驱动输出端的积分器的路径中的地噪声



(b) 去耦至输出公共地可消除积分器参考路径中的地噪声。输出信号中的地噪声得以降至最小。

图14. 减法器的正确去耦和不当去耦；减法器使用运算放大器，其积分器以V-为基准。

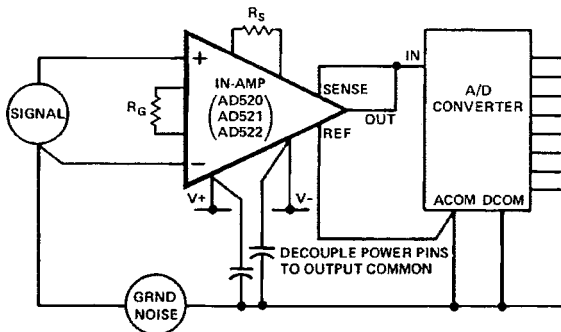


图15. 使用仪表放大器与单独的地系统接口

一些仪表放大器功能丰富，在隔离公共地返回路径的同时，还可以发挥其它作用。例如，可以使用输出参考引脚向输出端添加固定或可变的偏置电压。

如果共模电压非常大，或者电流隔离对于安全至关重要，则很可能需要使用286等隔离放大器(已在别处说明)，或者采用DC-DC转换器供电的放大器。

模数转换器(ADC)

许多模数转换器的输入阻抗会在转换过程中改变，并可能影响提供输入信号的放大器的性能。

例如在逐次逼近型转换器中，输入电流会与试用电流相比较(图16)。比较点受二极管箝位，但可能在正负数百毫伏范围内摆动，这就产生对输入电流的调制。利用环路增益可以人工降低反馈放大器的输出阻抗。高频时，增益较低，放大器输出阻抗提高至其开环值。由于存在限流电阻，多数IC放大器的开环输出阻抗最小值为25 Ω(但典型值为100-200 Ω)。

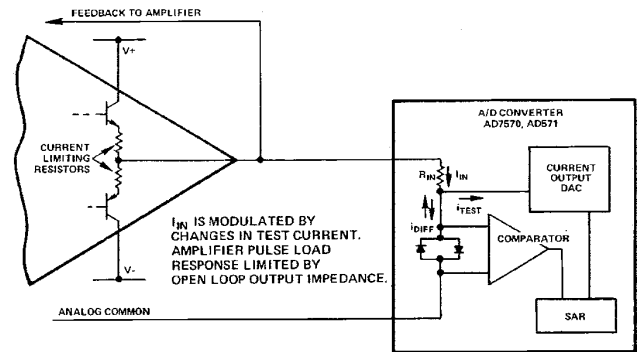


图16. 逐次逼近型ADC与作为输入信号源的运算放大器之间的关系

转换器负载变化所反映出来的电流即使只有数百毫安，也会在瞬时输入电压中引入误差。如果转换器速度很快且与放大器的带宽兼容，则输出可能会在转换器做出比较之前返回到标称电压，从而不会引入误差或误差极小。但是，许多精密放大器的带宽相对较窄，这意味着它们从输出瞬态恢复的速度非常慢。很显然，精密放大器更有可能用在高分辨率系统中，这些系统对小误差的容忍度更低。因此，放大器输出瞬态误差对快速、高分辨率系统可能会有很大影响。

有多种方法可以解决这一问题。最简单的方法可能是使用带片上缓冲器的ADC，例如AD572或大部分模块式模数转换器。另外，低输出阻抗采样保持器也可以用作缓冲器，同时提供采样功能。另一种解决方案是使用不含输出限流电阻的宽带运算放大器，如AD509等。最后，不难构建一个环内缓冲器，用来改善缓慢、精确放大器的输出。

图17显示了一个简单的单位增益缓冲器，它由一个NPN晶体管和一个PNP晶体管以混合方式连接而成。此缓冲器的输出阻抗在高频时仍然很低。选择互补-混合电路所用晶体管类型的经验法则是：输入器件(本例中为NPN)应为高频晶体管，输出器件(PNP)应为相对较慢的晶体管。

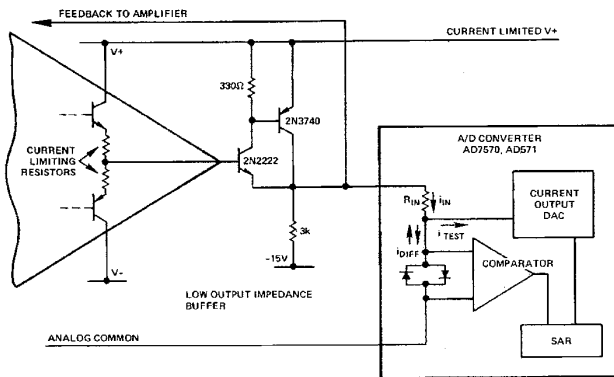


图17. 环内缓冲器为单极性ADC提供刚性驱动

由于该缓冲器不是电流限制型，因此PNP建议使用能够拉低200-300mA电流限制电源而不受损的小功耗器件。如果系统绝对安全，不会发生过载，则可以使用更小的PNP。该缓冲器旨在用于正单极性信号，3kΩ电阻可提供充足的偏置，使输出阻抗在整个有效范围内始终很低。

图18显示了一个更为复杂并受保护的缓冲器，它适用于双极性输入信号，可提供更佳的性能。AD580基准电压源可以用作恒流负载，使缓冲器在整个双极性范围内有效。此缓冲器还包括一个旁路电阻，用来限制可用的输出电流，而不会拉低电源总线。

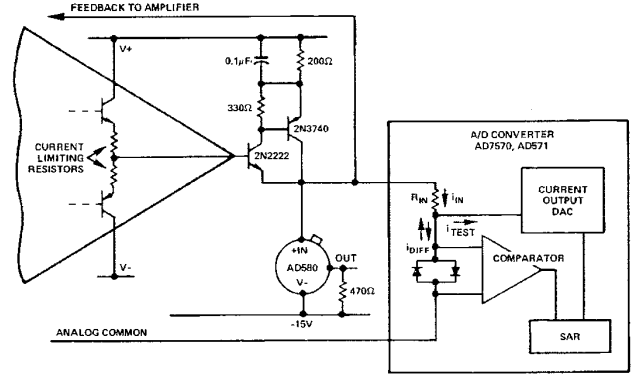


图18. 受保护缓冲器能够将双极性信号驱动至ADC

结束语

正如开篇所述，我们的目的是促使您意识到实施接口电路的一些模拟问题，帮助您着手考虑如何解决这些问题，并提供一些切实的构想(但不是现成解决方案)。我们希望这些内容有助于减少您的下一次系统设计过程中的困难。

注释