

## 放大直接数字频率合成的DAC选型器应用漫谈

作者: David Buchanan

### 简介

直接数字频率合成(DDS)是一种通过数字控制,将单一参考时钟频率合成模拟频率源的技术。该技术具有输出频率精度高、温度/时间稳定性好、宽带调谐、转换速度快、相位连续调频等优点。但是直接数字频率合成器容易受到数模转换器(DAC)性能的限制。本应用笔记介绍了DDS的基本架构、DDS系统设计优势,以及设计人员在DDS应用中选择DAC需要注意的一些性能特性。此外,本文还探讨了器件性能权衡和典型的DAC性能参数表征方法。

### DDS的背景知识

图1给出直接数字频率合成器的简化框图。该合成器有两路数字输入:频率控制字( $\Delta$  Phase)和参考时钟信号( $f_c$ )。合

成器的输出是频率为 $f_a$ 的模拟正弦波。 $f_c$ 和 $f_a$ 之间的关系可以通过以下公式表示:

$$f_a = \frac{\Delta PHASE}{2^N} f_c$$

其中: N表示频率控制字或相位的分辨率。

如图1所示,电路可简单分为三个模块:相位累加器、相位幅度表和数模转换器(DAC)。前两个模块均为数字电路。相位累加器是一个简单的加法器,具有可编程的步进相位 $\Delta$  Phase,表示每个时钟周期内输出波形的相位阶跃。在每个时钟周期内,相位累加器的输出结果代表输出正弦波的相位,全0表示弧度为0,全1表示弧度为 $2\pi$ 。此信号为数字斜坡信号,频率即等于输出正弦波频率。

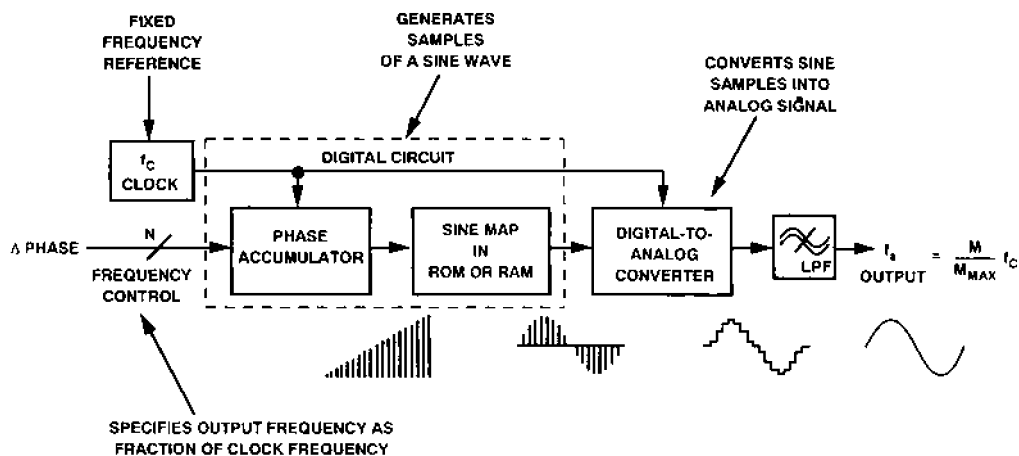


图1. DDS发生器的功能框图

相位至正弦转换器电路采用相位累加器输出的M位最高有效位，输出M-2位正弦幅度；M-2决定后续电路(通常是DAC)的分辨率。N-M个最低有效位通常被截断，以减小相位至正弦转换的复杂程度。该功能可通过存储器中的一个查找表完成，或者可以采用数字算法来计算正弦值，速度更快，所需电路更小。

相位累加器和相位至正弦转换器共同构成DDS系统的数字输出部分。数字输出非常有用，可作为很多应用的频率参考源(例如：数字解调)，但大多数应用需要将数字正弦波转换成模拟频率参考源。因此，数模转换器是否合适至关重要。

### DDS的性能特性

与锁相环等其他频率合成技术相比，DDS既有优势，也有不足。对于选择DDS架构作为合成器的一些折中考虑，本文不会详加探讨，在此仅对部分常见问题和重要特性略加说明。

DDS系统输出的频率参考源，是时钟输入频率的分频。通过微控制器或数字信号处理器来控制 $\Delta$  Phase，DDS可实现数字调谐。一旦数字控制字存入片上相位累加器，控制电路就可以执行系统中的其他任务。DDS数字化特性可以解决合成器设计中依赖模拟元件值决定频率的不便。

频率分辨率由N，即 $\Delta$  Phase分辨率决定：

$$\frac{1}{2^N} f_c$$

例如：如果DDS参考时钟频率 $f_c=20$  MHz， $N=32$ ，那么合成器的频率分辨率=4.66毫赫兹(mHz)。这一点比锁相环有优势，DDS参考频率直接决定频率分辨率，但必须足够高，以避免对更大倍频系数的需要。大多数DDS集成解决方案提供至少24位频率分辨率，部分甚至达到48位。很多相位累加器采用级联设计，以提高频率分辨率。

DDS不仅有高精度频率分辨率，合成的频率范围也非常宽。正如前文所述，合成器输出频率为参考时钟频率的分频。

最低输出频率为参考时钟频率的最小分频，或者说相位累加器的分辨率(见上文)。根据奈奎斯特定理，DAC最高能输出时钟频率一半的信号。因此，DDS输出信号频率上限由合成器的最大时钟频率决定，即 $f_{MAX} = (f_c/2)$ 。随着技术进步，DDS电路中的数字和DAC部分有效时钟频率都得到了提升。

### DDS技术的发展现状

和其他数字电路一样，相位累加器和相位至正弦转换器电路设计必须遵循成本和功耗优化原则。虽然数模转换器设计也有同样的问题，不过更需要注意的是DAC的动态性能。

目前有的CMOS数字器件能够为DDS解决方案提供最高100 MHz的时钟频率。部分双极性器件甚至达到了300 MHz，而GaAs器件时钟频率可达1.4 GHz。

目前DDS大多采用双极性DAC，采用GaAs器件的高频DAC设计并不多见。为了控制转换器成本，设计人员通常采用单芯片DAC设计。部分12位单芯片DAC的时钟频率可达100 MSPS (AD9713B)，而更高速应用中10位单芯片设计最高可达400 MSPS (AD9720)。超过400 MSPS的设计一般采用8位器件。对于DDS设计选型，DAC的分辨率和速度并不一定起决定作用，这一点在后文会进一步讨论。

### DDS的优点和缺点

虽然上述有效时钟频率表明DDS电路的输出频率完全满足UHF频段要求，但实际上DDS系统的输出频率范围还会受到DAC真实特性影响。这主要是因为高时钟频率下DAC的实际分辨率和性能(涉及功耗、成本、易用性)会受到限制。设计人员在设计具体系统时，可能会考虑利用DDS直接合成参考频率的优势，但对于所需时钟频率、功耗、成本和性能的权衡结果不理想，最终仍有可能放弃DDS。

混合设计通常也能充分利用DDS的优势。例如，使用混频器将DDS调制到中频，再通过第二频率参考源或PLL将信号转换至射频。

另外随着输出频率增加，每个正弦波周期内的采样点数量相应减少，使得DAC很难准确重现要输出的正弦波。模拟正弦波的精度通常由频谱纯度表示(见后文)。每种DDS系统应用都对频谱纯度有一定的限制。在许多应用中，DDS系统只在 $f_c/2$ 有效带宽的范围内满足频谱纯度要求，因此有效限制了合成器的频率范围。根据经验，输出频率应限制在时钟频率的1/4范围内，才能获得合理的频谱纯度。

图2显示了DDS的另一项特性：频率调谐速度。如果相位输入发生变化，相位累加器在下一个时钟周期将同步变化，输出新频率。数字电路使用的流水线延迟通常是影响频率切换速度的唯一原因。DDS中的频率转换还具有相位连续性。图2对比了具有瞬时连续相位频率切换功能的DDS和锁相环技术。PLL转换包括一定的频率转换时间( $t_{SETTUNG}$ ，一般为几毫秒)和频率过冲。相干模拟频率合成器(固定振荡器、混频器和滤波器)也有很快的切换速度，但是相位缺乏连续性，实现难度很大。

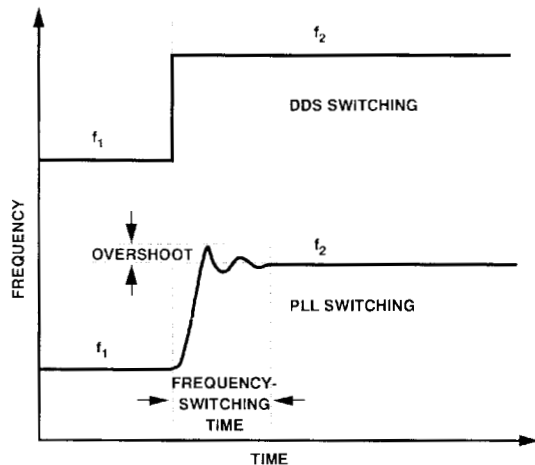


图2. DDS和PLL频率切换特性对比

DDS还具有相位噪声低，漂移小的优势。这些特性实际上来自DDS参考时钟 $f_c$ 。大多数DDS都采用固定晶体振荡器提供参考频率，因此无论相位噪声还是漂移特性表现都非常出色。

正如前文所述，就DDS性能而言，频谱纯度是很重要的，而频谱纯度则受DAC动态性能影响。理想状态下，合成器的输出频谱是一根单一频线。

由于DDS采用正弦波数字近似值输出，理论上输出频谱只有目标频率和均匀分布在于DC至 $f_c/2$ 范围内的恒定量化噪声 $q/(12)1/2$ (其中 $q$ 为一个最低有效位的权)。理想的频谱参见图3(忽略相位噪声)。和所有采样系统一样，输出频率的振幅响应加权计算公式如下：

$$A = \frac{\sin(\pi f_a/f_c)}{(\pi f_a/f_c)}$$

其中： $A$ 表示归一化输出振幅。

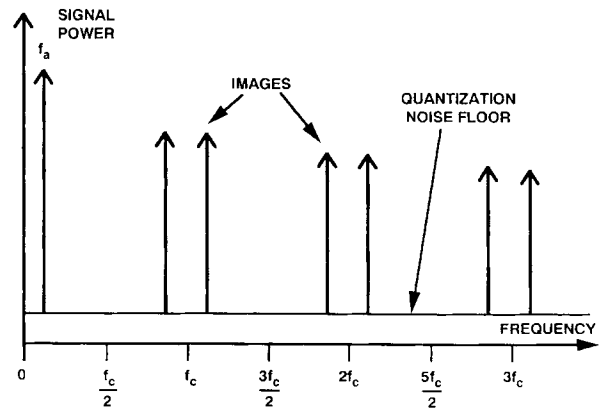


图3. DDS理想输出频谱

这种情况可以通过数字反 $\sin(x)/x$ 滤波器校正。在每个 $f_c$ 倍频周围会出现奈奎斯特带宽(dc至 $f_c/2$ )镜像，再次进行 $(\sin x)/x$ 函数加权。镜像一般通过DAC输出低通滤波器滤除。

图4给出了DDS真实的输出频谱，可以明显看出传递函数并不理想。数模转换期间生成了多余的信号成分。噪声分布不再均匀，出现了基频谐波和镜像以及其他没有明显谐波关系的频率。

很多应用都要求合成器在整个输出带宽范围内满足规定的无杂散动态范围(SFDR)要求。SFDR指目标信号功率和目标带宽中任何其他最差(最高)信号功率之间的差。这一概念可参见图4奈奎斯特带宽。有些SFDR定义不包括谐波，虽然目标频带内可能包含这些谐波。

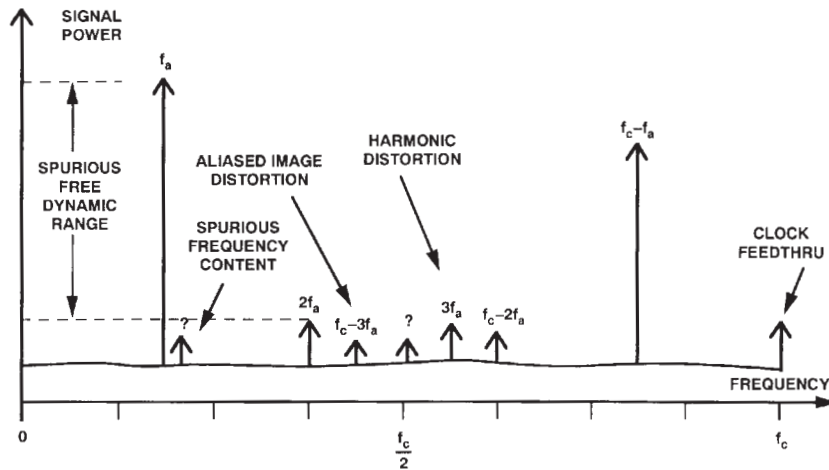


图4. DDS实际输出频谱

由于涉及多个变量，很难对直接数字频率合成器的SFDR进行明确界定。DAC分辨率、AC特性、时钟频率和电路布局都会对其产生影响。对于产生这些误差的DAC特性，我们会在后文详细讨论。即使DAC影响不变，要定义SFDR仍有可能出现问题。例如，图4定义了奈奎斯特带宽的SFDR；如果将目标频带限定在 $f_c/8$ 至 $f_c/4$ 范围内，SFDR将会改善。另外，各种实际应用对频谱纯度的要求也有很大差异。利用频率精度和稳定性选择通道的系统设计通常需要很高的SFDR，因而要求较小带宽；而利用数字接口设计中频调制器的系统对频谱要求不高，可以使用较大带宽。

正如下文对DAC的讨论指出，要安全定义频谱纯度的唯一方法是：每个DDS应用都要经过实验室验证和特性表征。不过，如果本应用笔记不能针对现有技术给出一些性能方面的具体数字，可能对读者不太公平。

对于时钟频率小于80 MHz，模拟带宽小于几MHz的应用，10至12位DAC的SFDR可以达到70 dB。采用更高时钟频率的设计只能使用8位DAC，SFDR一般不超过45 dB。参考这些数字时应注意，较宽的模拟带宽可能不适用。

合成器的调制能力也是一项重要指标，DDS具有多种调制功能。通过 $\Delta$  phase数据端口可以进行直接频率调制。实际

上，DDS之前的电路可能会用 $\Delta$  phase输入同步指定通道和频率调制(FM)。

图5是一个改良型的DDS功能框图，加入了波形相位调制(PM)和幅度调制(AM)数字控制电路。因此，用户可以利用高度集成的DDS进行三种数字调制。

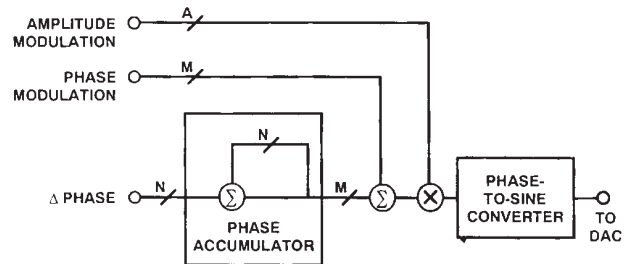


图5. 调制DDS

另外，通过调制DAC参考电压也能实现调幅功能。图6通过加入第二个DAC电路对DDS的DAC参考电压进行数字调制。在这种情况下，调幅数据需要及时偏斜，以匹配DDS系统中的数字部分的流水线延迟。很多DAC设计集成了电压参考源和参考放大器，但有足够乘法带宽的却不多。

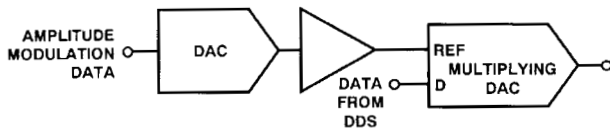


图6. 用乘法DAC进行调幅

到目前为止，我们讨论的DDS特性包括宽带、频率捷变、数字调谐、调制能力、连续相位频率转换、高动态范围、出色的相位噪声和稳定性。这些都是DDS独有特性，任何其他合成器架构都无法轻易实现。就价格和功耗而言，满足实际应用的器件上市也只有几年的时间。相信经过成本和性能优化，完善的数字解决方案和高性能DAC一定能使DDS走得更远。

当然，要充分利用这款多功能合成器，设计人员还必须综合考虑各种制约因素。高SFDR应用方案要采用高分辨率DAC、低时钟频率和较小的模拟带宽；而高速DDS解决方案可能会在成本和功耗方面受到限制。设计人员必须对其系统架构进行评估，确定DDS是否比传统频率合成技术更有优势，或者进行架构调整，利用DDS提高系统性能。DDS在高端军用雷达、高性能仪器仪表、数字通信链路、商用移动通信等多个领域有广泛的应用前景。

### DDS的DAC选型

由于DDS提供频率参考源，毫无疑问，其主要技术特性会对最终频域产生影响。虽然相位噪声和稳定性可能与频率参考源 $f_c$ 有直接关联，但要通过频率范围与SFDR技术指标来确定高速DAC是否适合具体的DDS仍有困难。高速DAC特性通常为时域定义。这主要是因为传统应用(视频、模数转换器构建模块、快速调谐电压参考源)主要关注的是

DAC时域特性。无论后端应用情况如何，这些技术指标都不会变化。

本文前几节介绍了DDS架构的高性能特性以及DDS在通信、仪器仪表和军用领域的发展前景。既然DDS有这么大的优势，DAC制造商当然不会错过，他们一定会专门设计开发出各种器件，解决DDS中DAC选型难题。从某种程度上说，这也是当前的DAC发展现状。

目前经过高度集成设计，能够优化波形合成的DAC(包括片上寄存器、参考电路和参考放大器)已经面市，并且制造商正在为直接数字频率合成器应用提供DAC技术支持。但是DAC选型并非如此简单。

产生这一问题主要有两个原因：第一个原因上文已经提过，即不同的DDS系统应用对动态性能要求各不相同。第二个原因涉及宽频范围中DAC性能的非连续性。正是这两个因素使得DAC选型特别困难。如果实际应用的频率范围较窄，DAC制造商可以忽略性能的不连续性，要提供合适的器件并不困难。

如果在某些可预知情况(例如使用放大器)下DAC性能会降低，制造商可以提供相关数据或一组性能曲线，帮助设计人员预测系统性能。事实上，DAC生产商在证明器件符合DDS应用要求方面做得不错，而且能够提供一些样本数据进行支持。

不过，由于高速DAC制造商通常无法提供足够器件选型信息，选择DDS中的数模转换器的工作仍需要系统设计人员完成。本文将在后面的章节重点介绍DAC的DC和时域特性，以及这些特性与频域的关系。可以肯定的是，这些技术特性无法提供预测频域性能的所有必要信息；因此，下文将对DDS应用中的DAC特性表征提出一些指导意见。

## DAC直流特性

图7是一个3位DAC的理想和实际传递函数示例。制造商一般通过失调、增益误差(相对于参考电压满量程)、微分非线性(DNL)、积分非线性(INL)等参数来大致描述DAC的传递函数。输出失调一般定义为传递曲线中的恒定直流偏移,因此对输出频域特性没有影响。增益指相对于参考电压的转换器满量程输出。增益误差通常控制在很小范围内,尽可能减少其对频域性能的影响。

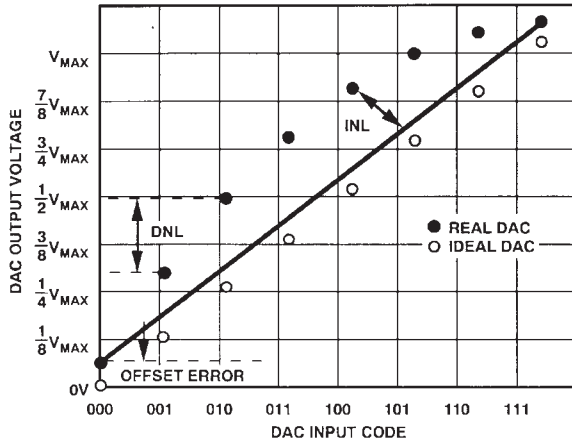


图7. DAC传递函数

研究频域性能主要考虑线性特性、微分非线性(DNL)和积分非线性(INL)。DNL通常指两个相邻码字跃迁点间的LSB实际步长与理想步长的最大误差,其结果可能是负值(小于1个LSB步长)或正值(大于1个LSB步长)。如果DAC的DNL < -1 LSB,则无法保证单调性。图7给出正负两种DNL误差,不过该器件具有单调性。

利用每个码字跃迁的DNL误差,通过复杂计算即可预测单个DAC传递函数的频域性能。计算过程包括对DDS数字部分建模,利用DDS建模数据作为DAC传递函数输入数据,对仿真DAC输出电平收集采样,最后通过傅里叶变换观察频域的性能。但是要得到最终结果需要对模拟输出频率的

每个时钟频率进行重复计算。虽然这种方法思路不错,但缺乏DAC选型的实际意义。

制造商通常会测量每个码字跃迁的DNL,但只标定最大误差。对于有些应用,例如模数转换器,这种做法已足够预测出DAC传递函数产生的误差。不过,对于频率合成应用却有一些问题值得探讨。例如,在所有其他条件相同的情况下,1/2 LSB DNL误差的DAC频域性能会超过1 LSB误差的DAC频域性能吗?

答案并不肯定。理论上,生成满量程正弦波的理想DAC在整个奈奎斯特带宽范围内的均方根信噪比是 $6.02N - 1.76$  dB<sup>1</sup> [忽略(sine x)/x滚降<sup>2</sup>, N表示DAC的分辨率]。也就是说理想的12位DAC信噪比可以达到70.48 dB。测量DNL误差可以预测SNR的最大降幅;例如,如果12位DAC的DNL误差为1 LSB(其他量化电平全部丢失),则其信噪比最小,为64.46 [6.02 x (11) - 1.76] dB(条件是DNL是唯一的非线性误差)。

但是,SNR降低却无法预测整个奈奎斯特带宽内的失真分布情况。如果DNL误差使其他噪声均匀分布在奈奎斯特带宽范围内,可以不考虑这些误差带来的影响。但是,如果DNL误差使噪声集中在单一频率中(通常为谐波),则可能影响SFDR。

再回到开始的例子,如果1/2 LSB器件的最大DNL误差在其码字跃迁中所占比重很大,而1 LSB器件只有单一码字跃迁存在,那么1 LSB器件会有更好的频域特性。从这个例子可以看出,如果不能正确理解DNL参数,很容易产生问题。

INL表示DAC实际输出与理想传递函数直线之间的最大差异。这条理想直线可以估算出直流误差(增益和失调),但这些参数并不在影响频域考虑范围内。在图7中,直线由两个端点确定。有些器件的INL特性通过转换器码字跃迁的“最佳拟合”直线来测量。和DNL技术参数一样,INL也是测量最大误差。但并未指明有多少DAC编码达到这样的偏差,也未说明背离最佳直线的方向。

通过图8可以看出INL容易误解的情况。图中每根曲线都代表了一个传递函数，采用相同的INL测量方法，对频域影响的结果却截然不同。例如，“弓形”INL曲线的传递函数是明显的二次谐波失真，而对称的“S形”曲线导致三次谐波失真。

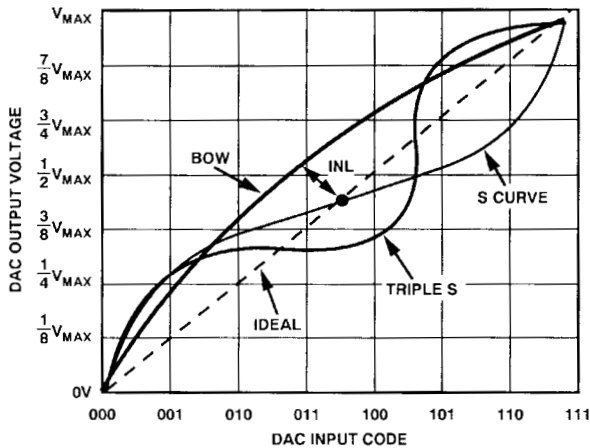


图8. INL曲线(全部1 LSB)

大多数推荐用于频率合成的IC DAC设计具有几种可预测的线性模式，通过架构权衡和工艺参数匹配产生DNL和INL误差。这种模式确定DNL和INL影响信号整体频率成分的方式。由于任何两个DAC设计的线性模式都不相同，因此无法通过对比线性特性来比较他们的频域性能。

由于DNL和INL误差可能不会影响DAC的交流特性(毛刺、压摆率等)，具体的DAC的频域性能可以通过线性度进行表征描述。表征包括选择能够有效描述DNL和INL特性的单位，以及与线性较差的器件对比频域性能。通过这种方法可以帮助设计人员确定具体的DAC是否需要更高等级的线性度，以提高合成器的性能。

### DAC交流时域特性

DAC交流时域特性与码到码的转换有关，如图9所示。每种特性对频域产生的影响很难预测，而要预测这些特性对频域产生的综合影响基本上不可能实现。

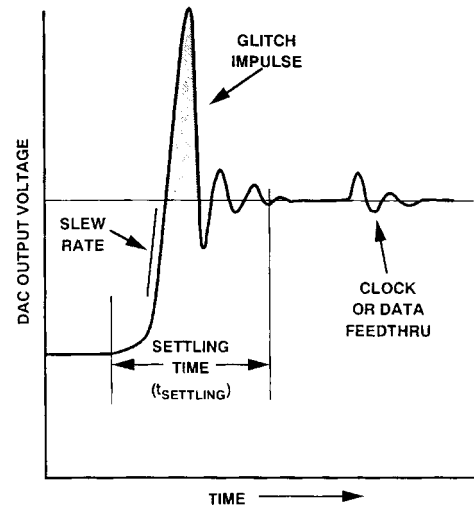


图9. DAC转换

尽管如此，我们仍有机会考察单个非线性特性产生的影响，以及如何在最终应用中尽量减少这些影响。

由于存在毛刺脉冲和建立时间(详见后文)影响，DAC输出电压摆率对其频域性能的影响不仅仅是线性应用这么简单。通常，高压摆率DAC输出转换要比低压摆率器件更接近理想状态。设计人员应认真考虑上升和下降压摆率的差异，以防能量集中在基波输出频率的谐波中。

毛刺脉冲通常被视为DDS应用中的一项关键品质因数，是衡量DAC两个输出电平间初始瞬态响应(过冲)的指标。毛刺脉冲一般用于测量瞬变，DDS常用器件的毛刺脉冲范围为15至100 pV-s。这种瞬变通常与数据位转换中的时间偏斜有关，或者是内部逻辑传播延迟不一致造成的。无论哪种情况，时间偏斜都会造成DAC输出趋近中间状态，有可能对输出频谱增加额外能量。

DAC架构对毛刺脉冲幅度影响很大。采用片上寄存器进行数据去偏斜和传播延迟匹配的架构，利用主要数据位分段，可以获得最低的毛刺脉冲。图9所示毛刺为峰值毛刺。设计人员需要注意，并不是所有制造商都以相同的方式定义毛刺脉冲，直接对比技术参数很容易出错。

在能最大程度控制毛刺脉冲和其他DAC非线性特性的单芯片器件出现以前，业界一般采用采样保持放大器(T/H)“去除”混合转换器输出毛刺。这种方法在DAC跃迁到新值期间使T/H以“保持”模式运行。当转换器输出获得最终值时，T/H返回“采样”模式；T/H跃迁到新DAC输出值的非线性度成为影响AC性能的因素。

T/H技术是一种出色的混合技术，这种技术要提高性能成本很高。虽然利用T/H跃迁特性可以去毛刺，改善DAC性能，但实际上器件整体性能仍会下降，这主要因为压摆率和绝对精度等其他性能特性带来的影响。最新的单芯片T/H产品，例如AD9101 125 MSPS采样放大器的整体AC性能得到提升，成本增加也相对合理。

经过初始瞬变后，DAC输出建立最终值。建立时间通常指从数字输入转换开始，到DAC在某一误差带(通常为1/2或1 LSB)内建立最终输出值的这段时间。许多制造商都认为建立时间不应该包括转换器的数字传播。真正的建立时间应该是从DAC输出离开以初始值为中心的误差带到输出停留在以最终值为中心误差带之间的时间间隔。后一种定义更准确地描述了码字跃迁的真实特性。

DAC输出的压摆率、毛刺脉冲和建立时间特性都取决于输出负载电路。分布容性负载通常会增大所有这些特性。大多数高速DAC都是电流输出器件，需要外部负载电阻产生输出参考电压。最终DDS电路设计应特别注意DAC负载，信号走线应尽可能短，和/或采用阻抗匹配技术。

时钟馈通或DAC数据转换输出也会增加DDS输出频谱的频率成分。这些影响通常与测试电路布局有关，通过合理的电路设计可以最大程度上予以改善。很多DAC制造商建议在输入数据连接部分增加串联电阻以减少数据馈通。串联电阻与DAC输入电容形成低通滤波器，可以改变器件的建立和保持时间特性。一般不建议在时钟连接中采用这种方法，以免增加抖动(相位噪声)。

理论上无法用交流时域特性确定DAC的频域性能，也不推荐这么做。关于交流非线性可以进行简单的观察：随着DDS系统时钟或模拟输出频率增加，每个时钟周期内这些非线性特性比例会增大。因此，高频条件下DAC的杂散频率成分会降低。很多DDS设计在低于DAC最大时钟频率运行时可以优化性能，通过模拟技术(混频器)输出高频。

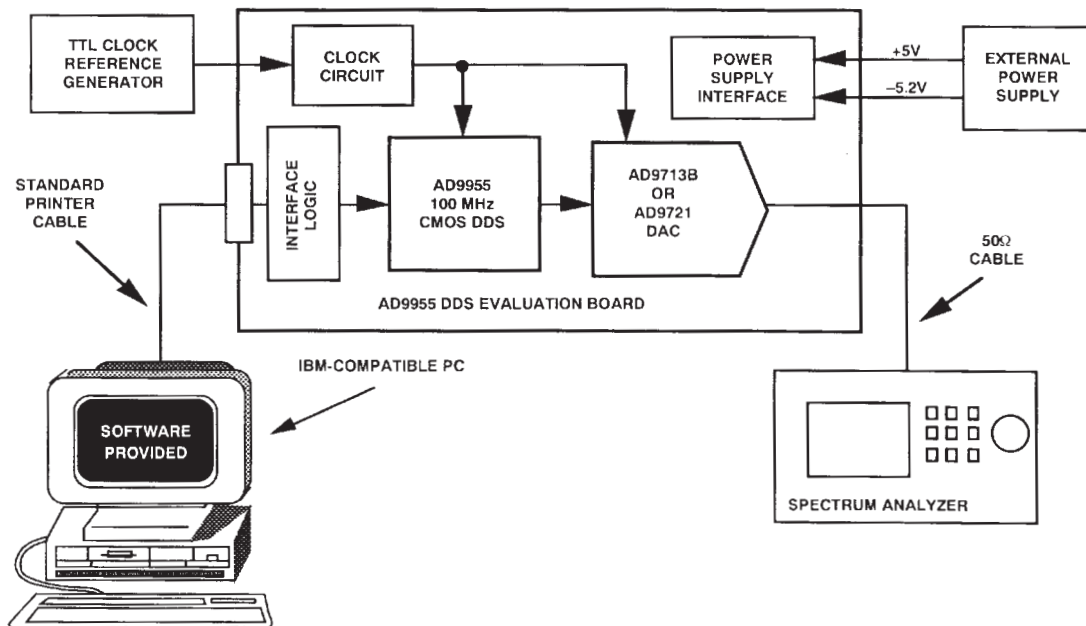


图10. AD9955/PCB DDS评估板设置



不过，降低高时钟频率并不是影响输出频谱纯度的主要因素。事实上，对于任何给定目标带宽，当时钟频率和模拟频率比发生变化时，频域性能也会发生变化。在混叠频率 $Af_a \pm Bf_c$ (A和B是整数)条件下，输出频谱中会出现杂散失真。当时钟频率接近基波输出频率整数倍，这些混叠频率成分影响通常集中在基波频率附近。设计较宽的模拟输出带宽时，即使时钟频率较低也很难避免这种影响；而窄带应用输出频率各段都可能特别“干净”，能够有效利用高时钟频率的优势。这就需要DAC目标带宽进行认真分类。

虽然DAC的交流特性无法准确预测输出频谱纯度，但是在设计DDS应用时仍能利用这些特性作为DAC选型参考。选择DAC时应优先考虑具有高压摆率、低毛刺、低馈通和快速建立时间的器件。一旦决定进行器件特性表征，还能利用这些时域参数确认DAC是否能经过测试。图10为测试过程框图。

在条件允许的情况下，尽可能采用线性(非开关)电源，在电路中增加适当的滤波设计，最大程度降低噪声。为了便于评估，应使用DAC制造商推荐的独立数字和模拟电源。一旦表征完成，设计人员就能了解如何利用组合数字和模拟电源影响DDS的频谱纯度。

外部控制电路应能完全访问所有数字电路。当然如果最终应用不涉及所有特性时，这样要求可能不尽合理，不过这样做可以简化特性表征过程，而测试设置还能用于今后的设计阶段。在表征过程中，时钟分配一般由专用仪器实现，提供一个较宽的参考频率范围。时钟分配电路作为输入参考源的缓冲，在DDS数字电路和DAC之间建立合理的时序。这里最重要的特性是DAC输入数据建立和保持时间。即使建立和保持时间出现很小的偏差，也会增大毛刺脉冲(锁存器透明)或者采集到错误数据(锁存器边沿触发)。

完成测试设置设计后，必须验证其功能。利用相对较低的时钟频率很容易验证。主要功能测试内容包括：电源电平和稳定性检查(电路中多点)、DDS数字部分运行情况、DAC参考电路的稳定性和DAC接口的时序关系。应分析时钟域中的DAC输出，确认DAC满足数据手册中的规定交流特性。如果两者相差较大，必须予以解决。

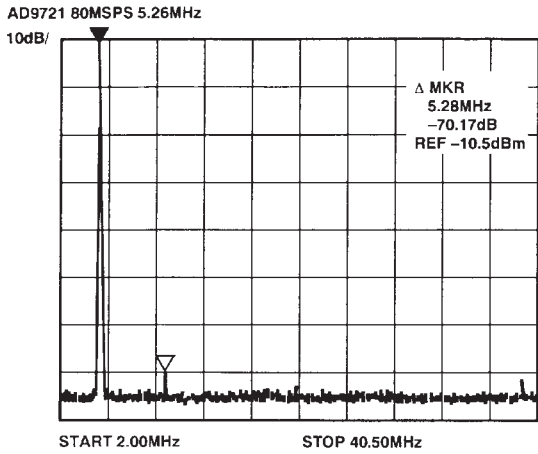
确认电路功能无误后，即可进行DAC频域性能表征。有两种方法可以使用：常规表征，或者通过具体应用进行专门表征。

对于常规表征，建议采用条件矩阵。查阅数据手册可以找到最大可用时钟频率。转换器应在整个频率范围内采用不同的时钟频率进行测试。例如：标定为50 MSPS 转换器的DAC可以2、5、10、20、35和50 MSPS的时钟频率进行测试。在每种时钟频率下，使用频谱分析仪表征输出SFDR(按几种不同时钟频率和模拟输出频率比进行表征)。

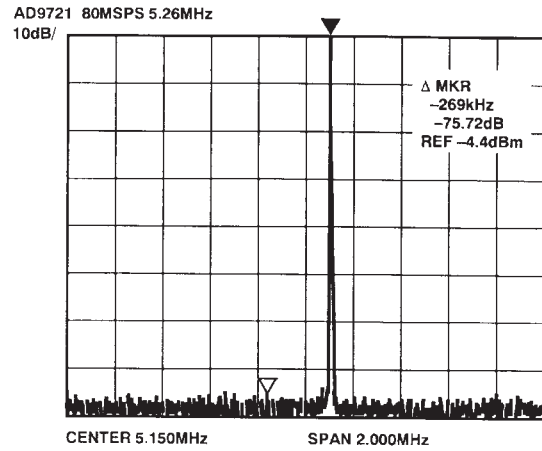
要确定这些频率比目前尚无统一的认识，不过以下几种选择具有一定典型性：

1.  $<1/10 f_c$ 的频率比，用于确定给定时钟频率条件下的DAC性能；
2.  $1/3 f_c \pm \Delta f$ 和 $1/4 f_c \pm \Delta f$ 用于分析混叠频率下的杂散频率能量水平。

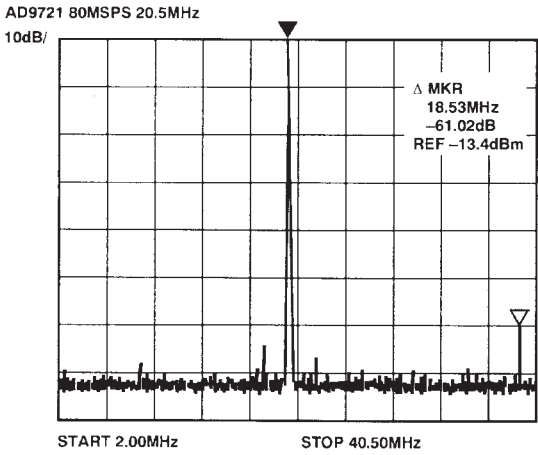
对于这三种模拟选择中的任意一种，均可将频谱特性表征分为两部分：第一部分考虑整个奈奎斯特频带范围或合理频率范围内的器件性能。第二部分考虑以基波为中心的窄带范围，检查非可滤波的杂散失真。由于宽带和分析仪高动态范围扫描需要大量时间，因此表征过程非常耗时。图11给出了AD9721原型和10位100 MSPS TTL转换器采样数据表征的示例。



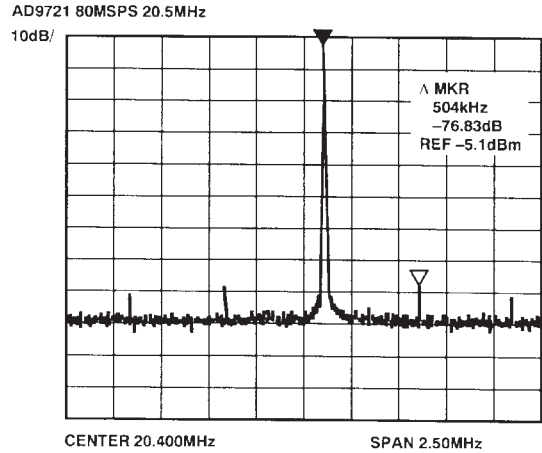
a.



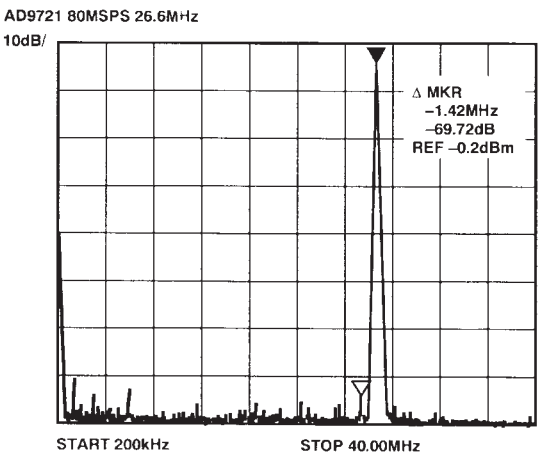
d.



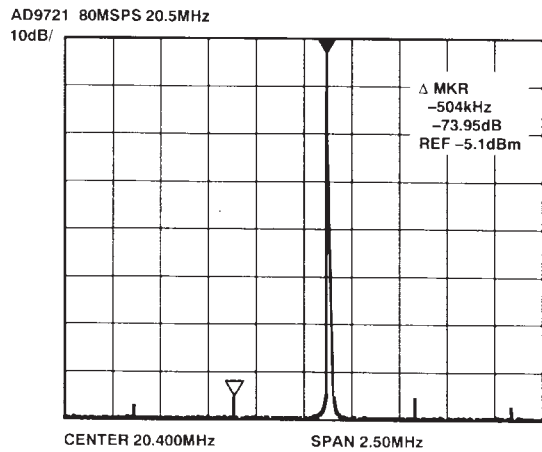
b.



e.



c.



f.

图11. DAC特性曲线图

一旦完成常规表征，即可获得部分DAC特性结果。例如，最差情况：器件在整个试验矩阵中表现的性能非常差，不适合做进一步研究或应用；好的结果可能是器件在目标应用中具有足够的SFDR。

如果是后者，可以进一步针对具体应用进行表征。可以采用频率规划使DAC生成系统使用的中频带。DAC表征主要关注如何在该频带中确定时钟频率，获得最佳器件性能。

## 结论

本应用笔记探讨了DDS架构和优势，指出DDS性能会受到DAC模块影响。通过讨论可以得出一个明确的结论：利用线性度、毛刺脉冲、压摆率和建立时间等器件特性无法准确预测频域性能。另外，要表征转换器在时钟和模拟频率下的无杂散动态范围需要进行测试。最后，本文还提出了一种表征DAC特性的方法。

## 参考文献

1. Seminar Notes: "Fundamentals of Frequency Synthesizer Design," Instructor: Fred Studenberg. Nov. 6-8, 1990, University of Maryland Center for Professional Development.
2. W. R. Bennett, "Spectra of Quantized Signals." *BSTJ* 27, pp 446-472, July, 1948.

