

## Flash型ADC测试指南

### 第一部分

## Flash型ADC是高速转换的基础

作者: Walt Kester

为了利用Flash型ADC的高采样速率构建高性能电路，需要了解这种转换器的许多奥妙之处。本系列文章分为三部分，第一部分讨论Flash型ADC设计易犯的错误，如何评估数据手册的某些性能指标，以及如何选择与所用特定转换器配套的外部器件。第二部分和第三部分讨论用来在系统中验证转换器性能的测试与测量方法。

要对带宽超过1 MHz的模拟信号进行数字化转换，很可能需要使用Flash型ADC。由于近年来VLSI工艺技术和设计技巧的进步，现在市面上出现了许多4到10位分辨率的Flash型转换器。然而，要在这些转换器提供的高采样速率下成功发挥其效用，必须考虑并补偿Flash型转换器的多种特性。

大多数Flash型转换器的基本特性如图1所示。Flash型ADC将一个模拟输入信号同时应用到 $2^N-1$ 个锁存比较器，N为转换器的输出位数。一个电阻分压器产生各比较器的基准电压，并将各基准电平设置为比下方相邻比较器的基准电平高1 LSB。基准电压低于输入信号电平的比较器产生逻辑1，基准电压高于输入信号电平的比较器产生逻辑0。第二逻辑级对 $2^N-1$ 次比较所产生的温度计代码进行解码。一个可选的输出寄存器将解码级的数字输出锁存一个时钟周期。

### 时序最重要

使用Flash型转换器时，用户首先遇到的困难之一是从转换器中移出有效数据。实际应用中，比较器库有两种状态，这些状态由转换命令信号控制。不同转换器对该命令有不同的称呼，如转换、编码或简单地称之为时钟命令等。当此信号处于转换命令状态时，比较器跟踪模拟输入信号，在此期间的输出数据无效。当命令线改变状态时，它会锁存比较器输出。此时，有效输出数据就可以传输到外部寄存器。您会发现，多数Flash型转换器对该命令脉冲的占空比和频率比较敏感。换言之，转换器的性能，具体而言是微分和积分非线性性能，与时钟的占空比和频率相关。当器件的采样速率等于或接近其最大采样速率时，性能下降尤其严重。

由于近年来VLSI工艺和设计技术的进步，市面上出现了许多4到10位分辨率的Flash型转换器。

如何处理二进制输出取决于转换器是否内置输出锁存器。如果没有锁存器，则在与采样时钟脉冲宽度相等的时间内，数据无效。在高采样速率下，数据无效时间会挤压数据有效时间，使得用户难以将Flash型转换器的输出选通到外部寄存器。例如，如果Flash型转换器以100MSPS的采样速率工作，采样时钟占空比为50%，则输出数据的有效时间仅有5 ns。考虑到输出二进制位的有限上升和下降时间，如此短的时间不会留给您多少裕量，即便使用最快的外部逻辑也可能无济于事。事实上，最终可能会丢失数据。而如果增加内部输出锁存器，就可以简化输出数据的定时，因为输出数据在大约整个时钟周期内都有效。由于数据有效时间延长，您将不得不接受固有的1周期或更长的流水线延迟，但这在多数系统应用中是可以接受的折中方案。

最好在Flash型转换器之后放置一个适当的缓冲寄存器。如果通过一个卡片边沿连接器将转换器的数字输出直接送到背板数据总线，则数字输出信号与模拟输入之间的信号耦合会降低信噪比和谐波性能。

在许多高速数据采集应用中，需要使用较大且快速的缓冲存储器来存储输出数据。500MSPS转换器可以在2 ms内填满1MB的存储器。为了降低对存储器的速度要求，从而降低其成本，可以多路分用高速数据流(图2)，将其速度降低到与高性价比CMOS RAM兼容的频率。图2的电路为两个输出寄存器提供频率为采样速率一半的时钟，并且将数据锁存在彼此180度反相的各寄存器中。某些工作速度超过200 MHz的Flash型转换器采用片上集成多路分用电路，使处理更加方便。

## 闪光的不一定是金子

上面讨论的时序困难与如何处理转换器的输出数据有关，但Flash型转换器也可能存在内部问题。低输入频率可能引起比较器亚稳态问题，高输入频率则可能导致压摆率和延迟不匹配问题，进而产生误差。如果Flash型转换器设计不佳，所有这些误差都可能表现为闪码。

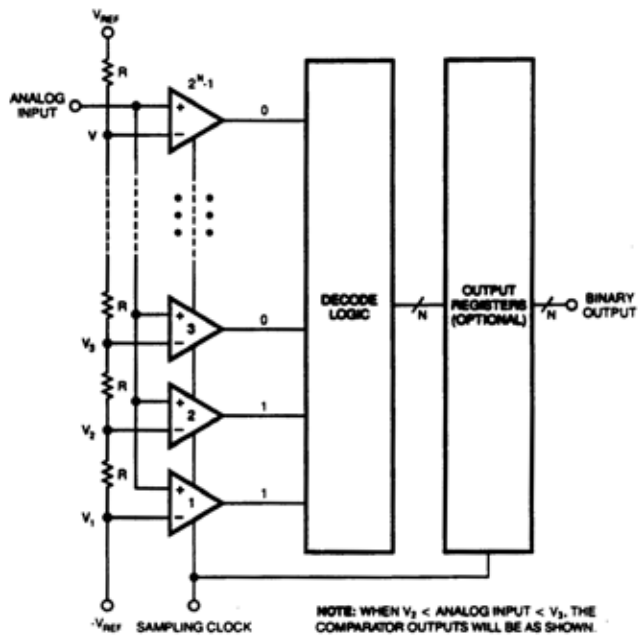


图1—Flash型转换器内置 $2^N-1$ 个比较器， $N$ 为输出位数。

解码逻辑将比较器输出转化为适当的 $N$ 位结果。转换器的时序和输入特性，如不一致的比较器延迟、不匹配的梯形电阻和非线性输入电容等，仅仅是转换器众多误差源中的几个例子。

闪码是随机误差，其幅度可能接近转换器的满量程范围。该术语指的是当ADC输出驱动视频显示器时，在灰色背景中出现的白点或“雪花”。闪码有两个来源：比较器亚稳态和温度计代码气泡。

比较器亚稳态现象是指比较器输出落在数字解码逻辑的逻辑0与逻辑1阈值之间。如果该阈值不确定区域的宽度为 $\Delta V_L$ ，并且比较器的增益为A，则误差概率 $P_m$ 是一个均匀分布的值，它等于：

$$P_m = \frac{\Delta V_L}{Aq}$$

其中，q为LSB的权重。

Flash型转换器中的锁存比较器具有再生增益：当 $t > 0$ 时，

$$A = A_0 e^{t/\tau}$$

当 $t \leq 0$ 时，

$$A = A_0$$

其中， $\tau$ 为再生时间常数，t为应用锁存命令后的时间。驱动解码逻辑的再生比较器库的亚稳态概率 $P_m$ 为：

$$P_m = \frac{\Delta V_L}{A_0 q} e^{-t/\tau}$$

闪码的幅度取决于亚稳态比较器在比较器库中的位置和逻辑解码方案。例如，对于一个采用直接二进制解码逻辑的8位Flash型转换器，第128个比较器决定其MSB。如果该比较器的输出处于亚稳态，则解码逻辑可能会将正确二进制表示为01111111的输入电压错误地转换为11111111，从而产生满量程误差。如果比较器库的温度计代码输出首先被解码为格雷码，锁存后再被转换为二进制代码，则无论哪一个比较器出错，亚稳态误差都被降低到1 LSB。然而，Flash型转换器很少使用这种方案，因为格雷转二进制电路

需要纹波通过时间，并且会提高逻辑密度。转换器设计人员常常使用“伪格雷”解码技术来消除与传统格雷转二进制电路相关的延迟时间。

注意，亚稳态误差的概率随着锁存后时间t的缩短而提高（假设 $\tau$ 为恒定值）这意味着，当采样速率提高时，t必然相应地缩短，因而Flash型转换器更易于产生亚稳态误差。大多数制造商通过最小化再生时间常数 $\tau$ 来减少比较器亚稳态。再生时间常数越低，则功耗越高，这是许多高速Flash型转换器耗电量大的原因之一。

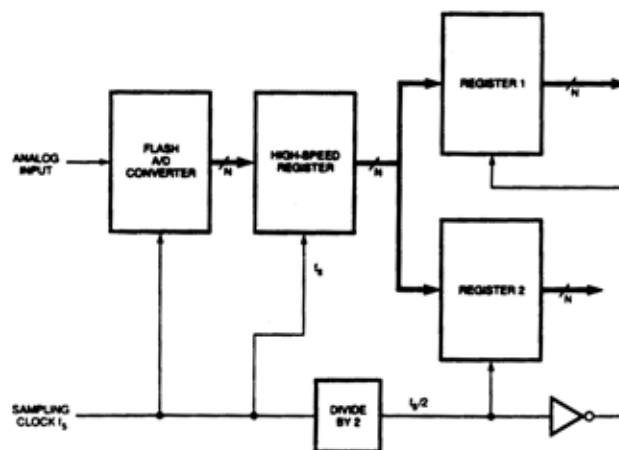


图2—Flash型转换器能以极高的采样速率工作，输出寄存器必须能够处理如此快速的数据。通过解复用转换器的输出，可以将数据速度降低到与标准CMOS存储器兼容的速率。

使用Flash型转换器时，用户首先遇到的困难之一是从转换器中移出有效数据。

温度计代码气泡是闪码的另一个潜在来源。在转换器输入范围中的某一点及以下时，行为正常的Flash型转换器的比较器库会产生特定的1序列；当超过该点时，它产生一个0序列。然后，解码逻辑将一个二进制数指定给温度计代码。对于低频输入，大多数Flash型转换器的比较器库表现正常。然而，在高速工作时，比较器之间的延迟不匹配可能会在温度计代码中产生失序的1和0。然后，解码逻辑将错误的二进制代码指定给这些失序点或气泡，这也会引起闪码。同样，适当的比较器设计以及ADC本身采用更复杂的解码逻辑电路，可以将这些误差降低到合理的水平。

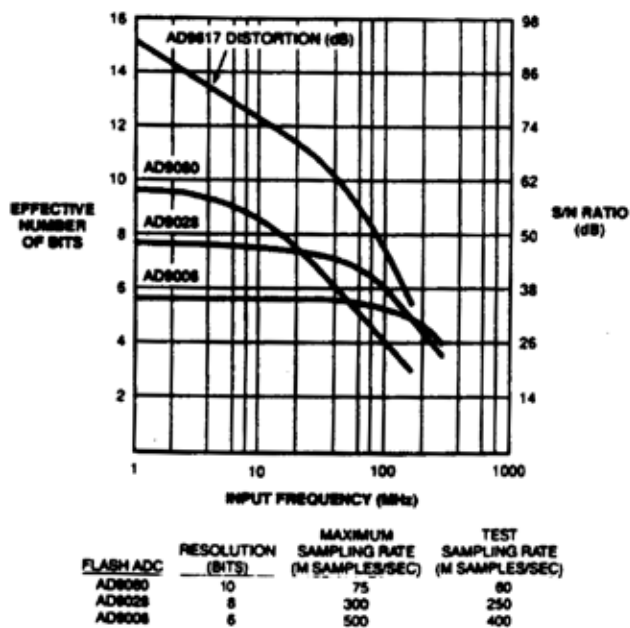


图3—理论上，Flash型转换器在整个奈奎斯特带宽内应保持性能不变。但正如这幅图中的曲线所示，在远低于各器件的最大采样速率处，信噪比就开始降低。(注意，这些曲线基于测试采样速率，通常低于各器件的最大可能速率)

随着输入压摆率提高，这些比较器时序误差会同时降低Flash型ADC的微分和积分线性度。除了失码和闪码等静态误差以外，压摆率限制也会通过动态误差表现出来，如谐波失真提高和信噪比下降等。理想情况下，Flash型转换器的静态性能指标在整个奈奎斯特带宽内应保持不变，某些应用甚至要求在奈奎斯特带宽以外提供全部性能。N位ADC的理论均方根信噪比(SNR)由大家熟知的以下公式给出：

$$\text{SNR} = 6.02N + 1.76 \text{ dB}$$

然而，实际Flash型转换器的SNR与输入频率的典型关系曲线(图3)显示：SNR随着输入频率提高而降低，这种性能下降早在远低于转换器最大采样速率的频率处就已开始。图3的左边垂直轴以另一种形式显示SNR：有效位数。有效位数就是利用特定的SNR值求解以上公式得到的N值。对于高压摆率输入，孔径抖动(样本间的有效采样时刻偏差)也可能引起整体SNR降低。抖动可以来自转换器的内部或外部，第三部分将详细讨论这一话题。为将外部产生的抖动分量降至最小，务必采用正确的接地、电源去耦和PCB布局布线技术。

### 小心数据手册中的危险区域

上面讨论的大部分时序困难和误差源都是所有Flash型转换器共有的。然而，每种转换器都有自己独特的设计和特性，因此需要仔细审查数据手册。不要受骗而相信采样速率与输入带宽可以互换，实际上它们是两个不同的特性。规定ADC的输入带宽是近来才有的事。即便现在，业界也没有关于Flash型转换器的全功率带宽特性的公认定义。设计师应详细审查数据手册，弄清制造商的定义和测试方法。传统运算放大器的全功率带宽是指放大器能够以额定失真水平产生额定峰峰值输出电压的最大频率。还有一种常用的定义是将放大器的压摆率除以 $2\pi V_0$ 来计算全功率带宽，其中放大器的输出电压范围为 $\pm V_0$ 。

如果将传统的模拟带宽定义应用于Flash型转换器，结果可能会引起误解。前面讨论的动态误差源可能早在比较器前端接近其最大带宽之前就已成为主要误差源。如果使用全功率带宽的常见定义，即满量程输入下峰峰值重构正弦波输出降低3 dB的频率，那么在该输入频率下的有效位数(信噪比)可能会使Flash型转换器在系统中毫无用处。因此，为了真正了解转换器的性能，全功率带宽和特定采样速率时的有效位数(信噪比)均必须考虑。

用户有时还会遇到全功率带宽的另一个定义，即特定采样速率时无失码情况下的最大满量程输入信号。使用该定义得到的是最悲观的结果，因此基于这种定义的性能指标仅出现在很少的数据手册上。下面是最近提出的全功率带宽定义(感谢ADI公司资深科学家Chris Manglesdorf)：重构FFT输出的基波分量(谐波除外)从满量程降低3 dB时的频率。

当您自认为已掌握Flash型ADC的奥妙时，却发现还有一个地方需要担心：输入缓冲放大器。幸运的是(从另外的角度看，也可能是不幸)，Flash型转换器——而非放大器——通常会限制转换器的动态性能。Flash型转换器通常对来自50/75/93  $\Omega$  双极性或单极性源的信号进行数字化转换。如

果Flash型转换器的输入范围不兼容该信号，则显然需要利用一个宽带运算放大器来产生所需的增益和偏移(图4)。此外，某些Flash型转换器的输入电容可能随着模拟输入信号幅度的变化而变化，因此，为使非线性电容不在数字信号中产生干扰谐波，必须使用缓冲放大器予以隔离。对于某些Flash型转换器，输入电容非常高，以至于必须使用缓冲放大器来保护信号带宽。

对于该缓冲器，高速跨阻放大器是很好的选择。这种放大器在非常宽的输入频率范围内具有高带宽和平坦的频率响应性能。此外，许多跨阻放大器的失真极低。根据转换器选择合适的放大器十分重要。例如，图3显示了多种转换器的信噪比和AD9617的谐波失真，由于放大器的THD优于转换器的信噪比，因此在大部分可用带宽内，放大器不会导致转换器的性能下降。

驱动Flash型转换器的输入时，需要考虑的另一个因素是输入信号的极性。正输入信号使基底二极管发生正偏，可能会损害具有单极性负输入电压范围的转换器。安装一个外部肖特基二极管可提供有效的保护。

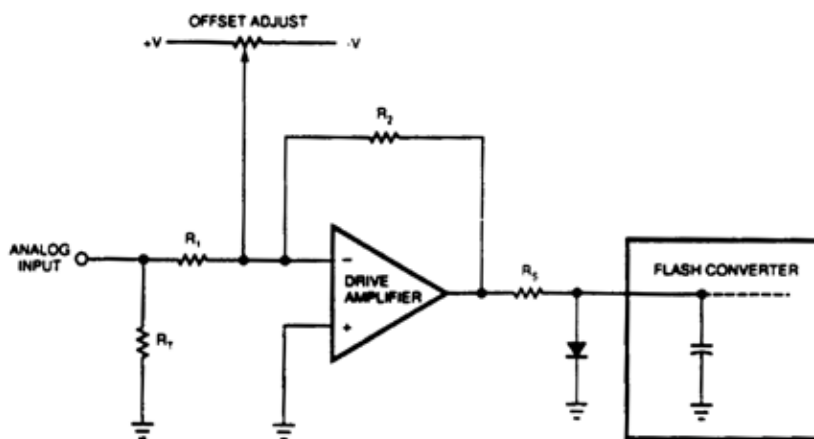


图4—如果模拟信号的电压范围与ADC的输入范围不兼容，就必须利用R1和R2调整增益，同时还要调整输入信号的偏移。Flash型转换器的输入电容值相当大，并且往往具有非线性特性，因而必须选择合适的驱动放大器以及RS值。

理想情况下，Flash型转换器的静态性能指标在整个奈奎斯特带宽内应保持不变，但实际的ADC与理想情况相差甚远。

Flash型转换器的输入电容与驱动放大器的隔离电阻RS形成一个低通滤波器。典型的10 Ω串联电阻和20 pF输入电容构成一个带宽为800 MHz的单极点低通滤波器。然而，在超出转换器的输入范围内，如果输入电容从20 pF变为15 pF，则对于50 MHz输入信号，将出现1.4%的衰减误差。该1.4%非线性度将产生37 dBc的谐波(单位dBc表示要测量的信号相对于载波频率的dB数)。如果将RS的值降至最低，同时仍然保持运放稳定性，则可以减小低通滤波效应引起的衰减误差。数据手册中鲜有说明输入电容与信号的相关性，但随着转换器的带宽越来越高，预计将有更多数据手册会给出这一参数。

Flash型转换器很少内置基准电压源，因此除外部驱动放大器以外，还必须自行设计基准电压发生器。图5显示了一个用于Flash型转换器的典型-2V单极性基准电压电路。之所以需要缓冲电阻，是因为转换器梯形电阻串的阻值一般相当低。Flash型转换器的参考梯形电阻总阻值主要取决于制造工艺，可能因器件不同而相差很大。此外，梯形电阻

阻值可能具有较大的温度系数。

如果Flash型转换器支持双极性运作，则必须产生两个基准电压。图6所示电路能够非常灵活地设置双极性Flash型转换器的增益和偏移，并且它采用±5V电源供电。某些Flash型转换器提供基准电压检测引脚，使用该引脚可以补偿封装引脚和焊线电阻导致的压降，如图6中的双极性基准电压电路所示。此外，某些ADC允许使用内部参考梯形电阻串的一个或多个抽头。为了实现更好的积分线性度，可以从低阻抗源驱动这些抽头。

### 利用采样保持放大器提高动态性能

如上文所述，锁存比较器之间的有效采样时间延迟偏差会降低信噪比和谐波性能。可以将各比较器想象为在一个阵列之内，可变的延迟线与其锁存选通输入串联。要了解这种延迟对性能的影响，考虑一个8位100MSPS Flash型转换器，它要对一个满量程50 MHz正弦波输入信号进行数字化转换。该正弦波可以表示为：

$$v(t) = V_p \sin 2\pi ft.$$

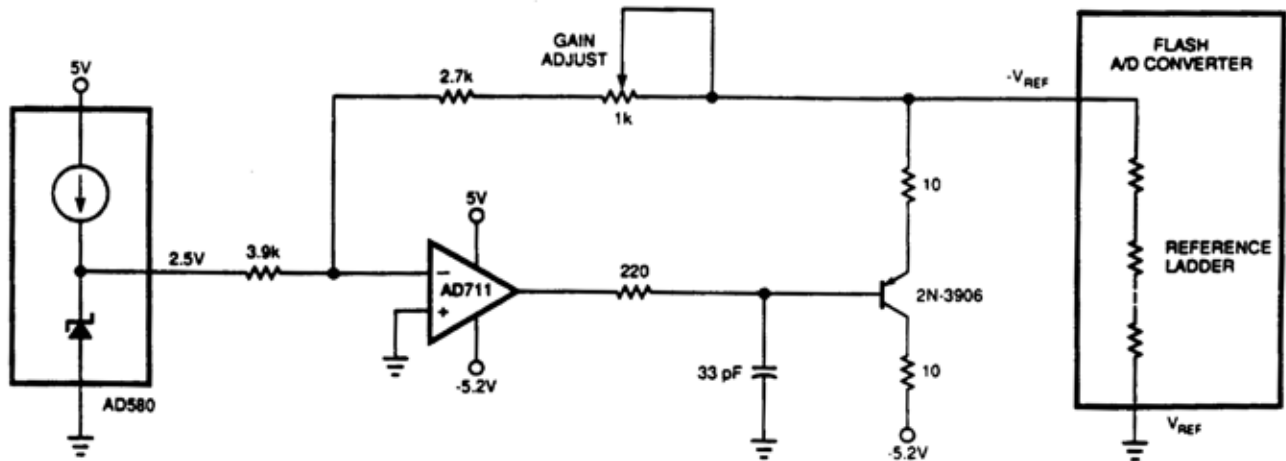


图5—Flash型转换器没有内置基准电压源，必须外部设计基准电压源。  
本电路为一个单极性转换器提供稳定的-2V基准电压。

为了提高Flash型转换器在高达25 MHz采样速率时的性能，可以使用前端采样保持放大器来实现“跟踪降速”方法。

此信号的最大变化率发生在过零点，它等于：

$$\left. \frac{dv}{dt} \right|_{\max} = 2\pi f V_p = \left. \frac{\Delta V}{\Delta t} \right|_{\max}$$

从该方程式求解 $\Delta t_{\max}$  可得：

$$\Delta t_{\max} = \frac{\Delta V}{2\pi f V_p}$$

如果Flash型转换器的输入电压范围为2V，或 $V_p = 1V$ ，则对于一个8位ADC，LSB权重为8 mV。为使该Flash型转换器的误差小于1 LSB， $\Delta t_{\max}$  必须等于25 ps。比较器之间的有效采样延迟不匹配不能超过此值，如果不匹配大于此值，则对于一个50 MHz满量程正弦波输入，转换器的输出将产生失码。

理论上，在Flash型转换器前方放置一个理想的采样保持(T/H)放大器可以解决这个问题，因为Flash型转换器处理的基本上是一个直流输入。但在实际应用中，并不存在理

想的采样保持放大器，特别是在高速时。提供给Flash型转换器的信号仍然会变化，但变化速率较慢。尽管如此，这种“跟踪降速”方法仍能提高采样速率高达约25 MHz时的Flash型转换器性能。当采样速率高于25 MHz时，采样保持电路需要以合适的混合封装安装在与Flash型转换器相同的基底上。在奈奎斯特输入和250 MHz的采样速率下，混合封装的单芯片采样保持放大器和8位Flash型转换器已成功实现7个有效位。不过，这种混合封装会提高成本和功耗。

您会发现难以选择合适的分立采样保持放大器，因为采样保持放大器与Flash型ADC之间的相互影响难以预料。应当评估采样保持放大器的关键性能指标，如采集时间、全功率带宽、压摆率和谐波失真等。谐波失真特性通常是针对跟踪模式而提供。当放大器处于保持模式并且实际驱动一个Flash型转换器时，采样保持放大器的性能可能显著低于额定性能指标。此外，转换器的负载效应也可能会降低采样保持放大器的性能。为了获得驱动采样保持放大器和Flash型转换器的各种时序脉冲之间的最佳关系，可能需要进行大量实验。

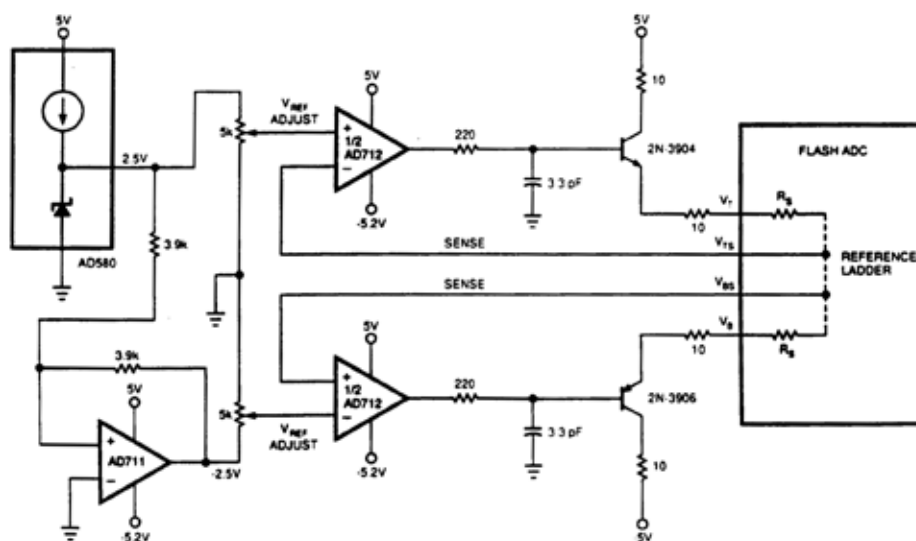


图6—此基准电压发生器用于双极性Flash型转换器，利用电阻梯提供的检测引脚来补偿封装引脚和焊线电阻导致的压降。

由于存在这些困难，许多ADC制造商的当前目标是提供无需采样保持功能就能实现合理动态性能的Flash型转换器，或者将采样保持功能与转换器集成在同一芯片上。无论何种情况，制造商都能充分测量ADC的动态性能，免除您设计采样保持放大器与转换器接口的困难。

关于ADC内部特性的知识，以及这些ADC对外部电路提出的要求，应作为初始设计工作的指南。一旦完成设计并构建好电路，就需要确保转换器及其支持电路的组合性能满足设计要求。第二部分将讨论各种基于DSP的测试方法，这些方法对Flash型转换器测试特别有效。

## 参考文献

1. Sheingold, Dan, Analog-Digital Conversion Handbook, 3rd ed, Prentice-Hall, Englewood Cliffs, NJ, 1986.



## Flash型ADC测试指南

### 第二部分 DSP测试技术帮助控制Flash型ADC

作者: Walt Kester

通过测试Flash型模数转换器，您可以确保它达到数据手册上列出的所有性能指标。本系列文章的第二部分介绍可以用来测试Flash型转换器的多种方法，包括正弦波曲线拟合和FFT。使用这些方法只需要一些常规测试仪器和个人计算机。

必须了解Flash型ADC在实际应用中表现如何，这一点非常重要。因此，可能需要对转换器执行某种测试，以确定它与理想性能的偏差。正如第一部分所述，由于静态和动态非线性，Flash型ADC会表现出误差，这些误差随着输入信号压摆率的提高而提高。因此，实际信噪比会低于转换器的理论值。即使您不是亲自执行这些测试，熟悉测试方法也会有助于您更准确地评估数据手册的技术规格，因为许多制造商都使用这些同样的方法。

可能需要测试Flash型转换器的另一个原因是获得制造商未提供的信息。诸如信噪比及其相关有效位数之类的性能指标对所有应用都很重要，制造商一般都会说明，但数据手册可能不包括对特定应用而言更为重要的其它特性。例如，视频设计通常要求您必须知道转换器的差分相位和增益(参考文献1)；通信系统甚至可能与一些深奥难懂的特性密切相关，如无杂散动态范围等，许多数据手册并不提供此类信息。

对于满量程正弦波输入，理论均方根信号与均方根量化噪声比为：

$$\text{SNR}=6.02N+1.76 \text{ dB}$$

其中，N为位数(参考文献2)。理想ADC在奈奎斯特带宽内的均方根量化噪声电压为 $q/12$ ，其中q为LSB权重，单位用V表示。

获取Flash型转换器信噪比和有效位数的最常用方法是通过离散傅里叶变换(DFT)。如今，您可以利用基于PC的测试系统和标准软件包执行复杂的DSP测试。例如，图1所示的测试系统能够在不到1秒的时间内完成一个1024点FFT。所需的大部分硬件是以PC的插入式板卡形式提供。然而，开始使用基于PC的测试系统之前，您需要做好相当多的准备工作。首先，您需要设计一个高速缓冲存储器板，以便捕捉来自Flash型ADC的数据。通常使用高速静态CMOS或ECL RAM。其次，您需要规划并设计一个适当的逻辑接口，将缓冲存储器连接到PC的数字I/O卡。

您还可以考虑另一种硬件选项——评估板，某些视频速度ADC制造商提供评估板以简化设计测试。许多评估板都包含基准电压、电源去耦、定时电路、输出寄存器和连接器。评估板通常还有一个匹配的重构DAC。多数情况下，制造商已经优化评估板的设计，避免您因为支持电路的错误或设计不良而导致ADC测试失败。

**DSP测试技术能够确定转换器与理想性能的偏差，甚至告诉您ADC数据手册未提供的某些特性。**

测试软件必须包括一个程序用来捕捉数据，然后载入PC的存储器。如果打算使用FFT分析，必须将一个标准FFT软件包链接到测试系统。可能还需要生成一个查找表，以存储特定采样方案所需的特殊加权函数。此外，增加一个协处理器卡将能加速FFT分析所需的成千上万次乘法运算。

如果您没有时间或精力来构建自己的测试系统，可以考虑购买仪器制造商提供的测试仪器。这些完整系统通常利用高速逻辑分析仪来捕捉数据。通过菜单驱动的软件，您可以选择各种测试，几乎无需任何硬件或软件开发时间。

为利用傅里叶分析方法测试Flash型ADC，必须将一个频谱纯净的正弦波应用于转换器，并存储许多连续输出数据样本。然后，利用DFT技术，测试程序计算均方根信号和均方根噪声成分，并确定二者之比。使用DFT技术的噪声计算不仅包括转换器的量化噪声，而且包括输入正弦波的谐波。此外，受采样过程影响，位于奈奎斯特带宽以外的谐波会被混叠到奈奎斯特带宽内。因此，为了获得精确和可重复的结果，采样时钟和输入正弦波的纯度至关重要。

可以使用相干或非相干采样来评估ADC的性能。相干采样意味着样本记录包含整数数量的正弦波输入周期，非相干采样产生的记录则包含非整数数量的输入周期。选择何种采样方案必须依据预期的输入数据类型。相干测试更适合于实验室环境，此时输入信号的精确频率成分是已知的，并且相干测试要求精心选择输入和采样频率。非相干测试则能更好地揭示ADC在频谱分析等实际应用中的性能，因为进行数字化转换的信号精确频率成分是未知的。

然而，只要时间采样数不包含整数数量的输入周期(非相干测试)，就必须对样本进行时间加权处理，以减少频率旁瓣。如果不进行加权处理，非连续性将导致主瓣能量——

基波——泄漏到许多其它频率仓中。“仓”这一术语指的是频谱线或频谱尖峰之间的空间。特定频谱的仓数等于采样频率除以记录长度，即 $f_s/M$ 。信号从中央仓泄漏到旁瓣仓会使频谱无法得到精确测量，因为无法区分包含实际信号信息的频率仓与包含噪声的频率仓。对样本进行时间加权的另一个原因是，模数转换系统的最终用户可能对使用相同或相似窗口的ADC的性能感兴趣。

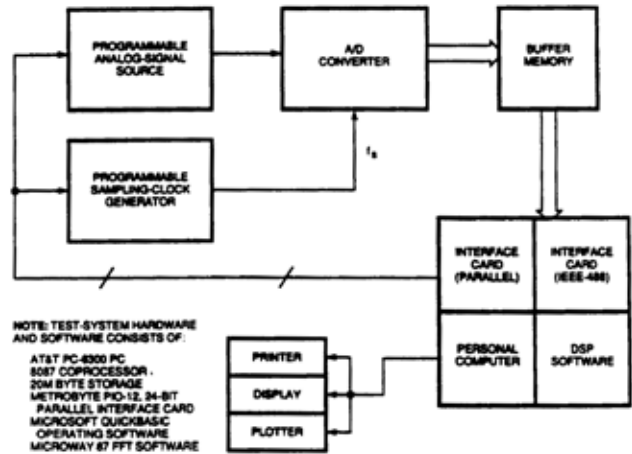


图1—这个针对Flash型ADC的DSP测试系统可以在不到1秒的时间内执行1024点FFT，但该系统需要大量设计工作。硬件要求包括高速缓冲存储器以及该存储器与PC之间的逻辑接口。软件要求包括一个用来捕捉数据并将其载入PC存储器的程序，以及测试程序与标准FFT软件包之间的链接。

与相干采样相比，非相干采样的输入和采样频率限制更少，但它要求精心选择和使用加权函数。此外，为了防止遮蔽基波的谐波，应避免使用频率为采样频率整数约数的输入。如果输入频率为采样频率的整数约数，量化噪声  $q/12$  将集中在输入频率的谐波上，而不是均匀分布在奈奎斯特带宽上。最终，这将导致谐波失真测试结果不正确。

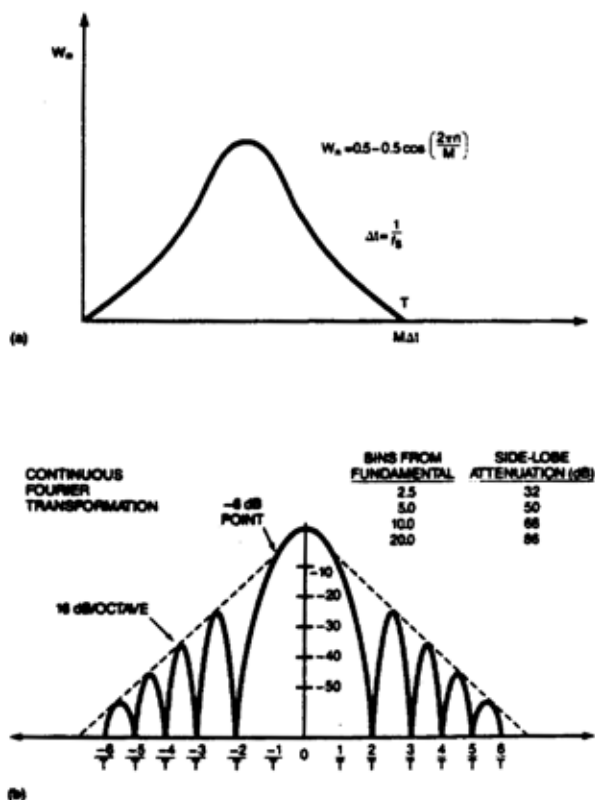


图2—当样本记录不包含整数数量的输入周期时，即当使用非相干采样时，必须用加权函数对数据进行预调理。

本图所示的时域(a)和采样频率域(b)中的Hanning窗口是一个常用的加权函数。

常用的加权函数之一是Hanning窗口(参考文献3)，它可以通过下式描述：

$$W_n = 0.5 - 0.5 \cos\left(\frac{2\pi n}{M}\right),$$

其中， $W_n$ 是第 $n$ 个数据样本的加权系数， $M$ 为总采样数。图2以图形方式说明了时域和频域中的Hanning窗口。

为了计算信噪比，必须确定基波中包括的频率仓数以及被认为是噪声的仓数。如图2所示，可以将旁瓣衰减量与旁瓣和基波仓之间的距离(仓数)相关。图2b列出了其中的一些值。必须根据要测试的转换器的理论信噪比做出决定。

例如，8位转换器的理论最大信噪比约为50 dB。计算信号水平时，为了确保旁瓣能量不会导致人为的高噪声测量结果(因而信噪比测量结果人为较低)，基波两侧均应至少包括10个频率仓。(信号水平等于所有21个仓的方和根。)现在，此区域之外的任何旁瓣能量至少比基波信号水平低68 dB(比50 dB的理论8位量化噪声底低18 dB)，旁瓣泄漏不会严重影响信噪比测量的精度。

根据应用不同，其它加权函数可能更合适。例如，图3比较了常用的Hanning窗口频谱表示与更复杂的最低4项Blackman-Harris表示。在记录长度相同的条件下，Blackman-Harris窗口提供的频谱分辨率优于Hanning窗口，因而更适合关键频谱分析，例如测量双音三阶交调失真产物等。Blackman-Harris窗口的额外计算不会加长处理时间，因为仅需计算一次，然后将其存储在查找表中。

如上文所述，如果知道输入信号的特性，并且据此选择采样速率，则可以使用相干采样。相干采样消除了泄漏，并且无需窗口计算(参考文献4)；相干采样信号的频谱结果为单频峰值。然而，采样速率和正弦波频率的选择存在一定的限制。首先，必须使以下比例成立：

如今，您可以利用基于PC的测试系统和标准软件包执行复杂的DSP测试。

$$\frac{f_{in}}{f_s} \frac{M_C}{M}$$

$M_C$ 等于记录周期中的整数正弦波周期数量。对于整数周期数， $M_C$ 必须为整数。为了确保不会获取重复数据， $M_C$ 还应是一个质数：1、3、5、7、11、13、17等。通过使用质数，可以确保记录周期中的所有样本都是唯一的。使用相干采样时，比值 $M_C/M$ 必须保持不变。这个要求意味着您需要从两个锁定的频率合成器获取 $f_s$ 和 $f_{in}$ 。

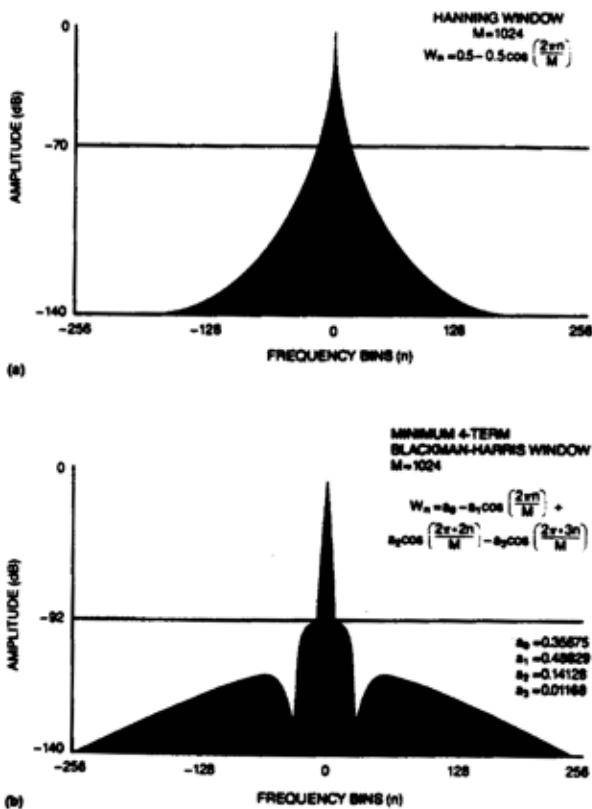


图3—相比于Hanning窗口(a)，Blackman-Harris窗口函数(b)能够解析的频谱尖峰距离更近。Blackman-Harris窗口的数学表达式更加复杂，但仅需计算一次，然后将其存储在查找表中。

## 计算DFT

选择记录长度并确定加权函数(针对非相干采样)之后，必须编写DFT测试程序。您的程序必须找到 $M/2$ 频率(奈奎斯特频率)下的加权数据样本序列的DFT。因此，程序应针对第 $k$ 个频率求解以下两个方程式：

$$A_k = \frac{1}{M} \sum_{n=1}^M W_n D_n \cos\left[\frac{2\pi k(n-1)}{M}\right]$$

$$B_k = \frac{1}{M} \sum_{n=1}^M W_n D_n \sin\left[\frac{2\pi k(n-1)}{M}\right]$$

在以上方程式中， $A_k$ 和 $B_k$ 表示第 $k$ 条频谱线的余弦和正弦部分的幅度； $n$ 表示时间采样数； $W_n$ 表示加权函数； $D_n$ 表示时间函数数据点的幅度； $k$ 表示频谱线数。第 $k$ 条频谱线的总幅度为：

$$\text{幅度}_k = \sqrt{A_k^2 + B_k^2}$$

程序结果产生 $M/2$ 个分量，它们是 $M$ 个时间样本的频域表示。分辨率或频谱线的间距 $\Delta f$ 等于 $f_s/M$ ，表示仓的大小或宽度。

通常，时间采样数( $M$ )应在256与4096之间选择，具体取决于所需的分辨率和缓冲存储器大小。 $M$ 必须是一个整数，并且是2的幂。如果使用非相干采样，可以利用较大的记录长度来压缩主瓣周围的泄漏，从而使较大比例的奈奎斯特频谱不受污染。例如，对于68 dB旁瓣压缩，Hanning加权泄漏为基波的 $\pm 10$ 仓。如果记录长度为256，则泄漏基波占有128个频谱成分中的20个仓，或16%的数字频谱。当 $M$ 等于1024时，该比例降至20/512或4%。

实际应用中，您可以使用许多FFT算法中的一种来简化和加速DFT计算(参考文献5)。FFT算法产生与上述DFT方程式相同的结果，计算时间则大为缩短。

**离散傅里叶变换(DFT)是确定转换器实际信噪比和有效位数的最常用方法。**

### 验证FFT

验证FFT时，考虑噪底。假设DSP噪声计算贡献的舍入误差(在FFT乘法和加法中使用有限位数造成的误差)可以忽略不计，则宽度为 $\Delta f$ 的单一频率仓中的均方根信号与均方根噪声水平之比为：

$$\text{SNR}_{\text{FFT}} = 6.02N + 1.76 \text{ dB} + 10 \text{ LOG}_{10} \left( \frac{M}{2} \right).$$

该公式表示FFT噪底。所选的M值应使需要解析的所有杂散成分都位于此噪底以上至少10 dB。

基本软件可以轻松产生理想的N位正弦波，只需使用整数(INT)函数将该值截断至适当的分辨率。例如，频率为 $f_{\text{in}}$ 的输入信号等于：

$$V_q = V_o \sin \left( \frac{2\pi n n}{f_s} \right)$$

其中，n为一个具有无限分辨率的ADC的第n个时间样本。可以使用下式计算对应的量化值：

$$V_q(n) = \text{INT} \left[ \frac{V_o \sin \left( \frac{2\pi n n}{f_s} \right)}{q} \right]$$

其中， $q = 2V_o/2^N$ 。用该表达式代替上式中的q可以得到：

$$V_q(n) = \text{INT} \left[ 2^{N-1} \sin \left( \frac{2\pi n n}{f_s} \right) \right]$$

INT函数仅截断 $V_q(n)$ 的小数部分。

为检查FFT的动态范围，可利用公式 $6.02N + 1.76 \text{ dB}$ 计算信噪比，不断提高N值；到某一点时，您会观察到信噪比不再提高6.02 dB/位。当N趋近无限大时，加权函数的正弦波输入和FFT更为理想。令N为任意大的值，可以大大降低量化误差效应，并分析FFT的真实噪底。您还可以研究加权函数的特征。

### 正弦波曲线拟合

用于Flash型ADC的另一种测试方法是正弦波曲线拟合。此测试在ADC对正弦波进行数字化转换，并且测试系统将数

据存储到其存储器之后进行。1024个样本的记录长度通常即足够。然后，软件计算最佳拟合的理想N位正弦波以匹配这些数据点，其依据是实际与理想正弦波之间的均方根误差最小化所需的幅度、偏移、频率和相位(参考文献6和7)。这种方法还要求输入正弦波频率不含采样速率的次谐波。如果您知道正弦波频率的精确值，那么曲线拟合方法将远比FFT方法简单，而且该算法收敛的概率更高。

软件计算出理想正弦波与实际正弦波之间的均方根误差 $Q_A$ 之后，便可以通过下式计算有效位数：

$$\text{有效位数} = N - \text{LOG}_2 \left( \frac{Q_A}{Q_T} \right)$$

其中， $Q_T$ 是理论均方根量化误差 $q/12$ 。除了量化噪声以外，这种测量还包括微分非线性、积分非线性、失码、孔径抖动和噪声等因素引起的误差。

利用正弦波曲线拟合方法计算的有效位数与利用下式获得的满量程FFT信噪比测量值相关：

$$\text{有效位数} = \frac{\text{SNR}_{\text{实际}} - 1.76 \text{ dB}}{6.02}$$

然而，如果测量幅度小于满量程正弦波输入信号的有效位数，则必须在上式中包括以下校正系数，以使两种方法相关：

$$\text{有效位数} = \frac{\text{SNR}_{\text{实际}} - 1.76 \text{ dB}}{6.02} + \frac{\text{小于满量程的信号电平 (dB)}}{6.02}$$

对ADC进行总背靠背测量时，降低数模转换器(DAC)影响的一个有用方法是拍频方法。图4显示了一个基本测试设置。该测试方法对转换器施加一个接近奈奎斯特频率的信号，并以最大采样速率驱动转换器。因此，模拟输入正弦波的频率应稍低于采样频率的一半。测试系统更新寄存器，寄存器以采样速率的偶数约数 $f_s/N$ 驱动DAC，其中N为2的幂(N不是ADC的分辨率)。DAC产生的信号是一个低频正弦波，其确切频率等于采样速率一半与模拟输入频率之差。如图4所示，DAC时钟应当是一个低得多的速率 $f_s/N$ (称为抽取速率)，从而降低毛刺的影响及其它动态误差。

相干测试更适合实验室环境，非相干测试更能代表ADC在实际应用中的性能。

使用拍频方法可以测量整个奈奎斯特带宽( $f_s/2N$ )范围内的信噪比，还可以在示波器上检查低频拍频以探究失码和其它非线性因素。要测量拍频的谐波成分，可以使用低频频谱分析仪。低频拍频的谐波与模拟输入频率直接相关。数百kHz的拍频效果很好。为了防止低频拍频信号抖动，模拟输入正弦波和采样频率均必须从频率合成器或晶振获得。

当Flash型转换器的输入信号接近采样频率时，这种拍频方法也能有效地测量其性能。这些条件下的性能对于雷达同相/正交相位系统和高频数字应用很有用。为了执行这种测试，应将ADC的模拟输入频率设置得比采样速率稍低。即使DAC以采样速率更新，该电路也能产生低频拍频。然而，以 $f_s/N$ 的速率更新DAC会降低DAC动态误差对测量的影响。

可以使用DSP技术和FFT来分析图4中各种输入频率下的抽取数据，但必须注意混叠规则，以便知道基波信号会在FFT输出频谱中的何处出现。您可能会认为FFT以 $f_s/N$ 的速率采样信号，但转换器实际上是以 $f_s$ 的速率进行采样。

一旦懂得如何利用这些技术，您就可以开始测量特定转换器的真实性能。第三部分讨论如何应用这些技术以在系统中实际测试ADC，并确定多种静态和动态特性。

## 参考文献

1. Kester, W A, "PCM Signal Codecs for Video Applications," SMPTE Journal, No. 88, November 1979, pg 770.
2. Bennett, W R, "Spectra of Quantized Signals," Bell System Technical Journal, No. 27, July 1948, pg 446.
3. Harris, Frederic J, "On the use of windows for harmonic analysis with the discrete Fourier transform," IEEE Proceedings, Vol 66, No. 1, January 1978, pg 51.
4. Coleman, Brendan, Pat Meehan, John Reidy, and Pat Weeks, "Coherent sampling helps when specifying DSP A/D converters," EDN, October 15, 1987, pg 145.
5. Ramirez, Robert W, The FFT: Fundamentals and Concepts, Prentice Hall, Englewood Cliffs, NJ, 1985.
6. Peetz, B E, A S Muto, and J M Neil, "Measuring Waveform Recorder Performance," HP Journal, Vol 33, No. 11, November 1982, pg 21.
7. Frohring, B J, B E Peetz, M A Unkrich, and S C Bird, "Waveform Recorder Design for Dynamic Performance," HP Journal, Vol 39, February 1988, pg 39.
8. "Dynamic performance testing of A to D converters," HP Product Note 5180A-2, 1962.

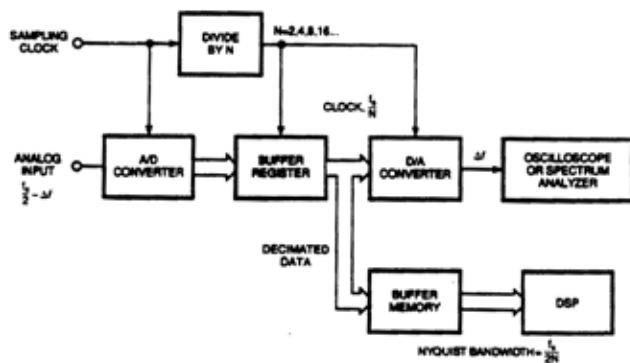


图4—拍频测试方法对转换器施加一个接近奈奎斯特频率的输入信号，并以最大采样速率驱动转换器。然后，您可以在示波器上检查低频拍频以探究失码和其它非线性因素。

## Flash型ADC测试指南

### 第三部分 测量Flash型ADC的性能，实现无故障运作

作者：Walt Kester

本系列文章的前两部分说明了Flash型ADC的奥妙之处，以及用于评估转换器的测试方法。第三部分是本系列的最后一篇，讨论需要进行哪些实际测量以完全了解Flash型ADC的特性。

虽然制造商扩充了数据手册上罗列的保证性能指标的数量，但其测试条件常常与具体系统设计的测试条件不一致。可以使用第二部分所述的方法来测试Flash型ADC，但需要执行的测量取决于转换器的主要应用。本系列文章的最后一部分说明需要进行哪些重要测量以便了解转换器的性能，包括总谐波失真(THD)、微分和积分非线性度以及噪声功率比。您可能想从信噪比开始，这是大多数ADC应用都会进行的测量。

信噪比指的是均方根基波与均方根量化噪声的比值。如第二部分所述，可以通过数字化一个纯正弦波，并对数据执行傅里叶变换来测量该参数。基频正弦波包含的均方根能量等于峰值与尖峰任一侧的适当数量样本或仓的值的方和根。转换器的分辨率及其旁瓣滚降特性决定所需的样本数。有关采样要求的详细解释，请参阅第二部分。

其余频率仓中的均方根能量代表理论量化引起的噪声、转换器的谐波噪声和额外噪声以及FFT舍入误差。求取其样本(直流分量除外)的方和根以确定均方根能量。ADC的总信噪比为：

$$\text{信噪比} = 20 \log(\text{均方根信号电平}/\text{均方根噪声电平})$$

谐波失真可以用类似的方式测量。测试程序(详见第二部分)检查FFT频谱以找到所需谐波的正确位置(高于 $f_s/2$ 的谐波将被混叠到基带)，并确定该谐波的均方根能量。计算谐波失真的公式如下：

$$\text{谐波失真} = 20 \log(\text{均方根信号电平}/\text{均方根谐波电平})$$

信噪比和谐波失真足评估ADC性能的关键性能指标。

总谐波失真(THD)是基波的前五次谐波的方和根。使用该值代替以上公式中的均方根谐波电平。

### 使用FFT的双音交调测试

许多应用中，输入频率不止一个。例如，在将多个频率复用到单一载波的通信应用中，就需要测量交调产物。确定该参数的方法是将两个不同频率的正弦波( $f_1$ 和 $f_2$ )施加于ADC，然后测量出现于以下频率的三阶交调产物的幅度： $2f_1+f_2$ 、 $2f_1-f_2$ 、 $2f_2+f_1$ 和 $2f_2-f_1$ 。

如果两个信号音的频率相似，则可以滤除大部分交调失真，但三阶交调产物非常接近基波频率，因而难以消除。

为避免削波引起失真，各信号音的幅度至少应比Flash型转换器的满量程范围低6 dB。此外，两个信号音的频率间隔应与FFT的分辨率一致。如第二部分所述，FFT的频谱分辨率与记录长度M、相干抑或非相干、所选窗口函数的特性有关。

在接收机应用中，常常需要知道单音输入信号幅度与其最大杂散分量幅度的最大比值。对于理想ADC，该比值对应于满量程输入正弦波。但在实际ADC中，杂散成分与压摆率有关。因此，给定输入频率下的最大无杂散动态范围可能出现在低于满量程的某一电平。由于无杂散动态范围取决于压摆率，因此它与输入频率和幅度有关

图1所示为最大杂散电平与输入信号电平的典型关系曲线，此外还显示了相应的无杂散动态范围。该图显示，最大无杂散动态范围38 dB对应于一个比满量程低3 dB的输入信号。

用于产生这些图的数据可以方便地从针对差分输入幅度计算的FFT系列获得。知道能够在接近奈奎斯特频率的频率时提供最高无杂散动态范围的输入信号电平后，就可以设置系统增益以最大限度地利用ADC的频谱特性。

### 直方图是一个好帮手

微分和积分非线性也是转换器性能的重要衡量指标。使用直方图测试可以获得这些参数的测量结果。要进行直方图分析，应以与输入信号不同步的速率数字化一个已知的周期性输入信号。为了收集用于直方图的采样数据，需要一个缓冲存储器和一个测试系统，如第二部分所述。缓冲存储器可能太小，不足以容纳单次运行产生的具有统计意义的大量样本(通常需要数十万样本)。为此，应分多次运行测试以获得数据，并在每次运行后将缓冲器的内容载入测试系统的主存储器。Hewlett Packard和Tektronix的台式测试系统也提供直方图测试功能。

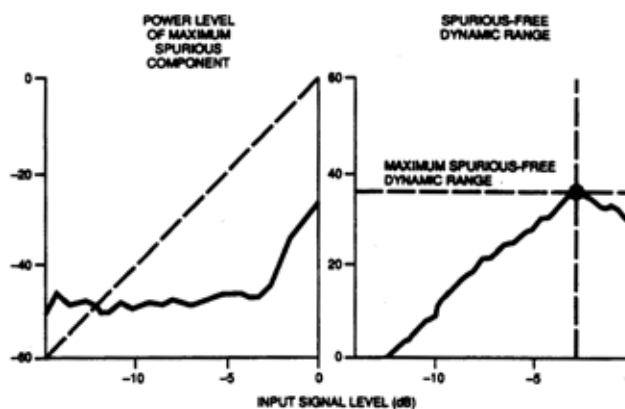


图1—这些动态范围曲线显示了杂散频率的功率水平和最大无杂散动态范围。本例中，最大无杂散动态范围对应于一个比满量程低3 dB的输入信号。



测试系统积累了具有统计意义的大量样本之后，便可以确定各数字代码的相对出现次数(代码密度)。然后，测试程序根据输入信号对数据进行归一化处理，并分析结果以获得线性误差。

对于理想ADC，在满量程三角波输入下，各仓中的代码数相等。第n个仓中的次数H(n)除以总采样数M得到仓宽度，它是满量程的一部分。实际仓宽度与理想仓宽度的比值P(n)就是微分线性度。理想情况下，此比值应为1。减去1 LSB便得到微分非线性度。

利用累计直方图可以确定积分非线性度，累计仓宽度为跃迁水平。然而，误差的累计效应可能使得积分非线性测量不准确。直方图更多地是用来评估微分非线性。

高速、高精度三角波难以产生，因此使用正弦波。然而，在正弦波输入下，所有代码的概率并不相等，应当利用正弦波的概率密度函数对直方图数据进行归一化处理，如图2所示。

为获得精确的结果，需要采集大量样本。例如，为了确定8位Flash型转换器的微分非线性，使结果的精度在0.1位以

内，并且可信度为99%，需要采集268,000个样本。可以使用硬件来计数样本，从而加速软件处理过程。对于高速采样，应将输出数据抽取到与低速存储器兼容的时钟速率。

### 使用噪声功率比测试

使用噪声功率比(NPR)测试可以测量频分复用(FDM)通信链路的传输特性。在典型的FDM系统中，许多4 kHz宽的语音信道“叠置”在一起，以通过同轴电缆、微波或卫星设备传输。在接收端，FDM设备解复用这些数据，将其变回一个个的4 kHz基带信道。在有100个或更多信道的FDM系统中，具有适当带宽的高斯噪声与FDM信号很相似。

图3的测试设置利用一个窄带陷波(阻带)滤波器和一个调谐接收器(参考文献4)测量单个4 kHz信道的安静度，这两个器件均测量此4 kHz陷波内的噪声功率。NPR测量比较直观。首先关闭陷波滤波器，让接收器确定陷波内信号的均方根噪声功率。然后启用陷波滤波器，让接收器确定4 kHz频率槽内的残余噪声。这两个读数的比值即为NPR，单位用dB表示。应当测试噪声带宽内的多个频率槽：低频、中频和高频。

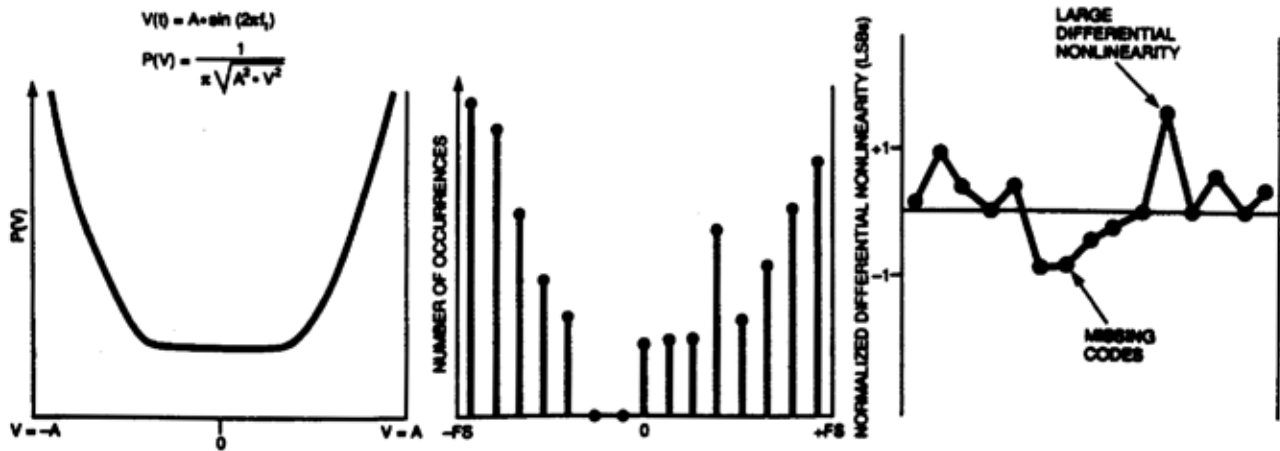


图2—直方图常用于显示微分非线性。此处所示的是一个正弦波的概率密度函数曲线，它用来对直方图数据进行归一化处理以产生微分非线性曲线。

NPR通常用NPR与相对于系统峰值范围的均方根噪声电平的关系曲线来表示。对于极低的噪声电平，干扰噪声主要是热噪声，与输入噪声电平无关。在曲线的该区域，噪声电平提高1 dB将导致NPR提高1 dB。随着噪声电平提高，系统中的放大器开始过载，产生交调产物，导致系统的噪声电平升高。当输入噪声进一步提高时，过载噪声的影响占主导地位，NPR大幅降低。FDM系统通常在低于最大NPR点几dB的噪声负载电平下工作。

在含有ADC的数字系统中，当施加低噪声值的输入信号时，频率槽内的噪声主要是量化噪声。NPR曲线在此区域内呈线性。随着噪声输入电平提高，转换器的硬限幅动作将导致削波噪声占主导地位。

在实际ADC中，任何直流或交流非线性都会导致实际NPR偏离理论NPR。虽然NPR的峰值出现在相当低的输入噪声电平（均方根噪声=  $1/4 V_o$ ，其中 $\pm V_o$ 为ADC的量程），但噪声信号的宽带特性会给器件带来压力，测试将能很好地反映其动态性能。

理论上，NPR读数应与特定的槽频率无关，但实际上，较高的输入频率下非线性度会提高，因此较高频率槽中的NPR读数往往较低。

## 使用DSP技术的NPR测试

使用FFT分析技术，您会发现NPR测量非常具有挑战性。假设记录长度为1024，采样速率为20 MHz，那么1024个连续时间样本的FFT将每隔19.53 kHz (20 MHz/1024)放置一个频谱分量。由于陷波滤波器的频率槽宽度约为4 kHz，因此频谱分量落在陷波内的概率非常低。

要在FFT NPR分析中实现合理的数据稳定性，必须有多个样本落在陷波内。如果10个样本位于4 kHz陷波内，则FFT的分辨率必须为400 Hz，对于20 MHz的采样速率，记录长度必须为50,000。为避免缓冲存储器过大（因而对FFT处理器的要求更高），需要加宽陷波滤波器。针对20 MHz采样速率和1024字的缓冲存储器，宽度为200 kHz的陷波滤波器可在陷波内提供10个频率仓。然而，即便在这些条件下，也应当对多个记录的NPR计算结果求平均值，以获得合理的数据稳定度。

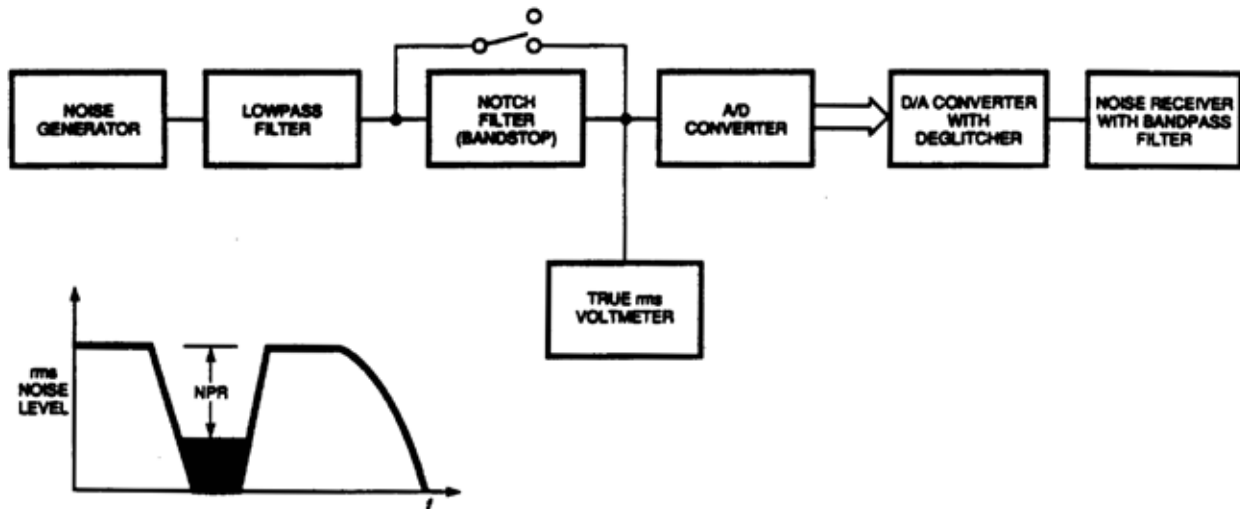


图3—使用此测试设置可以测量噪声功率比(NPR)。首先关闭陷波滤波器，让接收器确定陷波内信号的噪声功率。然后启用陷波滤波器，让接收器测量4 kHz典型频率槽内的残余噪声。这两个读数的比值（单位用dB表示）即为NPR。

## 瞬态响应测试

在雷达应用中，Flash型转换器对正弦波等瞬态输入的响应常常至关重要。实施这一测试的主要困难在于难以获得一个与转换器分辨率相称的平坦脉冲。

图4所示为一个用于测量ADC瞬态响应的测试设置。如果将肖特基二极管平坦脉冲发生器安装在尽可能靠近ADC模拟输入的地方，则在它使肖特基二极管发生反偏的几纳秒之后，就可以对ADC应用一个平坦度至少达到10位精度的信号。

同样的测试设置也可以用来测量过压恢复时间。过压量通常用ADC量程的百分比来规定。对于一个2V输入范围的转换器，50%过压相当于标称2V输入范围以上或以下1V。让平坦脉冲的起点对应于所需的过压条件。实际恢复时间以输入信号重新进入ADC输入范围的时间为基准。像瞬态响应测试一样，必须考虑测量时的采样(孔径)时间延迟。

视频ADC的孔径时间和抖动特性可能是整个领域中最不为人所知且滥用最多的特性。孔径时间的原始概念基于图5所示的采样保持电路。在一个理想采样保持电路中，开关关闭时的电阻为0，接到编码命令时立即断开。而在实际应用中，采样开关从低阻态变为高阻态需要一定的时间。电路往往会对断开开关所需的有限时间间隔内的输入信号进行平均，这就会引起误差。因此，采样电压不同于开关开始断开时的电压。断开开关所需的时间就是孔径时间。该误差由下式决定： $E_a = t_n \cdot dV/dt$ ，其中 $E_a$ 为孔径误差， $t_n$ 为孔径时间， $dV/dt$ 为输入信号的变化速率。

简单的一阶分析(忽略非线性效应)显示，这种开关并不存在真正的误差。只要开关不断重复地断开，就会存在一个有效采样时间，它会导致理想采样保持放大器产生同样的保持电压。该有效采样点与采样时钟前沿之间的差值是一个固定延迟，不构成误差。有效孔径延迟是从采样时钟前沿到输入信号等于保持值时的时间，这一特性很重要，因为它有助于用户确定相对于输入信号时序，何时应用采样时钟。

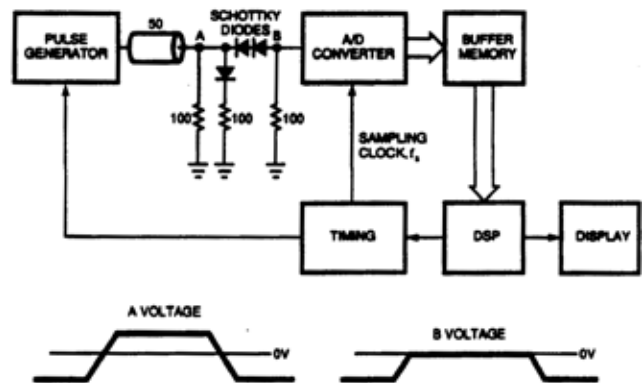


图4—此测试设置用于测量ADC的瞬态响应。位于A点与B点之间的肖特基二极管网络针对转换器的输入产生一个平坦脉冲。

实际的ADC中，无杂散动态范围与转换器的压摆率有可能出现在低于满量程的电平。

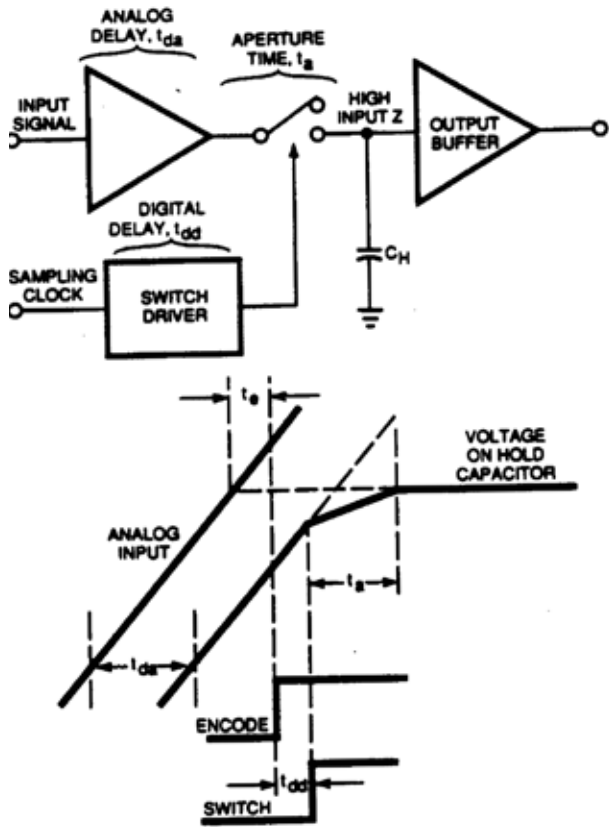


图5—孔径时间的概念基于采样保持电路。在实际应用中，于电路会对断开开关所需的有限时间间隔内的输入信号进行平均，因此采样开关会产生误差。孔径时间就是断开开关所需的时间。

同步采样保持应用中，有效孔径延迟的变化很重要。例

如在I(同相)和Q(正交)雷达接收机中，可能必须在采样中提供可调延迟，以使多个ADC的有效孔径延迟时间匹配。还应考虑延迟时间在温度范围内的变化，特别是在军事系统中，额定工作温度范围可能宽达-55至+125°C。

而且，真正的孔径误差确实来源于可变时间延迟。在实际ADC中，经常会有干扰源对采样时钟进行相位调制；宽随机噪声、电力线噪声或不良接地技术引起的数字噪声可能成为干扰源。输入正弦波上的相位抖动可以产生与采样时钟上的抖动相同的影响。由此产生的误差称为孔径抖动。均方根孔径抖动引起的相应均方根电压误差就是孔径误差。

孔径抖动规格有时候也用来衡量转换器对快速变化的输入信号进行精确数字化的能力。当对一个最大压摆率得自孔径公式  $E_a = t_a \cdot dV/dt$  的正弦波进行数字化时，即使具有出色孔径抖动特性的ADC也可能丢失有效位。

例如，假设一个20 MHz、8位Flash型转换器具有  $\pm V_O$  ( $2V_{O,p-p}$ ) 的双极性输入范围和20 ps rms的孔径抖动规格，为了计算最大孔径抖动误差，将均方根孔径抖动转换为最大值。考虑孔径抖动遵循与白色噪声相似的高斯分布，则均方根孔径抖动  $t_a$  对应于该分布的sigma ( $\sigma$ )。该分布上的  $2\sigma$  点是设置最大值的好地方，因此最大孔径抖动变为  $2t_a$ 。

如果满量程正弦波过零点对应的最大电压误差 ( $\Delta V$ ) 设置为  $1/2$  LSB ( $1/2 \text{ LSB} = 2V_O/2^{N+1}$ ，其中N为ADC的分辨率)，则可以利用下列方程式计算产生  $1/2$  LSB 孔径误差的最大满量程正弦波频率  $f_{max}$ ：

$$V(t) = V_O \cdot \sin(2\pi f t),$$

$$\frac{dV}{dt} = 2\pi f V_O \cdot \cos(2\pi f t),$$

$$\left. \frac{dV}{dt} \right|_{max} = \frac{\Delta V}{2t_a} = 2\pi V_O f_{max}, \text{ and}$$

$$f_{max} = \frac{\Delta V}{4\pi V_O t_a} = 2\pi t_a \cdot 2^{N+1}.$$

当  $t_a = 20$  ps rms 且  $N = 8$  时， $f_{max}$  为16 MHz。以上计算说明，20 MHz Flash型转换器可以精确地数字化一个16 MHz的满量程正弦波。然而，在实际应用中，器件在低得多的频率时就可能开始发生跳码、有效位数和信噪比降低、交流非线性等问题。

直方图对评估ADC的微分非线性很有用处。

孔径抖动对满量程正弦波信噪比的影响可以通过下列方程式计算：

$$V(t) = V_O \cdot \sin(2\pi ft),$$

$$\frac{dV}{dt} = 2\pi f V_O \cdot \cos(2\pi ft), \text{ 并且}$$

$$\frac{dV}{dt}_{\text{rms}} = \frac{2\pi f V_O}{\sqrt{2}}$$

对于均方根误差电压 $\Delta V_{\text{rms}}$ 和均方根孔径抖动 $t_a$ ,

$$\frac{\Delta V_{\text{rms}}}{t_a} = \frac{2\pi f V_O}{\sqrt{2}}, \text{ 并且}$$

$$\Delta V_{\text{rms}} = \frac{2\pi f V_O t_a}{\sqrt{2}}$$

均方根信号与均方根噪声的比值(单位用dB表示)为：

$$\text{信噪比} = 20 \log \left[ \frac{V_O/\sqrt{2}}{\Delta V_{\text{rms}}} \right]$$

$$= 20 \log \left[ \frac{1}{2\pi f t_a} \right] \text{ dB.}$$

图6显示了上式中孔径抖动这一个因素引起的信噪比，对于不同的孔径抖动值，它是满量程正弦波输入频率的函数。

考虑一个均方根孔径抖动为20 ps的8位20 MHz ADC。对于8 MHz满量程输入，根据上式计算可知，孔径抖动这一个因素引起的信噪比为60 dB。在8位Flash型转换器中，量化噪声引起的理论信噪比为50 dB。将60 dB的信噪比与50 dB的信噪比合并，得到理论信噪比为49.6 dB，它同时涵盖理想量化噪声和孔径抖动引起的噪声。然而，均方根孔径抖动为20 ps的实际8位ADC在这些条件下可能只能实现40 dB的信噪比。

因此，要准确评估ADC的动态性能，必须仔细考察信噪比、有效位数和孔径抖动规格。

使用图7所示的测试设置可以测量ADC的孔径抖动。低抖动脉冲发生器同时产生采样时钟和模拟输入信号，将二者之间的相位抖动降为最低。调整相移器，直到ADC以其最大压摆率在中量程下重复采样正弦波，然后根据ADC的数字化输出数据绘制直方图。

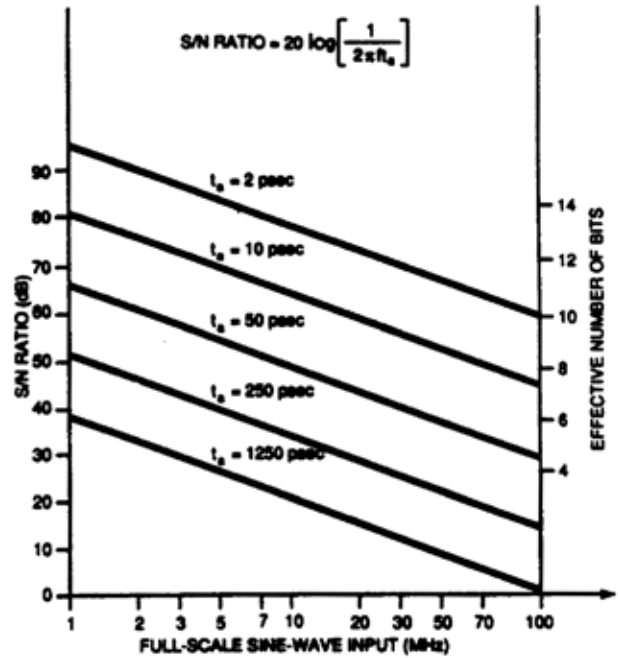


图6—此图显示了不同孔径抖动值时的信噪比与满量程正弦波输入之间的关系。

如果是无孔径抖动的理想ADC，直方图上只会有一个代码。实际的转换器则会产生代码分布，您可以将其描述为正态分布。该分布的sigma ( $\Sigma$ )对应于均方根孔径抖动产生的均方根误差电压 $\Delta V_{\text{rms}}$ 。通过下式计算孔径抖动 $t_a$ ：

$$t_a = \frac{\Delta V_{\text{rms}}}{\frac{dV}{dt}}$$

其中， $dV/dt$ 为正弦波在过零点的变化速率。

如果充分衰减输入正弦波，则该分布围绕标称代码的任何扩散都是由ADC内部噪声引起的。随着输入正弦波幅度的提高，压摆率 $dV/dt$ 成比例变大，分布将因为孔径抖动而开始扩散。高压摆率可能影响转换器的交流微分线性度，因此应小心解读高压摆率输入下的直方图。

## AN215C

**噪声功率比测试可以用来确定频分复用通信链路的传输特性。**

利用图7所示的偏移调整，您可以将正弦波放在ADC量程中的不同点。这样，您就可以了解与量程有关的微分线性特性所引起的变化。偏移正弦波时，确保不要超过ADC的输入范围。

使用锁定正弦波技术也可以测量有效孔径延迟。调整相移器，直到输出读数为中间电平。使用双踪示波器确定采样时钟脉冲的前沿与正弦波输入的实际过零点之差，该差值即为有效孔径延迟，可以是负值或正值，取决于ADC采样保持部分中的内部模拟和数字延迟的值。

目前，业界并不存在关于ADC误码率的定义和测试标准。在Flash型转换器中，对于低频或高频输入信号，比较器可能会发生亚稳态现象。在高频下，比较器库输出的温度计代码中的气泡也可能产生错误的输出代码。

对于一个行为正常的ADC，典型误码率小于 $1 \times 10^{-16}$ ，因此需要采集大量样本才能正确测量误码率。还必须认真考虑测试设置的布局、接地、屏蔽和电源去耦，防止60-Hz、EMI或RFI毛刺引起错误。

对于低频输入信号，使用图8所示的电路可以测量误码率。对ADC施加一个低频满量程正弦波(或三角波)，使其变化率小于1 LSB/样本，该步进可确保ADC遍历所有代码之间的跃迁区。规定误差幅度X LSB为合格误差的下限。通常，X应为多个LSB，使得随机噪声不会产生误差。然

后，软件或硬件检查各相邻样本之间的差值，并记录下此差值超过误差阈值X的次数。假设NQ为出现的合格误差的数量，NT为总采样数，则误码率 $ER = NQ/2 \times NT$ 。

例如，考虑一个8位100MSPS Flash型转换器，每个代码水平至少采集10个样本。对于三角波输入的一个坡面，需要的采样数为 $10 \times 256 = 2560$ 个样本。三角波的频率为：

在100 MHz的采样速率时，对于 $1 \times 10^{-9}$ 的误码率，发生一个误码所需的平均时间为10秒。

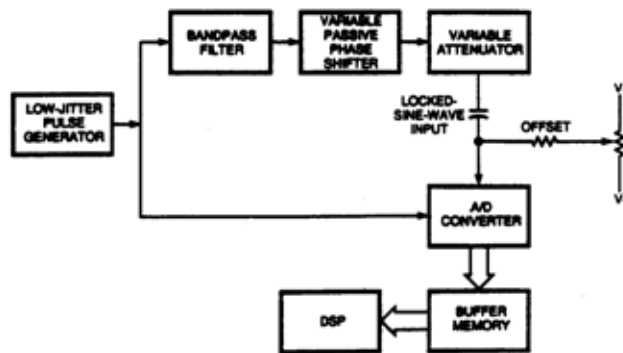


图7—这是一个用于测量孔径抖动的测试设置。调整相移器，直到ADC以其最大压摆率重复采样正弦波，然后根据ADC的数字化输出数据绘制直方图。利用该偏移调整，您可以将正弦波放在转换器量程中的不同点。

ADC的孔径时间和孔径抖动可能是误解最深、滥用最多的性能指标。

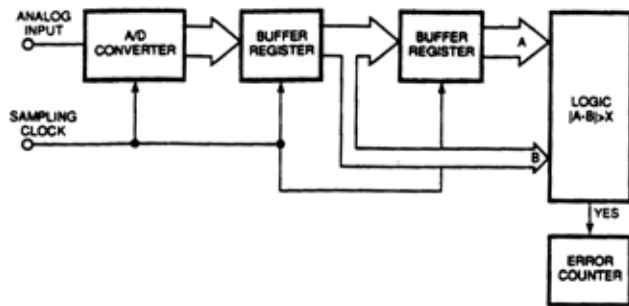


图8—有效孔径延迟等于采样时钟脉冲的前沿与正弦波输入的实际过零点之间的时差。

同样，利用拍频方法也可以测量快速输入信号引起的动态误差。首先选择低频拍频，得出每个代码水平的适当采样数，然后检查抽取的数字输出，确定相邻样本差值是否超过容许的误差幅度。

总而言之，ADC的适当误码率标准取决于应用以及考虑使用的转换器的特性。使用直接二进制编码并且没有额外校正逻辑的Flash型转换器，在中间电平时最容易发生较大的亚稳态误差。这种情况下，以中间电平代码跃迁为中心的幅度扰动信号可能是一个适当的激励信号。在表现更好的Flash型转换器中，使用能够遍历所有代码的满量程信号可能会更好一些。

如果打算对复合视频信号进行数字化，则需要测量Flash型ADC的差分增益和相位性能。差分增益为两个信号的数字化幅度之间的百分比差。同样，差分相位为两个输入信号的数字化值之间的相位差。输入信号通常是一个高频低电平正弦波，代表颜色子载波频率，叠加于低频正弦波上。为使颜色信号处理无失真，Flash型转换器不得改变相对于亮度信号电平的色度信号幅度和相位。

执行复合视频测试的最佳方法是背靠背使用一个ADC和一个DAC。将电视测试信号连接到ADC，并使用DAC的输出驱动一个矢量示波器。为确保测试能够精确测量ADC的性能，应使用低毛刺DAC，并且在DAC之后连接一个采样保持限变器。此外，DAC的直流精度应超过ADC的直流精度。测试8位Flash型转换器时，至少应使用10位精度的DAC。

### 参考文献

1. Andrews, James R, Barry A Bell, Norris S Nahman, and Eugene E Baldwin, "Reference Waveform Flat Pulse Generator," IEEE Transactions on Instrumentation and Measurement, Vol IM-32, No. 1, March 1988, pg 27.
2. Schoenwetter, Howard K, "A Programmable Voltage Step Generator for Testing Waveform Recorders," IEEE Transactions on Instrumentation and Measurement, Vol IM-33, No. 3, September 1984, pg 196.
3. Gray, G A, and G W Zeoli, "Quantization and Saturation Noise Due to Analog-Digital Conversion," IEEE Transactions on Aerospace and Electronic Systems, January 1971, pg 222.
4. Tant, M J, The White Noise Book, Marconi Instruments, July 1974.