

ADF7023-J AD_15d4g固件下载模块

作者: Liam O’Hora

简介

本应用笔记描述ADF7023-J收发器IC的AD_15d4g固件下载模块。AD_15d4g固件下载模块向ADF7023-J添加了如下功能:

- IEEE 802.15.4g物理层(PHY)报头格式
- IEEE 802.15.4g数据白化
- Tx/Rx滚动数据缓冲器
- 1字节至1000字节Tx前同步码
- ARIB STD T108空闲信道评估(CCA)
- Rx天线分集

图1所示为低功耗、902 MHz至958 MHz收发器IC ADF7023-J的框图。该收发器内置一个带掩模ROM的自定义微控制器(MCU)内核,用于实现分组处理功能,并将无线电命令转换成内部控制序列。此外还提供2 kB的程序RAM (PRAM),用作程序代码存储器。PRAM支持增加无线电控制命令,以便提供改变的或扩展的功能。本应用笔记中描述的AD_15d4g固件下载模块基于下载到该PRAM中的程序代码。

PRAM模块是易失性存储器,每次收发器从休眠状态唤醒时必须重新加载。通过串行外设接口(SPI)可以按顺序访问PRAM位置。“代码下载序列”部分详细说明了代码下载机制。

固件二进制下载文件(rom_ram_7023_2_2_AD_15d4g_R4p3.dat)可在ADI网站下载,网址是:<ftp://ftp.analog.com/pub/RFL/FirmwareModules>。

随着新功能的加入,修订版(修订版4.3)可能发生改变。

AD_15d4g固件下载模块重映射部分ADF7023-J寄存器和命令,并扩充数据手册状态图。更多信息请参见“寄存器重映射”部分。

请注意,在整篇应用笔记中,多功能引脚(如ADCIN_ATB3引脚)由整个引脚名称或引脚的单个功能表示;例如ATB3表示仅与此功能相关。

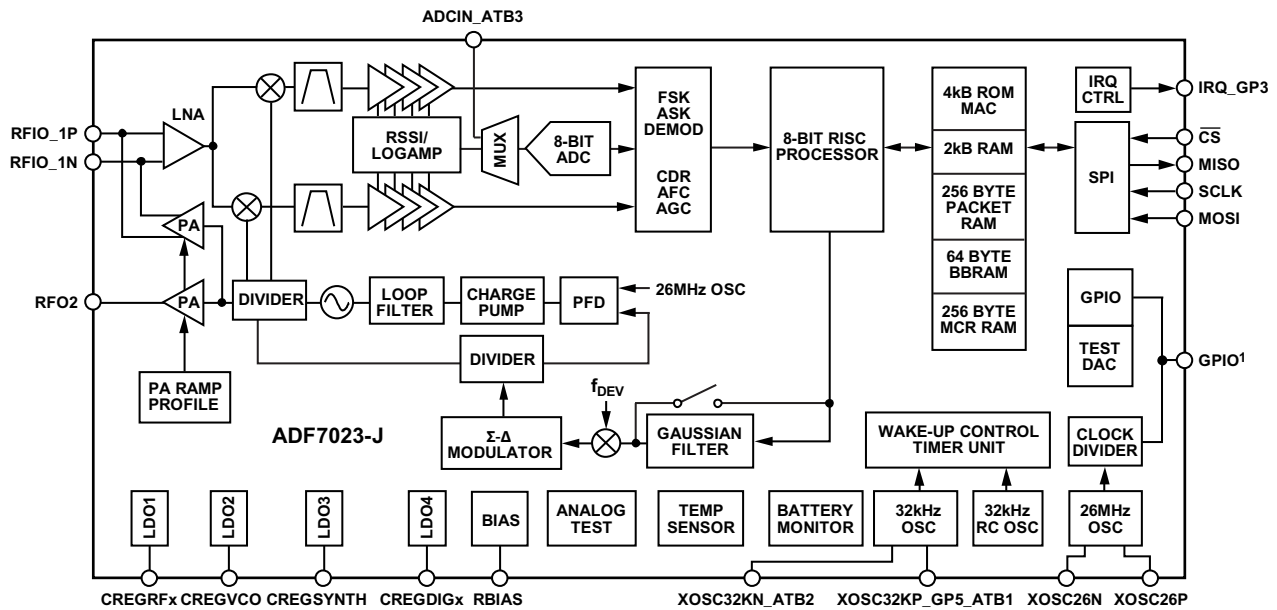


图1. ADF7023-J功能框图

目录

简介.....	1	发出命令时的潜在丢包.....	25
目录.....	2	15d4模式下的数据包结构.....	27
修订历史.....	2	前同步码.....	27
寄存器重映射.....	3	SFD.....	27
寄存器映射扩展.....	6	PHR.....	27
寄存器描述.....	7	Tx/Rx滚动数据缓冲器.....	29
中断屏蔽和源配置.....	11	发送模式下的滚动缓冲器.....	29
天线信号路径控制.....	12	接收模式下的滚动缓冲器.....	29
接收模式.....	12	建议寄存器设置.....	31
发送模式.....	12	建议自动增益控制(AGC)设置.....	31
快速Tx/Rx转换.....	13	Tx查找表(LUT)设置.....	31
天线分集.....	14	重复使用BBRAM设置.....	31
天线分集算法.....	14	100 kbps和200 kbps工作的接收器设置示例自动频率控制	
衰落环境下的性能.....	16	(AFC)使能.....	31
空闲信道评估.....	17	规格.....	32
CCA定时器模式.....	17	测试条件.....	33
CCA无穷模式.....	21	代码下载序列.....	34
PHY_RX_CCA_15d4状态期间的命令访问.....	25		

修订历史

2015年3月—修订版0：初始版

寄存器重映射

固件将ADF7023-J数据手册中的状态图扩展至包括15d4g状态，如图2所示；此外还扩展了固件状态，如表3所定义。

下载固件模块并输入15d4g状态后，部分备用电池随机存取存储器(BBRAM)寄存器便具有了全新的含义，而另一部分则成为冗余。重映射BBRAM寄存器定义如表1所示。扩展后的命令列表定义如表2所示。在15d4g状态下，INTERRUPT_MASK_0寄存器和INTERRUPT_SOURCE_0寄存器同样会重映射，定义见表29和表30。

数据包RAM地址0x20至0xFF用于15d4g状态下的包数据。分配字节0x00至0x1F供片内处理器使用，不可用于包数据。

退出15d4g状态后，恢复一切数据手册正常功能。然而，应当注意，这些重复使用的设置必须适当根据数据手册进行再编程。

表1. 15d4g状态期间的BBRAM重复使用

地址(十六进制)	正常工作	15d4g状态下工作	注释
0x100	INTERRUPT_MASK_0	INTERRUPT_MASK_0	15d4g状态下重映射中断
0x101	INTERRUPT_MASK_1	INTERRUPT_MASK_1	
0x102	NUMBER_OF_WAKEUPS_0	保留	15d4g状态下不覆盖
0x103	NUMBER_OF_WAKEUPS_1	BB_CCA_CFG_0	
0x104	NUMBER_OF_WAKEUPS_IRQ_THRESHOLD_0	BB_CCA_CFG_1	
0x105	NUMBER_OF_WAKEUPS_IRQ_THRESHOLD_1	BB_CCA_THRESHOLD	
0x106	RX_DWELL_TIME	保留	15d4g状态下不覆盖
0x107	PARMTIME_DIVIDER	PARMTIME_DIVIDER	15d4g状态下未使用
0x108	SWM_RSSI_THRESH	SWM_RSSI_THRESH	15d4g状态下未使用
0x109	CHANNEL_FREQ_0	CHANNEL_FREQ_0	
0x10A	CHANNEL_FREQ_1	CHANNEL_FREQ_1	
0x10B	CHANNEL_FREQ_2	CHANNEL_FREQ_2	
0x10C	RADIO_CFG_0	RADIO_CFG_0	
0x10D	RADIO_CFG_1	RADIO_CFG_1	
0x10E	RADIO_CFG_2	RADIO_CFG_2	
0x10F	RADIO_CFG_3	RADIO_CFG_3	
0x110	RADIO_CFG_4	RADIO_CFG_4	
0x111	RADIO_CFG_5	RADIO_CFG_5	
0x112	RADIO_CFG_6	RADIO_CFG_6	
0x113	RADIO_CFG_7	RADIO_CFG_7	
0x114	RADIO_CFG_8	RADIO_CFG_8	
0x115	RADIO_CFG_9	RADIO_CFG_9	
0x116	RADIO_CFG_10	RADIO_CFG_10	
0x117	RADIO_CFG_11	RADIO_CFG_11	
0x118	IMAGE_REJECT_CAL_PHASE	IMAGE_REJECT_CAL_PHASE	
0x119	IMAGE_REJECT_CAL_AMPLITUDE	IMAGE_REJECT_CAL_AMPLITUDE	
0x11A	MODE_CONTROL	MODE_CONTROL	
0x11B	PREAMBLE_MATCH	PREAMBLE_MATCH	
0x11C	SYMBOL_MODE	SYMBOL_MODE	
0x11D	PREAMBLE_LEN	PREAMBLE_LEN	
0x11E	CRC_POLY_0	CRC_POLY_0	
0x11F	CRC_POLY_1	CRC_POLY_1	
0x120	SYNC_CONTROL	SYNC_CONTROL	
0x121	SYNC_BYTE_0	SYNC_BYTE_0	
0x122	SYNC_BYTE_1	SYNC_BYTE_1	
0x123	SYNC_BYTE_2	SYNC_BYTE_2	
0x124	TX_BASE_ADR	TX_BASE_ADR	
0x125	RX_BASE_ADR	RX_BASE_ADR	
0x126	PACKET_LENGTH_CONTROL	PACKET_LENGTH_CONTROL	

AN-1339

地址(十六进制)	正常工作	15d4g状态下工作	注释
0x127	PACKET_LENGTH_MAX	PACKET_LENGTH_MAX	
0x128	STATIC_REG_FIX	保留	15d4g状态下设为0
0x129	ADDRESS_MATCH_OFFSET	BB_RX_ANTENNA_DIVERSITY_CFG	
0x12A	ADDRESS_LENGTH	BB_TX_ANTENNA_CFG	
0x12B	地址匹配	BB_ANTENNA0_RSSI	
0x12C	地址匹配	BB_ANTENNA1_RSSI	
0x12D	地址匹配	BB_THRESHOLD_DIFF_RSSI	
0x12E	地址匹配	BB_NB_PREAMBLE_BYTES_LOW	
0x12F	地址匹配	BB_NB_PREAMBLE_BYTES_HIGH	
0x130	地址匹配	BB_SFD_LOW	
0x131	地址匹配	BB_SFD_HIGH	
0x132	地址匹配	BB_PHR_LOW	15d4g状态下由固件控制
0x133	地址匹配	BB_PHR_HIGH	15d4g状态下由固件控制
0x134	地址匹配	BB_RX_BUFFER_SIGNAL	
0x135	地址匹配	BB_RX_BUFFER_SIZE	
0x136	地址匹配	BB_TX_BUFFER_SIGNAL	
0x137	地址匹配	BB_TX_BUFFER_SIZE	
0x138	RSSI_WAIT_TIME	保留	15d4g状态下设为0x00
0x139	TESTMODES	BB_TESTMODES	
0x13A	TRANSITION_CLOCK_DIV	保留	15d4g状态下设为0x01
0x13B	保留	BB_VCO_BAND_READBACK	
0x13C	保留	BB_VCO_AMP_READBACK	
0x13D	保留	保留	
0x13E	RX_SYNTN_LOCK_TIME	RX_SYNTN_LOCK_TIME	
0x13F	TX_SYNTN_LOCK_TIME	TX_SYNTN_LOCK_TIME	
0x01F	包数据	PHY_RX_STATUS	15d4g状态下使用的数据包RAM

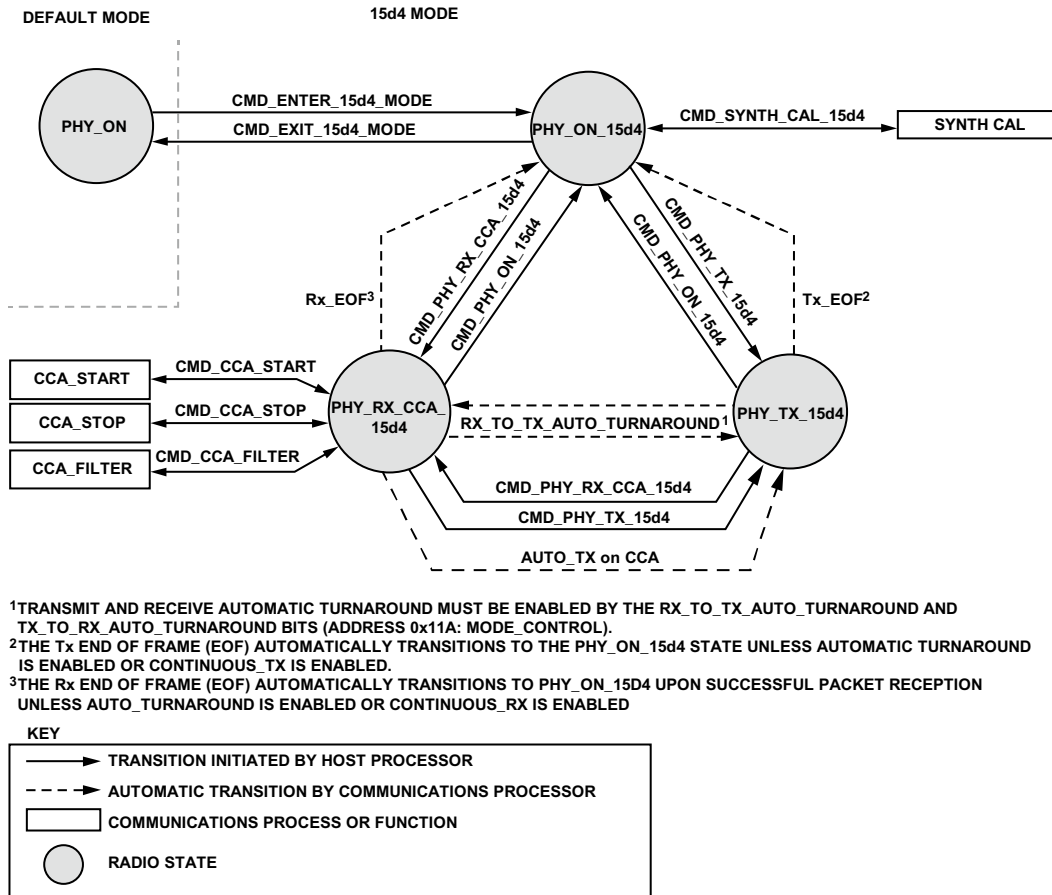


图2. 15d4g状态图

12784-002

表2. 固件下载中包含的命令和状态

命令/位	命令代码	当前状态	下一状态
CMD_ENTER_15d4_MODE	0xC1	PHY_ON	PHY_ON_15d4
CMD_EXIT_15d4_MODE	0xB1	PHY_ON_15d4	PHY_ON
CMD_PHY_RX_CCA_15d4	0xB2	PHY_ON_15d4, PHY_TX_15d4, PHY_RX_CCA_15d4	PHY_RX_CCA_15d4
CMD_PHY_TX_15d4	0xB5	PHY_ON_15d4, PHY_RX_CCA_15d4	PHY_TX_15d4
CMD_PHY_ON_15d4	0xB1	PHY_RX_CCA_15d4, PHY_TX_15d4	PHY_ON_15d4
CMD_SYNTN_CAL_15d4	0xEE	PHY_ON_15d4	PHY_ON_15d4
CMD_CCA_START	0xB7	PHY_RX_CCA_15d4	PHY_RX_CCA_15d4
CMD_CCA_STOP	0xB8	PHY_RX_CCA_15d4	PHY_RX_CCA_15d4
CMD_CCA_FILTER	0xB9	PHY_RX_CCA_15d4	PHY_RX_CCA_15d4
CMD_CONFIG_DEV	0xBB	PHY_ON_15d4	PHY_ON_15d4

表3. FW_STATE描述

数值	状态	描述
0x18	PHY_ON_15d4	器件已准备好15d4工作模式，可以进入PHY_RX_CCA_15d4和PHY_TX_15d4状态。
0x1A	PHY_RX_CCA_15d4	器件处于15d4接收模式，可以接收15d4有效数据包，可以使能CCA和天线分集。接收有效数据包后，器件可以返回PHY_ON_15d4状态、保持PHY_RX_CCA_15d4状态或者转换为PHY_TX_15d4状态，具体取决于用户设置。
0x1C	PHY_TX_15d4	器件处于15d4发送模式，可以自动发送存储在数据包RAM中的数据包。发送数据包后，器件可以返回PHY_ON_15d4状态、保持PHY_TX_15d4状态或者转换为PHY_RX_CCA_15d4状态，具体取决于用户设置。

寄存器映射扩展

表4. AD_15d4g固件下载使用的寄存器

地址(十六进制)	寄存器	描述
0x103	BB_CCA_CFG_0	CCA配置字0
0x104	BB_CCA_CFG_1	CCA配置字1
0x105	BB_CCA_THRESHOLD	CCA阈值
0x129	BB_RX_ANTENNA_DIVERSITY_CFG	Rx天线分集配置寄存器
0x12A	BB_TX_ANTENNA_CFG	Tx天线配置寄存器
0x12B	BB_ANTENNA0_RSSI	如果使能天线分集, 则该寄存器存储来自天线0的接收信号强度指示器(RSSI)数值
0x12C	BB_ANTENNA1_RSSI	如果使能天线分集, 则该寄存器存储来自天线1的RSSI数值
0x12D	BB_THRESHOLD_DIFF_RSSI	存储CCA阈值和测得的RSSI值之差
0x12E	BB_NB_PREAMBLE_BYTES_LOW	前同步码字节数的低位字节
0x12F	BB_NB_PREAMBLE_BYTES_HIGH	前同步码字节数的高位字节
0x130	BB_SFD_LOW	帧起始定界符(SFD)字的低位字节
0x131	BB_SFD_HIGH	SFD字的高位字节
0x132	BB_PHR_LOW	PHY报头(PHR)字的低位字节
0x133	BB_PHR_HIGH	PHR字的高位字节
0x134	BB_RX_BUFFER_SIGNAL	Rx缓冲器将满
0x135	BB_RX_BUFFER_SIZE	Rx缓冲器满
0x136	BB_TX_BUFFER_SIGNAL	Tx缓冲器将满
0x137	BB_TX_BUFFER_SIZE	Tx缓冲器满
0x138	Reserved	设为0
0x139	BB_TESTMODES	控制测试模式
0x13A	Reserved	设为0x01
0x13B	BB_VCO_BAND_READBACK	压控振荡器(VCO)频段选择校准值
0x13C	BB_VCO_AMP_READBACK	VCO幅度电平校准值
0x01F	PHY_RX_STATUS	表示Rx中的前同步码和SFD状态

寄存器描述

表5. 地址0x103: BB_CCA_CFG_0

位	名称	访问类型	描述
7	CCA_STATUS	R/W	表示信道空闲(0)或繁忙(1)。
[6:5]	CCA_FILTER_BW	R/W	CCA_FILTER_BW设置CCA RSSI的中频(IF)滤波器带宽。 00: 100 kHz。 01: 150 kHz。 10: 200 kHz。 11: 300 kHz。
4	CCA_AUTO_TX	R/W	1: CCA保持PHY_RX_CCA_15d4状态(手动Tx)。用于CCA无穷模式。 0: CCA自动Tx。用于CCA定时器模式。
[3:1]	CCA_TIMER	R/W	CCA_TIMER选择八个定时器选项之一。 000: 160 μs。 001: 320 μs。 010: 640 μs。 011: 1280 μs。 100: 1920 μs。 101: 2560 μs。 110: 9960 μs。 111: 无穷模式。
0	CCA_BYPASS_UPDATE	R/W	仅调试模式: 正常使用时, 设为0。 0: 针对每个字节更新CCA数据(正常使用)。 1: 不针对每个字节更新CCA数据(仅限调试模式, 会导致CCA_STATUS位冻结)。

表6. 地址0x104: BB_CCA_CFG_1

位	名称	访问类型	描述
7	CCA_LIVE_STATUS	R/W	即时表示信道空闲(0)或繁忙(1)。
6	ENABLE_IFBW_SWITCH_ON_PREAMBLE	R/W	1: 检测到前同步码时改变带宽。 0: 检测到前同步码时保持带宽。
5	ENABLE_IFBW_AUTO_SWITCH	R/W	1: 发出CMD_CCA_START时改变带宽。 0: 发出CMD_CCA_START时保持默认带宽。
4	WAIT_FOR_HOST_EOCCA	R/W	仅调试模式: 正常使用时, 设为0。 1: CCA触发后, 在CCA定时器停止时等待主机(仅限调试模式)。 0: CCA定时器超时后继续更新CCA寄存器(正常使用)。
[3:0]	Reserved	R/W	设为0。

表7. 地址0x105: BB_CCA_THRESHOLD

位	名称	访问类型	描述
[7:0]	CCA_THRESHOLD	R/W	8位数字, 表示CCA RSSI阈值, 单位为dBm。CCA_THRESHOLD = RSSI (dBm) + 107

AN-1339

表8. 地址0x129: BB_RX_ANTENNA_DIVERSITY_CFG

位	名称	访问类型	描述
[7:6]	RX_ANTENNA_DIVERSITY_CFG_PATH_ANT_0	R/W	将Rx天线0路径映射到ATB引脚 位7 = ATB1/ATB3, 0 = 低电平, 1 = 高电平 位6 = ATB2/ATB4, 0 = 低电平, 1 = 高电平
[5:4]	RX_ANTENNA_DIVERSITY_CFG_PATH_ANT_1	R/W	将Rx天线1路径映射到ATB引脚 位5 = ATB1/ATB3, 0 = 低电平, 1 = 高电平 位4 = ATB2/ATB4, 0 = 低电平, 1 = 高电平
3	RX_ATB_LEVEL	R/W	1: 选择使用1.8 V驱动器(ATB3和ATB4) 0: 选择使用VDD驱动器(ATB1和ATB2)
2	保留	R/W	设为0
1	ANTENNA_SELECTED	R/W	如果ANTENNA_DIVERSITY_ENABLE位 = 1, 则该位报告分集算法选中的天线: 0 = 天线0 1 = 天线1 如果ANTENNA_DIVERSITY_ENABLE位 = 0, 则该位选择该接收天线: 0 = 天线0(使用RX_ANTENNA_DIVERSITY_CFG_PATH_ANT_0位映射) 1 = 天线1(使用RX_ANTENNA_DIVERSITY_CFG_PATH_ANT_1位映射)
0	ANTENNA_DIVERSITY_ENABLE	R/W	1 = 使能天线分集算法(并自动选择Rx天线) 0 = 禁用天线分集算法(并手动选择Rx天线)

表9. 地址0x12A: BB_TX_ANTENNA_CFG

位	名称	访问类型	描述
[7:6]	TX_ANTENNA_CFG_PATH_ANT_0	R/W	将Tx天线0路径映射到ATB位 位7 = ATB1/ATB3, 0 = 低电平, 1 = 高电平 位6 = ATB2/ATB4, 0 = 低电平, 1 = 高电平
[5:4]	TX_ANTENNA_CFG_PATH_ANT_1	R/W	将Tx天线1路径映射到ATB位 位5 = ATB1/ATB3, 0 = 低电平, 1 = 高电平 位4 = ATB2/ATB4, 0 = 低电平, 1 = 高电平
3	TX_ATB_LEVEL	R/W	1: 选择使用1.8 V驱动器(ATB3和ATB4) 0: 选择使用VDD驱动器(ATB1和ATB2)
2	保留	R/W	设为0
1	TX_ANTENNA	R/W	该位选择发送天线 0 = 天线0(使用TX_ANTENNA_DIVERSITY_CFG_PATH_ANT_0位映射) 1 = 天线1(使用TX_ANTENNA_DIVERSITY_CFG_PATH_ANT_1位映射)
0	保留	R/W	设为0

表10. 地址0x12B: BB_ANTENNA0_RSSI

位	名称	访问类型	描述
[7:0]	ANTENNA0_RSSI_READBACK	R/W	该寄存器包含天线0上测得的RSSI值: $RSSI (dBm) = ANTENNA0_RSSI_READBACK - 107$

表11. 地址0x12C: BB_ANTENNA1_RSSI

位	名称	访问类型	描述
[7:0]	ANTENNA1_RSSI_READBACK	R/W	该寄存器包含天线1上测得的RSSI值: $RSSI (dBm) = ANTENNA1_RSSI_READBACK - 107$

表12. 地址0x12D: BB_THRESHOLD_DIFF_RSSI

位	名称	访问类型	描述
[7:0]	THRESHOLD_DIFF_RSSI	R/W	CCA_THRESHOLD和最新RSSI评估值之差

表13. 地址0x12E: BB_NB_PREAMBLE_BYTES_LOW

位	名称	访问类型	描述
[7:0]	NB_PREAMBLE_BYTES_LOW	R/W	NB_PREAMBLE_BYTES字的位[7:0]

表14. 地址0x12F: BB_NB_PREAMBLE_BYTES_HIGH

位	名称	访问类型	描述
[7:0]	NB_PREAMBLE_BYTES_HIGH	R/W	NB_PREAMBLE_BYTES字的位[15:8]。注意，有效值范围为： $4 \leq \text{NB_PREAMBLE_BYTES} \leq 1000$

表15. 地址0x130: BB_SFD_LOW

位	名称	访问类型	描述
[7:0]	BB_SFD_LOW	R/W	SFD字的位[7:0](见表34)

表16. 地址0x131: BB_SFD_HIGH

位	名称	访问类型	描述
[7:0]	BB_SFD_HIGH	R/W	SFD字的位[15:8]。有关支持的SFD值请参见表34。

地址0x132(BB_PHR_LOW寄存器)中的值为只读。在接收模式下，AD_15d4g固件下载模块将数值从接收的数据包复制过来。在发送模式下，发送所需的PHR值必须写入TX_BASE_ADR寄存器，然后固件将这些数值反映回地址0x132。

表17. 地址0x132: BB_PHR_LOW

位	名称	访问类型	描述
7	MODE_SWITCH	R	表示数据包是否为模式切换数据包。
[6:5]	保留	R	设为0。
4	FCS	R	0 = 32位帧检查序列(FCS)；1 = 16位FCS。注意，ADF7023-J仅自动处理16位FCS。用户必须计算32位FCS。对于32位FCS Tx，用户必须计算FCS，并加到有效载荷末尾。对于32位FCS Rx，用户必须计算循环冗余校验(CRC)，并与数据包RAM接收的最后四个字节相比较。在32位FCS Rx中，不产生CRC校正中断。INTERRUPT_RX_EOF中断表示数据包接收完毕。
3	白化	R	1 = PHY服务数据单元(PSDU)白化。
[2:0]	PSDU_LENGTH_HI	R	PSDU_LENGTH[10:0]字的位[10:8]。

地址0x133(BB_PHR_HIGH寄存器)中的值为只读。在接收模式下，AD_15d4g固件下载模块将数值从接收的数据包复制过来。在发送模式下，发送所需的PHR值必须写入TX_BASE_ADR寄存器，然后固件将这些数值反映回地址0x133。

表18. 地址0x133: BB_PHR_HIGH

位	名称	访问类型	描述
[7:0]	PSDU_LENGTH_LO	R	PSDU_LENGTH[10:0]字的位[7:0]。注意，有效值范围为： $2 < \text{PSDU_LENGTH}[10:0] < 2048$

表19. 地址0x134: BB_RX_BUFFER_SIGNAL

位	名称	访问类型	描述
[7:0]	RX_BUFFER_SIGNAL	R/W	滚动缓冲器填充来自RX_BASE_ADR寄存器的数据。缓冲器到达位置RX_BASE_ADR + RX_BUFFER_SIGNAL后，产生INTERRUPT_BUFFER_ALMOST_FULL中断。注意，RX_BUFFER_SIGNAL数值必须大于2。

表20. 地址0x135: BB_RX_BUFFER_SIZE

位	名称	访问类型	描述
[7:0]	RX_BUFFER_SIZE	R/W	这是Rx缓冲器的最大尺寸。位置RX_BASE_ADR + RX_BUFFER_SIZE填充数据后，产生INTERRUPT_BUFFER_FULL中断，缓冲器回送至位置RX_BASE_ADR并继续从该处填充。注意，RX_BUFFER_SIZE值必须大于2；对于16位FCS而言，RX_BUFFER_SIZE寄存器之后需要一个2字节溢出区。

AN-1339

表21. 地址0x136: BB_TX_BUFFER_SIGNAL

位	名称	访问类型	描述
[7:0]	TX_BUFFER_SIGNAL	R/W	滚动缓冲器从RX_BASE_ADR寄存器发送数据。若缓冲器到达位置TX_BASE_ADR + TX_BUFFER_SIGNAL并从该位置发送数据, 则产生INTERRUPT_BUFFER_ALMOST_FULL中断。注意, TX_BUFFER_SIGNAL数值必须大于2。

表22. 地址0x137: BB_TX_BUFFER_SIZE

位	名称	访问类型	描述
[7:0]	TX_BUFFER_SIZE	R/W	这是Tx缓冲器的最大尺寸。位置TX_BASE_ADR + TX_BUFFER_SIZE的数据发送后, 产生INTERRUPT_BUFFER_FULL中断, 缓冲器回送至位置TX_BASE_ADR并继续从该处发送数据。注意, TX_BUFFER_SIZE数值必须大于2。

表23. 地址0x138: 保留

位	名称	访问类型	描述
[7:0]	保留	R/W	设为0

表24. 地址0x139: BB_TESTMODES

位	名称	访问类型	描述
[7:2]	保留	R/W	设为0
1	BIT_CONTINUOUS_TX	R/W	1: 数据包传输后, 器件保持PHY_TX_15d4状态 0: 数据包传输后, 器件返回PHY_ON_15d4状态
0	BIT_CONTINUOUS_RX	R/W	1: 数据包接收后, 器件保持PHY_RX_CCA_15d4状态 0: 数据包接收后, 器件返回PHY_ON_15d4状态

表25. 地址0x13A: 保留

位	名称	访问类型	描述
[7:1]	保留	R/W	设为0
0	保留	R/W	设为1

表26. 地址0x13B: BB_VCO_BAND_READBACK

位	名称	访问类型	描述
[7:0]	VCO_BAND_READBACK	R/W	频率合成器校准后存储VCO频段校准结果, 用以快速Tx/Rx转换

表27. 地址0x13C: BB_VCO_AMPL_READBACK

位	名称	访问类型	描述
[7:0]	VCO_AMPL_READBACK	R/W	频率合成器校准后存储VCO幅度校准结果, 用以快速Tx/Rx转换

表28. 地址0x01F: PHY_RX_STATUS

位	名称	访问类型	描述
[7:2]	保留	R	保留
1	SFD_RX_STATUS	R	1: 检测到SFD 0: 未检测到SFD
0	PREAMBLE_RX_STATUS	R	1: 检测到前同步码 0: 未检测到前同步码

中断屏蔽和源配置

表29. 地址0x100: INTERRUPT_MASK_0

位	名称	访问类型	描述
7	INTERRUPT_CCA	R/W	定时器模式下，CCA周期到期后中断。(CCA_STATUS标志表示信道为繁忙或空闲。)无穷模式下，信道空闲时中断。 1: 使能中断；0: 禁用中断。
6	INTERRUPT_BUFFER_FULL	R/W	Rx或Tx缓冲器满后中断。 1: 使能中断；0: 禁用中断。
5	INTERRUPT_BUFFER_ALMOST_FULL	R/W	Rx或Tx缓冲器将满时中断。 1: 使能中断；0: 禁用中断。
4	INTERRUPT_RX_EOF	R/W	当数据包完成接收时中断。 1: 使能中断；0: 禁用中断。
3	INTERRUPT_TX_EOF	R/W	当数据包完成发送时中断。 1: 使能中断；0: 禁用中断。
2	INTERRUPT_CRC_CORRECT	R/W	当接收包具有正确的CRC时中断。 1: 使能中断；0: 禁用中断。
1	INTERRUPT_PHR_DETECT	R/W	当在接收包中检测到PHR时中断。检测到SFD时产生中断，但延迟至PHR接收结束时才发出中断。 1: 使能中断；0: 禁用中断。
0	INTERRUPT_PREAMBLE_DETECT	R/W	当接收包中存在合格前同步码时中断。 1: 使能中断；0: 禁用中断。

表30. 地址0x336: INTERRUPT_SOURCE_0

位	名称	访问类型	复位	描述
7	INTERRUPT_CCA	R/W	0	定时器模式下，CCA周期到期后置位CCA中断。 无穷模式下，INTERRUPT_CCA中断仅在信道空闲时置位。
6	INTERRUPT_BUFFER_FULL	R/W	0	Rx或Tx缓冲器满时置位(达到Rx或Tx缓冲器尺寸)。
5	INTERRUPT_BUFFER_ALMOST_FULL	R/W	0	Rx或Tx缓冲器将满时置位(Rx或Tx缓冲器信号到达)。
4	INTERRUPT_RX_EOF	R/W	0	当数据包完成接收时置位。
3	INTERRUPT_TX_EOF	R/W	0	当数据包完成发送时置位。
2	INTERRUPT_CRC_CORRECT	R/W	0	当接收包具有正确的CRC时置位。
1	INTERRUPT_PHR_DETECT	R/W	0	当在接收包中检测到PHR时置位。
0	INTERRUPT_PREAMBLE_DETECT	R/W	0	当在接收包中检测到合格前同步码时置位。

天线信号路径控制

ADF7023-J的ATB1、ATB2、ATB3和ATB4引脚用于控制射频(RF)天线分集开关。本节介绍这四个引脚在接收和发送模式下的配置详情。

接收模式

PHY_RX_CCA_15d4状态下，配置天线信号路径的控制位映射由BB_RX_ANTENNA_DIVERSITY_CFG寄存器(地址0x129)的位[7:6]和位[5:4]自动控制。位[7:6]控制天线0的信号路径，如表31所示；位[5:4]控制天线1的信号路径，如表32所示。

天线分集使能后(地址0x129，位0=1)，ADF7023-J可自动在两个天线之间切换。

天线分集禁用后(地址0x129，位0=0)，器件使用地址0x129位1(ANTENNA_SELECTED位)中的编程值选择使用哪个天线以及哪条天线路径。

这些控制位在ATB1和ATB2引脚上以 V_{DD} 控制位的形式出现，或者在ATB3和ATB4引脚上以1.8 V控制位的形式出现。选择 V_{DD} 控制或1.8 V控制由BB_RX_ANTENNA_DIVERSITY_CFG寄存器的位3(RX_ATB_LEVEL位)决定。

表31. 天线0路径Rx/Tx配置

用于Rx的地址0x129 用于Tx的地址0x12A		ATB状态				
路径 (位[7:6])	ATB电平 (位3)	ATB1 ¹	ATB2 ¹	ATB3 ²	ATB4 ²	
0	0	0	低电平	低电平	高阻态	高阻态
0	1	0	低电平	高电平	高阻态	高阻态
1	0	0	高电平	低电平	高阻态	高阻态
1	1	0	高电平	高电平	高阻态	高阻态
0	0	1	高阻态	高阻态	低电平	低电平
0	1	1	高阻态	高阻态	低电平	高电平
1	0	1	高阻态	高阻态	高电平	低电平
1	1	1	高阻态	高阻态	高电平	高电平

¹ ATB1和ATB2为 V_{DD} 驱动器：高电平= V_{DD} ，低电平=0V，高阻态=三态。

² ATB3和ATB4为1.8V驱动器：高电平=1.8V，低电平=0V，高阻态=三态。

表32. 天线1路径Rx/Tx配置

用于Rx的地址0x129 用于Tx的地址0x12A		ATB电平 (位3)	ATB状态			
路径(位[5:4])			ATB1 ¹	ATB2 ¹	ATB3 ²	ATB4 ²
0	0	0	低电平	低电平	高阻态	高阻态
0	1	0	低电平	高电平	高阻态	高阻态
1	0	0	高电平	低电平	高阻态	高阻态
1	1	0	高电平	高电平	高阻态	高阻态
0	0	1	高阻态	高阻态	低电平	低电平
0	1	1	高阻态	高阻态	低电平	高电平
1	0	1	高阻态	高阻态	高电平	低电平
1	1	1	高阻态	高阻态	高电平	高电平

¹ ATB1和ATB2为 V_{DD} 驱动器：高电平= V_{DD} ，低电平=0V，高阻态=三态。

² ATB3和ATB4为1.8V驱动器：高电平=1.8V，低电平=0V，高阻态=三态。

发送模式

在发送模式下，发送路由由BB_TX_ANTENNA_CFG寄存器(地址0x12A)的位[7:6]和位[5:4]自动控制。位[7:6]控制天线0的信号路径，如表31所示；位[5:4]控制天线1的信号路径，如表32所示。

选择哪个天线用于Tx由TX_ANTENNA位(地址0x12A位1)控制。将TX_ANTENNA位设为0选择天线路径0用于Tx，而设为1则选择天线路径1用于Tx。

这些控制位在ATB1和ATB2引脚上以 V_{DD} 控制位的形式出现，或者在ATB3和ATB4引脚上以1.8 V控制位的形式出现。选择 V_{DD} 控制或1.8 V控制由BB_TX_ANTENNA_CFG寄存器的位3(TX_ATB_LEVEL位)决定。

快速Tx/Rx转换

AD_15d4g固件下载模块支持从PHY_ON_15d4状态到PHY_TX_15d4状态和PHY_RX_CCA_15d4状态的快速转换。按照以下序列进行快速转换：

1. 在PHY_ON_15d4状态下发出CMD_SYNTN_CAL_15d4命令(命令0xEE)。在编程信道频率下执行频率合成器校准，结果存储在BB_VCO_BAND_READBACK寄存器(地址0x13B)和BB_VCO_AMP_READBACK寄存器(地址0x13C)。
2. 将VCO_OVRW_EN(地址0x3CD)设为0x3可使能频率合成器校准覆盖。

执行该序列后，CMD_PHY_RX_CCA_15d4命令和CMD_PHY_TX_15d4命令在较短的时间内完成，因为不再执行频率合成器校准。

注意，周期性执行完整的频率合成器校准是一种很好的做法。完整的频率合成器校准可在工作温度或电池电压波动范围内保持最优RF性能。

天线分集

除了传播损耗，信道损害(比如多路径和信号衰落)也有可能降低无线通信链路的性能和鲁棒性。

电磁波传播容易受到路径上的反射、折射和散射影响，如图3所示。在接收器输入端，发送信号的多个副本可以在略有不同的时间内到达，并具有不同的幅度。这些多路径信号互相叠加，导致接收器输入端的复合信号产生相长或相消干涉。

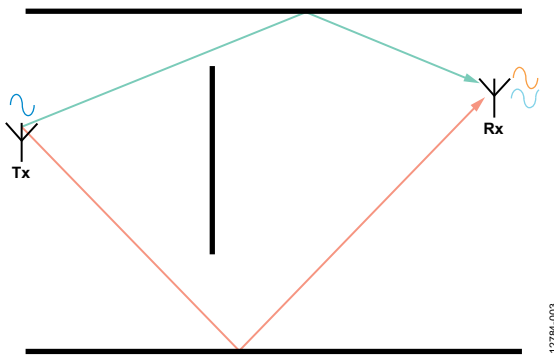


图3. 多路径传播

为了解决这个问题，可以使用天线分集技术来改进无线链路的性能。测量物理上相互独立的两个天线的信号质量，将信号质量较高的那个天线用作接收器的输入。通过在物理上将天线相互隔离，两个天线同时受到同一个衰落特性影响的可能性大幅降低。

ADF7023-J固件下载采用分集切换技术。接收模式下，外部RF开关(例如DPDT双刀双掷开关)用来从两个天线之一中选出一路信号，如图4所示。ATB1和ATB2引脚为ADF7023-J的RF分级开关提供逻辑控制。ADF7023-J还提供将任意逻辑状态组合(00、01、10、11)分配至开关控制引脚ATB1和ATB2的灵活性。这种可配置极性方案支持控制多种RF开关拓扑。ATB1和ATB2引脚的最大逻辑输出电平为 V_{DD} 。如需1.8 V逻辑电平，应使用ATB3和ATB4引脚。更多有关这些引脚的配置详情，请参见“天线信号路径控制”部分。

ADF7023-J使用双步认证过程评估各天线接收信号的质量：验证是否存在有效前同步码序列(101010...)，以及测量功率水平(RSSI)。这种两级认证过程确保接收器输入端具有高质量信号完整性，并保证数据包接收时具有足够的信噪比(SNR)。

收到数据包后，如果连续Rx已使能(地址0x139，位0=1)，则ADF7023-J保持接收模式，算法继续评估来自两个路径的信号质量。如果连续Rx未使能，则ADF7023-J将在数据包接收后返回PHY_ON_15d4状态。

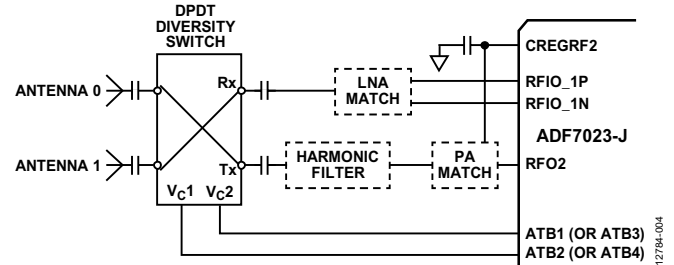


图4. 典型天线分集硬件

当输入功率水平接近接收器的灵敏度水平时，分集算法最为有效。此时，如果未使用天线分集，则接收器的数据包误差率(PER)性能可能会由于多路径和信号衰落损失而大幅下降。使能分集后，两个天线同时发生衰落的可能性大幅降低，并且ADF7023-J固件自动选择SNR最高的天线。

天线分集算法

将BB_RX_ANTENNA_DIVERSITY_CFG寄存器(地址0x129)位0设为1可使能天线分集。

在天线分集使能的情况下输入PHY_RX_CCA_15d4状态，可评估每个天线上的信号，并以固定的搜索定时器周期在天线之间切换。

算法操作如下：

- ADF7023-J针对全部两个天线执行前同步码验证和RSSI测量。在前同步码验证期间，接收到的位流与ADF7023-J中固定的10个前同步码位对相关。
- 在该搜索周期中还执行RSSI测量。
- 天线搜索周期过期后，在第二个天线上执行相同的前同步码验证和RSSI测量。
- 在全部两个天线上检测到有效前同步码序列后，RSSI读数最大的那个天线用于接收。
- 如果只在一个天线上检测到有效的前同步码序列，则选择该天线用于数据包接收。
- 如果两个天线均未验证前同步码序列，则算法继续以搜索周期速率在两个天线之间切换。

完成数据包接收后，如果BB_TESTMODES寄存器(地址0x139)的位0(BIT_CONTINUOUS_RX)为1，则器件返回PHY_RX_CCA_15d4天线搜索状态，且分集算法继续评估两个天线。注意，中断不会随器件返回PHY_RX_CCA_15d4状态而自动清零(见图5)。

如果BIT_CONTINUOUS_RX位 = 0，则器件在完成数据包接收后返回PHY_ON_15d4状态，且所选天线的验证数值可从BB_RX_ANTENNA_DIVERSITY_CFG寄存器的位1中回读。

可从地址0x12B(天线0)和地址0x12C(天线1)回读天线RSSI数值(见图6)。

配置天线路径的控制位映射可在BB_RX_ANTENNA_DIVERSITY_CFG寄存器(地址0x129)的位[7:6]和位[5:4]中编程设置。

这些控制位在ATB1和ATB2引脚上以V_{DD}逻辑电平的形式出现，或者在ATB3和ATB4引脚上以1.8 V逻辑电平的形式出现。使用BB_RX_ANTENNA_DIVERSITY_CFG寄存器(地址0x129)的位3(RX_ATB_LEVEL位)在V_{DD}或1.8 V电平之间选择。

详情参见“天线信号路径控制”部分。

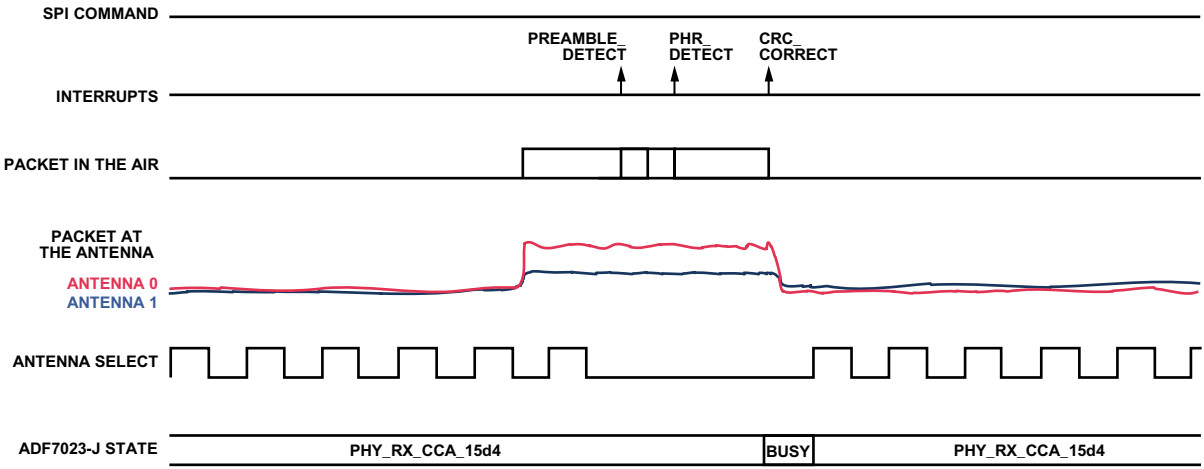


图5. 连续Rx的天线分集时序

12784-006

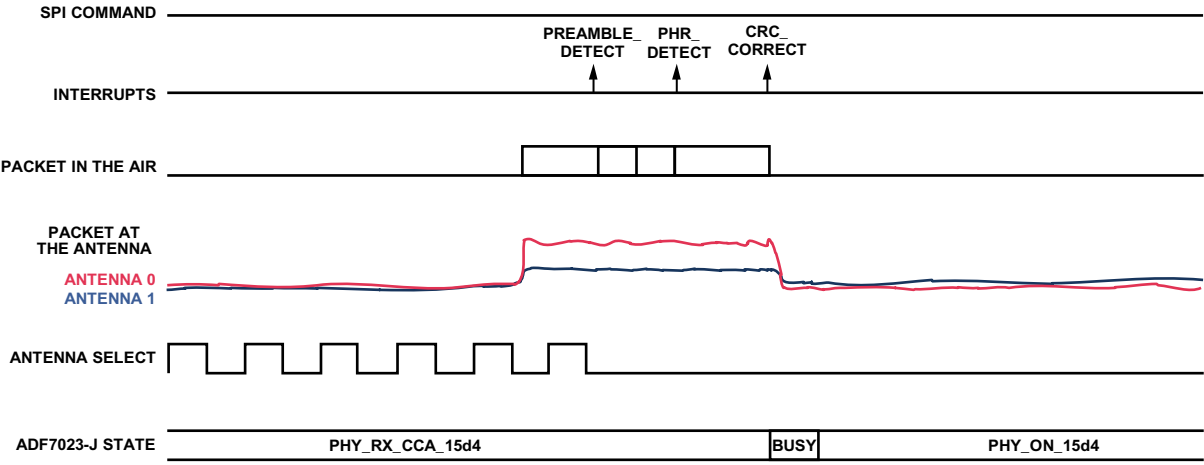


图6. 天线分集时序, BIT_CONTINUOUS_RX位 = 0

12784-005

衰落环境下的性能

此算法的性能在下列条件下测量：

- 前同步码长度 = 10字节
- 有效载荷长度 = 12字节
- 数据速率 = 100 kbps
- 调制指数 = 1
- 瑞利衰落
- 衰落间距 = 4 Hz
- 天线之间的相关性：0%和100%(衰落环境下的100%相关性等效于单个天线的情况)

这些条件下，9 dB以上的分集增益将在1% PER点处达到(见图7)。

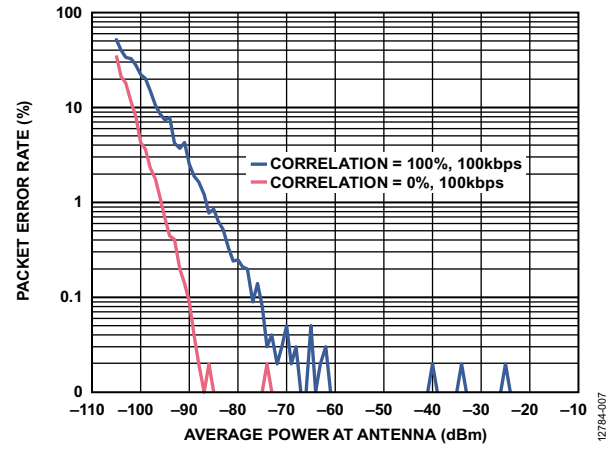


图7. 性能结果：衰落环境下的天线分集增益

空闲信道评估

如需空闲信道评估，可将CCA阈值编程至BB_CCA_THRESHOLD寄存器(地址0x105)。如果测得的RSSI高于此阈值，则信道繁忙。如果测得的RSSI低于此阈值，则信道空闲。

CCA和RSSI评估在进入PHY_RX_CCA_15d4状态时自动激活。RSSI值的每个字节经过多次评估，CCA_LIVE_STATUS标志更新为繁忙或空闲。因此，进入PHY_RX_CCA_15d4状态后，RSSI值和CCA实时状态始终更新，除非CCA_BYPASS_UPDATE位(地址0x103的位0)关闭更新。

注意，首次进入PHY_RX_CCA_15d4状态后，第一个RSSI值更新前存在延迟。保留之前的RSSI测量值，直到第一个RSSI值更新。如需清零之前的RSSI测量值，可在进入PHY_RX_CCA_15d4状态前清零BB_ANTENNA0_RSSI和BB_ANTENNA1_RSSI寄存器。

ADF7023-J固件下载模块可同时支持CCA和天线分集。

使能天线分集后，对当前天线RSSI值的每个字节进行多次评估，同时另一个天线的数值保持其最后一次的测量值。天线切换时，保持未选中天线的RSSI值，更新当前选中天线的RSSI值。CCA_LIVE_STATUS位连续更新，以表明测得的RSSI值是高于还是低于CCA阈值。超出CCA阈值的任何偏移都会将CCA_STATUS位设为繁忙。

天线分集未使能时，仅评估当前天线的RSSI并与CCA阈值比较，以确定信道繁忙或空闲，同时相应更新CCA_STATUS标志。

共有两种不同的工作模式：定时器模式和无穷模式。这些模式在“CCA定时器模式”部分和“CCA无穷模式”部分讨论。

CCA定时器模式

CCA定时器模式用于自动Tx(BB_CCA_CFG_0寄存器，位4=0)，通过CMD_CCA_START命令初始化。

定时器模式下，CCA评估周期可在BB_CCA_CFG_0寄存器的CCA_TIMER中编程设置。该定时器单位为μs，其定义如表33所示。

定时器模式下，CMD_CCA_START命令初始化定时器并开始评估周期。定时器超时后，或者定时器被输入数据包所中断时，产生CCA中断(假设已使能)。注意，定时器模式存在内部开销，这表示CCA评估周期低于CCA定时器值。具体来说，对于160 μs定时器而言，在某些特定条件下，CCA评估时间低于128 μs。因此，如果使用定时器000，则建议用户执行自己的特性测试以保证性能，满足TELECOM要求。

表33. CCA定时器模式时间

定时器选项	评估周期时间(μs)
000	160
001	320
010	640
011	128
100	1920
101	2560
110	9960

CCA_STATUS位在每次评估周期开始时自动清零(信道空闲)。如果在评估周期内的任意时刻CCA_LIVE_STATUS位变为高电平(变为繁忙)，则CCA_STATUS标志自动更新为繁忙。

CCA定时器模式仅用于自动Tx(BB_CCA_CFG_0寄存器，位4=0)。如果信道空闲，且自动Tx使能，则器件自动转换为PHY_TX_15d4状态(见图8)。

如果信道繁忙且定时器超时，则产生CCA中断，器件保持PHY_RX_CCA_15d4状态，同时CCA_STATUS位设为繁忙(见图9)。

须注意，RSSI值在每一个字节周期内持续更新并评估。因此，在天线分集模式下，为确保两个天线均在做出CCA判断前评估，CCA定时器必须不少于4个字节。

CCA定时器模式下，可接收输入的数据包。

若在最佳天线上检测到SFD，则终止所有运行中的CCA定时器，并在检测到SFD后置位CCA中断。CCA_STATUS位设为繁忙。继续正常接收数据包(见图10)。

如果在输入数据包的前同步码或SFD期间CCA定时器超时，则该数据包丢失，并产生CCA中断(见图11)。

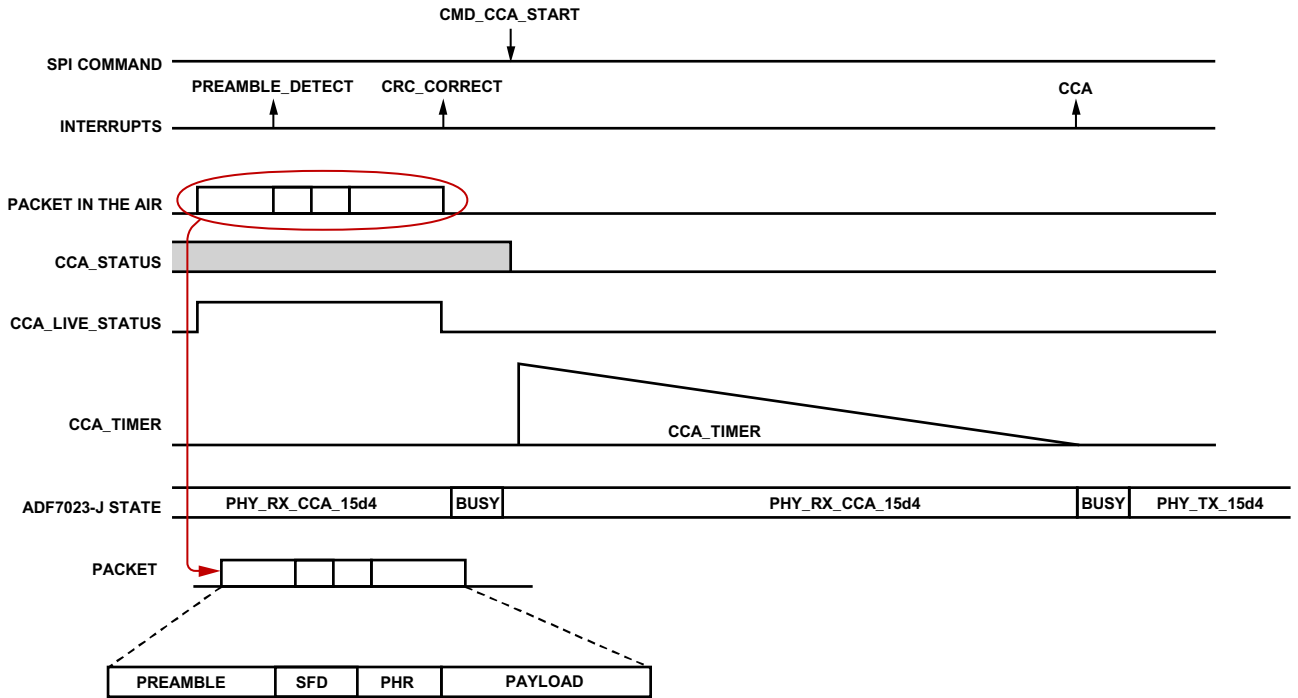


图8. CCA定时器模式，信道空闲，自动Tx

12784-008

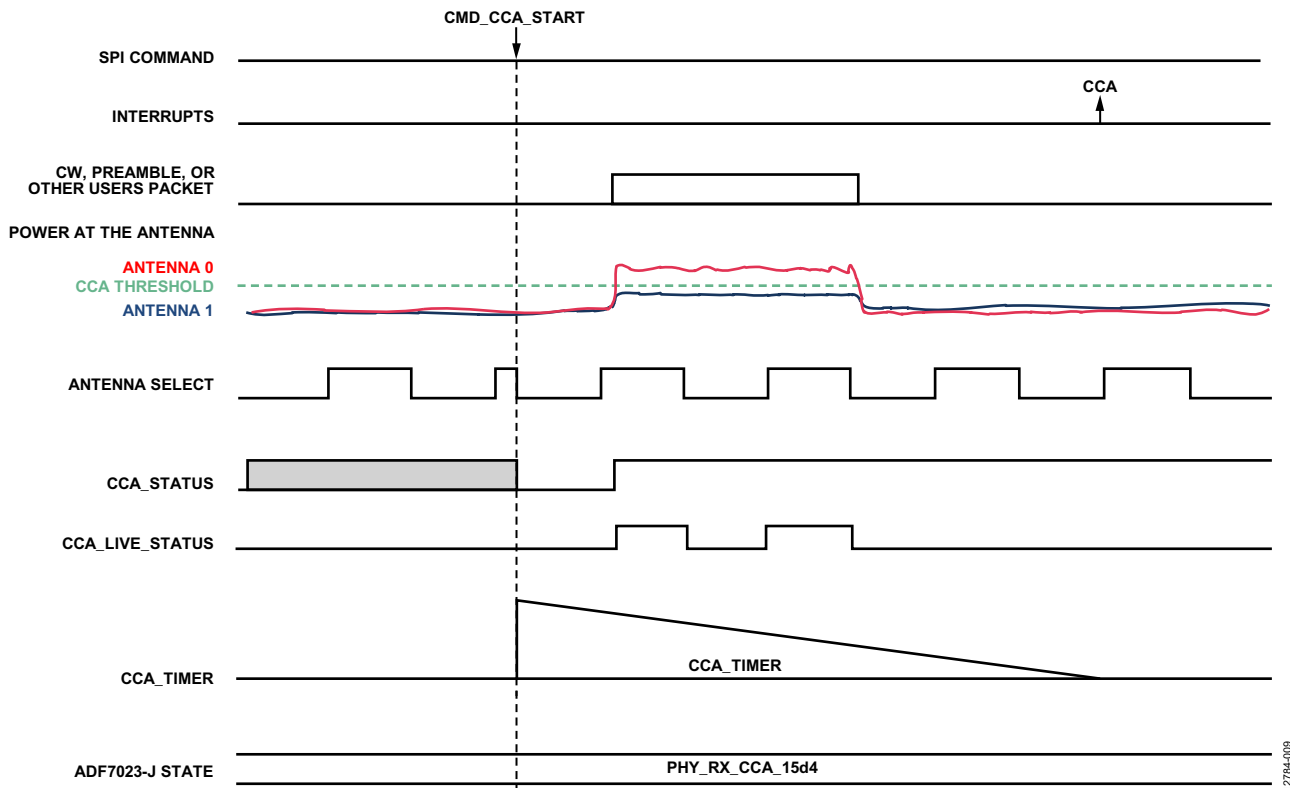


图9. CCA定时器模式，天线分集使能，通道繁忙

12784-009

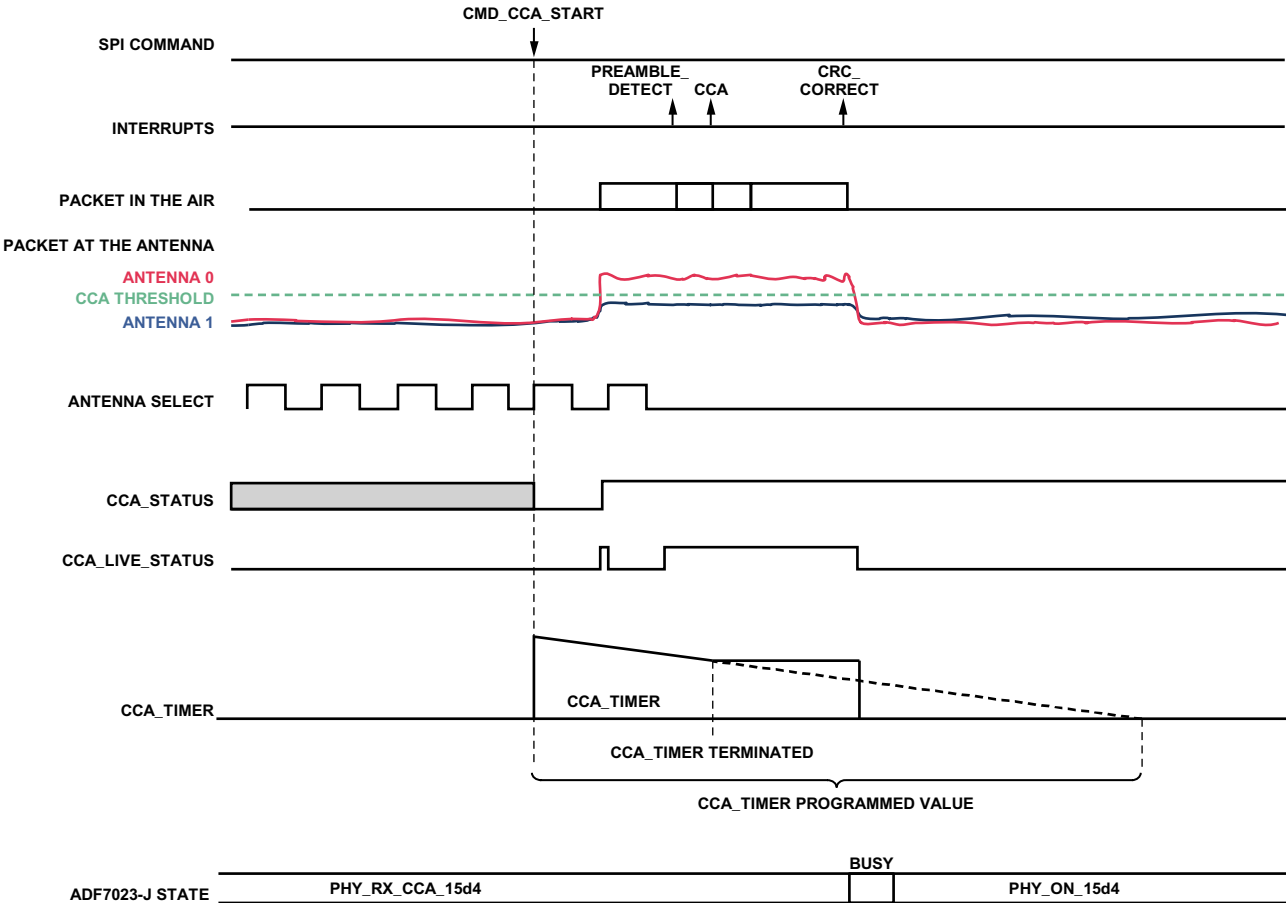


图10. CCA定时器模式下的数据包接收

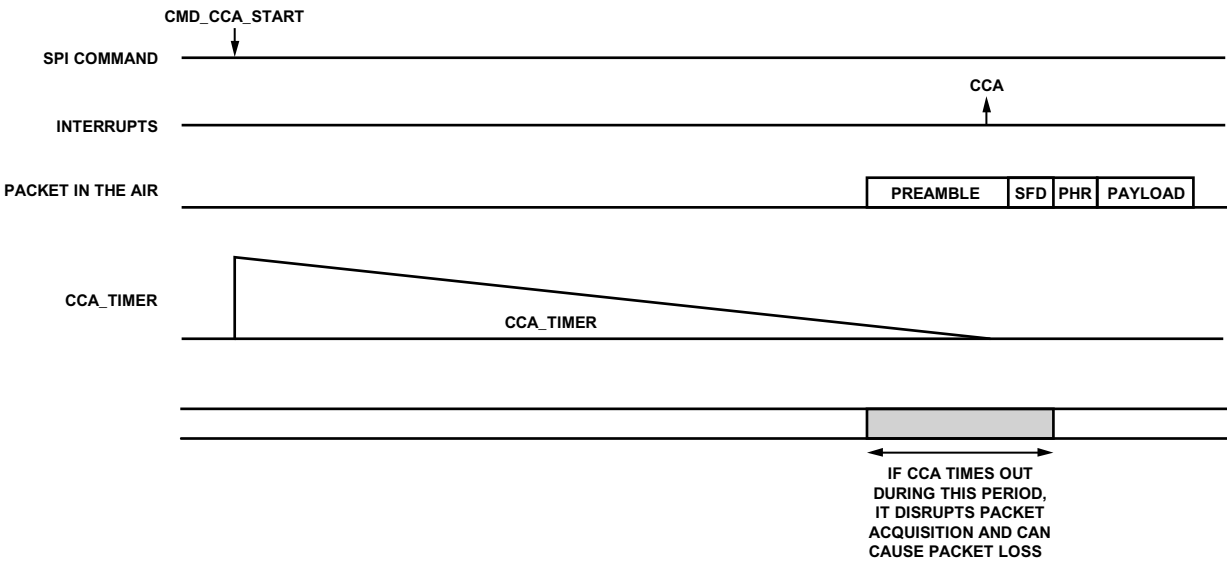


图11. 数据包接收期间CCA定时器超时

数据包接收期间发出命令

发出CMD_CCA_START命令时应仔细，因为某些条件下发出命令时恰好开始输入数据包的前同步码，导致该数据包丢失。有关风险最小化的讨论参见“发出命令时的潜在丢包”部分。

CCA定时器模式下的动态中频滤波器带宽设置

本节介绍CCA定时器模式下的Rx中频滤波器带宽功能。

进入PHY_RX_CCA_15d4状态后，接收器基带滤波器带宽从BBRAM(地址0x115位[7:6])选择。

CCA定时器模式下，接收器基带滤波器可通过将ENABLE_IFBW_AUTO_SWITCH位(CCA_CFG_1寄存器位5，地址0x104)设为1而自动更改为CCA RSSI。然后，当发出CMD_CCA_START命令(命令0xB7)时，滤波器带宽自动切换到CCA_FILTER_BW位设置(BB_CCA_CFG_0寄存器位[6:5]，地址0x103)。

注意，接收器的中频可在200 kHz和300 kHz范围内切换，具体取决于所选滤波器带宽。

发生下列事件之一，则接收器的中频滤波器带宽切换回原始BBRAM设置(地址0x115位[7:6])：

- CCA定时器超时
- 发出CMD_CCA_STOP命令后
- 发出CMD_PHY_RX_CCA_15d4命令后
- 如果ENABLE_IFBW_SWITCH_ON_PREAMBLE位 = 1，则检测到输入数据包前同步码后

检测到输入数据包前同步码后，如果ENABLE_IFBW_SWITCH_ON_PREAMBLE位 = 1，则接收器基带滤波器切换回数据包接收的原始值(见图12)。

检测到输入数据包前同步码后，如果ENABLE_IFBW_SWITCH_ON_PREAMBLE位 = 0，则接收器基带滤波器带宽在数据包接收期间保持当前值，并在数据包接收结束后切换回原来值。

CCA定时器模式下的故障前同步码检测

CCA定时器模式下检测到故障前同步码且ENABLE_IFBW_SWITCH_ON_PREAMBLE位 = 1时，接收器切换回数据包接收的初始值，初始值由IFBW位(地址0x115位[7:6])指定。

如果后续未检测到SFD，则它是一次故障前同步码检测，固件执行下列操作：

- 如果ENABLE_IFBW_AUTO_SWITCH位 = 1，则一旦未检测到SFD，[ADF7023-J](#)便将中频滤波器带宽设为CCA_FILTER_BW位设置(BB_CCA_CFG_0寄存器位[6:5]，地址0x103)。
- 如果ENABLE_IFBW_AUTO_SWITCH位 = 0，则一旦未检测到SFD，[ADF7023-J](#)便将中频滤波器带宽设为数据包接收的初始IFBW位设置，初始值由IFBW位(地址0x115位[7:6])指定。

若CCA定时器模式下检测到故障前同步码且ENABLE_IFBW_SWITCH_ON_PREAMBLE位 = 0，则接收器不会在前同步码期间切换回原始值。

如果后续未检测到SFD，则它是一次故障前同步码检测，固件执行下列操作：

- 如果ENABLE_IFBW_AUTO_SWITCH位 = 1，则一旦未检测到SFD，[ADF7023-J](#)便将中频滤波器带宽设为CCA_FILTER_BW位设置(地址0x103位[6:5])。
- 如果ENABLE_IFBW_AUTO_SWITCH位 = 0，则一旦未检测到SFD，[ADF7023-J](#)便将中频滤波器带宽设为数据包接收的初始IFBW值，初始值由IFBW位(地址0x115位[7:6])指定。

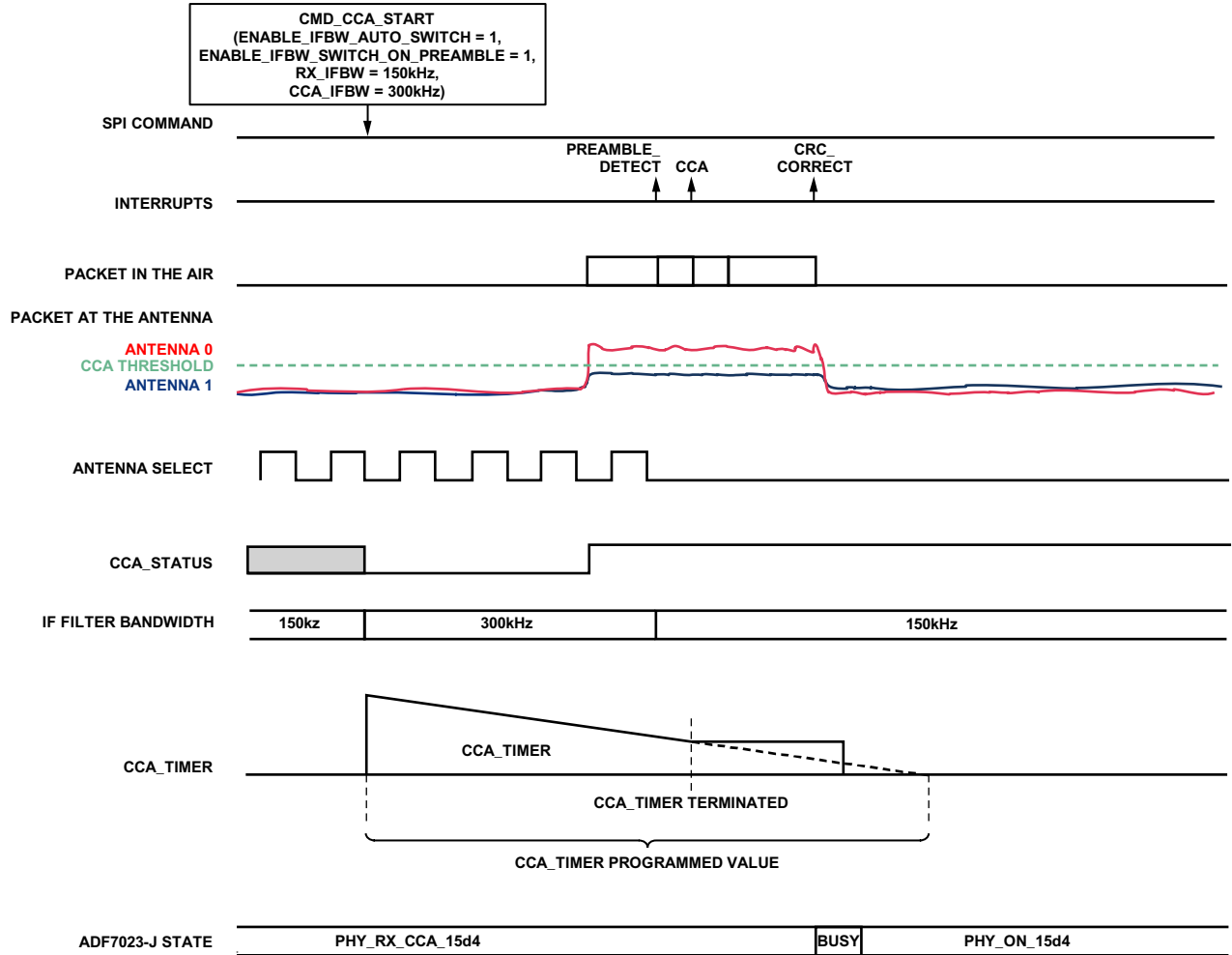


图12. 中频带宽自动切换

CCA无穷模式

CCA无穷模式用于手动Tx(BB_CCA_CFG_0寄存器, 位4=1)。

将CCA_TIMER设为7(二进制码111)可初始化无穷模式。若要在无穷模式下为CCA选择一个较宽的中频滤波器, 就必须在CCA_TIMER设为7之前发出CMD_CCA_FILTER命令。因此, 从PHY_ON_15d4状态转换时, 可将定时器值设为非无穷值。进入Rx后, 可以发出CMD_CCA_FILTER命令, 然后将定时器值设为无穷大。无穷模式下的中频带宽切换操作参见“CCA无穷模式下的动态中频滤波器带宽设置”部分。

初始化无穷模式后, ADF7023-J继续评估信道, 直到信道空闲(见图13和图14)。

无穷模式下, ADF7023-J仅在信道至少空闲128 μ s时才产生CCA中断。如果信道空闲, 则器件产生INTERRUPT_CCA中断, 保持PHY_RX_CCA_15d4状态, 并将中频滤波器反转回默认值, 同时依然评估CCA RSSI并更新CCA_LIVE_STATUS标志。

注意, 如果信道保持空闲, 且CCA中断清零, 则它将在另一次128 μ s评估周期后重新置位。为了避免重新置位该信道, 可以在中断清零之前将CCA_TIMER设为非7值, 从而屏蔽CCA中断, 或者退出无穷模式。

无穷模式使用手动Tx, 因此在无穷模式下必须禁用自动Tx。

如果在天线分集使能的情况下使用无穷模式, 则两个天线都必须为空闲, 才可将信道视为空闲, 并产生中断。这种情况下, CCA时间增加到不低于250 μ s(见图15)。

AN-1339

CCA无穷模式下，可以接收一切输入数据包。如果使能连续Rx，则器件返回PHY_RX_CCA_15d4状态时无穷模式依然使能。然而，如果ENABLE_IFBW_SWITCH_ON_PREAMBLE位使能(1)，则CCA滤波器带宽将在前同步码检测期间返回默认Rx值。如果使能连续Rx，则可通过重新发出CMD_CCA_FILTER命令使滤波器带宽返回CCA滤波器带宽。

如果连续Rx未使能，则器件将在数据包接收后返回PHY_ON_15d4状态。

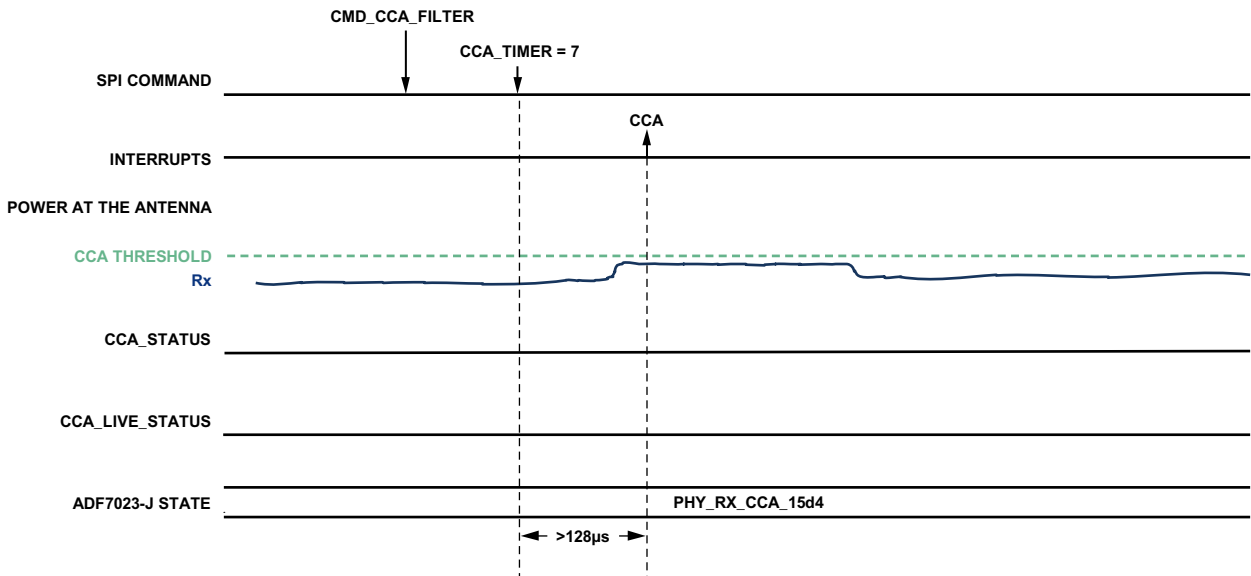


图13. CCA无穷模式，进入该模式时信道空闲

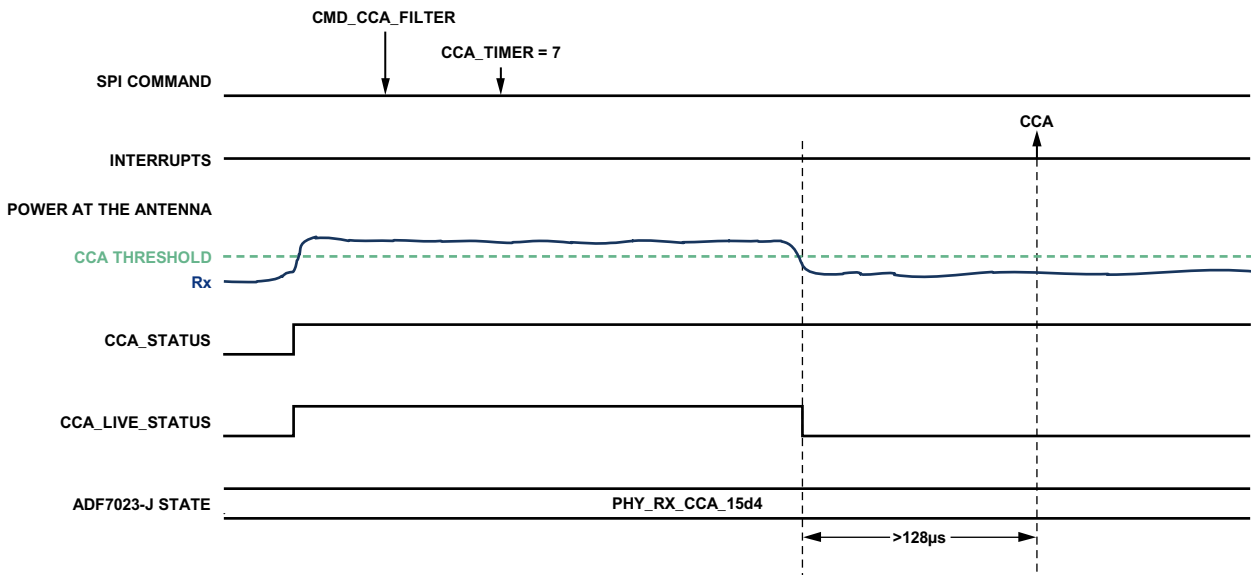


图14. CCA无穷模式，信道变为空闲

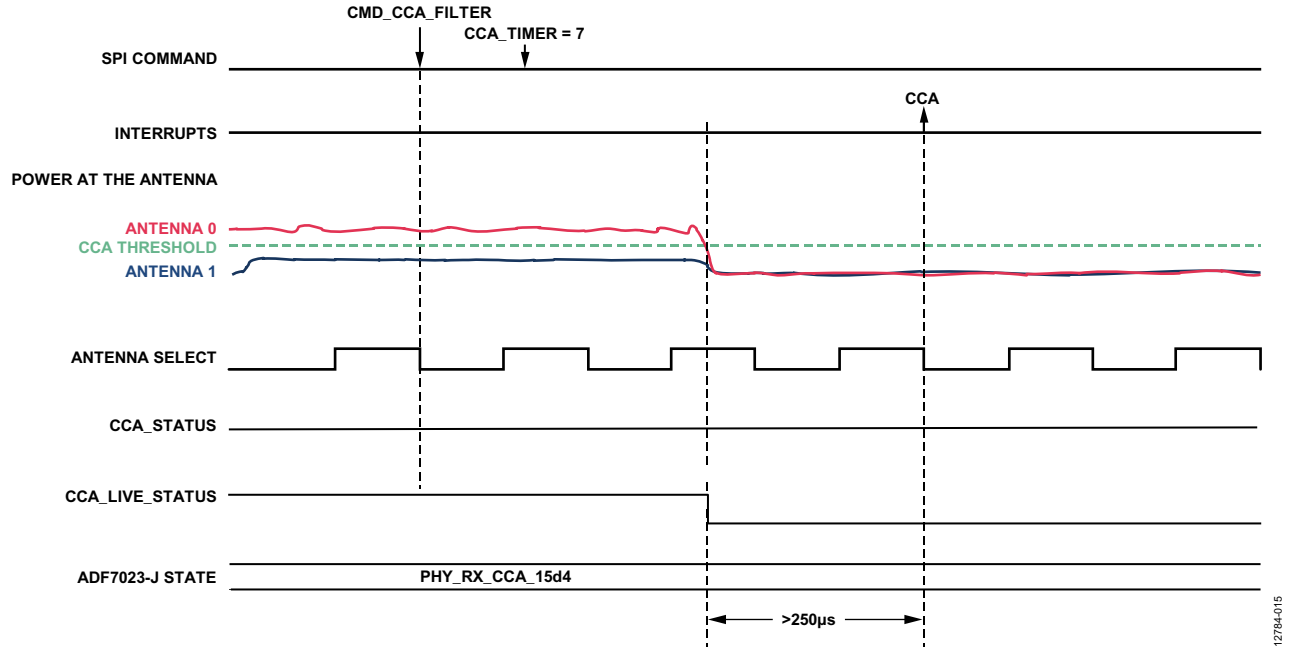


图15. CCA无穷模式，带天线分集

12784-015

CCA无穷模式下的动态中频滤波器带宽设置

进入PHY_RX_CCA_15d4状态后，接收器基带滤波器带宽从BBRAM(地址0x115位[7:6])选择。

将CCA_TIMER设为7(二进制码111)可初始化无穷模式。若要在无穷模式下为CCA选择一个较宽的中频滤波器，就必须在CCA_TIMER设为7之前发出CMD_CCA_FILTER命令(命令0xB9)。

用户发出CMD_CCA_FILTER命令(命令0xB9)之后，带宽自动调节至所需设置(BBRAM位[6:5]，地址0x103)，且重启Rx，允许采用新设置同步天线搜索周期(见图16)。

发出CMD_CCA_FILTER命令时应仔细，因为某些条件下发出命令时恰好开始输入数据包的前同步码，导致该数据包丢失。有关最小化此风险的更多信息参见“发出命令时潜在丢包”部分。

注意，接收器的中频可在200 kHz和300 kHz范围内切换，具体取决于所选滤波器带宽。

满足下列条件之一，则接收器的中频滤波器带宽返回原始BBRAM设置(位[7:6]，地址0x115)：

- 发出CMD_CCA_STOP命令后(命令0xB8)
- 发出CMD_PHY_RX_CCA_15d4命令后(命令0xB2)
- 如果ENABLE_IFBW_SWITCH_ON_PREAMBLE位 = 1，则检测到输入数据包前同步码后

检测到输入数据包前同步码后，如果ENABLE_IFBW_SWITCH_ON_PREAMBLE位 = 1，则接收器基带滤波器切换回Rx原始值。

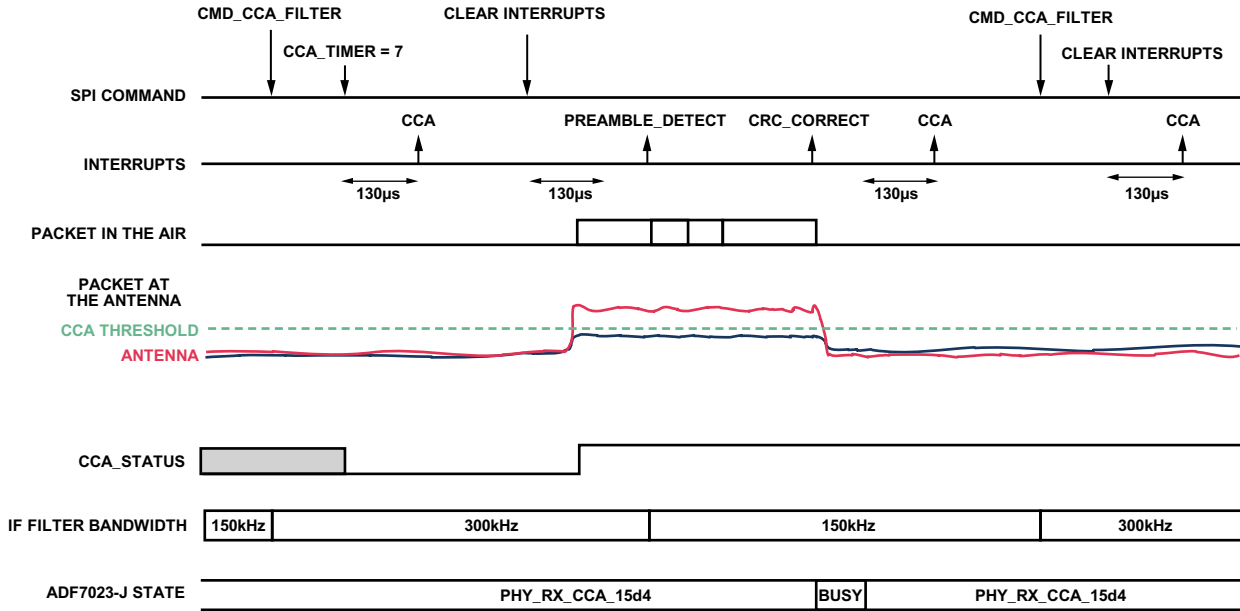
如果ENABLE_IFBW_SWITCH_ON_PREAMBLE位 = 0，则接收器基带滤波器带宽在数据包接收期间保持当前值。

CCA无穷模式下的故障前同步码检测

注意，故障前同步码检测可使滤波器返回其默认Rx值。使能前同步码检测中断后，可向用户警报该条件。通过重新发出CMD_CCA_FILTER命令，可让滤波器返回所需的CCA滤波器值。

也可监控PHY_RX_STATUS寄存器(地址0x01F)的位0，以便在检测到前同步码时发出警报，并在未收到SFD中断时使滤波器返回其先前的CCA值。

AN-1339



12784-016

图16. 带Rx的动态CCA滤波器带宽，以及CCA无穷模式

PHY_RX_CCA_15d4状态期间的命令访问

ADF7023-J通过命令控制，有关命令访问请参见ADF7023-J数据手册。ADF7023-J数据手册还描述了状态字的使用，确保通信处理器已准备好接收新的命令。

发出命令时的潜在丢包

PHY_RX_CCA_15d4状态下，等待输入数据包时发出命令需谨慎，因为输入数据包存在异步时序问题。

某些条件下发出命令时恰好开始输入数据包的前同步码，导致该数据包丢失。涉及的命令如下：

- CMD_PHY_RX_CCA_15d4
- CMD_PHY_TX_15d4
- CMD_PHY_ON_15d4
- CMD_CCA_START
- CMD_CCA_FILTER

为了尽量减少输入数据包丢失的风险，提供PHY_RX_STATUS字节(地址0x01F)(见图17)。该字节的位0表示何时检测到前同步码，而位1表示何时检测到SFD。

进入PHY_RX_CCA_15d4状态后，PHY_RX_STATUS寄存器(地址0x01F)的位0和位1设为0。检测到前同步码后，位0设为1。检测到SFD后，位1设为1。接收数据包后，两位均设为0(见表18)。如果检测到故障前同步码(比如合格的前同步码后面未跟SFD)，则这些位设为0，并继续搜索前同步码。

重启Rx的任何命令都会将这些位复位为0。



图17. PHY_RX_STATUS寄存器

监控PHY_RX_STATUS寄存器并仅在PHY_RX_STATUS寄存器为0时发出命令可最大程度减少丢包。

然而，采用监控PHY_RX_STATUS寄存器的方法，则依然存在一种条件可能导致丢包，即前同步码已经出现但尚未被器件检测到。

这种条件的两个极端情况见图19和图20。天线分集期间，最差情况场景发生在最近一次的前同步码验证时，即8字节至10字节前同步码(见图19)。在该场景下，如果命令(比如CMD_CCA_START命令)在前同步码的前8个字节期间发生，则它中断前同步码的获取，并可能导致丢包。最佳情况场景发生在最早一次的前同步码验证期间，即3字节至前同步码(见图20)。这种情况下，如果前同步码的前3个字节期间发生CMD_CCA_START命令，就有可能丢包。

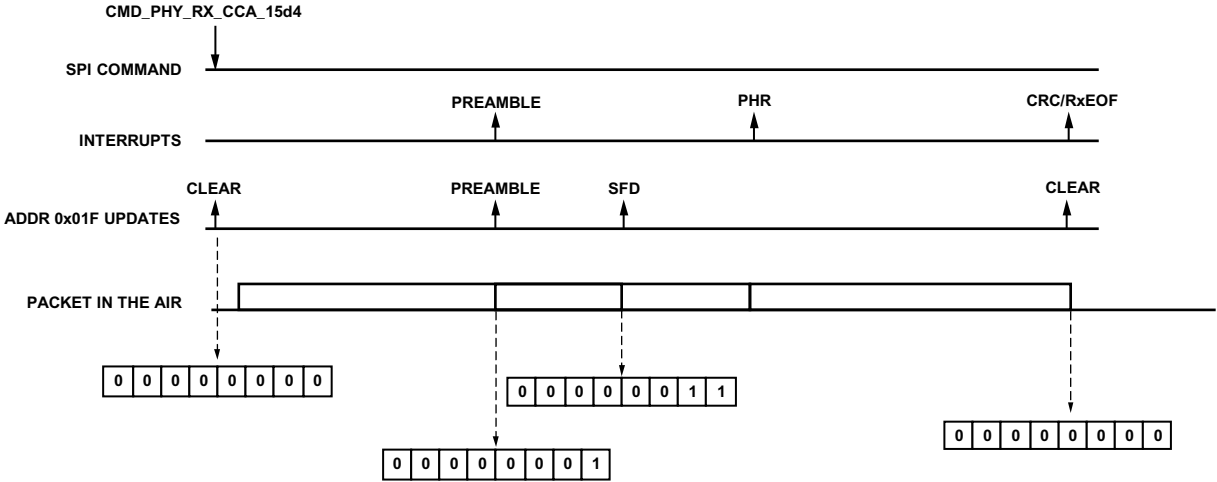


图18. 数据包接收时的PHY_RX_STATUS寄存器更新

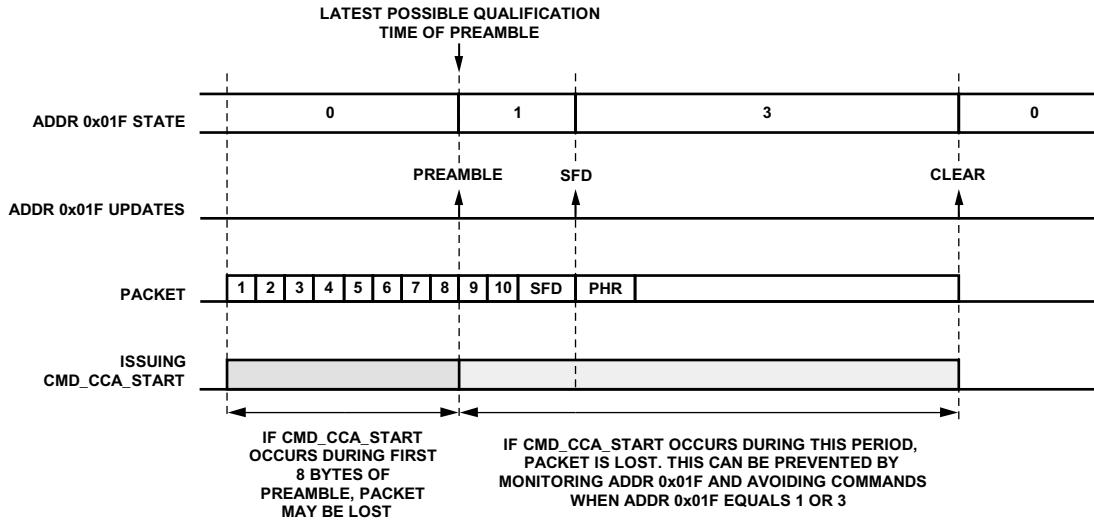


图19. 前同步码期间发出CMD_CCA_START命令导致丢包(最差情况)

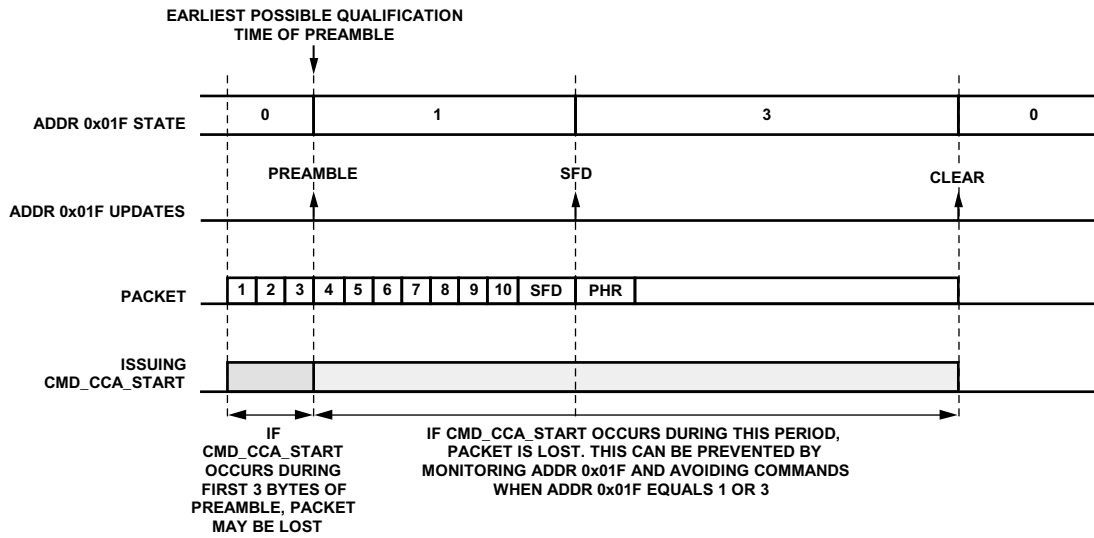


图20. 前同步码期间发出CMD_CCA_START命令导致丢包(最佳情况)

15d4模式下的数据包结构

PREAMBLE	SFD	PHR					PSDU		
		MODE SWITCH	RESERVED	FCS	WHITENING	LENGTH	MAC HEADER	MAC PAYLOAD	FCS
4 BYTES TO 1024 BYTES PREAMBLE	0110 1111 0100 1110	0	00	1	0	00000010000	NOT WHITENED	NOT WHITENED	NOT WHITENED AND 16-BIT

图21. PPDU格式示例

12784-021

ADF7023-J AD_15d4g固件下载模块支持无模式切换的MR_FSK PPDU报头格式。

数据包结构如图21所示。

发送模式下，ADF7023-J固件下载模块添加了请求数量的前同步码字节，然后插入请求SFD和PHR。如果使能了白化，则将白化PSDU。如果使能了16位FCS，则自动计算16位CRC，然后附加到发送有效载荷。

在接收模式下，前同步码选择性地产生前同步码检测中断，且不保存在数据包RAM中。SFD用于字节水平的同步，选择性产生带PHR接收的中断同步，且不保存在数据包RAM中。随后接收PHR，并根据其内容解读接收数据包长度、是否对其去白化，以及FCS字节是否有效(16位FCS情况是否已处理)。如果Tx采用了白化，则Rx需要去白化。

前同步码

前同步码是一个1010序列，该序列在传输中添加到数据包起始位置，并在数据包接收后移除。前同步码长度定义为字节，可编程范围为4字节至1000字节。写入BB_NB_PREAMBLE_BYTES_HIGH寄存器(地址0x12F)和BB_NB_PREAMBLE_BYTES_LOW寄存器(地址0x12E)可对其进行配置。

SFD

SFD是一个2字节字，通过写入BB_SFD_HIGH寄存器(地址0x131)和BB_SFD_LOW寄存器(地址0x130)控制。SFD选取表34中的四个有效选项之一。注意，SFD从位0开始发送。

表34. SFD值

phyMRFSKSFD	编码PHR和PSDU的SFD值(位0至位15)	未编码PHR和PSDU的SFD值(位0至位15)
0	0110 1111 0100 1110	1001 0000 0100 1110
1	0110 0011 0010 1101	0111 1010 0000 1110

PHR

PHR是一个2字节字，其定义如图21中的PHR部分所示。该字通过将低位字节写入TX_BASE_ADR寄存器、将高位字节写入地址值TX_BASE_ADR + 1来控制，因为这些字节组成了发送数据包的前两个字节。发出CMD_PHY_TX_15d4命令后，这两个字节的内容分别复制到BB_PHR_LOW(地址0x132)寄存器和BB_PHR_HIGH(地址0x133)寄存器。同样，成功接收数据包后，数据包报头字节复制到BB_PHR_LOW寄存器和BB_PHR_HIGH寄存器。

下列内容详细定义了PHR位：模式切换、保留、FCS、白化和长度。

模式切换

BB_PHR_LOW寄存器的位7是MODE_SWITCH位。MODE_SWITCH位设为0，表示数据包传输期间数据速率或调制方案无变化。如果ADF7023-J接收的数据包含有模式切换，则MODE_SWITCH位设为1；它不产生PHR中断，但会产生INTERRUPT_CRC_CORRECT中断和INTERRUPT_RX_EOF中断(若使能)。

保留

BB_PHR_LOW寄存器位[6:5]保留。发送模式下，ADF7023-J固件的保留位设为0；接收模式下，ADF7023-J固件下载模块忽略保留位。

FCS

BB_PHR_LOW寄存器的位4是FCS位。

FCS = 0表示32位FCS。ADF7023-J固件下载模块不会自动处理这种情况。发送模式下，用户必须计算32位CRC，并将其加入到PSDU。接收模式下，32位CRC作为PSDU的一部分接收，并保存在数据包RAM中；不验证CRC，不置位CRC中断。INTERRUPT_RX_EOF中断表示数据包已接收。

FCS = 1表示16位CRC。固件自动处理这种情况。发送模式下，计算16位CRC，并将其附加到发送PSDU。接收模式下，以输入有效载荷计算16位CRC，并且如果CRC正确，则置位CRC中断(若使能)。

白化

BB_PHR_LOW寄存器的位3是白化位。如果白化位 = 0，则PSDU不进行白化处理；如果白化位 = 1，则传输时对PSDU进行白化处理。仅白化PSDU，不会白化SFD或PHR。

接收模式下，如果接收的数据包报头白化位设为1，则ADF7023-J固件下载模块会对接收到的PSDU进行自动去白化处理。

长度

BB_PHR_LOW寄存器的位[2:0]定义PSDU_LENGTH[10:0]字的位[10:8]，而BB_PHR_HIGH寄存器的位[7:0]定义PSDU_LENGTH[10:0]字的位[7:0]。

PSDU_LENGTH[10:0]字可设为3至2047范围内的数值。

Tx/Rx滚动数据缓冲器

数据包模式下，当ADF7023-J接收数据包时，数据以线性序列保存在数据包RAM中。数据传输前，待发送数据以线性序列写入数据包RAM中。该功能参见ADF7023-J数据手册。

若使用AD_15d4g固件下载模块，则接收或发送的数据包长度可以超出可用数据包RAM的长度，这通过滚动缓冲器来实现。可执行滚动缓冲器操作的寄存器如表35所示。

位置0x20至0xFF的数据包RAM可用于数据包数据。分配字节0x00至0x1F供片内处理器使用，不可用于包数据。

表35. 用于Tx/Rx滚动数据缓冲器的寄存器

地址 (十六进制)	寄存器	描述
0x124	TX_BASE_ADR	Tx缓冲器的数据包RAM起始位置
0x125	RX_BASE_ADR	Rx缓冲器的数据包RAM起始位置
0x134	BB_RX_BUFFER_SIGNAL	Rx缓冲器将满
0x135	BB_RX_BUFFER_SIZE	Rx缓冲器满
0x136	BB_TX_BUFFER_SIGNAL	Tx缓冲器将满
0x137	BB_TX_BUFFER_SIZE	Tx缓冲器满

发送模式下的滚动缓冲器

发送模式下，TX_BASE_ADR寄存器设置数据包RAM中的滚动缓冲器起始位置。BB_TX_BUFFER_SIZE寄存器设置缓冲器大小。缓冲器大小不能超过可用数据包RAM。BB_TX_BUFFER_SIZE寄存器值与TX_BASE_ADR寄存器值相加不应超过地址0xFF。

设置BB_TX_BUFFER_SIGNAL寄存器中的值，以便在传输缓冲器内的全部数据前产生一个INTERRUPT_BUFFER_ALMOST_FULL中断。

通常，对BB_TX_BUFFER_SIGNAL寄存器进行设置，使得完成缓冲器内一半的数据传输后可以置位中断。

置位INTERRUPT_BUFFER_ALMOST_FULL中断后，主机微处理器向地址值TX_BASE_ADR至地址值TX_BASE_ADR + BB_TX_BUFFER_SIGNAL的范围内写入新数据。

Tx缓冲器中最后字节的数据发送后，ADF7023-J继续从地址值TX_BASE_ADR开始发送数据。若使能，则完成缓冲器内最后字节的发送后置位INTERRUPT_BUFFER_FULL中断。

置位INTERRUPT_BUFFER_FULL中断后，主机微处理器向地址值TX_BASE_ADR + BB_TX_BUFFER_SIGNAL + 1至地址值TX_BASE_ADDRESS + BB_TX_BUFFER_SIZE的范围内写入新数据。

持续传输数据，直到发送PSDU_LENGTH[10:0]字节；如果使能，则INTERRUPT_TX_EOF中断变为高电平，否则用

户发出CMD_PHY_ON_15d4命令。

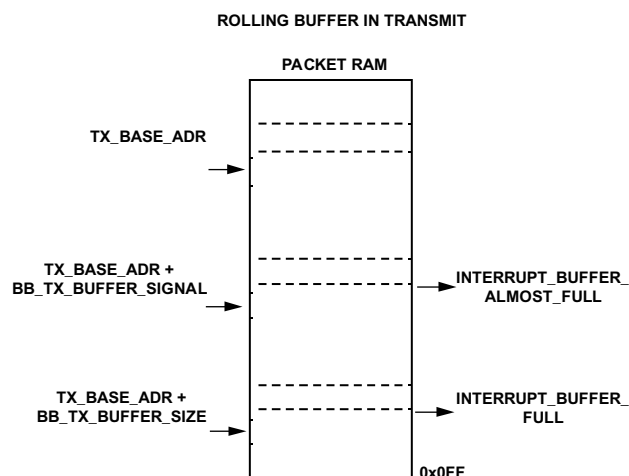


图22. 发送模式下的滚动缓冲器

接收模式下的滚动缓冲器

接收模式下，RX_BASE_ADDRESS寄存器设置数据包RAM中的滚动缓冲器起始位置。BB_RX_BUFFER_SIZE寄存器设置缓冲器大小。缓冲器大小不能超过可用数据包RAM。BB_RX_BUFFER_SIZE寄存器值与RX_BASE_ADR寄存器值相加不应超过0xFF。如果使能ADF7023-J的16位FCS检查，则不应超过0xFFD。

设置BB_RX_BUFFER_SIGNAL寄存器中的值，以便接收数据填满缓冲器前，置位INTERRUPT_BUFFER_ALMOST_FULL中断。通常，对BB_RX_BUFFER_SIGNAL寄存器进行设置，使得接收数据填满一半缓冲器后可以置位中断。

置位INTERRUPT_BUFFER_ALMOST_FULL中断后，主机微处理器向地址值RX_BASE_ADDRESS至地址值RX_BASE_ADR + BB_RX_BUFFER_SIGNAL的范围内读入数据。

填满Rx缓冲器的最后一个字节之后，ADF7023-J继续写入接收数据，从RX_BASE_ADR寄存器开始。若使能，则缓冲器填满后置位INTERRUPT_BUFFER_FULL中断。

置位INTERRUPT_BUFFER_FULL中断后，主机微处理器向地址值RX_BASE_ADDRESS + BB_RX_BUFFER_SIGNAL + 1至地址值RX_BASE_ADDRESS + BB_RX_BUFFER_SIZE的范围内读入数据。

继续接收数据，直到接收到PSDU_LENGTH[10:0]字定义的字节数，且INTERRUPT_RX_EOF和/或INTERRUPT_CRC_CORRECT置位(若使能)，或者主机微处理器发出CMD_PHY_ON_15d4命令。

AN-1339

注意，如果16位CRC已使能(16位FCS)，则FCS字节在有效载荷之后以2字节形式放置在数据包RAM中，不受滚动缓冲器控制。这表示如果有效载荷填满地址值RX_BASE_ADDRESS + BB_RX_BUFFER_SIZE，则当计算16位FCS并对照输入FCS进行检查时，接收FCS字节置于之后的两个存储器位置(超出地址值RX_BASE_ADDRESS + BB_RX_BUFFER_SIZE)。如果另一个缓冲器定义为紧随地址值RX_BASE_ADDRESS + BB_RX_BUFFER_SIZE之后的存储器位置开始，则在这种情况下将覆盖前两个字节。

为避免所有长度和缓冲器大小都碰到这种情况，应在紧随Rx缓冲器之后的位置留下两个字节的空位，作为溢出区。如果Rx缓冲器分配至数据包存储器的前半部分，则应当将其设为不超过存储器位置0xFD。

如果Rx缓冲器置于数据包存储器的后半部分，且在数据包存储器中Tx缓冲器紧随其后，则应当将TX_BASE_ADR寄存器设为比地址值RX_BASE_ADDRESS + BB_RX_BUFFER_SIZE大三个字节。该程序确保如果有效载荷长度使数据包末尾位于BB_RX_BUFFER_SIZE边界上，则FCS字节溢出不会覆盖随后的Tx缓冲器的前两个字节。相反，FCS字节写入溢出字节。

32位CRC模式下不存在这种覆盖问题。在32位CRC模式下，ADF7023-J不会自行计算CRC，因此输入的四个FCS字节视同有效载荷，并在滚动缓冲器的控制下载入接收缓冲器。

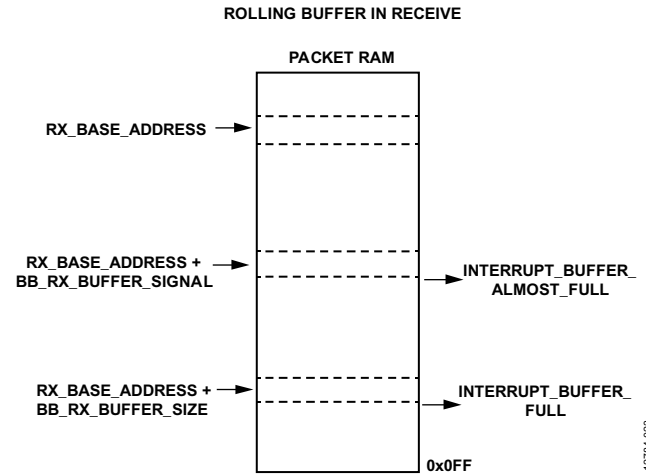


图23. 接收模式下的滚动缓冲器

建议寄存器设置

建议自动增益控制(AGC)设置

若要优化接收器以实现整个输入功率范围内鲁棒的PER性能，则应当覆盖调制解调器配置随机存取存储器(MCR)内的默认AGC时钟分频设置。建议将AGC_CLOCK_DIVIDE寄存器(地址0x32F)设为0x12。

Tx查找表(LUT)设置

AD_15d4g固件下载内置了针对T108操作的锁相环(PLL)带宽优化设置。因此，无需写入自定义发送LUT。使用PHY_TX_15d4状态时，将RADIO_CFG_7寄存器(地址0x113)位[5:4]设为0。

重复使用BBRAM设置

ADF7023-J AD_15d4g固件下载重复使用BBRAM寄存器，因此部分默认功能在15d4模式下不再提供(见表1)。

AD_15d4g固件下载不提供智能唤醒模式，因为在固件下载中，BBRAM地址0x103、地址0x104和地址0x105重复用于CCA功能。

AD_15d4g下载不提供地址匹配和静态寄存器修复，因为固件重复使用BBRAM地址0x129至地址0x137来控制天线分集和数据包结构。

PHY_TX_15d4状态下不提供发送测试模式。如需使用发送测试模式，需要返回PHY_ON状态，才能转为PHY_TX状态。

PHY_TX状态下，如需使用最优PLL设置以进行T108操作，则必须遵循ADF7023-J数据手册中的操作步骤。

因此，从PHY_ON_15d4状态转换为发送测试模式且具有最优T108 PLL设置的全部操作步骤如下：

1. 发出命令0xB1，退出15d4模式。
2. 使用自定义发送LUT。将0x2写入RADIO_CFG_7寄存器(地址0x113)位[5:4]。
3. 发出CMD_CONFIG_DEV命令。
4. 写入自定义LUT，定义如表36所示。
5. 选择所需的发送测试模式(见ADF7023-J数据手册中的测试模式信息)。
6. 进入PHY_TX状态。

表36. T108自定义发送LUT

寄存器	数据速率 = 50 kbps 或100 kbps (闭环带宽 (CLBW) = 130 kHz)	数据速率 = 200 kbps (CLBW = 223 kHz)
0x010	0x10	0x20
0x011	0x10	0x20
0x012	0x0F	0x0F
0x013	0x0F	0x0F
0x014	0x1F	0x1F
0x015	0x0F	0x05
0x016	0x1F	0x1F
0x017	0x33	0x33
0x018	0x22	0x22

100 kbps和200 kbps工作的接收器设置示例，自动频率控制(AFC)使能

表37. Rx设置示例(AFC使能)

参数	100 kbps, $f_{DEV} = 50$	200 kbps, $f_{DEV} = 100$
数据速率	0x3E8	0x7D0
偏差	0x1F4	0x3E8
中频滤波器带宽(BW)	150 kHz	200 kHz
鉴频器带宽	0x20	0x10
后置解调带宽	0x26	0x4B
AGC阈值	默认	默认
AGC时钟分频	0x12	0x12

AN-1339

规格

除非另有说明，所有规格均针对100 kbps、50 kHz偏差。

表38. IEEE 802.15.4g标准应用

参数	典型规格	测试条件/注释
PPDU格式		
前同步码	4至1000字节	
SFD	2字节	
PHR	2字节	
PSDU	3至2047字节	
CRC	16位	$x^{16} + x^{12} + x^5 + 1$
数据白化	PN9	如IEEE 802.15.4g标准定义
位序列	LSB优先	
周转时间		
Rx (CCA)至Tx(数据)	216 μ s	CCA_AUTO_TX位 = 0，快速Rx/Tx转换使能
Rx (CCA)至Tx(数据)	270 μ s	CCA_AUTO_TX位 = 0，快速Rx/Tx转换禁用
Rx(数据)至Tx(应答)	210 μ s	RX_TO_TX_AUTO_TURNAROUND位使能，快速Rx/Tx转换使能
Rx(数据)至Tx(应答)	350 μ s	RX_TO_TX_AUTO_TURNAROUND位使能，快速Rx/Tx转换禁用
Tx(数据)至Rx	125 μ s	TX_TO_RX_AUTO_TURNAROUND位使能，快速Rx/Tx转换使能
Tx(数据)至Rx	281 μ s	TX_TO_RX_AUTO_TURNAROUND位使能，快速Rx/Tx转换禁用

测试条件

表39.

参数	典型规格	测试条件/注释
天线分集		
最小前同步码	10字节 20字节	天线分集使能, 100 kbps、50 kHz偏差, AGC开启, AFC开启 天线分集使能, 200 kbps、100 kHz偏差, AGC开启, AFC开启
灵敏度	-103.0 dBm -101.5 dBm	天线分集使能, 天线之间变化 = 0 dB, 100 kbps、50 kHz偏差, PER = 1%, AGC开启, AFC开启, 中频带宽 = 150 kHz, PSDU长度 = 12字节 天线分集使能, 天线之间变化 = 20 dB, 100 kbps、50 kHz偏差, PER = 1%, AGC开启, AFC开启, 中频带宽 = 150 kHz, PSDU长度 = 12字节
灵敏度包括中频带宽开关	-101.5 dBm	天线分集使能, CCA使能, 200 kHz至150 kHz, PER = 1%, 天线之间变化 = 20 dB, 100 kbps、50 kHz偏差, AGC开启, AFC开启, 中频带宽 = 150 kHz, PSDU长度 = 12字节
天线分集处理增益	9 dB	PER = 1%, PSDU长度 = 12字节, 100 kbps、50 kHz偏差, 瑞利/静态衰落: $f_d = 4$ Hz间距, 相关因数为0、1

代码下载序列

AD_15d4g固件下载模块必须存储在PRAM中，从地址0x0000开始。

程序RAM只能利用存储器块写入命令写入。将SPI_MEM_WR命令设为0x1E。

将固件模块写入程序RAM的操作序列如下：

1. 确保ADF7023-J处于PHY_OFF状态。
2. 发出CMD_RAM_LOAD_INIT命令。
3. 利用SPI存储器块写入命令将模块写入RAM。
4. 发出CMD_RAM_LOAD_DONE命令。

固件模块现已存储到程序RAM。