

ADF7023和ADF7023-J的嵌入式数据包误差率测试

作者: Liam O'Hora

简介

本应用笔记提供**ADF7023**和**ADF7023-J**上的内置数据包误差率(PER)测试模式相关信息。该模式帮助用户设置通信链路,并测试其质量。

最多可发送65,535个数据包,每两个包之间具有可编程延迟。每次均发送存储在数据包RAM中的数据包。若循环冗余校验(CRC)结果正确,则接收器便确定接收到正确的数据包。

目录

简介.....	1	发送器PER设置.....	4
修订历史.....	2	测试结果.....	4
嵌入式PER测试使用的寄存器.....	3		
接收器PER设置.....	3		

修订历史

2013年12月—修订版0：初始版

嵌入式PER测试使用的寄存器

表1. 0x139: 嵌入式PER测试使用的TESTMODES寄存器

位	名称	R/W	说明
3	PER_IRQ_SELF_CLEAR	R/W	1: 发送时TX_EOF中断、接收时CRC中断自动清零。 0: 正常工作。
2	PER_ENABLE	R/W	1: 分组差错速率使能。 0: 分组差错速率禁用。
1	CONTINUOUS_TX	R/W	1: 发送一个包后重新启动Tx。 0: Tx正常结束。
0	CONTINUOUS_RX	R/W	1: 接收一个包后重新启动Rx。 0: Rx正常结束。

表2. PER测试控制寄存器

地址(十六进制)	正常工作	PER工作模式	说明
0x011	可供包数据使用	PER_COUNT_LOW	PER_COUNT[15:0]位[7:0] (PER_COUNT在Rx中递增, 在Tx中递减)。
0x012	可供包数据使用	PER_COUNT_HIGH	PER_COUNT[15:0]位[15:8] (PER_COUNT在Rx中递增, 在Tx中递减)。
0x013	可供包数据使用	PER_TX_WAIT_TIME	在Tx中, 发送包之间的延迟。

通过TESTMODES寄存器(0x139)控制PER测试, 其定义见表1。

PER测试模式使能后, 执行新功能的数据包RAM位置如表2所示; 因此, 这些位置无法供包数据使用。PER测试模式禁用后, 这些位置可再次供包数据使用。

数据包RAM位置0x20至0xFF供PER测试的包数据使用。字节0x00至0x1F供片内处理器分配使用, 不可用于包数据。

部分数据包RAM位置供嵌入式PER测试使用, 如表2所示。接收和发送数据包计数值存储在数据包RAM的位置0x011和0x012, 发送模式中数据包之间的延迟可通过地址0x013编程。

接收器PER设置

在接收模式(Rx), 用户使能TESTMODES寄存器(地址0x139)的位3、位2和位0。位3(PER_IRQ_SELF_CLEAR)自动清零CRC中断, 接收器准备接收下一个数据包。位2

(PER_ENABLE)使能PER测试, 且位[0] (CONTINUOUS_RX)会在接收包后重启Rx。

然后, 每次接收到有效数据包(CRC正确), PER_COUNT寄存器便递增, CRC中断清零, Rx重启。

注意, 何时按需初始化该计数器由用户自行决定。因此, 开始执行PER测试时, PER_COUNT应设置为0x0000。此处示例中的Rx PER脚本可实现该设置。可将这些内容附加到正常Rx脚本中, 以使能Rx PER测试。

```
//将用于PER计数器的数据包RAM清零
181100 //PER_COUNT_LOW
181200 //PER_COUNT_HIGH
//PER_COUNT初始化为0x0000
19390D //CONTINUOUS_RX, PER_ENABLE
//PER_IRQ_SELF_CLEAR
B2 //Start PHY_RX
```

完成测试后, PER_COUNT[15:0](地址0x012和地址0x011)存储接收的数据包(CRC正确)。

发送器PER设置

在发送模式中(Tx)，若TESTMODES寄存器(地址0x139)的位3、位2和位1置1，则ADF7023发送Tx缓冲器中的数据包，次数为PER_COUNT + 1(+ 1是因为它向下计数至0)。

位3 (PER_IRQ_SELF_CLEAR)自动清零TX_EOF中断。位2 (PER_ENABLE)使能PER测试，且位1 (CONTINUOUS_TX)在发送数据包之后重启Tx。

用户针对所需的数据包数量，将PER_COUNT初始化为Test - 1。每次TX_EOF中断之后，PER_COUNT递减，TX_EOF中断清零，Tx在用户定义的等待时间之后重启。当PER_COUNT到达零，CONTINUOUS_TX(TESTMODES的位1)清零，从而终止数据包传输。

等待周期将每个数据包分隔开，数据包间延迟最小值为PHY_TX到PHY_TX状态转换时间，但通过编程寄存器PER_TX_WAIT_TIME(地址0x013)中的数值可添加额外时间。该数值控制加入数据包间延迟的额外时间阶跃数量。

时间阶跃数值取决于TRANSITION_CLOCK_DIV(地址0x13A)的数值。

如果快速转换时间使能(TRANSITION_CLOCK_DIV中的FAST_TRANSITION = 1)，则时间阶跃值为2.5 μ s。

如果快速转换时间未使能(TRANSITION_CLOCK_DIV中的FAST_TRANSITION = 4或FAST_TRANSITION = 0)，则时间阶跃值为10 μ s。

对于PER_TX_WAIT_TIME中的非零值来说，数据包之间的等待周期为：

$$\text{PHY_TX至PHY_TX状态转换时间} \\ + \text{PER_TX_WAIT_TIME} \times \text{T_STEP}$$

其中：

T_STEP = 2.5 μ s或10 μ s，具体取决于FAST_TRANSITION(地址0x13A)中的数值。

若对PER_TX_WAIT_TIME编程并设为0，则数据包间延迟约为10.4 ms(快速转换时间禁用)，或约为2.8 ms(快速转换时间使能)。

此处显示的脚本是一个Tx PER脚本示例。

```
1811E7 // PER_COUNT_LOW
181203 //PER_COUNT_HIGH - 1000次重复发送
1813FF //数据包之间的延迟
19390E //CONTINUOUS_TX, PER_ENABLE
//PER_IRQ_SELF_CLEAR
B5 //Start PHY_TX
```

测试结果

通过将接收的数据包数量(接收器件的PER_COUNT)与发送的数据包数量(发送器件的初始PER_COUNT + 1)进行比较，用户可轻松推导出PER，从而得知通道的链路质量。