

采用ADP2441/ADP2442同步降压DC-DC稳压器设计反相电源

作者：Kevin Tompsett和Ricky Yang

简介

双极性放大器、光模块、CCD偏置和OLED显示屏等应用通常需要通过正输入电压提供负输出电压。电源管理系统的设计人员需要多功能开关控制器和稳压器，以便解决这些电源管理挑战。ADI公司的ADP2441/ADP2442开关稳压器提供同步降压功能。输入电压为36 V，最低输出电压为0.6 V，最高电流为1 A，开关频率范围为300 kHz至1 MHz。

虽然ADP2441/ADP2442是针对同步降压应用而设计的，但这些器件的多功能性使得它们能够在不增加成本、元件数量和解决方案尺寸的情况下实现反相降压/升压拓扑结构，进而通过正输入电压产生负输出电压。

此器件采用同步拓扑结构，与非同步器件相比，满负载时提供更高的效率，轻载条件下提供更低的噪声。如果在轻负载条件下需要较高效率，则可使用ADP2441的脉冲跳跃模式(PSM)。ADP2442可以采用强制恒流模式(CCM)工作，以便在低负载下实现较低噪声，也可使能PSM。

本应用笔记介绍如何在同步反相降压/升压拓扑结构中实施ADP2441/ADP2442，以便从正输入电源产生负输出电压。此外还探讨了一些设计难题和可能的解决方案。为了缩短设计时间，可以使用ADIsimPower设计工具。该工具采用复杂得多的设计方程和方法，其打造出的强大设计可以即时满足几乎所有条件下的要求。该工具可通过ADIsimPower产品页面下载，也可直接通过ADP244x反相降压/升压设计工具下载。

目录

简介.....	1	输入电容选择.....	5
修订历史.....	2	补偿选择.....	6
降压/升压拓扑结构基本原理.....	3	使能信号电平转换.....	6
利用ADP2441/ADP2442的实现方法.....	3	启动前降低 V_{OUT} 过冲.....	7
输出电压设置.....	4	结论.....	8
电感选择.....	4	参考文献.....	8
斜坡补偿.....	4	相关链接.....	8
输出电容选择.....	5		

修订历史

2014年7月一修订版0：初始版

降压/升压拓扑结构基本原理

图1显示了简化的降压/升压拓扑结构。该拓扑结构由一个电感、两个彼此错相的电源开关以及输入和输出电容组成。

图2和图3分别是接通时和断开时的电流流向图。接通时，开关S1导通，S2断开，电流从输入电容流出，给电感充电，输出电容则向负载提供能量。断开时，开关S1断开，S2导通，电流从电感流向负载，同时给输出电容充电。

注意，电流从接地端流向 V_{OUT} ，从而产生负输出电压。

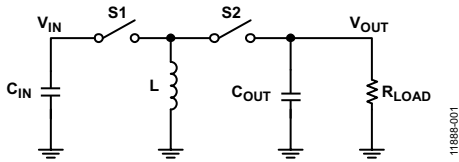


图1. 降压/升压拓扑结构

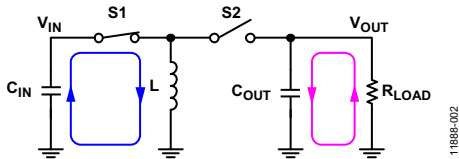


图2. 接通时的电流流向

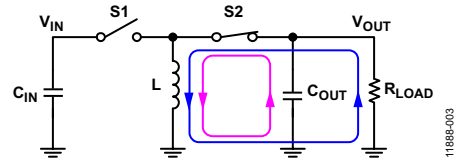


图3. 断开时的电流流向

通过对该拓扑结构应用电感伏秒平衡和电容电荷平衡原理，可算出稳态转换比，如等式1所示。等式2中指定了CCM下的直流电感电流值 I_L ，等式3则给出了电感纹波电流 ΔI_L 。

$$\frac{V_{OUT}}{V_{IN}} = \frac{-D}{1-D} \quad (1)$$

$$I_L = \frac{I_{OUT}}{1-D} \quad (2)$$

$$\Delta I_L = \frac{-V_{OUT} \times (1-D)}{L \times f_{SW}} \quad (3)$$

利用ADP2441/ADP2442的实现方法

要利用ADP2441/ADP2442同步降压稳压器实现降压/升压拓扑结构反相电源应用，必须考虑表1所列的一些设计限制。

表1. 设计限制

电压和电流	器件参数	ADP2441/ ADP2442	
V_{IN_MIN}	$>$	V_{UVLO}	4.5 V
$V_{IN_MAX} + V_{OUT} $	$<$	V_{MAX}	20 V
$I_{L_PEAK} (I_{L_peak} \text{ not } = I_{OUT})$	$<$	I_{OCP}	1.2 A/1.2 A

降压/升压电路的最低输入电压必须高于ADP2441/ADP2442的UVLO电压，使稳压器工作的典型值为4.5 V。最大输入电压与输出电压绝对值之和必须小于稳压器的最大工作输入电压 V_{MAX} ，其典型值为20 V。此外，确保电感峰值电流小于稳压器的OCP触发点，同时要考虑电感容差。

为了将同步降压稳压器转换为降压/升压拓扑结构，电感和输出电容应以与降压拓扑结构相似的方式连接。注意，如图4所示，接地点和输出电压点反相。

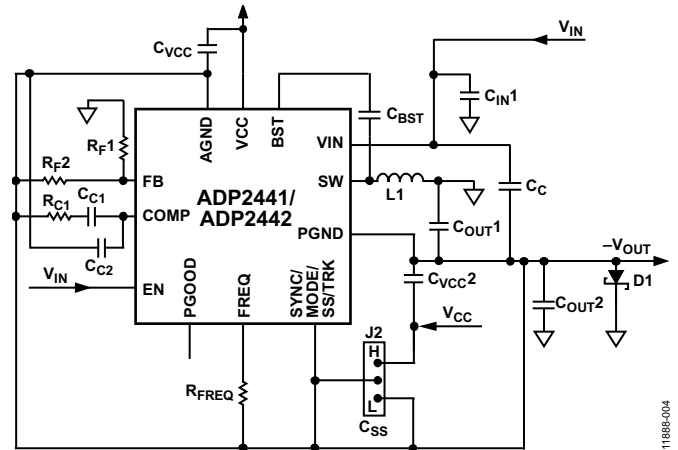


图4. 利用ADP2441/ADP2442实现的反相降压/升压拓扑结构

输出电压设置

输出电压通过一个外部电阻分压器设定。电阻值计算公式为：

$$R_{TOP} = R_{BOTTOM} \times \frac{|V_{OUT}| - 0.6}{0.6} \quad (4)$$

FB偏置电流(最大0.1 μ A)会导致输出电压精度降低, 要将降幅限制在0.5%(最大值)以内, 应确保 $R_{BOTTOM} < 30 \text{ k}\Omega$ 。

表2列出了针对各种输出电压推荐的电阻分压器。

表2. 适用于不同输出电压的电阻分压器

V _{OUT} (V)	R _{TOP} \pm 1% (k Ω)	R _{BOTTOM} \pm 1% (k Ω)
-1.2	10	10
-1.8	20	10
-2.5	47.5	15
-3.3	10	2.21
-5	22	3
-12	28	1.47
-15	35.7	1.5

电感选择

电感值取决于工作频率、输入电压和电感纹波电流。使用小电感可实现较快的瞬态响应, 但由于电感纹波电流较大, 因此效率会有所下降。使用大电感则会实现较小的纹波电流和较高的效率, 但会导致瞬态响应变慢。

原则上讲, 电感纹波电流(ΔI_L)通常设置为最大电感平均电流 I_{AVG} 的30%。可通过如下公式计算电感值:

$$L = \frac{V_{IN} \times D}{K_{RP} \times I_{AVG} \times f_{SW}} \quad (5)$$

其中:

V_{IN} 为输入电压。

D 为占空比:

$$D = \frac{|V_{OUT}|}{|V_{OUT}| + V_{IN}} \quad (6)$$

K_{RP} 为选定的电流纹波百分比。根据经验法则, 一个不错的选择是30%左右。

I_{AVG} 为电感平均电流:

$$I_{AVG} = \frac{I_{OUT}}{1 - D} \quad (7)$$

f_{SW} 为开关频率。

斜坡补偿

就如所有电流模式转换器一样, 采用反相降压/升压拓扑结构的ADP2441/ADP2442需要进行斜坡补偿以确保电流模式稳定性。ADP2441/ADP2442采用一种依赖于占空比的创新

自适应式斜坡补偿方案。与许多芯片采用的老式固定斜坡补偿方案相比, 这种方案可在更宽的占空比范围内实现理想的斜坡补偿幅度。首先, 要选择一个电流模式稳定的电感, 请用等式5选择一个电感。然后, 确认用等式8计算出的 Q_n 在最小和最大 V_{IN} 值时均介于0.2和0.9之间。等式8基于Ridley的论文“An Accurate and Practical Small-Signal Model for Current-Mode Control”(见“参考文献”部分)。

$$Q_n = 1 / (\pi \times (0.5 - D + 0.33 \times f_{SW} \times L / (D \times V_{IN})) \quad (8)$$

其中:

f_{SW} 为开关频率。

峰值电感电流等于直流分量与峰峰值电感纹波电流的一半之和。

$$I_{PEAK} = I_{AVG} + \frac{I_{AVG} \times K_{RP}}{2} \quad (9)$$

峰值电感电流也是内部电源开关的峰值电流, 该开关是用于确定是否产生电流限制的检测元件。为避免过早产生电流限制, 峰值电感电流不应超过器件的OCP阈值电流(I_{OCP})。

考虑到这一最大峰值电感电流, 反相降压/升压拓扑结构中在600 kHz开关频率下用于共模输入电压的ADP2441/ADP2442应用空间如图5所示, 其中假设峰峰值电感纹波电流为电感平均电流的40%。

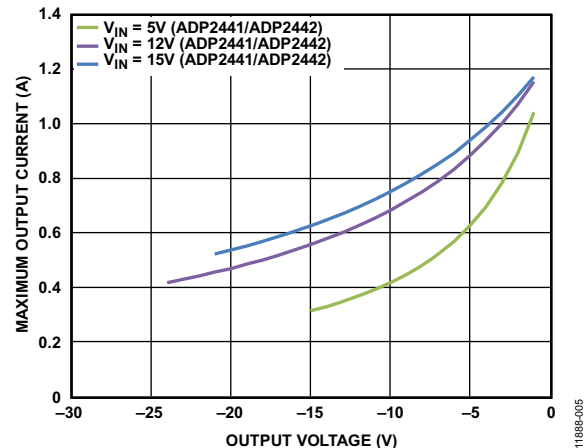


图5. 共模输入电压的应用空间($f_{SW} = 600 \text{ kHz}$)

电感的饱和电流必须大于峰值电感电流。对于具有快速饱和特性的铁氧体磁芯电感, 电感饱和电流额定值应该大于IC的限流阈值。这样可以防止电感在正常工作期间达到饱和。

输出电容选择

与降压转换器相比，反相降压/升压转换器的输出电压往往噪声较大。这是因为不同于降压转换器，在反相降压/升压拓扑结构中，输出电流是不连续的。随着S2中的电流从0快速斜升至 I_L 、再降回0，开关S2的快速上升和下降时间会在输出电压中导致噪声尖峰。因此，很有必要使用低ESR的MLCC电容和良好的布局技术来减少寄生电感。

等式10提供了让输出电压纹波保持在容许范围内所需的最小电容估算值。

$$C_{OUT} \approx \frac{I_{OUT} \times D}{f_{SW} \times (\Delta V_{RIPPLE} - I_{PEAK} \times ESR)} \quad (10)$$

其中：

ΔV_{ripple} 为容许的输出纹波电压。

ESR 为输出电容的总等效串联电阻。

I_{PEAK} 为电感峰值电流。

为了实现尽可能低的输出纹波电压，建议使用ESR值非常低的MLCC电容。所选输出电容的RMS电流额定值应大于用等式11计算的值。

$$I_{RMS_COUT} = \sqrt{\left(\frac{I_{OUT} \times D}{1-D}\right)^2 \times (1-D) + \frac{\Delta I_L^2}{12} \times (1-D) + I_{OUT}^2 \times D} \quad (11)$$

输入电容选择

在反相降压/升压拓扑结构中，输入电流也是不连续的。因此，随着S1中的电流从0快速斜升至 I_L 、再降回0，开关S1的快速上升和下降时间会在输入轨中导致噪声尖峰。因此，很有必要使用低ESR的MLCC电容和良好的布局技术来减少寄生电感。

假设接通期间输入电容的能量损耗不大于输入电压的5%，可用等式12计算最小输入电容。

$$C_{IN} = \frac{I_{AVG} \times D}{f_{SW} \times (0.05 \times V_{IN} - I_{PEAK} \times ESR_{CIN})} \quad (12)$$

其中：

I_{AVG} 为平均电感电流。

ESR_{CIN} 为输入电容的等效串联电阻。

建议至少使用一个10 μ F陶瓷电容，并尽可能靠近PVIN引脚放置。所选输入电容的电流有效值应大于用等式13计算的值。

$$I_{RMS_CIN} = \sqrt{\left(I_{OUT}^2 + \frac{\Delta I_L^2}{12}\right) \times D + \frac{D^2 \times I_{OUT}^2}{1-D}} \quad (13)$$

虽然输入电压轨上的大多数电容都以系统地为准，但在输入电压与ADP2441/ADP2442的GND引脚之间再放置一个输入去耦电容可以减小输出电压纹波，并改善瞬态响应性能，如图6所示。

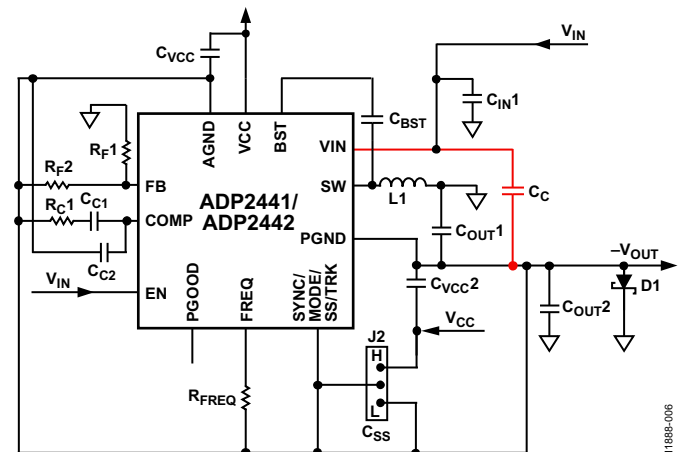


图6. V_{IN} 与GND引脚之间连接输入去耦电容的反相降压/升压拓扑结构

补偿选择

降压/升压拓扑结构中功率级的控制到输出传递函数可写成以下形式:

$$G_{VD}(s) = K \times \frac{\left(1 - \frac{s}{2\pi \times f_{Z1}}\right) \times \left(1 + \frac{s}{2\pi \times f_{Z2}}\right)}{\left(1 + \frac{s}{2\pi \times f_p}\right)} \quad (14)$$

其中:

$$K = \frac{R \times (1-D)}{R_i \times (1+D)}$$

R 为负载电阻。

R_i 为电流检测增益, 典型值是0.49 V/A。

传递函数 $G_{VD}(s)$ 有一个右半平面零点(RHPZ) f_{Z1} 、一个零点 f_{Z2} 和一个极点 f_p 。零点和极点的值分别为:

$$f_{Z1} = \frac{(1-D)^2 \times R}{2\pi \times L \times D} \quad (15)$$

$$f_{Z2} = \frac{1}{2\pi \times R_{ESR} \times C_{OUT}} \quad (16)$$

$$f_p = \frac{1+D}{2\pi \times R \times C_{OUT}} \quad (17)$$

其中:

R_{ESR} 为该输出电容的等效串联电阻。

依据下列设计准则计算补偿网络元件的值。

- 将穿越频率 f_c 设置在 f_p 和 $1/3 f_{Z1}$ 之间

$$f_c = \sqrt{f_p \times f_{Z1}} \quad (18)$$

- 通过以下等式计算 R_C 值:

$$R_C = \frac{f_c \times |V_{OUT}|}{K \times f_p \times g_m \times 0.6} \quad (19)$$

其中:

g_m 为内部误差放大器的跨导, 典型值是250 μ S。

- 将补偿零点放置在功率级极点 f_p 的1/2处

$$C_{C1} = \frac{2 \times R \times C_{COUT}}{(1+D) \times R_C} \quad (20)$$

- 将补偿极点放置在RHPZ f_{Z1} 处

$$C_{C2} = \frac{D \times L}{(1-D)^2 \times R \times R_C} \quad (21)$$

使能信号电平转换

ADP2441/ADP2442有一个EN引脚, 用于使能和禁用稳压器。然而, 在反相降压/升压应用中, IC以负输出电压(而不是系统地)为基准。芯片使能后, 将使能引脚拉至地并不会关闭IC, 因为从使能引脚到IC的AGND的电压等于 V_{OUT} 。

这个问题的一种可能解决办法是使用NPN和PNP晶体管以及几个电阻对使能电平进行电平转换, 如图7所示。

注意, 使用电平转换电路时, ADP2441/ADP2442的精密使能特性不复存在。如果不需要使能功能, 则只需将EN引脚连接到输入电压, 如图4所示。

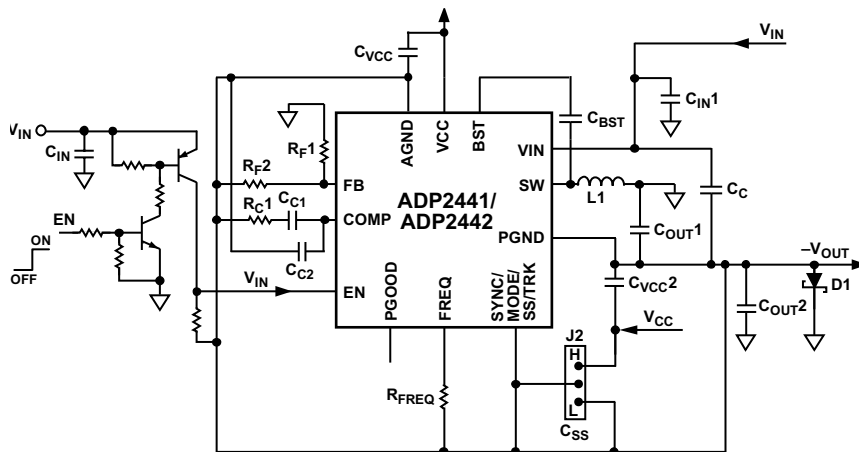


图7. 反相降压/升压拓扑结构的EN电平转换电路

启动前 V_{OUT} 过冲

在将同步降压稳压器用作反相降压/升压拓扑结构时，一个常见的问题是，在使能稳压器前，输出电压一开始是正电压，如图8所示。

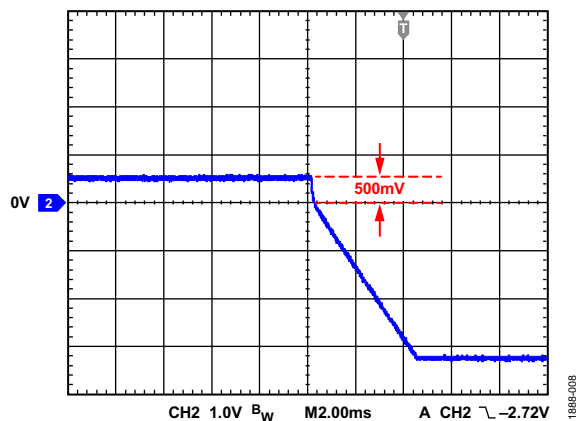


图8. 启动前 V_{OUT} 斜升

造成这种正输出电压的原因是稳压器以及连接到负电压轨的任何其他芯片的关断电流，此电流从IC的PGND引脚经过低端MOSFET的体二极管，再回到系统接地点，如图9所示。低端MOSFET的体二极管将 V_{OUT} 箝位在体二极管的正向电压水平，典型值通常在500 mV左右。

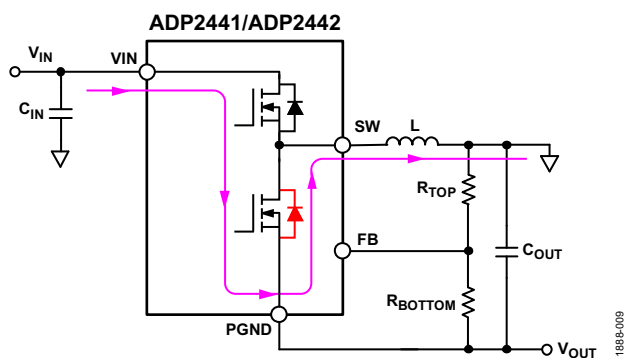


图9. 电流经过低端MOSFET的体二极管

由于 V_{OUT} 连接至稳压器的PGND引脚，该引脚实际上是UVLO等内部电路的基准点，因此PGND引脚上的正电压会降低UVLO阈值电压。输入电压非常接近稳压器的UVLO阈值电压(典型值为4.0 V)时，稳压器可能无法启动。

在用于实施本文所述的反相降压/升压拓扑结构时，所有降压稳压器都会出现此问题，并且很难彻底消除。一种解决办法是在转换器的输出端放置一个肖特基二极管。该二极管可以在一定程度上降低正电压，并防止ADP2441/ADP2442稳压器或任何负载元件中的任何硅二极管导通并导致问题。另一种解决方案是减小反馈电阻分压器的阻值，直到电阻分压器两端的压降小于低端MOSFET体二极管的正向电压。然后，关断电流会经过电阻分压器，而非体二极管，如图10所示，接着PGND引脚上的正电压就会降至可接受的值。

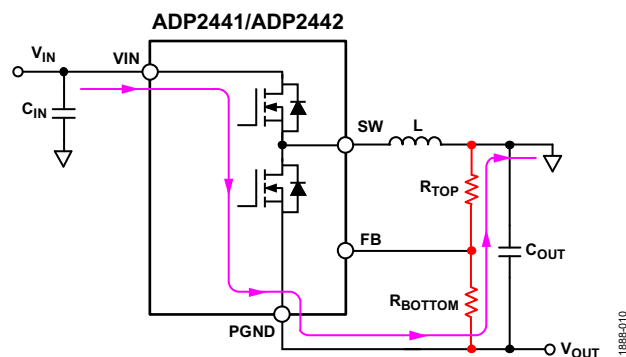


图10. 电流经过反馈电阻分压器

图11显示了减小电阻分压器阻值的结果。正 V_{OUT} 电压从500 mV降至180 mV。

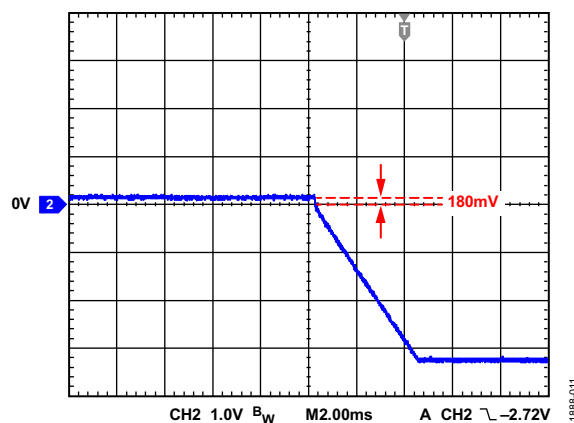


图11. 通过减小反馈电阻分压器的阻值降低 V_{OUT} 斜升

这种解决方案的弊端是系统的静态电流会增加，因为经过反馈电阻的电流较高。虽然实际功率损耗非常小，但增大的静态电流可能大幅降低轻负载条件下的效率。

AN-1269

结论

ADP2441/ADP2442可以成功用于反相降压/升压拓扑结构，从而实现一种简单、经济、小巧的负电轨构建解决方案。在详细描述所有必要设计公式之余，本应用笔记还提供了在需要使能/禁用功能时可使用的简单EN电平转换电路。另外，还就如何避免反相降压/升压拓扑结构内在的潜在启动问题提出了两种简单的解决方案。

通过遵循本应用笔记中的设计公式和建议，系统设计人员能确保设计出稳健且满足所有要求的方案。

相关链接

资源	说明
ADP2441	数据手册，36 V、1 A、同步降压DC-DC稳压器
ADP2442	数据手册，带外部时钟同步功能的36 V、1 A、同步降压DC-DC稳压器
AN-1083	应用笔记，利用ADP2300和ADP2301开关稳压器设计反相降压/升压转换器
AN-1168	应用笔记，采用ADP2384/ADP2386同步降压DC-DC稳压器设计反相电源
ADP244x反相降压/升压设计工具	ADIsimPower设计工具

参考文献

R. B. Ridley. *An Accurate and Practical Small-Signal Model for Current-Mode Control*. Ridley Engineering Inc. 1999.