

正交I/Q解调器ADL5382与16位连续时间 Σ - Δ 型ADC AD9262接口， 实现射频到比特流解决方案

电路功能与优势

这种双芯片解决方案由ADL5382和AD9262组成，可提供具有优化性能、低成本和最小电路板空间的射频到比特流解决方案。该双芯片组合只用一个频率转换步骤，可直接将RF通道转换为基带，而无需中频转换。频率转换由ADL5382完成，它是一款宽带正交I/Q解调器，涵盖从700 MHz到2.7 GHz的RF输入频率范围。ADL5382后接AD9262，后者是16位双通道连续时间 Σ - Δ 型模数转换器(ADC)。连续时间 Σ - Δ 架构特性允许解调器直接连接ADC，降低ADC驱动和抗混叠要求。本电路易于使用，只需极少的支持电路和电路板空间。

双芯片解决方案非常适合下列应用：支持CDMA2000、W-CDMA、WiMAX和LTE的正交接收机；正交采样仪表；医疗设备；以及雷达。特别是在正交接收机系统中，ADL5382可提供RF带宽，同时AD9262便于集成，并提供集成的直流与正交误差校正算法。在直接变频或其它正交系统中，实部(I)与虚部(Q)信号路径之间的不匹配会导致正(负)频谱中的频率在负(正)频谱中形成镜像。这些不匹配可能源于ADL5382或ADC信号链本身任何器件的增益或相位不匹配。AD9262的集成正交误差校正(QEC)算法会尝试测量并校正I与Q信号路径的幅度和相位不平衡，以实现单靠模拟途径无法实现的更高水平镜像抑制。直流校正是AD9262 QEC功能的一部分，它在DC条件下应用一个陷波滤波器，以消除基带信号中的LO转RF泄漏和直流失调。

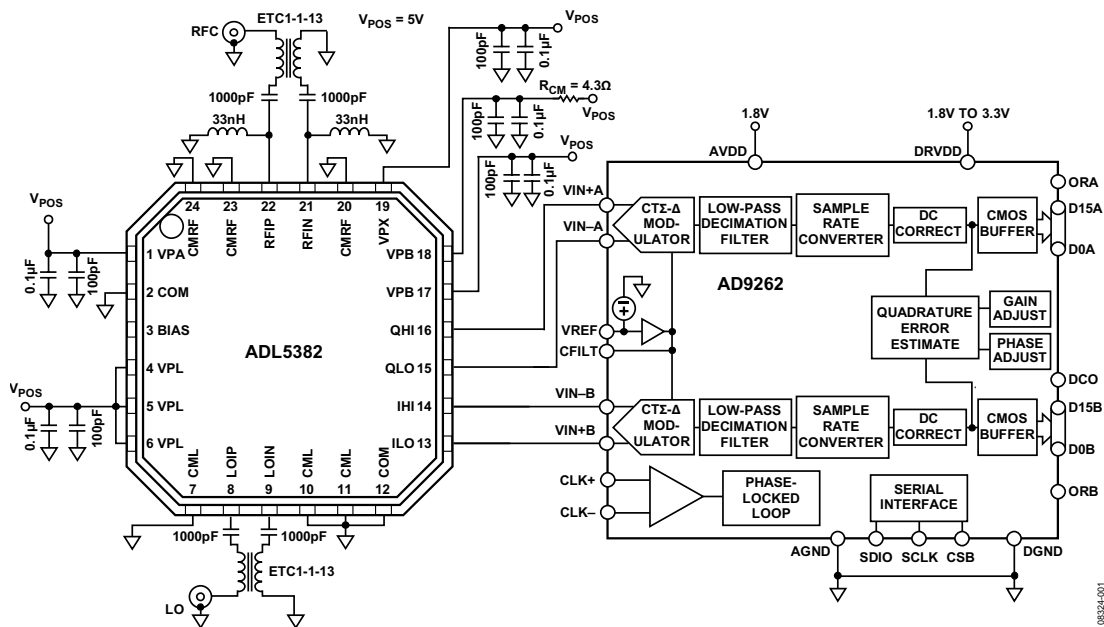


图1. 直接射频到比特流应用中ADL5382与AD9262之间的接口(原理示意图，未显示所有连接和去耦)

AN-1236

电路描述

表1. 连接/参考器件

产品	说明
ADL5382	700 MHz至2,700 MHz正交解调器
AD9262	16位双通道连续时间Σ-Δ型ADC

图1显示了这种双芯片解决方案，它只需极少的支持电路，便可执行从射频到比特流的直接下变频转换。[ADL5382](#)支持700 MHz至2.7 GHz的LO和RF频率范围。通过巴伦以差分方式驱动LO和RF端口，推荐的巴伦为Mini Circuits TC1-1-13+。LO和RF输入针对宽带50 Ω匹配设计，必须采用1000 pF电容交流耦合。另外，必须将以地为参考的扼流圈电感与RFIP和RFIN相连(推荐值为33 nH, Coilcraft 0603CS-33NX)，以提供适当的偏置。扼流圈电感用于提供极低电阻的对地直流路径，以及在RF频率时提供高交流阻抗，从而不影响RF输入阻抗。

[ADL5382](#)的I/Q输出可以直接与[AD9262](#)的ADC输入相连。以连续时间Σ-Δ型输入结构实现该无缝接口。与传统的开关电容设计不同，[AD9262](#)为阻性输入。VIN+与VIN-引脚之间的差分输入阻抗为固定的1000 Ω。这一高输入阻抗可进一步优化[ADL5382](#)的线性输入接口。此外，连续时间Σ-Δ型架构具有内在的抗混叠功能。因此，[ADL5382](#)和[AD9262](#)之间可以不需要滤波器网络。根据应用和系统设计要求，对于较大的带外阻塞器，可能需要使用低阶修平滤波器。

外部时钟输入或集成整数N分频锁相环(PLL)提供过采样连续时间Σ-Δ调制器所需的640 MHz内部时钟。片内抽取滤波器和采样速率转换器可将调制器数据速率从640 MSPS降低至用户定义的输出数据速率，数值范围为30 MSPS至160 MSPS，从而实现更为高效和直接的接口。

[ADL5382](#)与[AD9262](#)接口时的一个重要考量，就是要实现[AD9262](#)的通道A和通道B输入所要求的适当共模电平。[AD9262](#)的VINxA/VINxB输入引脚要求1.8 V的共模电压，而[ADL5382](#)的I/Q输出的共模电压为VPOS -2.8 V。VPOS为[ADL5382](#)的正电源电压，其标称值为5 V。

[ADL5382](#)与[AD9262](#)之间要达到同等的共模电平，需将一个串联电阻 R_{CM} 放在VPOS与[ADL5382](#)的引脚18之间。引脚18规定了I/Q输出的共模电压，因此，在VPOS = 5 V时，要实现1.8 V共模电压，则它的理想值为4.6 V。将串联电阻设为4.3 Ω的较低电阻值。由于流入引脚18的电流为91 mA，因此该电阻将产生0.39 V压降，而电源电压为5 V，因此引脚18的电压大约为4.6 V，这样输出共模电压值为所需的1.8 V。

这种采用[ADL5382](#)和[AD9262](#)的射频到比特流整体解决方案可大幅节省印刷电路板(PCB)空间，易于使用，同时动态性能达到最佳。由于不需要较高阶抗混叠滤波器和驱动器放大器，因此整体设计更为紧凑。此外，[ADL5382](#)和[AD9262](#)的封装尺寸均很小，可进一步节省PCB空间。[ADL5382](#)提供24引脚、4 mm × 4 mm LFCSP封装，[AD9262](#)提供9 mm × 9 mm LFCSP封装。由[ADL5382](#)和[AD9262](#)构成的完整解决方案在900 MHz时的输入IP3为33 dBm，输入IP2优于70 dBm。可用系统带宽为10 MHz(实信号)或20 MHz(复信号)。[AD9262](#)的数字输出能够提供30 MHz至160 MHz可编程输出数据速率。

本电路必须构建在具有较大面积接地层的多层电路板上。为实现最佳性能，必须采用适当的布局、接地和去耦技术(请参考指南MT-031和指南MT-101)。

常见变化

[ADL538x](#)系列解调器和[AD926x](#)系列连续时间Σ-Δ型ADC提供宽范围射频频率选择，以及多种数字输出配置选项。根据应用和性能要求，一种配置可能优于另一种配置。解调器的选择包括[ADL5380](#)和[ADL5382](#)。与[ADL5382](#)相比，[ADL5380](#)可提供更宽的RF频率范围(400 MHz至6 GHz)。不过，必须在线性性能与带宽之间取得平衡。[ADL5382](#)或[ADL5380](#)均可直接与[AD9262](#)或[AD9267](#)接口，以构成完整的射频到比特流双芯片解决方案。[AD9262](#)包含一个连续时间Σ-Δ型调制器和后端数字信号处理模块，支持30 MSPS至160 MSPS CMOS输出。[AD9267](#)仅由Σ-Δ型调制器组成，其4位LVDS输出数据速率固定为640 MSPS。需自行调理信号的客户可以选择[AD9267](#)。解调器与ADC的组合可提供四种配置，每种配置均有其优势和弱点。因此，需要通过细致的系统分析来确定最适合应用的配置。

了解详情

Luu, Qui and Richard Schreier. "Understanding Continuous-Time, Discrete-Time Sigma-Delta ADCs And Nyquist ADCs," *Electronic Design*. February 20, 2009.

[MT-031 Tutorial, *Grounding Data Converters and Solving the Mystery of AGND and DGND*. Analog Devices.](#)

[MT-080 Tutorial, *Mixers and Modulators*, Analog Devices.](#)

[MT-101 Tutorial, *Decoupling Techniques*. Analog Devices.](#)

数据手册

[ADL5382 Data Sheet.](#)

[AD9262 Data Sheet.](#)

修订历史

2013年5月—修订版0至修订版A

文档标题从CN-0062改为AN-1236 通篇

2009年6月-修订版0: 初始版