

使用ADuCM360/ADuCM361时的降低功耗选项

作者: Mike Looney

简介

ADuCM360是一款32位ARM® Cortex™-M3微控制器，集成两个24位 Σ - Δ 型模数转换器(ADC)，各ADC前端均有一个完全可编程的仪表放大器。ADuCM361包含ADuCM360的全部功能，不过它仅有一个24位 Σ - Δ ADC (ADC1)。本应用笔记描述这些器件的多种工作模式和时钟选项，并详细说明各种配置如何省电。

这些微控制器适合广泛的应用，包括工业控制和仪器仪表应用。在许多应用中，降低功耗至关重要。例如，对于电池供电应用，利用ADuCM360/ADuCM361的不同工作模式和时钟选项可以延长电池使用时间。此外，在在4 mA至20 mA环路应用中ADC性能是举足轻重的，ADuCM360/ADuCM361可确保传感器模块的总功耗低于3.2 mA。

有关ADuCM360/ADuCM361技术规格和工作原理的详细信息，请参阅最新数据手册和用户指南UG-367。

通过最大限度地利用时钟和功耗模式选项，即便前端ADC和PGA使能，ARM Cortex-M3处理器设为主动模式，并且SPI总线和所有定时器使能，也可以将ADuCM360/ADuCM361的平均 I_{DD} 功耗降至仅1 mA。

本文中的所有 I_{DD} 测量结果均为环境温度(25°C)下使用电源电压 $AV_{DD} = IOVDD = 3.0$ V测得的典型值。

目录

简介.....	1	I ² C.....	7
修订历史.....	2	PWM.....	8
时钟控制寄存器.....	3	降低模拟I _{DD}	8
CLKCON0.....	4	掉电模式.....	9
CLKSYSDIV.....	4	模式1：MCUHALT模式.....	9
CLKDIS.....	4	模式2：PERHALT模式.....	9
CLKCON1.....	6	模式3：SYSHALT模式.....	9
UART.....	7	模式4和模式5：TOTALHALT和休眠模式.....	9
SPI0/SPI1.....	7		

修订历史

2012年10月—修订版0：初始版

时钟控制寄存器

ADuCM360/ADuCM361 包含4个主时钟控制寄存器：CLKCON0、CLKCON1、CLKDIS和CLKSYSDIV。图1概要显示了ADuCM360/ADuCM361的时钟结构。

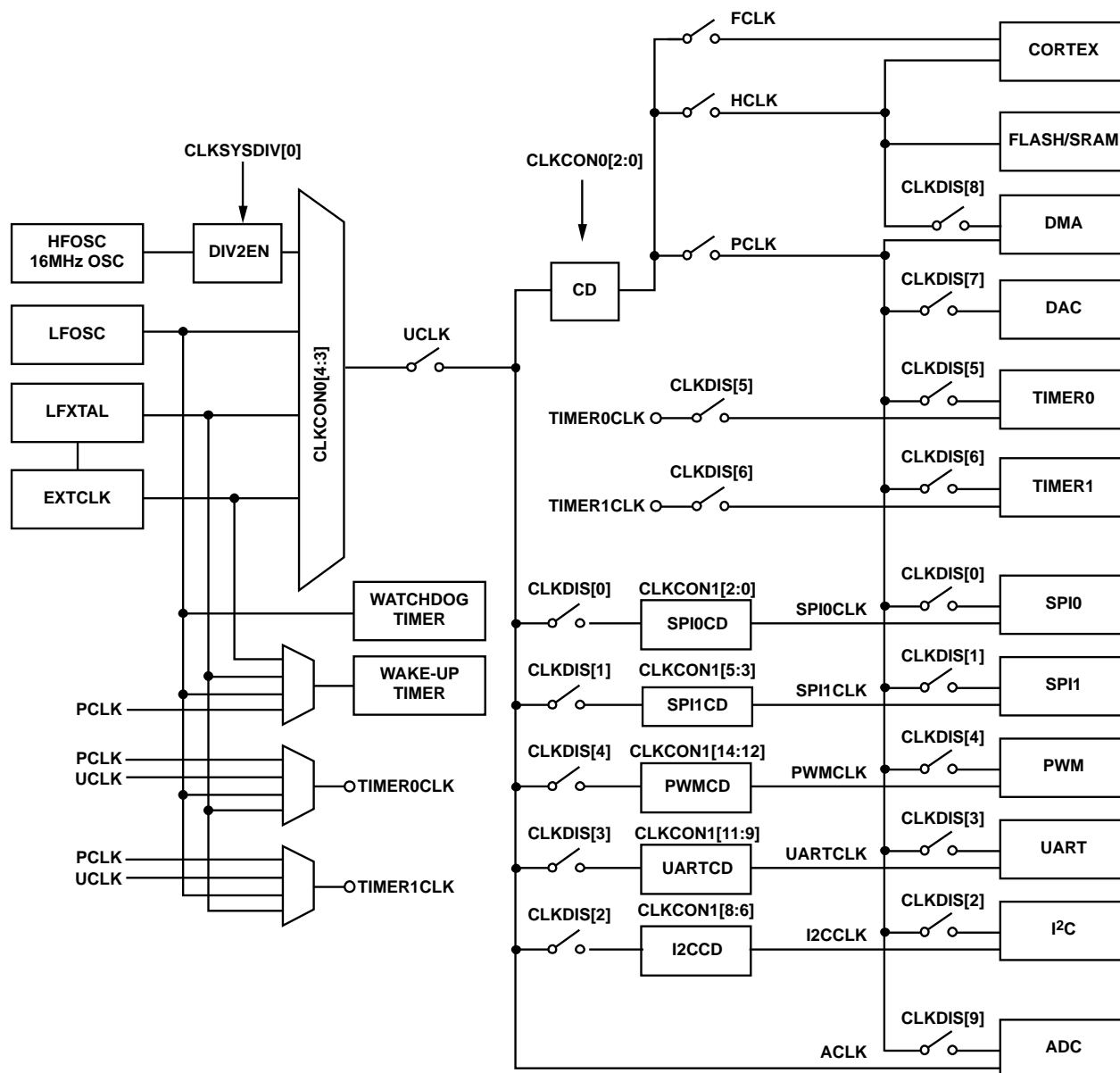


图1. ADuCM360和ADuCM361的时钟结构

AN-1111

CLKCON0

UCLK用作ADuCM360和ADuCM361的主系统时钟。寄存器CLKCON0(地址0x40002000)的CLKCON0[2:0]位选择UCLK的时钟分频值。时钟分频设置很重要,因为较低的系统时钟设置可以降低功耗。

图2显示了ADuCM360/ADuCM361在不同UCLK速率下的IDD。图2中,处理器使能,但ADC关闭。

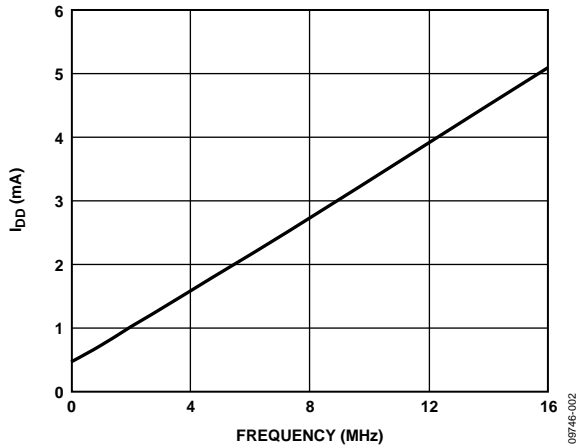


图2. 采用3.0 V电源、处理器工作在不同频率下的总 I_{DD}

CLKCON0[4:3]位选择UCLK的来源。选项包括:

- 内部16 MHz振荡器(默认)HFOSC
- 内部32 kHz振荡器LFOSC
- 外部32 kHz振荡器LFXTAL
- P1.0提供的外部时钟EXTCLK

默认情况下,16 MHz内部振荡器(HFOSC)的功耗为170 μ A。

CLKSYSDIV

CLKSYSDIV寄存器(地址0x40002444)使能和禁用16 MHz振荡器输出端的二分频(DIV2EN)选项。

CLKSYSDIV = 0x1时,系统时钟(UCLK)变为8 MHz;因此,整个芯片由8 MHz时钟源提供时钟,而不是16 MHz。这样不仅能将动态电流减半(如图3所示),而且能将后台(静态)电流降低90 μ A(典型值)。

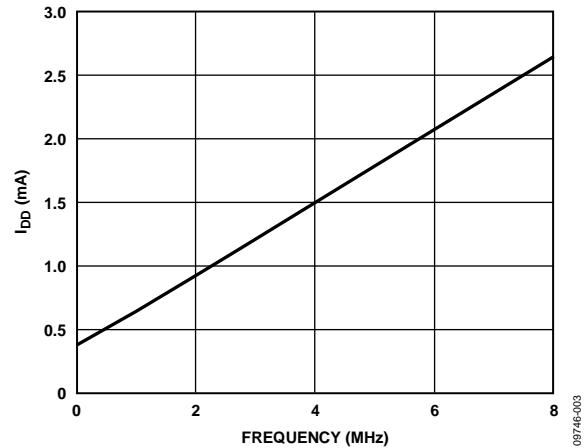


图3. 采用3.0 V电源、处理器工作、CLKSYSDIV = 0x1时的总 I_{DD}

表1. CLKSYSDIV寄存器的位功能描述

位	名称	描述
[7:1]	保留	这些位保留,应清0。
0	DIV2EN	二分频使能位。此位默认值为1,意味着系统时钟为8 MHz。低功耗系统应使能此位。 1:使能系统时钟分频器,系统时钟为8 MHz。 0:禁用系统时钟分频器,系统时钟为16 MHz。

CLKDIS

CLKDIS寄存器(地址0x4000202C)使能和禁用10个不同外设的系统时钟,如图1所示。默认情况下,除位9(ADC系统时钟使能位)以外的所有其它CLKDIS位均置1。复位后,10个外设中有9个的系统时钟禁用。要使用其中的任何一个外设,用户必须将CLKDIS寄存器的相应位清0,从而使能该外设的系统时钟。

如果应用不使用其中的任何一个外设,为降低功耗,应将所有不用外设对应的CLKDIS寄存器位置1。

表2列出了设置CLKCON1 = 0x00以禁用各外设的时钟所节省的 I_{DD} ,假设CLKSYSDIV = 0x01(系统时钟 = 8 MHz)。多数情况下,虽然外设处于无效状态,但外设默认由系统时钟提供时钟。有关CLKCON1寄存器的更多信息,请参阅CLKCON1部分。

表2. CLKDIS寄存器的位功能描述

位	名称	描述	I _{DD} 降低量
[15:10]	保留	这些位保留，应清0	
9	DISADCCLK	1: 禁用ADC系统时钟 0: 使能ADC系统时钟	置1时降低75 μA。注意，ADC0和ADC1默认处于空闲模式，ADCxMDE寄存器 = 0x0003。
8	DISDMACLK	1: 禁用DMA系统时钟 0: 使能DMA系统时钟	置1时降低40 μA。注意，默认情况下，所有DMA通道禁用。
7	DISDACCLK	1: 禁用DAC系统时钟 0: 使能DAC系统时钟	置1时降低12 μA。注意，DAC默认处于掉电模式，DACCON寄存器 = 0x200。
6	DIST1CLK	1: 禁用Timer1系统时钟 0: 使能Timer1系统时钟	置1时降低20 μA。
5	DIST0CLK	1: 禁用Timer0系统时钟 0: 使能Timer0系统时钟	置1时降低15 μA。
4	DISPWMCLK	1: 禁用PWM系统时钟 0: 使能PWM系统时钟	置1时降低95 μA。
3	DISUARTCLK	1: 禁用UART时钟 0: 使能UART系统时钟	置1时降低135 μA。
2	DISI2CCLK	1: 禁用I ² C系统时钟 0: 使能I ² C系统时钟	置1时降低70 μA。
1	DISSPI1CLK	1: 禁用SPI1系统时钟 0: 使能SPI1系统时钟	置1时降低80 μA。
0	DISSPIOCLK	1: 禁用SPI0系统时钟 0: 使能SPI0系统时钟	置1时降低85 μA。

AN-1111

CLKCON1

CLKCON1寄存器(地址0x40002004)调整主要通信外设的时钟：SPI0、SPI1、UART、I²C和PWM。默认情况下，CLKCON1寄存器为0x0000。

如果应用中不使用SPI、I²C、UART或PWM外设，为将I_{DD}

降至最低，应禁用相应外设的时钟，并将时钟频率设为最小值。例如，如果不使用PWM，应将CLKCON1的位[14:12]设为111。注意，外设时钟必须等于或快于处理器时钟速度。如果外设时钟慢于处理器时钟速度，外设将被禁用。

表3. CLKCON1寄存器的位功能描述¹

位	名称	描述
15	保留	
[14:12]	PWMCD	PWM系统时钟的时钟分频位 000: UCLK/1 = 16 MHz 001: UCLK/2 = 8 MHz 010: UCLK/4 = 4 MHz 011: UCLK/8 = 2 MHz 100: UCLK/16 = 1 MHz 101: UCLK/32 = 500 kHz 110: UCLK/64 = 250 kHz 111: UCLK/128 = 125 kHz
[11:9]	UARTCD	UART系统时钟的时钟分频位 000: UCLK/1 = 16 MHz 001: UCLK/2 = 8 MHz 010: UCLK/4 = 4 MHz 011: UCLK/8 = 2 MHz 100: UCLK/16 = 1 MHz 101: UCLK/32 = 500 kHz 110: UCLK/64 = 250 kHz 111: UCLK/128 = 125 kHz
[8:6]	I2CCD	I ² C系统时钟的时钟分频位 000: UCLK/1 = 16 MHz 001: UCLK/2 = 8 MHz(支持400 kHz I ² C波特率的最小值) 010: UCLK/4 = 4 MHz 011: UCLK/8 = 2 MHz(支持100 kHz I ² C波特率的最小值) 100: UCLK/16 = 1 MHz 101: UCLK/32 = 500 kHz 110: UCLK/64 = 250 kHz 111: UCLK/128 = 125 kHz
[5:3]	SPI1CD	SPI1系统时钟的时钟分频位 000: UCLK/1 = 16 MHz 001: UCLK/2 = 8 MHz 010: UCLK/4 = 4 MHz 011: UCLK/8 = 2 MHz 100: UCLK/16 = 1 MHz 101: UCLK/32 = 500 kHz 110: UCLK/64 = 250 kHz 111: UCLK/128 = 125 kHz
[2:0]	SPI0CD	SPI0系统时钟的时钟分频位 000: UCLK/1 = 16 MHz 001: UCLK/2 = 8 MHz 010: UCLK/4 = 4 MHz 011: UCLK/8 = 2 MHz 100: UCLK/16 = 1 MHz 101: UCLK/32 = 500 kHz 110: UCLK/64 = 250 kHz 111: UCLK/128 = 125 kHz

¹ 计算针对UCLK = 16 MHz且CLKSYSDIV[0] = 0；CLKSYSDIV[0]置1时，需要额外的二分频。

UART

为将UART消耗的电流降至最低，应采用能使应用满足所需UART波特率设置的最低时钟设置。更改UART的时钟频率同样需要重新计算输入COMDIV寄存器的正确值，该寄存器控制波特率。

波特率利用下式计算：

波特率 =

$$\text{UARTCLK} \div (2 \times 16 \times \text{COMDIV}) \div (M + N \div 2048)$$

其中：

COMDIV = 1至65,536

M = 1至3

N = 0至2047

UARTCLK是UART的分频系统时钟，由CLKSYSDIV和CLKCON1寄存器设置。图4显示了降低UART时钟时的IDD可能节省量。

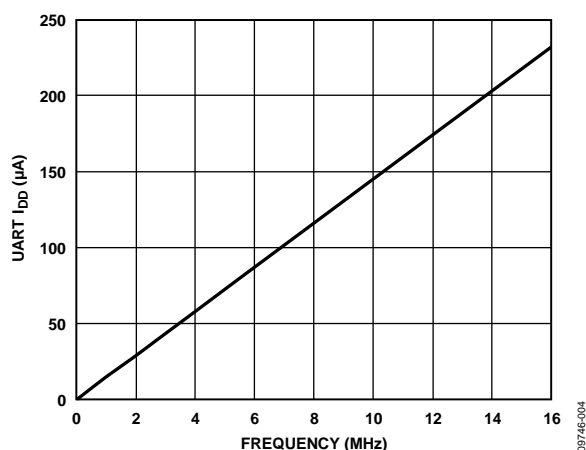


图4. UART I_{DD} 与UART时钟频率的关系

SPI/SPI1

为将SPI模块消耗的电流降至最低，应采用能使应用满足所需SPI时钟速率的最低时钟设置。图5显示了选择低频时钟时各SPI模块的 I_{DD} 节省量。

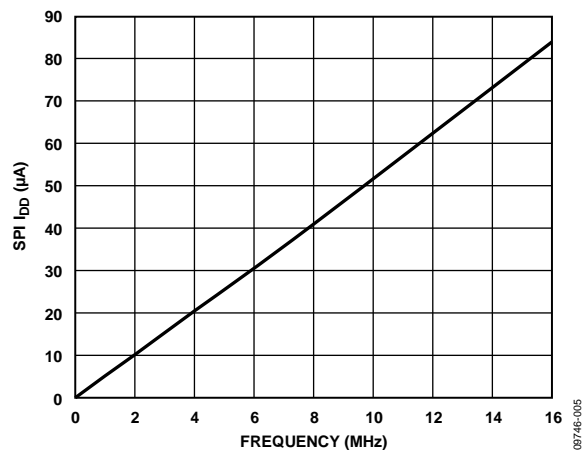


图5. 各SPI端口的 I_{DD} 与SPI时钟频率的关系

主机模式

在SPI主机模式下，更改SPI的时钟频率要求重新计算输入SPIxDIV寄存器(对于SPI0，x为0；对于SPI1，x为1)的正确值，该寄存器控制SPI时钟速率。波特率计算如下：

$$\text{SPI时钟速率} = \text{SPI时钟} / (2 \times (1 + \text{SPIxDIV}))$$

其中，“SPI时钟”是SPI的分频系统时钟，由CLKSYSDIV和CLKCON1寄存器设置。

从机模式

在从机模式下，SPI总线上的主机控制波特率。然而，ADuCM360/ADuCM361内部SPI时钟速率(由CLKCON1寄存器设置)必须比主机SPI输出时钟(主机时钟)快至少4倍。

I²C

为将I²C模块消耗的电流降至最低，应采用能使应用满足所需I²C时钟速率的最低时钟设置。图6显示了降低I²C时钟时的 I_{DD} 可能节省量。注意，这些数值并不包括SDA和SCL引脚上外部上拉电阻的 I_{DD} 。

支持400 kHz I²C波特率的最小值是8 MHz的I²C系统时钟，而支持100 kHz I²C波特率的最小值是2 MHz的I²C系统时钟。

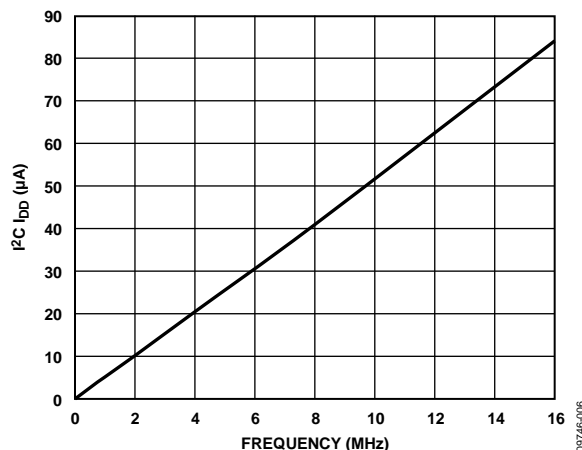


图6. I_{DD} 与I²C系统时钟频率的关系

主机模式

在I²C主机模式下，更改I²C模块的时钟频率要求重新计算输入I2CDIV寄存器的正确值，该寄存器控制I²C时钟速率。I2CDIV一个16位寄存器，包含两个8位值：HIGH和LOW。设置公式如下：

$$f_{I2CSCL} = f_{PERIPH} / (\text{Low} + \text{High} + 3)$$

其中：

f_{PERIPH} = I²C外设时钟。

$f_{PERIPH} = f_{UCLK} / (\text{CLKSYSDIV} \times \text{I2CCD})$ ，其中UCLK为系统时钟16 MHz；CLKSYSDIV为1或2，取决于CLKSYSDIV[0]位设置；I2CCD是时钟分频值，由CLKCON1[8:6]位设置一个1到7之间的值。

AN-1111

$Low = \text{时钟的低电平周期, } I2CDIV[7:0] = (REQD_LOW_TIME/UCLK_PERIOD) - 1。$

$High = \text{时钟的高电平周期, } I2CDIV[15:8] = (REQD_HIGH_TIME/UCLK_PERIOD) - 2。$

因此, 在100 kHz的情况下, I²C外设时钟为16 MHz, Low和High位的值如下:

Low = 0x4F

High = 0x4E

在400 kHz的情况下, Low和High位的值如下:

Low = 0x13

High = 0x12

从机模式

在从机模式下, I²C总线上的主机控制波特率。

PWM

为将PWM模块消耗的电流降至最低, 应采用能使满足所需PWM占空比和输出频率的最低时钟设置。图7显示了降低PWM时钟时的I_{DD}可能节省量。

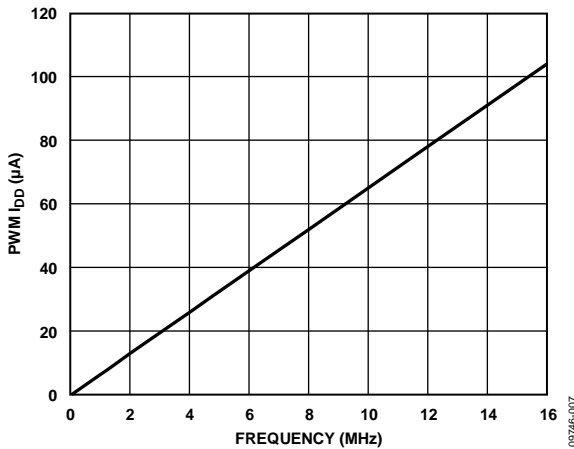


图7. I_{DD}与PWM时钟频率的关系

降低模拟I_{DD}

表4列出了配置ADuCM360/ADuCM361的ADC0和ADC1的一些选项, 以及各选项相关的I_{DD}值。如表4所示, 通过精心配置ADC和DAC, 可以将模拟I_{DD}降至最低。

降低模拟I_{DD}时, 必须考虑以下信息:

- ADCxFLT寄存器选择的ADC更新速率不影响I_{DD}功耗。无论ADC滤波器更新速率为何值, ADC调制器始终采用500 kHz时钟源工作。
- 当PGA使能且增益大于或等于2时, 不需要ADC输入缓冲器; 因此, 寄存器ADCxCON的位[17:14]可以设置为1111。此设置可节省70 μA功耗(每ADC)。
- 当PGA增益大于或等于32时, 与增益小于32相比, 需要多消耗60 μA电流。
- 当PGA禁用(增益为1)时, 应使能ADC输入缓冲器, 除非提供了外部缓冲器。
- 每个外部基准输入缓冲器消耗60 μA电流。如果外部基准负电压连接到AGND, 可以将缓冲器的反向输入路旁路, 并设置寄存器ADCxCFG的位[1:0] = 11。
- 寄存器IEXCCON的位2 = 0时, 禁用激励电流源0。同样, 寄存器IEXCCON的位5 = 0时, 禁用激励电流源1。仅使用一个激励电流时, 禁用另一个可以节省功耗。

表4. 模拟外设I_{DD}明细

外设名称	ADC0	ADC1	两个ADC共有	其它
调制器	70 μA	70 μA		
增益 = 2、4、8或16 (PGA总功耗)	130 μA	130 μA		
增益 = 32、64或128 (PGA总功耗)	190 μA	190 μA		
ADC正输入缓冲器	35 μA	35 μA		
ADC负输入缓冲器	35 μA	35 μA		
外部基准缓冲器				
正			60 μA	
负			60 μA	
激励电流 (不包括输出电流)				
源0			25 μA	
源1			25 μA	
DAC				50 μA

掉电模式

ADuCM360/ADuCM361提供5个掉电级别。当用户确定哪种掉电模式最适合应用时，需要权衡 I_{DD} 节省量、唤醒时间与要激活的外设。

在模式1、模式2和模式3下，当CPU关断时，利用DMA操作可以使外设继续工作。为此，必须使能ADC1或ADC0的DMA操作。使用完整的DMA中断将器件从模式1、模式2或模式3唤醒。

以下部分中的 I_{DD} 数值假设ADC DMA模式未使能。

模式1：MCUHALT模式

在模式1下，HCLK关闭，ARM Cortex-M3处理器处于休眠模式。唤醒时间是FCLK的3至5倍，其中FCLK是CLKCON0[2:0]位选择的时钟。

模式1下的预期 I_{DD} 计算如下：

寄存器CLKSYSDIV = 0x0时，

$$I_{DD} [\mu A] = 50 \times FCLK + 355$$

寄存器CLKSYSDIV = 0x1时，

$$I_{DD} [\mu A] = 50 \times FCLK + 435$$

模式2：PERHALT模式

在模式2下，PCLK关闭，ARM Cortex-M3处理器处于休眠模式。唤醒时间是FCLK的3至5倍，其中FCLK是CLKCON0[2:0]位选择的时钟。

模式2下的预期IDD计算如下：

寄存器CLKSYSDIV = 0x0时，

$$I_{DD} [\mu A] = 60 \times FCLK + 345$$

寄存器CLKSYSDIV = 0x1时，

$$I_{DD} [\mu A] = 60 \times FCLK + 425$$

模式1与模式2的 I_{DD} 节省量差异极小。

模式3：SYSHALT模式

在模式3下，HCLK、ACLK和PCLK关闭，ARM Cortex-M3处理器处于休眠模式。唤醒时间是FCLK的3至5倍，其中FCLK是CLKCON0[2:0]位选择的时钟。

模式3下的预期IDD计算如下：

寄存器CLKSYSDIV = 0x0时，

$$I_{DD} [\mu A] = 16 \times FCLK + 345$$

寄存器CLKSYSDIV = 0x1时，

$$I_{DD} [\mu A] = 16 \times FCLK + 420$$

FCLK速率 ≤ 1 MHz时，模式3与模式1或模式3与模式2的 I_{DD} 节省量差异极小。

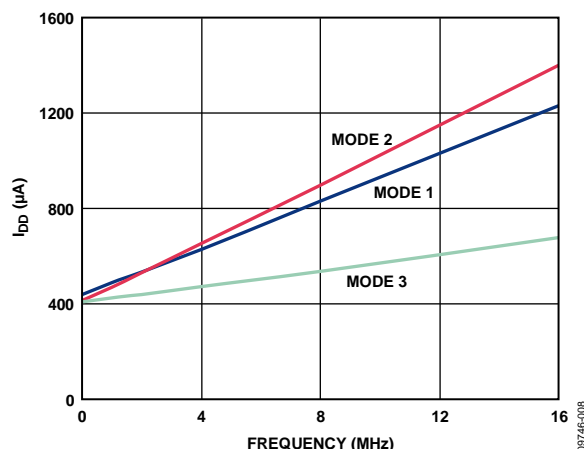


图8. 模式1、模式2和模式3的掉电 I_{DD} 与FCLK的关系，
CLKSYSDIV = 0x0

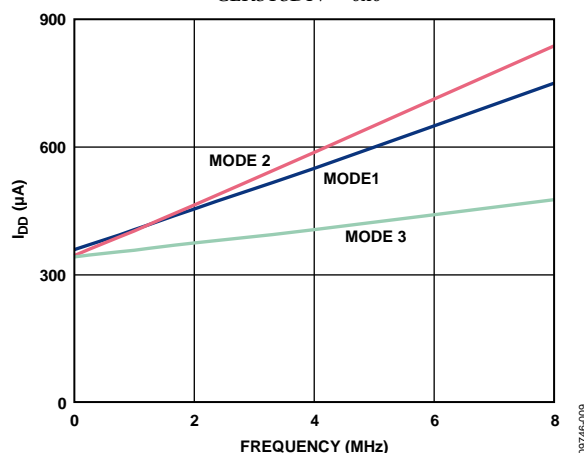


图9. 模式1、模式2和模式3的掉电 I_{DD} 与FCLK的关系，
CLKSYSDIV = 0x1

模式4和模式5：TOTALHALT和休眠模式

在模式4和模式5下，HCLK、ACLK和PCLK关闭，ARM Cortex-M3处理器处于深度休眠(DEEPSLEEP)模式。唤醒时间约为30.8 μs 。这些模式下的 I_{DD} 典型值为2 μA 到4 μA 。

注释

注释

注释

I²C指最初由Philips Semiconductors(现为NXP Semiconductors)开发的一种通信协议。