

无线发射机IQ平衡和边带抑制

作者: Yi Zhang

简介

直接复调制逐渐成为在蜂窝基站、WiMAX、无线点对点等终端应用中部署发射器信号链的首选架构。这种技术直接将数模转换器的输出IQ信号调制到RF载波上(直接转换),从而摆脱中间IF级和相关滤波器。图1显示典型的直接转换发射器。

众所周知,在模拟调制过程中,IQ信号的增益和相位不匹配会直接影响边带抑制性能,这会导致接收器端的误差矢量幅度(EVM)增大,从而提高比特误差率(BER)。

本应用笔记讨论造成边带抑制不理想的主要原因,以及相关器件选择和PCB设计/布局的设计考虑。本文中的无线发射机示例由ADI公司的AD9122 TxDAC+和模拟正交调制器(例如ADL5375、ADL5372)和/或ADI公司的ADRF670x组成。

本应用笔记所提供信息同样适用于其他ADI公司高速DAC产品,如AD9125、AD9148、AD9788和AD9779A。

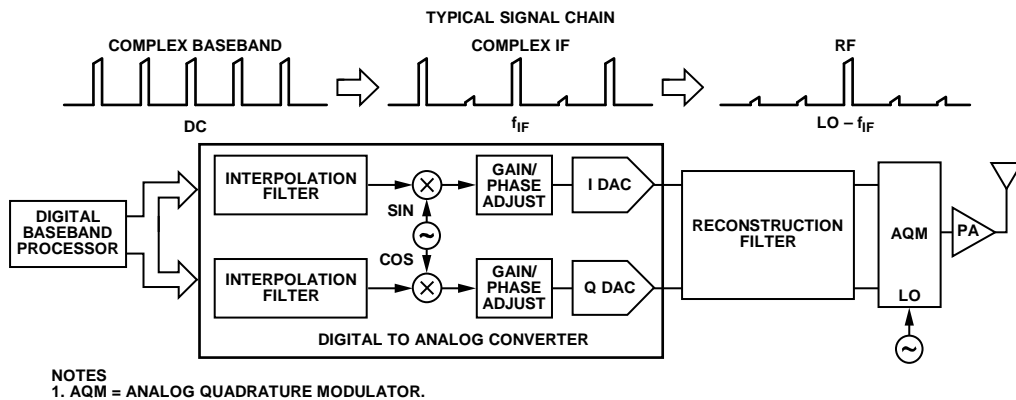


图1. 典型直接变频发射机

目录

| | | | |
|------------|---|-----------------|---|
| 简介..... | 1 | 边带抑制不理想的原因..... | 3 |
| 修订历史0..... | 2 | 结论..... | 8 |

修订历史

2010年12月—修订版0：初始版

边带抑制不理想的原因

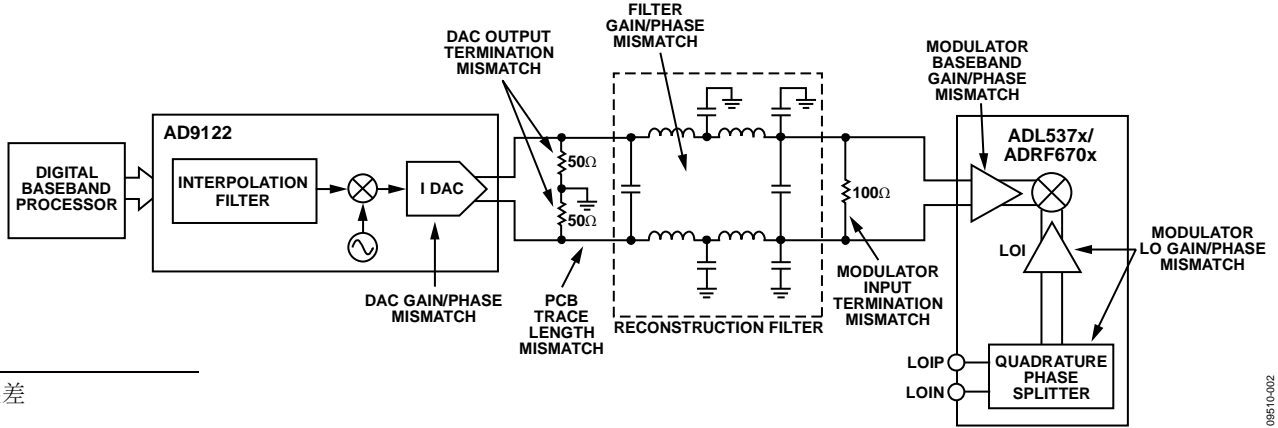


图1. 典型直接变频发射机

DAC 输出相位误差

图2显示典型直接转换发射信号链的示意图。鉴于发射机的对称性，图2仅显示I通道。

潜在不匹配在图中予以标注。本应用笔记假设数字域内的IQ信号完全匹配。需要讨论的不匹配本质上仅存在于信号链的模拟部分内。

表1列出了可能引起IQ不匹配的区域。下列章节阐述了这些潜在不匹配及其潜在影响。

表1. 典型直接转换发射机中的IQ不匹配

| 不匹配贡献因素 | 增益不匹配 | 相位不匹配 |
|---------|------------------------|------------------------|
| DAC | DAC输出增益误差 | DAC输出相位误差 |
| IQ MOD | 调制器基带增益误差 调制器LO增益误差 | 调制器基带相位误差 调制器LO相位误差 |
| 重构滤波器 | 滤波器增益误差 | 滤波器相位误差 |
| 端接电阻 | 端接电阻容差 | 无 |
| PCB走线 | 差分对长度不匹配 | PCB走线长度不匹配 |

DAC输出增益误差

DAC增益误差指实际输出范围与理想输出范围的差异。图3显示AD9122中DAC满量程输出电流控制的简化框图。该控制路径由一个电压基准、一个10 kΩ外部满量程调整电阻、一个基准控制放大器和一个电流调整阵列组成。满量程调整电阻和电压基准以及基准控制放大器共同设置DAC的内部偏置电流。

该偏置电流在电流调整阵列内进行镜像和倍增，以设置DAC的满量程电流。

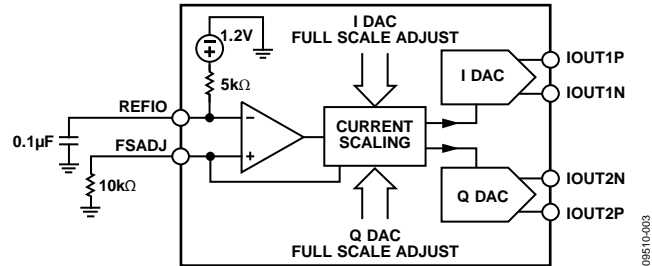


图3. AD9122满量程电流控制框图

因此，可根据公式1计算理想的DAC满量程输出电流。

$$I_{FS} = \frac{V_{REF}}{R_{SET}} \times \left(72 + \left(\frac{3}{16} \times DAC_{GAIN} \right) \right) \quad (1)$$

V_{REF} 为基准电压。 R_{SET} 为满足量程调整电阻。 DAC_{GAIN} 为电流调整阵列内的数字控制码。如果实际满量程输出电流偏离此理想值，就会产生增益误差。

AD9122数据手册规定该增益误差为满量程的±3.6%，属于最坏情况的增益误差，包括工艺、电压和温度等各种变化。实际上，在同一个器件上I DAC和Q DAC之间的增益误差要小得多。相同器件上的I DAC和Q DAC共用相同的偏置电流电路、满量程调整电阻和基准控制放大器。这些模块中由电压和温度漂移引入的误差在I DAC和Q DAC上彼此追踪。电流调整模块中唯一的不匹配源自晶圆制造工艺中的晶体管几何形状变化。根据本文的分析结果和数据手册规格，可构建一个公式来估计相同器件内的IQ DAC增益误差。

如果指定

I_{MAIN} 为主DAC线性度所引起的输出电流误差。

I_{GAIN} 为增益DAC线性度所引起的输出电流误差。

则IQ DAC增益误差可表示为

$$G_{DAC} = \frac{\sqrt{I_{MAIN}^2 + I_{GAIN}^2}}{I_{FS}} = \frac{\sqrt{(INL_{MAIN\ DAC} \times LSB_{MAIN\ DAC})^2 + (INL_{GAIN\ DAC} \times LSB_{GAIN\ DAC})^2}}{I_{FS}}$$

代入AD9122数据手册中的数据得出

$$= \frac{\sqrt{(7.4 \times 0.3 \mu A)^2 + (2 \times 30.9 \mu A)^2}}{19.6 \text{ mA}} = 0.3\%$$

IQ DAC的实际增益误差可能因器件规格而异，但上述计算结果表明，相同器件的IQ增益误差一般比DAC数据手册中指定的增益误差小得多(在此情况下小一个数量级)。本应用笔记在分析中使用上述计算结果。

DAC输出相位误差

DAC输出相位误差是将相同输入信号馈入到I DAC和Q DAC时两个DAC之间的偏差。该偏差来自内部时钟路径的不匹配以及DAC内核的不匹配。同样，这些不匹配大部分源于晶圆制造工艺。偏差因晶圆批次和器件而异。数据手册通常不说明此规格。在AD9122上进行的测量表明，偏差值一般在20 ps内。对于150 MHz的IF输出，压摆所引起的IQ相位误差小于1°。

IQ调制器基带增益误差和相位误差

IQ调制器中的基带增益误差和相位误差由基带输入电路中的不匹配造成，主要源自晶圆制造差异。参考ADL5372数据手册，1.9 GHz下的增益误差一般为0.09 dB (1%)，相同LO频率下的相位误差为0.21°。

IQ调制器LO增益误差和相位误差

LO增益误差和相位误差指IQ调制器内同相和正交LO信号间的不匹配。如图4所示，LO输入由正交分相器分成两个正交信号LOI和LOQ。每个正交LO信号接着通过限幅放大器，后者向混频器提供限幅驱动信号。

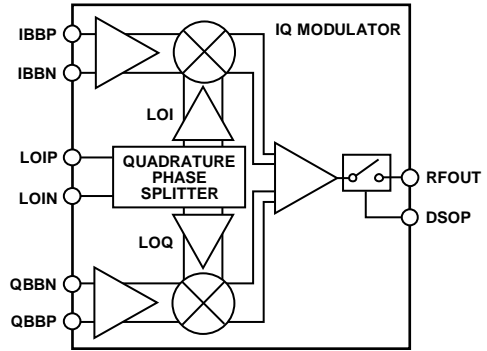


图4. IQ调制器框图

下列分析显示LO信号的增益和相位误差如何影响边带抑制性能。

如果基带IQ信号(I_{bb} 、 Q_{bb})和LO IQ信号 (I_{LO} 、 Q_{LO}) 表示如下

$$I_{bb} = \sin(\omega_{bb}t)$$

$$Q_{bb} = G_{bb} \cos(\omega_{bb}t + \varphi_{bb})$$

$$I_{LO} = \sin(\omega_c t)$$

$$Q_{LO} = G_{LO} \cos(\omega_c t + \varphi_{LO})$$

其中：

G_{bb} 和 φ_{bb} 为基带信号中的幅度和相位不平衡。

G_{LO} 和 φ_{LO} 为LO信号中的幅度和相位不平衡。

IQ调制器输出端的RF信号可表示为

$$RF = I_{bb}I_{LO} - Q_{bb}Q_{LO} =$$

$$\sin(\omega_{bb}t)\sin(\omega_c t) - G_{bb}\cos(\omega_{bb}t + \varphi_{bb})G_{LO}\cos(\omega_c t + \varphi_{LO})$$

应用三角恒等式，干扰边带信号为

$$RF_{sb} = \frac{1}{2} \{ \cos(\omega_c - \omega_{bb})t - G_{LO}G_{bb}\cos[(\omega_c - \omega_{bb})t + \varphi_{LO} - \varphi_{bb}] \}$$

此公式表明，LO信号内的增益和相位误差对边带抑制的影响和基带信号内的增益和相位误差相同。假定基带信号是理想的，且无用边带镜像功率完全源自于LO信号内的不平衡，

$$G_{bb} = 1 \text{ and } \varphi_{bb} = 0$$

则镜像功率水平可使用下列边带抑制公式来计算

$$\text{边带抑制 (dBc)} = 10 \log \left(\frac{G^2_{LO} - 2G_{LO} \cos \varphi_{LO} + 1}{G^2_{LO} + 2G_{LO} \cos \varphi_{LO} + 1} \right)$$

因而，LO增益和相位误差是IQ调制器的关键优点。出色的IQ调制器具有LO增益和相位误差低的优点，因此它们不会影响系统边带抑制性能。但在系统设计中，必须重视输入LO信号的质量以实现最佳边带抑制性能。即使IO调制器设计良好，不需要的LO信号仍可能让LO相位误差崩溃。LO信号的两大关键特性—谐波水平和占空比—对边带抑制有重大影响。正交分相器拓扑决定IQ调制器所需的LO信号。

有两种分相器设计在IQ调制器设计中广泛使用：多相分相器和2XLO分相器。

多相分相器

多相分相器是一种RC-CR移相网络，产生从输入到一个输出的低通传递函数以及从输入到其他输出的高通传递函数，如图5所示。如果两个多相分支的R和C值匹配，则不论输入频率多少，在理想情况下两个输出始终正交。

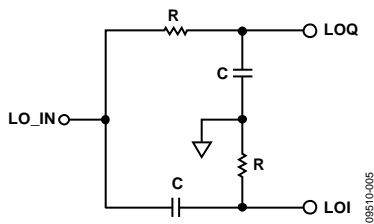


图5. 第一阶多相电路

此分相器拓扑用于ADI公司的ADL537x IQ调制器中。如图6所示，多相电路输出端包括限幅放大器，以将多相分相器的正弦输出转换成方波。因此，理论上，LOI和LOQ输出在相位和幅度两方面平衡，这是驱动调制器混频器所需的理想切换波形。

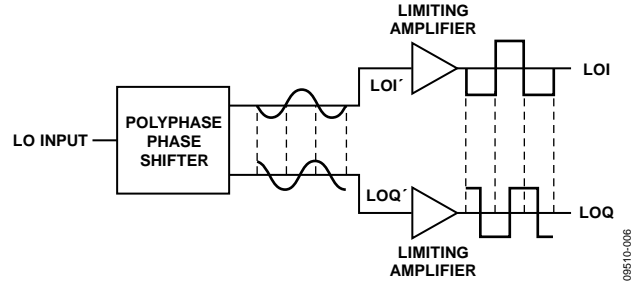


图6. 多相LO分相器

当输入LO信号内存在高谐波成分时，LO信号及其谐波通过多相分相器进行移相，且LOI'和LOQ'输出包含所有频率成分的移相形式。分相器输出端的复合波形是一种零交越点偏离完美正交的失真正弦波。

图7显示此类输出的示例，其中LOI信号具有-20 dBc三阶谐波。尽管限幅放大器校正幅度失真，但切换波形输出不再正交。零交越点偏离其理想位置约5.5°。谐波分量越大，正交LO信号内的相位误差越大，因而边带抑制性能越差。

仿真和测量结果表明，奇数阶谐波对正交误差的影响比偶数阶谐波更大。为了获得-40 dBc或更好的边带抑制性能，所有谐波成分必须衰减到-30 dB以下。

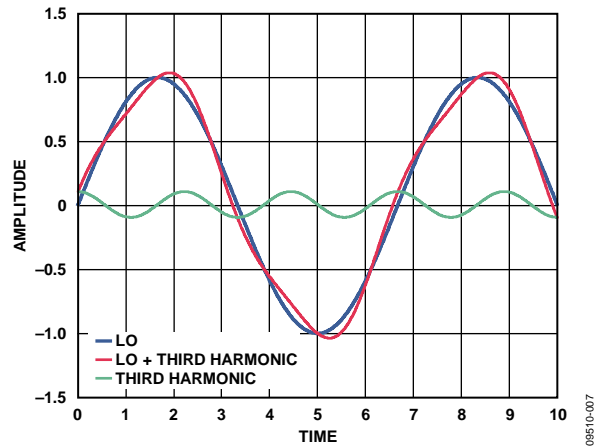


图7. 高谐波成分对LP信号的影响

一般在直接转换发射机中，LO信号由PLL/VCO综合器产生，例如ADF4007和ADF4350。综合器输出具有高谐波水平并不罕见。如数据手册中所述，ADF4350二阶和三阶谐波水平分别为-19 dBc和-13 dBc。在合成器RF输出端必须后接一个低通或带通滤波器以抑制谐波分量。

有关低通/带通滤波器如何充分抑制LO谐波水平的详情，请参考CN-0134电路笔记。

2XLO分相器

使用2XLO分相器是另一种产生LO正交信号的途径。图8为分相器拓扑的框图。与多相分相器不同的是，使用D触发器和逆变器来产生精确正交的是数字电路。由于其数字性质，可在较大频率范围内实现出色的正交。

该电路需要以所需LO两倍频率工作的输入LO。另外要求此输入的占空比为50%。任何占空比非50%的输入均逐度转化为LO相位误差，因而降低边带抑制性能。

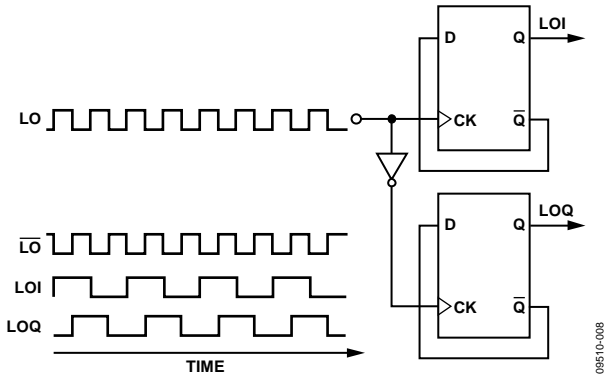


图8. 2XLO分相器

PLL/VCO合成器旨在产生50%占空比的RF信号。但是没有完美的设计。预计占空比会有一些量的变化。应选择在温度和电源电压范围内具有最小占空比变化的元件。LO走线布局是可能导致占空比失真的另一个根源。差分对内正负走线的不匹配会改变差分信号的占空比。具体说明见PCB走线长度不匹配章节。

重构滤波器增益误差和相位误差

重构滤波器旨在抑制采样镜像以及来自DAC的其他高频成分。其设计一般允许信号在通过滤波器时充分降低幅度失真和群延迟变化，同时对目标频率成分提供足够的抑制。通带增益和群延迟是滤波器拓扑和元件值的函数。

元件容差和寄生电容是滤波器增益和相位误差的决定因素。图9为AD9122评估板（AD9122-M5375-EBZ）上的低通滤波器设计示意图。滤波器输入端有两个50 Ω DAC端接电阻，输出端有一个100 Ω IQ调制器输入端接电阻。该滤波器是5阶巴特沃兹滤波器，输入输出均匹配至100 Ω。

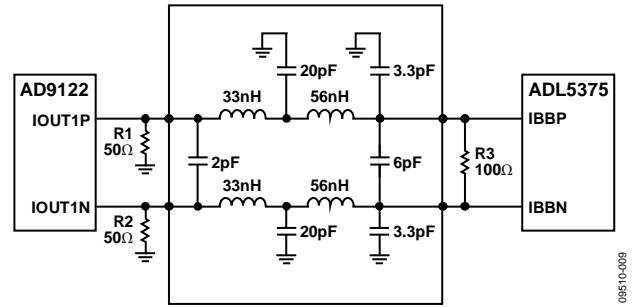


图9. AD9122 DAC输出重构滤波器示意图

显然，R1、R2和R3的容差需要尽可能严格，否则这些电阻的不匹配会直接影响IQ信号的幅度匹配。建议这些电阻的容差<1%。

为了显示元件容差如何影响滤波器增益和群延迟，通过运行蒙特卡洛仿真程序，从150 MHz IF信号的最差拐角提取这些参数。假定所有元件的容差相同。针对5%、10%和20%容差重复运行仿真程序以进行比较。图10a及10b中的结果表明，群延迟和3 dB带宽的标准偏差和元件容差大致成正比。容差越大，变化也就越大。

从数字角度看，在10%容差的情况下，滤波器所引入的IQ相位不平衡有超过三分之一（33%）的概率大于AD9122 TxDAC+。因此，宽松的容差在信号链内更容易增加不平衡，从而抑制DAC的补偿范围。建议重构滤波器使用<10%的元件容差。

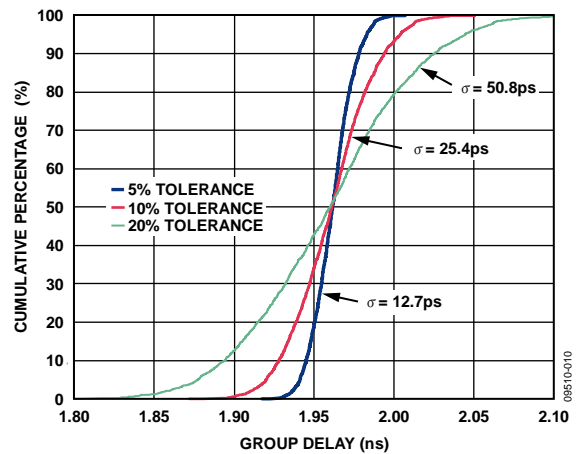


图10a. 重构滤波器群延迟变化与元件容差的关系

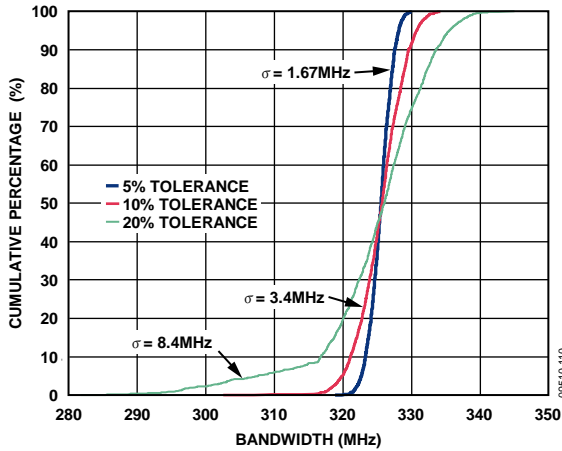


图10b.重构滤波器带宽变化与元件容差的关系

PCB走线长度不匹配

PCB走线在高速电路板设计中作为传输线处理。其每单位长度电感和电容决定每单位长度的传播延迟。这一延迟取决于走线宽度、走线厚度、走线形状、走线和基准面的距离以及板材的介电常数。在理想情况下，从DAC输出到调制器输入的信号路径上的走线应在I通道和Q通道以及通道内正极和负极之间保持对称。实际上，由于PCB设计规则变化和制造限制，走线长度并不完全匹配。这些不匹配会使一个通道内的信号与另一通道内的信号发生偏斜，导致IQ相位误差。如图11所示，走线长度不匹配一般分为两种。

- I通道和Q通道间不匹配。
- 相同通道内正极和负极间不匹配

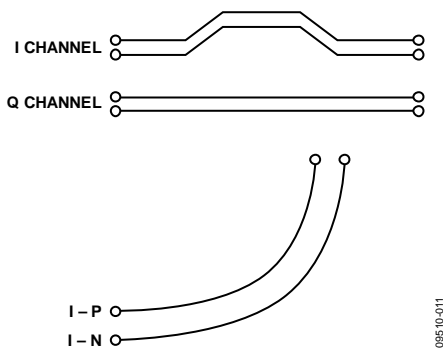


图11. PCB走线长度不匹配示例

I和Q通道间的走线不匹配会提高IQ相位误差。此处对于FR-4环氧树脂玻璃材料制成的电路板，根据广泛使用的经验法则来估计此不匹配所引起的相位误差。根据此法则，5 cm(2英寸)长走线会引入320 ps的传播延迟。对于150 MHz IF信号，3mm(118 密耳)不匹配转化为I和Q通道间约1°的相位误差。

通道内正极和负极间不匹配会使两极相位相差180°，使差分信号失真。这会引入增益和相位误差。差分对内的走线一般彼此靠近地排列。其潜在不匹配相对较小。但当差分对较长时，每次在PCB上转弯时，外圈走线总长度会比内圈走线增加一点。累积到一定程度时，不匹配就开始影响边带抑制。图12显示差分对内的3mm(118密耳)不匹配如何影响150 MHz IF信号的零交越点。差分信号的零交越点偏移约19 ps，即信号周期的1°。建议将走线长度匹配控制在±0.5 mm(±20密耳)内。

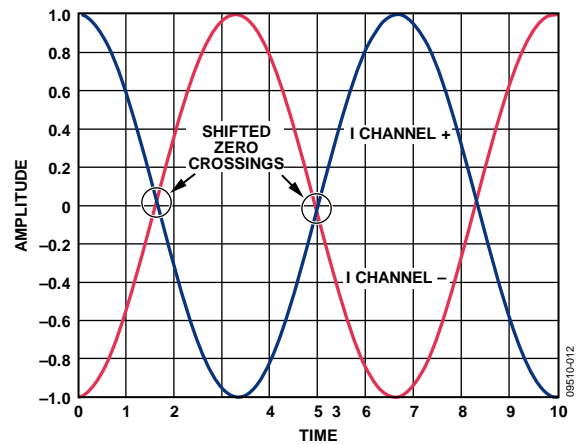


图12. 差分对内的走线不匹配效应

结论

虽然现代高速DAC和IQ调制器不难提供出色的增益和正交精度，但系统内仍存在引起IQ增益和误差不平衡的其他因素。使用DAC所提供的增益和正交校正功能可以有效改善边带抑制性能。但设计系统时必须小心地确保复合误差在DAC的校正范围内。有关增益和相位误差校准的详情，请参见AN-1039应用笔记。

表2概述了IQ增益和相位误差的根源以及尽可能降低影响的设计思路。

表2. IQ增益和相位误差概述

| 不匹配贡献因素 | 典型增益不匹配 | 典型相位不匹配 |
|---------|-------------------------------|----------------------------------|
| DAC | 由器件决定(对于AD9122, < 0.3%) | 由器件决定(对于AD9122, < 1°) |
| MOD基带 | 由器件决定(对于ADL5372, 1.9 GHz时为1%) | 由器件决定(对于ADL5372, 1.9 GHz时为0.21°) |
| MOD LO | 由器件决定。 | 用干净LO信号 |
| 重构滤波器 | 通过平坦的带通设计和严格的元件容差最小化 | 最小化 通过线性相位设计和严格的元件容差最小化 |
| 端接电阻 | 通过严格的元件容差最小化 | 无 |
| PCB走线 | 通过良好的差分对长度匹配最小化 | 通过良好的PCB走线长度匹配最小化 |