

乘法 DAC——固定参考信号的波形发生应用

作者：Liam Riordan

简介

当结合交流性能足够高的放大器使用时，乘法数模转换器 (DAC) 的 R-2R 架构非常适合低噪声、低毛刺、快速建立的应用。本应用笔记详细说明了电流输出乘法 DAC 的基本原理，以及这些 DAC 为何适合从固定直流输入参考信号产生波形。

基本原理

乘法 DAC 是波形发生应用的理想构建模块。缓冲电流输出 DAC 架构基于同相增益放大器结构。乘法 DAC 使用一种 R-2R 架构来实现图 1 中所示可变 RDAC 电阻的相同功能。 V_{REF} 引脚的 DAC 输入阻抗是固定的，而输出阻抗则根据代码提供同等可变 RDAC 值。

另请参见 www.analog.com/zh/MultiplyingDAC。

本应用笔记所用到的 AD55xx 和 AD54xx 请参考网页 www.analog.com/zh/MultiplyingDAC 上列出的乘法 DAC。

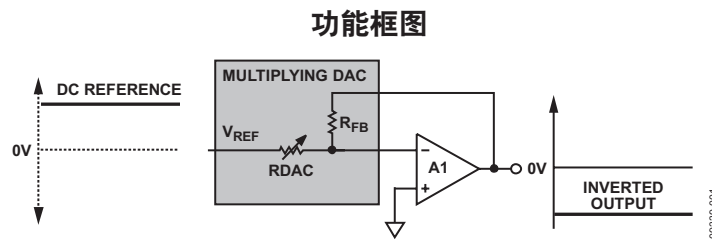


图 1. 单极性反相配置

目录

简介	1	稳定性问题	4
基本原理	1	与波形发生相关的重要 DAC 规格.....	5
功能框图.....	1	建立时间	5
乘法 DAC.....	3	中间电平毛刺	5
双极性操作	3	数字 SFDR	6
正电压输入 / 正电压输出	3	正确选择运算放大器.....	7

乘法 DAC

在乘法 DAC 中（参见图 2），电流流向接至 I_{OUT1} 节点的虚拟地或者地节点（在某些元件中为 I_{OUT2} 节点），因而毛刺输出电压极低。

使用电流输出 DAC 这种配置的主要优势之一是集成 R_{FB} 电阻与 RDAC 等效电阻完全匹配，因此增益温度系数误差非常小。

当输出放大器以单极性模式连接时，如图 2 所示，输出电压可由下式得出：

$$V_{OUT} = -\frac{D}{2^n} \times V_{REF}$$

其中：

D 为载入 DAC 的数字字的依位数表示。

D = 0 至 255 (8 位 AD5450)。

= 0 至 1023 (10 位 AD5451)。

= 0 至 4095 (12 位 AD5452)。

= 0 至 16,383 (14 位 AD5453)。

= 0 至 65,536 (16 位 AD5543)。

n = 位数

乘法 DAC 的输出信号与参考输入和数字输入值的乘积成正比。

双极性操作

在某些应用中，可能需从固定输入参考电压产生双极性输出电压。这可以通过增加一个放大器和一些外部电阻来轻松实现，如图 3 所示。

第二放大器提供 2 倍增益，利用相对于参考电压的偏移来偏置该外部放大器即可实现双极性操作。

此电路的传递函数显示，当输入数据 (D) 从零电平 (V_{OUT} = -V_{REF}) 递增至中间电平 (V_{OUT} = 0 V)，再递增至满量程 (V_{OUT} = +V_{REF}) 时，就会产生正负输出电压。

$$V_{OUT} = \left(V_{REF} \times \frac{D}{2^{n-1}} \right) - V_{REF}$$

正电压输入 / 正电压输出

要产生正电压输出，可以使用一个外部反相运算放大器电路来对输入或输出产生附加反转。一些乘法 DAC 内置非专用匹配电阻（具有跟踪温度系数），因此只需额外连接一个运算放大器（图 4 中的 A2）即可获得正输出，这个额外的运算放大器可以是一个双通道器件内的配套运算放大器。

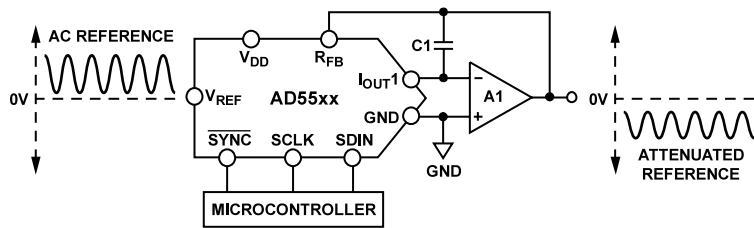


图 2. 乘法 DAC, V_{OUT} = 0 V 至 -V_{REF}

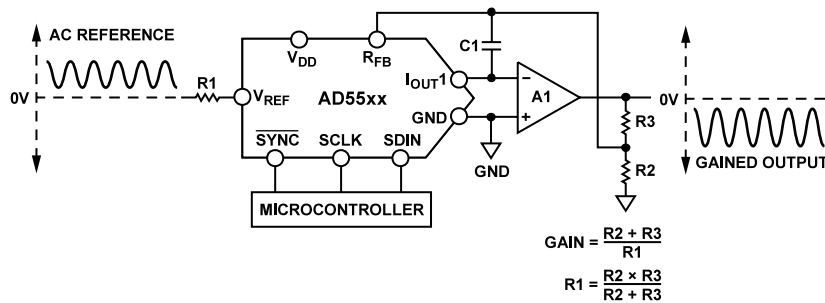
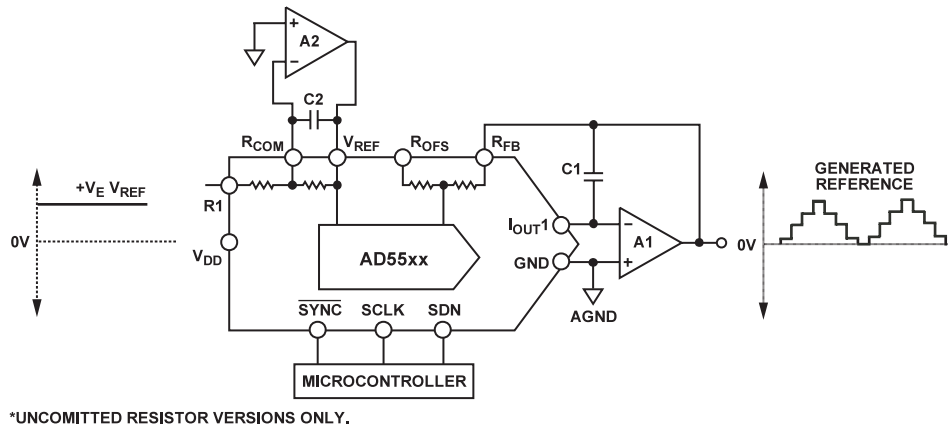


图 3. 乘法 DAC, V_{OUT} = -V_{REF} 至 +V_{REF}

图 4. 乘法 DAC, $V_{OUT} = 0V$ 至 V_{REF}

稳定性问题

要实现所需波形调节信号，补偿电容是不得不考虑的一种重要元件。DAC 的内部输出电容在开环响应中引入一个极点，它可能会在闭环斜坡分析 (ramp profiling) 电路中引起响铃振荡或不稳定。为了补偿这一点，通常将一个外部反馈电容 C1 与 DAC 的内部 R_{FB} 并联（参见图 2）。如果 C1 值过小，它可能会在输出端产生响铃振荡，而过大会可能会对系统的建立时间带来不利影响。DAC 的内部输出电容随代码而变化，因此 C1 很难确定精确值。根据以下等式可计算出其最佳近似值：

$$C1 = 2 \sqrt{\frac{C_o}{2\pi \times R_{FB}} \times \frac{1}{GBW}}$$

其中：

GBW 是所用运算放大器的小信号单位增益带宽。

C_o 是 DAC 的输出电容。

与波形发生相关的重要 DAC 规格

从固定参考输入电压产生波形时，必须考虑一些重要的交流规格，包括建立时间、中间电平毛刺和数字 SFDR。

建立时间

假设 DAC 由真实的宽带低阻抗信号源（参考电压和接地引脚）驱动，那么它会迅速建立。因此，乘法 DAC 的压摆率和建立时间主要由运算放大器决定。决定运算放大器交流性能的规格包括其输入电容（必须保持最小）和 3 dB 小信号带宽。注意，运算放大器的带宽之所以受限，是因为它必须驱动 DAC 反馈电阻这一较大负载。例如，10 kΩ 的反馈电阻就是一个相当大的负载，它是决定电路配置带宽的主要极点。

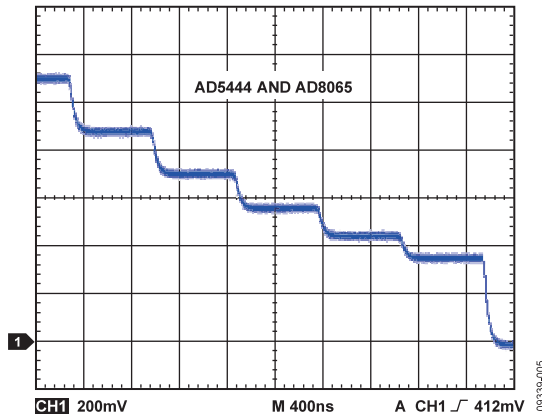


图 5. 100 ns 建立时间

中间电平毛刺

对于 R-2R 结构，代码变化引起的主要毛刺出现在围绕中间电平发生 1 LSB 变化时。在一个 12 位系统中（如 AD5444），中间电平变化是从 7FF_H 至 800_H 或从 800_H 至 7FF_H 的代码变化。如果毛刺很严重，可能会给电机 / 阀门 / 执行器控制应用带来不利影响。当乘法 DAC 试图从 7FF_H 变为 800_H 时，DAC 的 MSB 切换速度低于其它位的切换速度。因此，在 MSB 切换至 1 前的几纳秒内，DAC 看到的是 000_H。图 6 中的黄色曲线显示的就是这种情况；在 MSB 切换并将 DAC 输出拉回 800_H 之前，输出朝 0 V 变化。

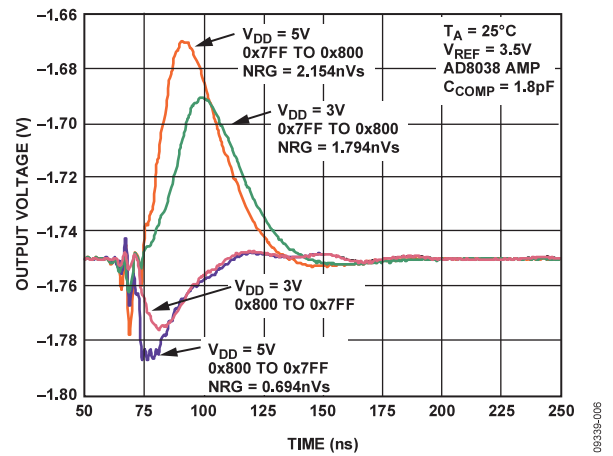


图 6. 中间电平毛刺

数字 SFDR

无杂散动态范围 (SFDR) 指 DAC 的可用动态范围，超出此范围，杂散噪声就会干扰基波信号或使其失真。SFDR 衡量基波与 DC 至全奈奎斯特带宽 (DAC 采样速率的一半) 范围内的最大谐波或非谐波相关杂散的幅值之差。窄带 SFDR 衡量任意窗口范围内的 SFDR。

理想正弦波的每个周期有无数个点。然而，用数字方式产生的正弦波受固定更新速率和 DAC 分辨率的限制。每个周期的点数由下式给出：

$$N = \frac{\text{Clock}}{f_{OUT}}$$

其中：

N = 采样点数

Clock = DAC 的更新速率

f_{OUT} = 所产生波形的输出频率

图 7 所示为使用 12 位 AD5444 产生的更新速率为 1 MHz 的 20 kHz 正弦波，每个周期有 50 个采样点。AD5444 的最大更新速率为 2.7 MSPS。若要产生采样点更多的波形，必须使用更快的更新速率。并行接口的 AD5445 提供 20 MSPS 的最大更新速率。

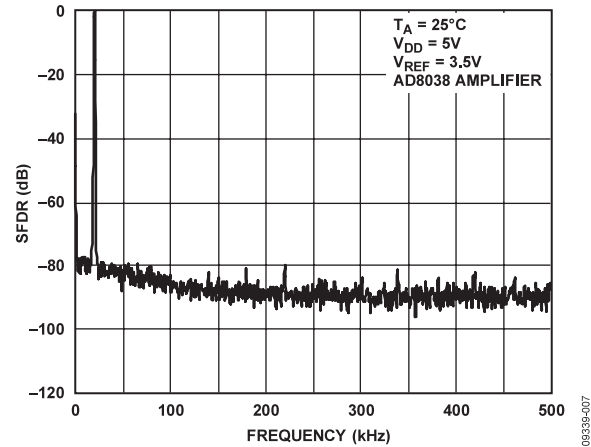


图 7. 宽带 SFDR, $f_{OUT} = 20\text{ kHz}$, 时钟 = 1 MHz

正确选择运算放大器

乘法 DAC 电路性能非常依赖于所选运算放大器在阶梯输出端保持零电压和执行电流电压转换的能力。要实现最佳的直流精度，必须选择具有低失调电压和偏置电流的运算放大器，以保持误差与 DAC 的分辨率相当。详细的运算放大器技术规格参见器件数据手册。

对于从固定直流参考信号产生数字波形的应用，需要使用高压摆率、高带宽、低噪声运算放大器，其目的是确保输出电压在下一个 DAC 代码变化之前足够精确并迅速地建立。

运算放大器电路的增益带宽受反馈网络的阻抗水平和增益配置限制。要确定所需的 GBW，一条有用的原则是选择 -3 dB 带宽为参考信号频率 10 倍的运算放大器。

如果未仔细考虑运算放大器的压摆率，它可能会限制乘法 DAC 的性能。根据经验，对于 AD54xx 和 AD55xx 系列 DAC，压摆率为 100 V/μs 的运算放大器一般就够了。

表 1 列出了可供乘法应用选择的运算放大器。

表 1. 适用的 ADI 公司高速运算放大器

产品型号	电源电压 (V)	ACL 时带宽 (MHz)	压摆率 (V/μs)	V _{os} 最大值 (μV)	I _b 最大值 (nA)	封装
AD8065	5 至 24	145	180	1500	0.006	SOIC-8、SOT-23-5
AD8066	5 至 24	145	180	1500	0.006	SOIC-8、MSOP-8
AD8021	5 至 24	490	120	1000	10,500	SOIC-8、MSOP-8
AD8038	3 至 12	350	425	3000	750	SOIC-8, SC70-5, SOT-23-5
ADA4899	5 至 12	600	310	35	100	LFCSP-8、SOIC-8
AD8057	3 至 12	325	850	5000	500	SOT-23-5、SOIC-8
AD8058	3 至 12	325	850	5000	500	SOIC-8、MSOP-8
AD8061	2.7 至 8	320	650	6000	350	SOT-23-5、SOIC-8
AD8062	2.7 至 8	320	650	6000	350	SOIC-8、MSOP-8
AD9631	±3 至 ±6	320	1300	10,000	7000	SOIC-8、PDIP-8

注释