

确定AD9548系统时钟低环路带宽应用中的最大容许频率漂移速率

作者: Ken Gentile

简介

AD9548是一款配有直接数字频率合成器(DDS)的数字PLL,其中DDS的作用相当于模拟PLL中的VCO。不过,与VCO不同的是,DDS的输出信号来源于专用的外部时钟源,即系统时钟。系统时钟本质上是DDS的采样时钟。系统时钟频率(f_s)与DDS输出频率(f_o)和数字频率调谐字(FTW)之间的关系如下:

$$f_o = f_s \frac{FTW}{2^n} \quad (1)$$

其中, n 是DDS相位累加器中的位数(对于AD9548, $n=48$)。

AD9548执行PLL功能的方法是通过控制FTW来产生所需的 f_o ,这与模拟PLL通过改变VCO控制电压来产生所需的VCO输出频率相似。

在大多数应用中,频率源的稳定性(模拟PLL中的VCO或AD9548中的系统时钟)不是一个大问题,因为PLL控制环路通常会补偿任何内在的频率漂移。但在环路带宽非常低的应用中,频率漂移速率需要予以特别关注,因为当频率漂移速率非常高时,环路可能无法以足够快的速度做出响应并进行补偿。这会导致PLL的输出发生相移,从而对一些时序至关重要的应用产生不利影响。

同步1-pps全球定位系统(GPS)参考信号便是一例。这些应用需要0.02Hz范围内的环路带宽。采用此类低环路带宽时,AD9548系统时钟内在的频率漂移速率可造成器件失锁。这会导致出现以下问题:在不造成不利影响的前提下,AD9548片内的PLL固有的、可容许的系统频率漂移速率是多少?本应用笔记旨在提供此问题的答案。

目录

简介	1	确定AD9548环路滤波器的自然频率	7
修订历史	2	示例:	8
频率漂移分析	3	选择合适的SYSCLK时钟源	8
VCO和DDS频率漂移模型	3	归一化帮助量化SYSCLK稳定性要求	9
S域环路模型	3	结论	10
线性频率斜坡响应	4	方法注意事项	10
自然频率	4	关于系统时钟乘法器PLL的环路带宽	10
IN端子的最大容许频率斜坡	4	参考文献	11
找出IN端子频率斜坡与SYSCLK端子频率斜坡 之间的关系	5		

修订历史

2010年8月—修订版0: 初始版

频率漂移分析

VCO和DDS频率漂移模型

本应用笔记的关注重点是系统时钟漂移对AD9548数字PLL闭环操作的影响，因此有必要获得模拟PLL与基于DDS的PLL中的频率漂移模型。在模拟PLL(见图1)中，频率源为VCO。而在基于DDS的PLL(见图2)中，频率源为固定频率(f_s)的外部振荡器。

VCO由一个自由运行且以给定标称频率 f_c 振荡的振荡器组成。不过，VCO可以在频率范围内进行调节，常用方法是调整直流控制电压 V_C 。VCO模型(见图1)包含用于提供基本频率(f_c)的标称频率源，以及一个与VCO的频率可调元件相关的额外电压相关频率源。调谐元件提供频率漂移，具体大小取决于VCO增益(K_V)。因此，VCO输出频率(f_o)为基本频率和漂移频率之和。VCO输出上的频率漂移(Δf_o)可能是振荡器漂移(Δf_c)、控制漂移(ΔK_V)或以上两者组合造成的。

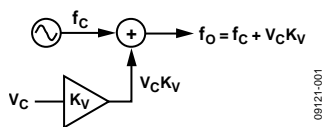


图1. VCO模型

而DDS依赖于外部固定频率的振荡器时钟源，该时钟源用作DDS采样时钟且工作频率为 f_s 。DDS模型(见图2)包含一个外部采样时钟输入、一个用于频率调谐的控制输入(FTW)和一个频率增益单元(K_X)。

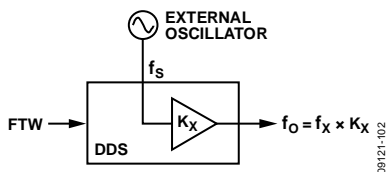


图2. DDS模型

一般而言，假定DDS采用的外部采样时钟频率 f_s 为恒定且稳定的频率源。这种情况下，图2中的 f_x 和 K_X 分别对应于等式1中的FTW和 $f_s/2^n$ 。换言之，输出频率会按照频率增益系数 $K_X = f_s/2^n$ 与FTW成比例变化。

相反，如果频率源并不是恒定不变(即存在漂移)，那么上述假设不再成立。因此，要分析非恒定频率源，则假定FTW为常数。而图2中的 f_x 和 K_X 分别对应于等式1中的 f_s 和 $FTW/2^n$ 。换言之，输出频率会按照频率增益系数 $K_X = FTW/2^n$ 与 f_s 成比例变化。不过，等式1指出 $FTW/2^n =$

f_o/f_s ，由此可以得到等式2，表明 f_s 上的变化将以基于输出频率 f_o 的增益系数转换为输出。

$$K_x = f_o/f_s \quad (2)$$

其中：

f_o 是给定FTW的DDS输出频率。

f_s 是标称无漂移采样时钟频率。

总而言之，图2中频率增益单元的值取决于导致输出频率发生变化的具体输入。当目标源为FTW时，那么 $K_x = f_o/2^n$ 。另一方面，当目标源为 f_s 时，那么 $K_x = f_o/f_s$ 。

S域环路模型

虽然AD9548是数字PLL，但是模拟PLL文献中常见的s域分析方法在此依然适用。图3中显示的就是采用闭环配置时AD9548的s域模型方框图。下文将介绍各种构建模块。

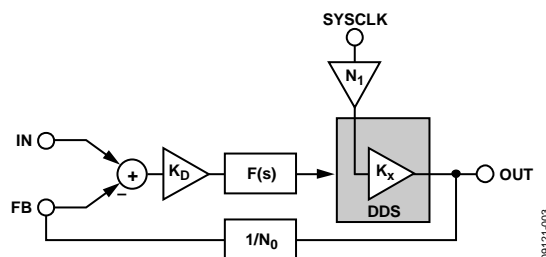


图3. AD9548 s域框图

与闭环配置相关的四个端子如下：IN、FB、OUT和SYSCLK。IN端子向数字PLL的鉴相器提供参考输入信号，而FB端子构成反馈输入端。注意与FB输入相关的求和点处符号为负，这表示反馈信号从输入信号中减除。OUT端子构成PLL的输出(对于AD9548就是DDS的输出)。SYSCLK端子供用户连接外部时钟信号，后者构成DDS的采样时钟源。

AD9548能够通过集成的系统时钟乘法器PLL(传统的模拟PLL)对SYSCLK输入频率进行乘法操作。图3中的比例因子 N_1 模拟系统时钟乘法器PLL的频率乘法效果。虽然图3中并未明确显示，但系统时钟乘法器PLL包含一个反馈分频器(N)、一个输入分频器(M)和一个2倍频率乘法器。系统时钟乘法器PLL的配置是用户可编程的，这意味着 N_1 的值取决于用户定义的配置，如表1所示。

表1. 系统时钟乘法器比例因子(N_1)

N_1	AD9548 系统时钟乘法器配置
1	旁路
N/M	HF 路径
N	LF 或 XTAL 路径, 旁路2倍乘法器
2N	LF 或 XTAL 路径, 使能2倍乘法器

注意, 图3所示的数字PLL包含一个反馈分频器($1/N_0$), 该分频器能够以 N_0 为系数对OUT端子的频率进行分频并传递至FB端子。 N_0 的值可变, 属于用户可编程的数值。该数字PLL还包含一个增益为 K_D 的鉴相器、一个传递函数为 $F(s)$ 的环路滤波器和一个增益为 K_X 的DDS。与模拟PLL中VCO增益的s域模型一致, 从环路滤波器输出到DDS输出的DDS增益均为 K_X/s , 其中 K_X 是调谐增益($f_s/2^n$), 而 $1/s$ 是积分的拉普拉斯算子。

线性频率斜坡响应

Gardner(请参见“参考文献”部分)认为, TypeII二阶PLL的过渡特性也适用于二阶以上的Type II PLL。AD9548是一款Type II四阶PLL, 因此根据Gardner的假设, Type II二阶PLL的过渡特性仍旧适用于AD9548, 即使后者内置四阶环路。

这种情况下, TypeII二阶PLL对其输入端线性频率斜坡的响应如图4所示。该频率斜坡的斜率为常数 β (rad/sec²)。Type II二阶PLL通过在IN端子施加线性频率斜坡而得到的稳态条件就是IN和FB端子之间的静态相位误差。

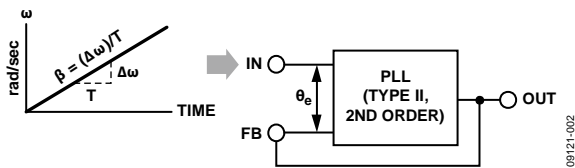


图4. 线性频率斜坡输入

输入频率斜坡造成的静态相位误差是确定的。该误差与频率变化的线性速率(β)和二阶环路的自然频率(ω_n)之间的关系公式如等式3所示。

$$\theta_e(\omega_n)^2 = \beta \quad (3)$$

等式3要求 θ_e 以弧度为单位。不过, 采用时间偏移通常要优于采用弧度相位偏移, 但这时需要知道IN端子的标称频率(f_R)。在给定 f_R 的情况下, 可使用等式4将时间偏移转换为相位偏移。

$$\theta_e = 2\pi f_R \Delta t \quad (4)$$

等式3的重要性在于, 只要知道环路的自然频率(ω_n), 就可以找出IN端子频率斜坡率(β)与静态相位偏移(θ_e)之间的关

系。而如果有办法找出IN端子斜坡率(β)与SYSCLK端子斜坡率之间的关系, 那么应该可以得到一种方法来确定系统时钟源的最大容许线性频率漂移。事实上, 确实存在此类关系公式, 具体如“找出IN端子频率斜坡与SYSCLK端子频率斜坡之间的关系”部分所述。

自然频率

自然频率概念仅适用于二阶环路(例如, 具有一阶环路滤波器的Type II PLL)。这一事实正是应用等式3的障碍所在。而AD9548是一款具有三阶环路滤波器的Type II PLL(也即四阶环路), 因此这样就会出现这个问题。不过, Gardner提供了一种方法来将自然频率概念延伸至2阶以上的Type II PLL。这一延伸将会用到等式5。

$$\omega_n = \sqrt{\frac{K}{\tau_2}} \quad (5)$$

其中:

K 是开环增益。

τ_2 是与开环传递函数中的零相关的时间常数。

IN端子的最大容许频率斜坡

根据等式3, IN端子(见图4)的频率斜坡率(β)取决于 ω_n 和 θ_e 。 ω_n 与环路的特性(等式5中的 K 和 τ_2)相关, 因此对于给定PLL, 其值是恒定不变的。另一方面, θ_e 取决于Type II二阶PLL输入端上所施加频率斜坡的斜率(β)(请参见“线性频率斜坡响应”部分)。因此, 通过选择输入端上的最大容许静态相位偏移(θ_e)和恒定不变的 ω_n , 即可通过等式3等到输入端上的最大容许频率斜坡(β)。此外, 等式4提供了一种以时间偏移而非相位偏移来表示 θ_e 的方式。

例如, 假设可接受的最大时间偏移为10 ns ($\Delta t = 10$ ns), 标称输入频率为1 MHz ($f_R = 1$ MHz)且环路自然频率为10 Hz ($\omega_n = 20\pi$ rad/sec)。从这些值可以得到 $\theta_e = 0.06283$ rad(等式4)和 $\beta = 39.5$ Hz/sec(等式3)。上文给出的 β 值需要将等式3计算得出的 β 除以 2π , 以便从rad/sec²转换为Hz/sec。结果表明, 只要输入频率以低于39.5 Hz/sec的线性速率变化, IN和FB端子之间的时间偏移就会保持在10 ns以下。

当然, 要应用等式3, 就需要知道 ω_n 的值, 而这点目前尚未得到解决。不过, 根据等式5, ω_n 取决于 K 和 τ_2 , 而这两者均与环路滤波器的特性有关。幸运的是, 我们可以确定AD9548环路滤波器的 K 和 τ_2 , 具体如“确定AD9548环路滤波器的自然频率”部分所述。

找出IN端子频率斜坡与SYSCLK端子频率斜坡之间的关系

此时，假设知道 ω_n 的值，那么通过指定输入端可接受的静态相位(或时间)偏移量，便可以量化 β (最大容许输入频率斜坡率)。而现在的目标是确定SYSCLK端子(而非IN端子)的最大容许频率斜坡。因此，必须通过一种方法来找出IN端子频率斜坡与SYSCLK端子频率斜坡之间的关系。

而要找出IN端子频率斜坡与SYSCLK端子频率斜坡之间的关系，首先需要更为详细地了解以下两种不同激励下PLL内部发生的具体变化：

- IN端子的频率斜坡(见图5)
- SYSCLK端子的频率斜坡(见图6)

在图5和图6中，着色矩形是环路中各个节点上频率与时间之间的关系图，且蓝色表示激励信号，而灰色表示响应信号。

以频率斜坡作为IN端子的激励(见图5)时，观察SYSCLK端子的激励，结果显示为水平直线(斜率为0)。这表示SYSCLK端子的输入频率恒定不变，就是系统时钟源的预期值。而SYSCLK端子的恒定频率会在N1模块的输出端产生恒定频率(相当于图2中的 f_s)。

IN端子的激励为频率斜坡且斜率 β 为正，这表明频率随时间推移而呈线性增加。在IN端子施加线性斜坡时，环路的平衡条件是IN和FB端子之间的相位偏移(θ_e)保持恒定不变(请参见“线性频率斜坡响应”部分)。

而若鉴相器输入端的相位偏移保持不变，则会导致环路滤波器输出端上的频率调谐字序列呈线性增加。如前所述，AD9548是一款数字PLL，其采用数字FTW来控制DDS的输出频率，而不是采用直流电压来控制VCO的输出频率。因此，呈线性斜坡的FTW会在OUT端子产生线性频率斜坡。

输出斜坡的斜率使得IN端子的斜坡在FB端子再现(存在恒定的时间偏移，具体由 θ_e 定义)。在FB端子再现斜坡是实现平衡所必需的一项条件。由于FB端子的斜坡斜率为 β ，因此受反馈分频器影响，OUT端子的斜坡斜率必须为 βN_0 。不过，DDS的控制输入具有大小为 $K_x = f_s/2^n$ 的相关增益。因此，要在OUT端子产生该斜坡，DDS控制信号的斜率必须等于OUT端子的斜坡斜率除以等式6给出的 K_x 。

$$\text{控制斜坡斜率} = \beta N_0 / K_x = \beta N_0 / (f_s / 2^n) \quad (6)$$

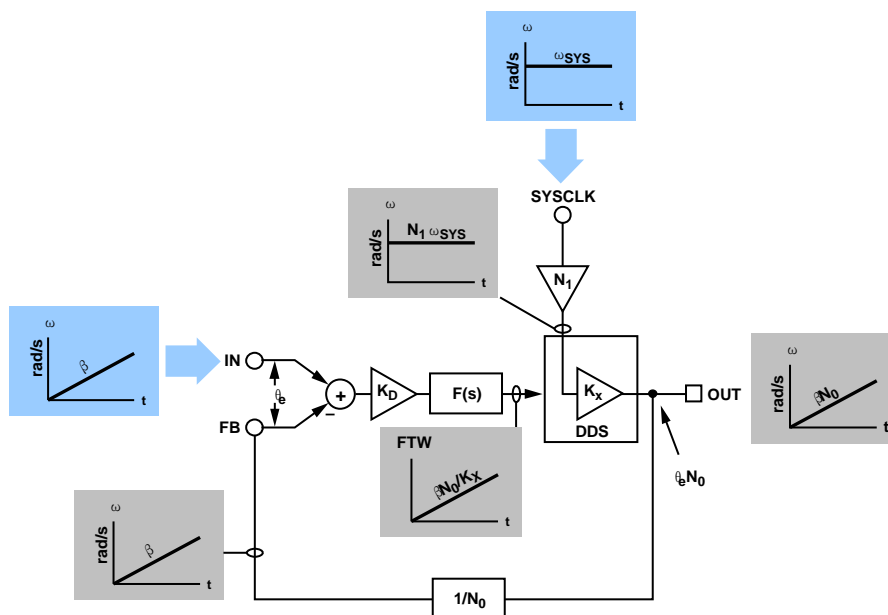


图5. IN端子的频率斜坡

09121-005

AN-1079

接着，假设在SYSCLK端子(而非IN端子)处施加频率斜坡激励，如图6所示。不过，这次需要观察IN端子的激励，结果显示为水平直线(斜率为0)。这表示IN端子的频率恒定不变。这种情况下，IN端子的频率必须保持恒定，才能清楚地展示环路是如何响应SYSCLK端子所施加频率斜坡激励的。

SYSCLK端子的激励为频率斜坡且斜率 β_{SYS} 为正，这表明频率随时间推移而呈线性增加。可选的系统时钟乘法器PLL能够以 N_1 为系数来调整斜率(见表1)。如果人为中断环路中环路滤波器和DDS之间的连接(模拟开环操作)，输出信号的频率斜坡斜率变为 $\beta_{SYS} \times N_1 \times K_X$ ，其中 K_X 是与其采样时钟输入相关的DDS增益，如等式2所示。因此，在开环操作中，OUT端子的斜坡斜率为 $\beta_{SYS} \times N_1 \times f_o/f_s$ 。

不过，图6构成的是具有负反馈的闭环，这项事实意味着FB端子的信号必须与IN端的信号完全相同(实现平衡所必需的一项条件)。因此，IN和FB信号都具有同一恒定频率。

此外，若FB端子的频率保持恒定，则要求OUT端子的频率也保持恒定(尽管已通过反馈分频器进行调整)。

不过，要使OUT端子的频率保持恒定，施加到DDS的控制信号必须为斜率为负数的斜坡(图6中的 $-\alpha$)。事实上，控制信号斜坡的负斜率必须能够抵消 N_1 模块输出端的斜坡，以在OUT端子产生所需的恒定频率。需要注意的是，只有在IN和FB端子之间存在恒定的相位偏移(即PLL响应频率斜坡激励的平衡条件)时，才可实现斜率为负的控制信号。

如前所述，在开环操作中，DDS输出信号呈现出斜率为 $\beta_{SYS} \times N_1 \times f_o/f_s$ 的频率斜坡。不过，要抵消此斜率，控制信号通过DDS的FTW输入端，从而获得 $K_X = f_s/2^n$ 的增益。换言之， α 必须等于开环输出斜率($\beta_{SYS} \times N_1 \times f_o/f_s$)除以 K_X ，如等式7所示。

$$\begin{aligned} \text{控制斜坡斜率} &= -(\beta_{SYS} N_1 f_o / f_s) / K_X \\ &= -(\beta_{SYS} N_1 f_o / f_s) / (f_s / 2^n) \end{aligned} \quad (7)$$

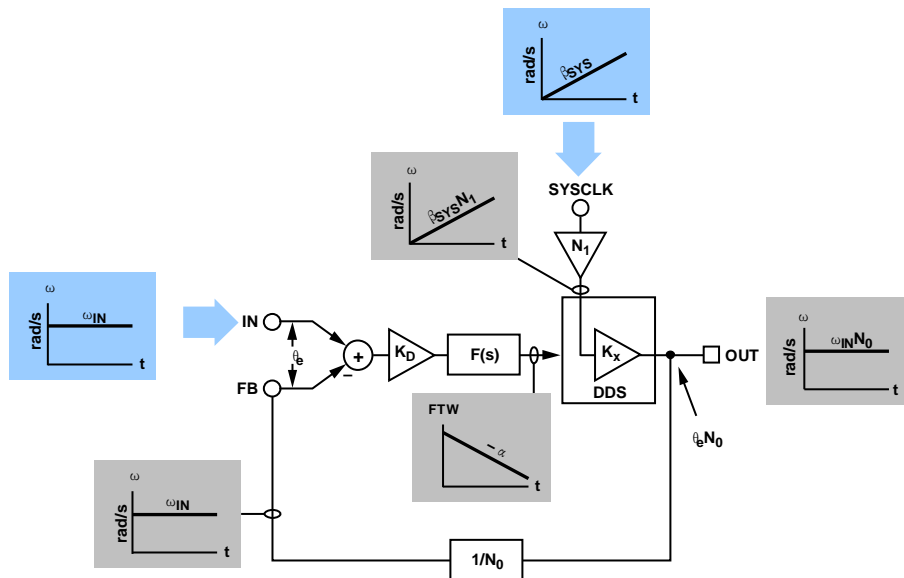


图6. SYSCLK端子的频率斜坡

09121-006

从图5和图6可以看出，通过在IN或SYSCLK端子施加频率斜坡，可以在IN和FB端子产生一对匹配信号，且两者之间存在静态相位偏移(θ_c)。此外，要在图5和图6之间实现相等，两种情况下 θ_c 必须具有相同幅度。这就通过DDS控制信号在 β 和 β_{SYS} 之间提供关联。因此，通过使控制斜坡斜率的幅度都相等(等式6和等式7)，可以在 β 和 β_{SYS} 之间建立必要的关系。

$$|\beta N_0 / (f_s / 2^n)| = |-(\beta_{SYS} N_1 f_0 / f_s) / (f_s / 2^n)|$$

求解 β_{SYS} ，可得

$$\beta_{SYS} = \beta (N_0 / N_1) / (f_0 / f_s) \quad (8)$$

在等式8中， β_{SYS} 的默认单位为rad/sec²。要转换为更为常见的单位Hz/sec，请使用等式9。

$$\beta_{SYS} \text{ (Hz/sec)} = \frac{\beta_{SYS}}{2\pi} \quad (9)$$

有时，标准化表示会更为合适，如每秒百万分率(ppm/sec)。可使用等式10来进行该转换。

$$\beta_{SYS} \text{ (ppm/sec)} = \left(\frac{\beta_{SYS}}{2\pi} \right) \left(\frac{10^6}{f_{SYSCLK}} \right) \quad (10)$$

其中， f_{SYSCLK} 是连接至SYSCLK端子的时钟源的标称频率(见图3)。

确定AD9548环路滤波器的自然频率

要计算出等式8的结果，需要知道 β 的值，而要获得该值，又需要知道环路的自然频率(ω_n)，如等式3所示。此外，要确定 ω_n 的值，需要了解环路滤波器响应。对于AD9548，环路滤波器是具有可编程系数的数字滤波器，这让用户可以控制环路的频率响应。由于编程系数确定了环路滤波器响应，因此也就确定了 ω_n (环路的自然频率)。

眼前所面临的挑战是找出滤波器系数和等式5中参数K与 τ_2 之间的关系，而通过这两个参数就可以计算出 ω_n 。然后，将 ω_n 代入等式3即可计算出 β ，接着即可通过等式8计算出 β_{SYS} (系统时钟源的最大容许频率漂移速率)。

不过，第一步是找到K和 τ_2 的值，而这两者取决于由环路滤波器系数决定的滤波器响应。用于计算AD9548环路滤波器系数的标准设计程序涉及到表2中所示的六个设计参数。注意，反馈分频系数(N_0)由整数部分S和可选的小数部分U/V组成。因此，总反馈分频值为S + U/V。

表2. 设计参数

参数	描述
f_s	DDS采样速率(Hz)
f_c	所需环路带宽(Hz)
θ_{PM}	所需相位裕量
f_3	相对于PLL输出频率的频率偏移(Hz)，即第三极点响应产生额外衰减A的频率偏移
A	偏移频率为 f_3 时第三极点响应的额外衰减(dB)
N_0	反馈分频系数

借助表2中的六个参数和 K_D 与 K_V 两个增益项，可以计算出九个中间变量。而从这些中间变量，不仅可以得到滤波器系数，而且还可计算出等式5中所需要的K和 τ_2 。两个增益项、九个中间变量以及相关公式如下：

$$K_D = 10^{15}$$

$$K_V = \frac{f_s}{2^{48}}$$

$$\tau_1 = \frac{1 - \sin(\theta_{PM})}{2\pi f_c \cos(\theta_{PM})}$$

$$\tau_3 = \frac{\sqrt{10^{\frac{A}{20}} - 1}}{2\pi f_3}$$

$$\tau_S = \tau_1 + \tau_3$$

$$\tau_P = \tau_1 \tau_3$$

$$\omega_0 = \frac{\tau_S \tan(\theta_{PM})}{\tau_P + \tau_S^2} \left(\sqrt{1 + \frac{\tau_P + \tau_S^2}{(\tau_S \tan(\theta_{PM}))^2} - 1} \right)$$

$$\tau_2 = \frac{1}{\omega_0^2 \tau_S}$$

$$C_1 = \frac{\tau_1 K_D K_V}{\omega_0^2 \tau_2 N_0} \sqrt{\frac{1 + (\tau_2 \omega_0)^2}{[1 + (\tau_1 \omega_0)^2][1 + (\tau_3 \omega_0)^2]}}$$

$$C_2 = C_1 \left(\frac{\tau_2}{\tau_1} - 1 \right)$$

$$R_2 = \frac{\tau_2}{C_2}$$

对于AD9548，环路增益K(等式5中计算 ω_n 时所必需的)与 K_D 、 K_V 、 N_0 、 C_1 、 C_2 和 R_2 之间的关系公式如下：

$$K = \frac{K_D K_V C_2 R_2}{N_0 (C_1 + C_2)}$$

但值得注意的是， R_2 等式表明 τ_2 可以取代上文K等式中的 C_2R_2 。根据等式5，这意味着 ω_n 可以用 K_D 、 K_V 、 N_0 、 C_1 和 C_2 来表示。不过， C_2 与 C_1 成比例，因此适当替换后，便可得到 ω_n 的替代形式，如等式11所示。等式11的重要性在于， ω_n (根据推理， β 也是如此)与 K_D 、 K_V 和 N_0 无关。然而，等式11涉及到 ω_0 、 τ_1 和 τ_3 ，这就表明 ω_n 取决于 θ_{PM} 、 f_c 、 f_3 和A(见表2)。

$$\omega_n = \omega_0 \sqrt{\tau_S \omega_0 \sqrt{\frac{(1 + (\tau_1 \omega_0)^2)(1 + (\tau_3 \omega_0)^2)}{1 + (\tau_S \omega_0)^2}}} \quad (11)$$

总而言之，借助表2中六个设计参数的其中四个，可以通过等式11计算出AD9548环路的自然频率(ω_n)。而通过将 ω_n 以及可接受的最大相位偏移(θ_e)代入等式3，便可得到IN端子的最大容许频率斜坡率(β)。然后，利用 β 可以(通过等式8)直接算出 β_{SYS} ，这便是IN和FB端子之间存在给定的可接受最大相位偏移(θ_e)时SYSCLK端子的最大容许频率斜坡率。

示例

假设AD9548配置如下：

- 参考输入为1Hz信号且AD9548输入分频器设为1，从而在鉴相器的输入端(图3中的IN端子)产生1 Hz信号。因此，
 - $f_R = 1 \text{ Hz}$
- AD9548 SYSCLK输入(图3中的SYSCLK端子)为25MHz振荡器并采用集成系统时钟乘法器PLL的HF路径(见表1)来产生1 GHz系统时钟。因此，
 - $f_{SYSCLK} = 25 \text{ MHz}$
 - $N_1 = 40(N_1 = N/M, \text{其中} N = 40 \text{且} M = 1)$
 - $f_S = 1 \text{ GHz}$
- 当AD9548采用闭环操作时，DDS输出频率为(155,520,000 + 185/188) MHz。因此，
 - $S = 155,520,000$
 - $U = 185$
 - $V = 188$
 - $N_0 = S + U/V = 155,520,000 + 185/188$
 - $f_O = (155,520,000 + 185/188) \text{ Hz}$

(因为 $f_O = f_R \times N_0$)

- 环路滤波器具有下列参数(见表2)：

- $f_C = 0.02 \text{ Hz}$
- $\theta_{PM} = 60^\circ$
- $f_3 = 1 \text{ Hz}$
- $A = 15 \text{ dB}$

- 鉴相器输入端(图3中的IN和FB端子)的可接受最大时间偏移为1 ns。因此，

- $\Delta t = 1 \text{ ns}$

利用这些参数可求得以下值：

$$\tau_1 = 2.13227$$

$$\tau_3 = 8.80729 \times 10^{-1}$$

$$\omega_0 = 8.77306 \times 10^{-2}$$

而利用 τ_1 、 τ_3 和 ω_0 的值可以通过等式11计算出 ω_n (注意， $\tau_s = \tau_1 + \tau_3$)。

$$\omega_n = 4.47996 \times 10^{-2}$$

通过等式4将 Δt 转换为 θ_e 。

$$\theta_e = 2\pi f_R \Delta t = 6.28319 \times 10^{-9}$$

通过等式3从 ω_n 和 θ_e 计算出 β 。

$$\beta = \theta_e (\omega_n)^2 = 1.26104 \times 10^{-11} \text{ (rad/sec}^2\text{)}$$

通过等式8计算出 β_{SYS} 。

$$\beta_{SYS} = \beta(N_0/N_1)/(f_O/f_S) = 3.15259 \times 10^{-4} \text{ (rad/sec}^2\text{)}$$

通过等式9和/或等式10转换为Hz/sec和/或ppm/sec。

$$\beta_{SYS} \text{ (Hz/sec)} = 5.02 \times 10^{-5}$$

$$\beta_{SYS} \text{ (ppm/sec)} = 2.01 \times 10^{-6}$$

此结果的重要性不言而喻：在本例中，SYSCLK端子的最大频率变化速率仅为50 $\mu\text{Hz/sec}$ 。本例中，标称SYSCLK频率为25 MHz，因此50 $\mu\text{Hz/sec}$ 可转换为2 micro-ppm/sec或2 milli-ppb/sec(ppb为百万分率)。

选择合适的SYSCLK时钟源

对于“示例”部分给出的特定案例，SYSCLK端子的最大容许频率变化速率为2 milli-ppb/sec，这意味着SYSCLK时钟源必须极其稳定且时间偏移(Δt)不得超过1 ns。

例如，假设SYSCLK时钟源是由极高品质的25 MHz OCXO组成，可提供2ppb/°C范围内的温度稳定性。如果此种OCXO在一小时内经过10°C温度变化，且这段时间内温度变化($\delta T/\delta t$)保持恒定，那么频率偏移为

$$2 \text{ ppb/}^\circ\text{C} \times 10^\circ\text{C/小时} = 5.6 \text{ milli-ppb/sec}$$

该值要比“示例”部分中所给示例的最大容许频率变化速率2 milli-ppb/sec大2.8倍。对于该特定案例，有以下三种方式来处理这种频率漂移速率过大的问题。

- 选择温度变化速度大约为3.5°C/小时(而非10°C/小时)的环境。

- 选择温度稳定性规格不超过0.7ppb/°C的OCXO。
- 增大 θ_c 、 ω_n 或以上两者，从而以2.8为系数增加 β ，进而将 β_{SYS} 增大至5.6milli-ppb/sec(与OCXO漂移速率相当)。

采用第三个选项时，可以将 Δt 从1 ns增加到2.8 ns，因为 Δt 等于 θ_c (等式4)且 θ_c 与 β 成正比(等式3)而 β 又与 β_{SYS} 成正比(等式8)。不过，如果无法更改 Δt ，那么可改为增加 ω_n 。

但这样会困难很多，具体原因有两个。首先， β 并不与 ω_n 成正比，而是与其平方成比例。其次， ω_n 取决于环路滤波器响应，而这与表2中的参数有关。这就使得 ω_n 和环路滤波器响应之间的关系变得相当复杂。

归一化帮助量化SYSCLK稳定性要求

作为帮助选择合适SYSCLK时钟源的指导，图7和图8提供了可接受的时间偏移(Δt)、开环带宽(表2中的 f_c)和SYSCLK端子最大容许频率斜坡(β_{SYS})三者之间的关系。两幅图均涵盖0.001Hz到0.1Hz范围内的 f_c ，且 β_{SYS} 以归一化单位ppm/sec给出。通过使用归一化单位可以屏蔽掉 N_0 、 N_1 、 f_o 和 f_s 对 β_{SYS} 的影响(见等式8)，因此可以绘制出更有意思的曲线图。

不过，要享受归一化带来的好处，需要用到一个恒定的衰减系数(表2中的参数A)。为此，所有曲线图中均满足 $A = 3$ dB。归一化还要求偏移频率(表2中的参数 f_3)与 f_c 成比例且系数恒定不变，这点适用于所有曲线图。不过，要捕捉改变 f_3 的相对位置所产生的影响，每个 Δt 值由两条轨迹组成，其中黑色轨迹对应于 $f_3 = 10 \times f_c$ (比例因子为10)，而红色轨迹对应于 $f_3 = 20 \times f_c$ (比例因子为20)。

通过比较这两幅图可以看出，特定 Δt 轨迹在图7中($\theta_{PM} = 50^\circ$)中产生的 β_{SYS} 值要大于在图8($\theta_{PM} = 80^\circ$)中产生的值。这意味着， θ_{PM} 值越小，SYSCLK时钟源的稳定性要求就越不严格。此外，对于给定的 Δt 值，红色轨迹和黑色轨迹相互分离，似乎表明 θ_{PM} 值越大，对 f_3 的位置越敏感。例如， f_3 比例因子为20(红色轨迹)时与系数为10(黑色轨迹)时，图7($\theta_{PM} = 50^\circ$)显示 β_{SYS} 增加大约25%。这表示，对于 $\theta_{PM} = 50^\circ$ ， f_3 比例因子为20时SYSCLK时钟源稳定性的严格要求要比系数为10时略低。另一方面， f_3 比例因子为20(红色轨迹)时与系数为10(黑色轨迹)时，图8($\theta_{PM} = 80^\circ$)显示 β_{SYS} 增加大约100%。这表示，对于 $\theta_{PM} = 80^\circ$ ， f_3 比例因子为20时SYSCLK时钟源稳定性的严格要求要比系数为10时降低一半。

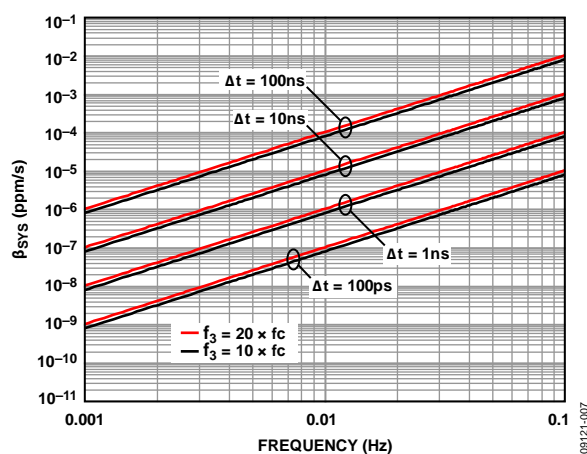


图7. $\theta_{PM} = 50^\circ$

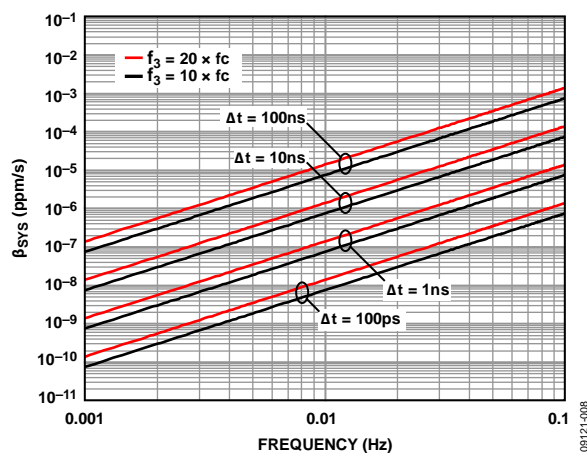


图8. $\theta_{PM} = 80^\circ$

结论

使用AD9548来产生与1-ppsGPS参考信号同步的输出时钟信号时，环路带宽要求极低(如0.02Hz)。而极低的环路带宽带来同样很低的自然频率。

低自然频率与严格的时间偏移(Δt)要求两者相结合，使得 β_{SYS} (环路保持时间偏移不超过 Δt 时SYSCLK端子最大容许频率变化速率)的值非常小。最后， β_{SYS} 值非常小意味着需要极其稳定的SYSCLK时钟源。因此，如果采用极窄的环路带宽，则在选择合适的SYSCLK时钟源时必须非常小心。

所用分析法的注意事项

此处所述方法可以找出 β 的值，然后通过应用等式8便可量化 β_{SYS} 。 β_{SYS} 的值代表着给定器件配置下，保证相位(或时间)偏移不超过 θ_c (或 Δt)时AD9548 SYSCLK端子最大频率变化速率。

请记住， β_{SYS} 所指示的最大容许频率线性漂移速率依赖于以下假设：

- 频率漂移的斜率恒定不变($\delta f/\delta t = \text{常数}$)，且持续时间够长，足以让环路达到平衡(稳态条件)。
- 模拟PLL的s域模型可以足够精确地模拟出AD9548的行为。

- 二阶环路与更高阶的环路在过渡特性上具有足够的相似程度，从而使等式3的应用合理化。
- Gardner提出的自然频率延伸定义使得等式5的应用合理化。

上述假设表明， β_{SYS} 的计算值是最大容许频率漂移的估计值，而不是硬性边界条件。

关于系统时钟乘法器PLL的环路带宽

在有些应用中，会采用AD9548的集成系统时钟乘法器PLL来将频率相对较低的SYSCLK时钟源转换为足以支持DDS的高频率。“示例”部分给出的案例便是一例。使用系统时钟乘法器PLL时，其带宽可能会影响到SYSCLK端子出现的频率斜坡(β_{SYS})。幸运的是，与本应用笔记考虑的缓慢频率斜坡相比，系统时钟乘法器PLL的带宽要大得多，因此其环路响应对 β_{SYS} 的影响微不足道。

参考文献

Gardner, Floyd M. 2005. *Phase-lock Techniques*, 3rd ed. New York: John Wiley & Sons, Inc.

Manassewitsch, Vadim. 1987. *Frequency Synthesizers: Theory and Design*, 3rd ed. New York: John Wiley & Sons, Inc.

注释