

低噪声时钟 AD9523、AD9524 和 AD9523-1 的电源考虑

作者：Matthew Felmlee

简介

本应用笔记旨在帮助用户了解电源管理的设计如何影响 ADI 公司 [AD9523](#)、[AD9524](#) 和 [AD9523-1](#) 系列低噪声、低功耗时钟产品的性能。此外还详细说明了系统电路板布局布线和频率规划。

AD9523、AD9524 和 AD9523-1 时钟产品具有出色的集成度、性能和功耗特性，提供一种替代单芯片解决方案。

在所有应用中，这些时钟产品都要求 1.8 V 和 3.3 V 电源。系统板设计期间应当考虑各种噪声和耦合情况，以确保了解所有噪声和杂散影响。

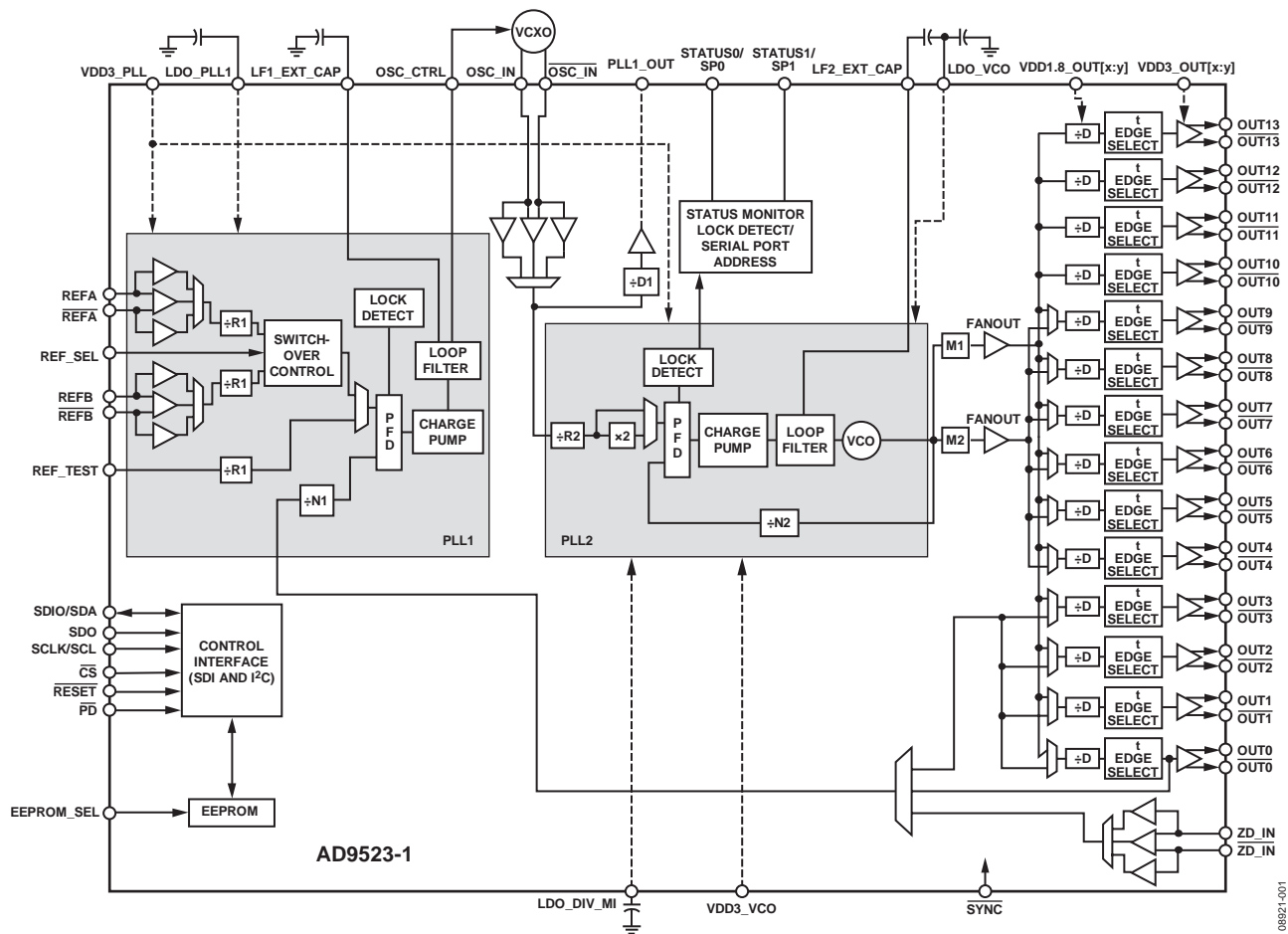


图 1. AD9523-1 顶层框图

目录

简介.....	1	电源噪声.....	3
修订历史.....	2	电源配置.....	5
噪声源基本知识.....	3		

修订历史

2010年11月—修订版0：初始版

噪声源基本知识

噪声源可以分为两类：内部电路器件噪声和外部干扰。电路噪声在所有集成电路设计中都存在，其来源包括热噪声、闪烁噪声和散粒噪声等。外部干扰源包括电源噪声和电磁干扰等。本应用笔记重点关注外部噪声源，包括电源噪声以及与时钟输出相互耦合相关的噪声。

电源噪声

电源抑制比 (PSR) 衡量电路在不同频率下抑制输入电源纹波的能力，它对于保持许多 RF 和无线应用所需的极低噪声和杂散性能至关重要。对于 ADC 时钟应用来说，幅度噪声 (AM) 对于 ADC 的编码时钟不那么重要，因为采样是在时钟边沿发生的。这种情况下，时钟抖动或相位噪声是 ADC 性能降低的主要原因（参见应用笔记 AN-756：采样系统以及时钟相位噪声和抖动的影 响）。然而，如果 AM 噪声被转换为 PM 噪声（时间抖动），则 ADC 性能会下降。因此，在本应用笔记中，PSR 衡量的是对 AM 至 PM 转换的抑制能力。

为了测量电路电源的 PSR，需要在直流电源引脚上施加一个交流信号，然后在时钟输出端测量由此产生的杂散。该交流信号在时钟输出端产生 AM 至 AM 转换、AM 至 PM 转换或二者的组合。如上文针对 ADC 所述，ADC 近似仅响应相位抖动。如果使用频谱分析仪测量杂散信号，则很难判断杂散音是 AM 还是 PM。频谱分析仪前需要放置一个限幅滤波器，或者利用 ADC 来测量时钟杂散。杂散信号衡量宽频率范围（一般是 10 Hz 到 10 MHz）内幅度输入纹波所产生的输出相位噪声，用分贝表示 (dBc/V rms)。图 2 所示的数据反映了 122.88 MHz 时钟信号的各电源上相位噪声（杂散）量 (dBc/Hz) 与每 1 V rms 正弦音的关系。

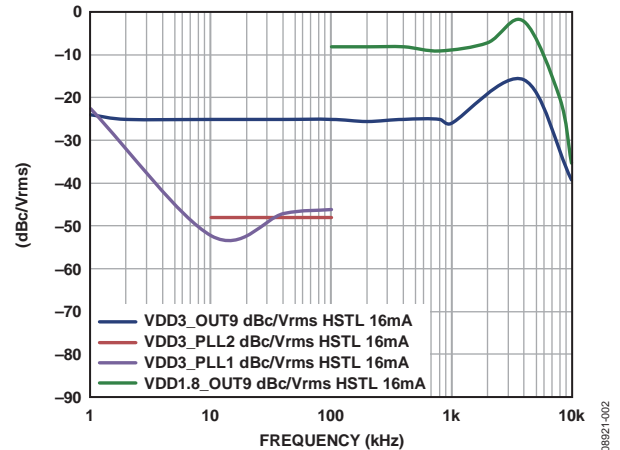


图 2. AD9523 电源推移增益

接下来的示例说明如何得出 VDD3_OUT[x:y] 电源的 LDO 噪声要求（其它电源引脚类似）。

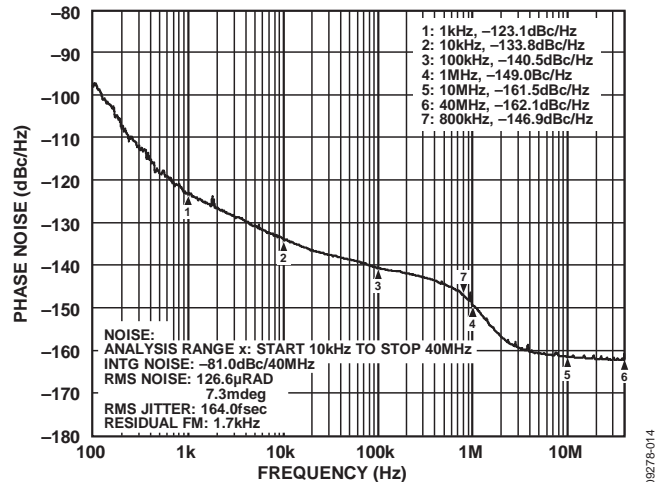


图 3. AD9523-1 相位噪声，输出 = 122.88 MHz (VCXO = 122.88 MHz, Crystek VCXO CVHD-950)；倍频器开启

从图 3 得知，100 kHz 偏移相位噪声为 -137.7 dBc/Hz。若要对相位噪声只产生 0.5 dB 的影响，电源引起的噪声必须比它低至少 10 dB，或者为 -147.7 dBc/Hz。从图 2 得知，VDD3_OUT9 电源引脚的内部电源抑制为 25 dB。因此，在 100 kHz 偏移时，该引脚上的噪声可以是 -147.7 dBc/Hz - (-25 dBc V rms) = $10^{(-122.7 \text{ dBrms}/20)} = 0.7 \mu\text{V rms}$ 。

表 1 列出了发送至任一输出端的 VCXO 或发送至所有输出端的标准 PLL2 的典型相位噪声要求。然后，利用上述方法便可得出电源引脚的噪声要求。结果如表 2 至表 5 所示。

表 1. 输出端 VCXO 和 PLL 驱动器要求

频率	输出端 VCXO	输出端时钟
1	-128	-123
10	-140	-135
40	-145	-137
100	-148	-139
800	-156	-156

表 2. VDD3_PLL1 噪声要求

电源特性 : VDD3.3_PLL1	限值	单位
1 kHz 时的噪声频谱密度		
VCXO	8	$\mu\text{V}/\sqrt{\text{Hz}}$ (最大值)
时钟	14	$\mu\text{V}/\sqrt{\text{Hz}}$ (最大值)
10 kHz 时的噪声频谱密度		
VCXO	59	$\mu\text{V}/\sqrt{\text{Hz}}$ (最大值)
时钟	105	$\mu\text{V}/\sqrt{\text{Hz}}$ (最大值)
100 kHz 时的噪声频谱密度		
VCXO	12	$\mu\text{V}/\sqrt{\text{Hz}}$ (最大值)
时钟	33	$\mu\text{V}/\sqrt{\text{Hz}}$ (最大值)
800 kHz 时的噪声频谱密度	2	$\mu\text{V}/\sqrt{\text{Hz}}$ (最大值)
1 kHz 至 60 MHz 的输出纹波	6	mV p-p (最大值)

表 3. VDD3_PLL2 噪声要求

电源特性 : VDD3.3_PLL2	限值	单位
1 kHz 时的噪声频谱密度	40	$\mu\text{V}/\sqrt{\text{Hz}}$ (最大值)
10 kHz 时的噪声频谱密度	48	$\mu\text{V}/\sqrt{\text{Hz}}$ (最大值)
100 kHz 时的噪声频谱密度	17	$\mu\text{V}/\sqrt{\text{Hz}}$ (最大值)
800 kHz 时的噪声频谱密度	2	$\mu\text{V}/\sqrt{\text{Hz}}$ (最大值)
1 kHz 至 60 MHz 的输出纹波	16	mV p-p (最大值)

表 4. VDD1.8_OUT[x:y] 噪声要求

电源特性 : VDD1.8_OUT[x:y]	限值	单位
1 kHz 时的噪声频谱密度		
VCXO	359	$\text{nV}/\sqrt{\text{Hz}}$ (最大值)
时钟	638	$\text{nV}/\sqrt{\text{Hz}}$ (最大值)
10 kHz 时的噪声频谱密度		
VCXO	90	$\text{nV}/\sqrt{\text{Hz}}$ (最大值)
时钟	160	$\text{nV}/\sqrt{\text{Hz}}$ (最大值)
100 kHz 时的噪声频谱密度		
VCXO	32	$\text{nV}/\sqrt{\text{Hz}}$ (最大值)
时钟	91	$\text{nV}/\sqrt{\text{Hz}}$ (最大值)
800 kHz 时的噪声频谱密度	18	$\text{nV}/\sqrt{\text{Hz}}$ (最大值)
1 kHz 至 60 MHz 的输出纹波	0.26	mV p-p (最大值)

表 5. VDD3_OUT[x:y] 噪声要求

电源特性 : VDD3.3_OUT[x:y] 14 Outputs	限值	单位
1 kHz 时的噪声频谱密度		
VCXO	2.5	$\mu\text{V}/\sqrt{\text{Hz}}$ (最大值)
时钟	4.5	$\mu\text{V}/\sqrt{\text{Hz}}$ (最大值)
10 kHz 时的噪声频谱密度		
VCXO	0.7	$\mu\text{V}/\sqrt{\text{Hz}}$ (最大值)
时钟	1.2	$\mu\text{V}/\sqrt{\text{Hz}}$ (最大值)
100 kHz 时的噪声频谱密度		
VCXO	0.25	$\mu\text{V}/\sqrt{\text{Hz}}$ (最大值)
时钟	0.8	$\mu\text{V}/\sqrt{\text{Hz}}$ (最大值)
1 kHz 至 60 MHz 的输出纹波	2	mV p-p (最大值)

图 4 给出了 122.88 MHz 时钟输出的两条相位噪声曲线。在 10 kHz 区域，一条曲线的噪声高于另一条曲线，这是因为 1.8 V 输出电源噪声过高。噪声较低的曲线是利用 ADI 公司的 1.8 V 线性调节器 ADP150 作为输出电源进行测量的。

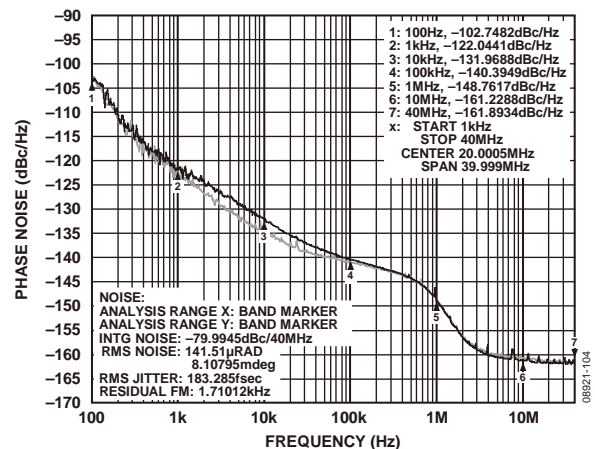


图 4. 电源噪声引起噪声的示例

电源配置

图 5 显示了 AD9523 的各种电源连接。注解说明各电源引脚为哪些电路模块供电，以及各电源域的交互如何引起杂散信号。

图 6 显示了 AD9523 输出通道电路模块的电源布线。AD9524 适用于同样的布线，但需去除 OUT6 至 OUT13。图 7 是针对 AD9523-1 的布线。这些图示用于显示通道间耦合源，包括：

- 共用电源（分频器 / 驱动器）
- 封装（焊线接近）
- 评估板（走线 / 端接）
- VCO 分频器（与 AD9523-1 双通道分频器相关的电源 / 多路复用器）

绿框区域表示共享 1.8 V 和 3.3 V 电源连接的输出通道部分。连接成对进行，因此彼此之间的耦合程度最高。

红色和蓝色圆圈表示电源域如何在评估板上共享。

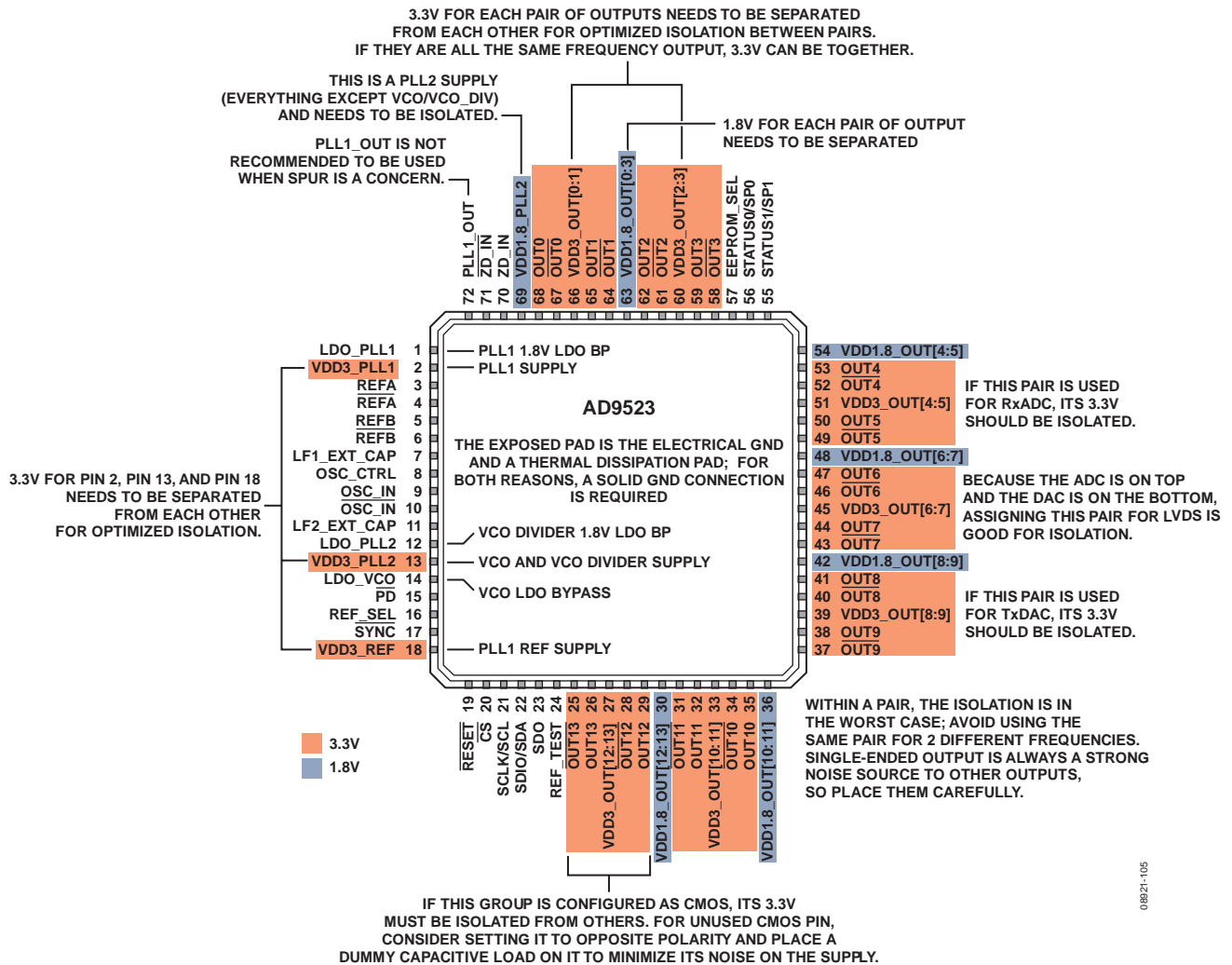


图 5. AD9523 电源连接

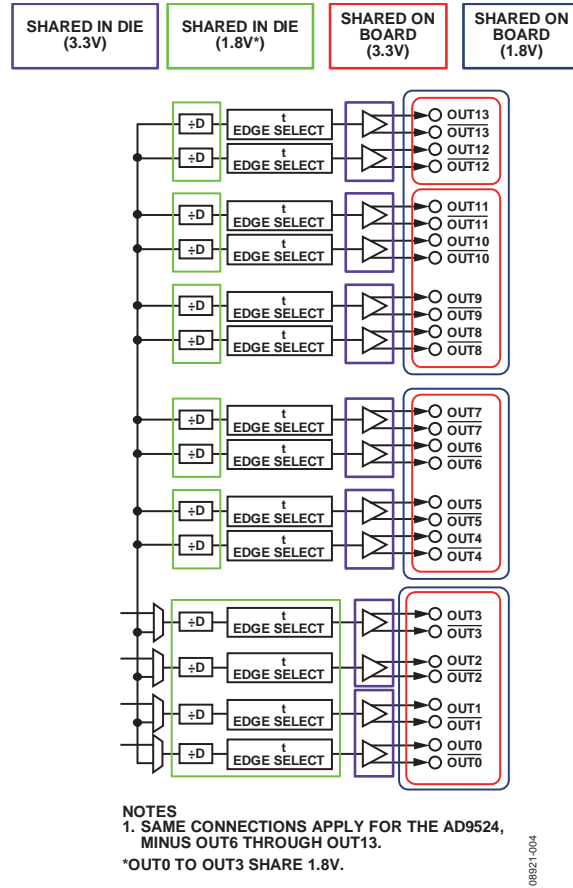


图 6. AD9523 输出驱动器电源连接

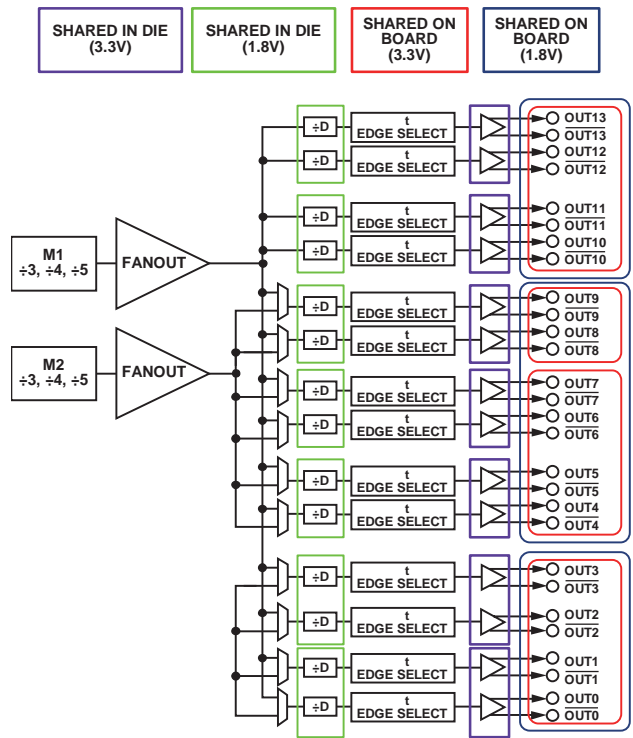


图 7. AD9523-1 输出驱动器电源连接

如何解读表 6

表 6 最左边的一栏是 245.76 MHz 时钟频率下的实测输出。最上边的一行列出了配置为 15.68 MHz 的另一个输出，称为侵扰源。这些输出在 LVPECL 模式下一次开启一个，同时开启一个侵扰源。根据测量通道与侵扰源的和值或差值，记录最高杂散水平。为了说明耦合机制，杂散水平被分为三个类别。

H 类是最高类别。当侵扰源共享芯片上的 3.3 V 和 1.8 V 电源时，发生 H 类耦合。从器件外部着手无法降低这种耦合。应当采用适当的频率规划，将相同的频率施加于这些输出来消除耦合。

M 类是中等类别。当 VDD1.8_OUT 电源位于测量输出与侵扰源之间时，发生 M 类耦合，例如在侵扰源位于 OUT9 时测量 OUT10。这些输出不共享芯片上的 3.3 V 和 1.8 V 电源，但通道 10 的 1.8 V 电源紧挨着侵扰源 OUT9。

L 类是最低类别。当测量通道电源来自侵扰源时，发生 L 类耦合。当通道的和频率和差频率位于测量频段以外时，即实现了适当的频率规划。

降低耦合的一种方法是各输出使用尽可能低的输出幅度。例如，当一个低噪声关键输出工作在 LVPECL 模式时，将侵扰通道配置为 LVDS 工作模式。LVDS 的交流电压摆幅较低，因此能够降低耦合。

OUT5 行与 OUT8 列相交处为 L。此时，AD9523 的 3.3 V 和 1.8 V 电源是分离的，板上仅 1.8 V 电源域是共用的。

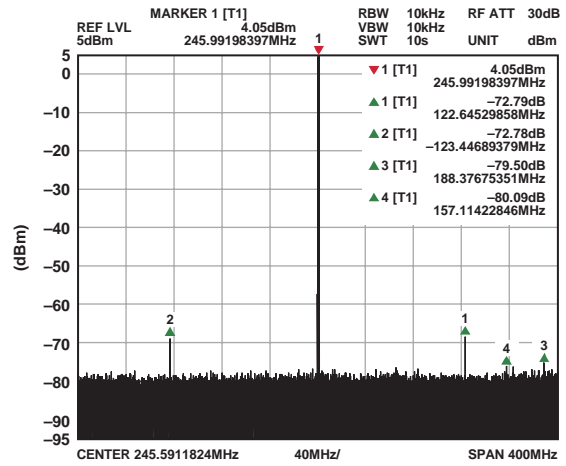


图 8. OUT5 与侵扰源 OUT8

AD9523 评估板尽可能将电源域分离，但为每个电源引脚配置一个独立 LDO 调节器的成本太高。例如，OUT4 至 OUT7 共用同一 LDO 调节器。评估板上的电源连接以星型连接方式返回 LDO 输出。

表 6. AD9523-1 的通道间耦合¹

1.8 V 板	OUT0 至 OUT3				OUT4 至 OUT9					OUT10 至 OUT13				
3.3 V 板	OUT0 至 OUT3				OUT4 至 OUT7			OUT8 至 OUT9	OUT10 至 OUT13					
片内	3.3V 和 1.8V	3.3V 和 1.8V	3.3V 和 1.8V	3.3V 和 1.8V	3.3V 和 1.8V	3.3V 和 1.8V	3.3V 和 1.8V	3.3V 和 1.8V	3.3V 和 1.8V	3.3V 和 1.8V	3.3V 和 1.8V	3.3V 和 1.8V	3.3V 和 1.8V	
测量输出 (245.76 MHz)	侵扰源 (15.68 MHz)													
	OUT0	OUT1	OUT2	OUT3	OUT4	OUT5	OUT6	OUT7	OUT8	OUT9	OUT10	OUT11	OUT12	OUT13
OUT0		H	M	M	L	L	L	L	L	L	L	L	L	L
OUT1	H		M	M	L	L	L	L	L	L	L	L	L	L
OUT2	M	M		H	L	L	L	L	L	L	L	L	L	L
OUT3	M	M	H		L	L	L	L	L	L	L	L	L	L
OUT4	L	L	L	L		H	M	M	L	L	L	L	L	L
OUT5	L	L	L	L	H		M	M	L	L	L	L	L	L
OUT6	L	L	L	L	M	M		H	M	M	L	L	L	L
OUT7	L	L	L	L	M	M	H		M	M	L	L	L	L
OUT8	L	L	L	L	L	L	M	M		H	L	L	L	L
OUT9	L	L	L	L	L	L	M	M	H		L	L	L	L
OUT10	L	L	L	L	L	L	L	L	M	M		H	M	M
OUT11	L	L	L	L	L	L	L	L	M	M	H		M	M
OUT12	L	L	L	L	L	L	L	L	L	L	M	M		H
OUT13	L	L	L	L	L	L	L	L	L	L	M	M	H	

¹ L = 最低耦合，M = 中等耦合，H = 最高耦合。

VCO 分频器 M1 和 M2 耦合 (仅 AD9523-1)

AD9523-1 具有两个并联 VCO 分频器，用以提供额外的频率规划和灵活性。VCO 分频器 M1 和 M2 的输出以相同的程度彼此耦合。表 7 和表 8 列出了各种分频器设置的预期耦合量。这些表具有如下条件：

- 所列值为 800 MHz 范围内分频器 M1 与 M2 之间的最高混频产物 ($m \times \omega_c \pm n \times \omega_m$)。
- 跟随杂散水平之后的数值是载波的杂散频率偏移。
- 跟随除数之后的数值是分频器的输出频率。
- M1 在 M2 上的混频程度高于 M2 在 M1 上的混频程度。

两个边带上均存在杂散，但表 7 和表 8 仅列出了 800 MHz 范围（载波 ± 400 MHz）内的最高杂散。

因此，对于某些分频器设置，实际的侵扰频率恰好落在此范围以外。例如，当 $M2 = \div 3$ 时，其输出约为 1 GHz；当 $M1 = \div 5$ 时，其输出约为 600 MHz。如果一个通道由 M2 (1 GHz) 驱动，M1 是侵扰源 (600 MHz)，则耦合杂散出现在 ± 200 MHz，但在 800 MHz 范围内， ± 400 MHz 杂散中仅有一个可见。在 -56.7 dBc 时存在 600 MHz 侵扰频率 ($f_c - 400$ MHz)，但它不是实测的最高杂散。表 8 中记录的是 -54.9 dBc 时的不同混频积，它相对于载波恰好偏移 +200 MHz。表 7 和表 8 列出了 VCO 分频器设置的所有可能组合及其间的相应耦合。测量是在两个 PLL 均未锁定（增强）且板上不存在其它频率下完成的。一个自由运行的 VCO 驱动 VCO 分频器，使得频谱上仅存在 VCO 分频器彼此耦合所引起的杂散。

表 7. 测量通道为 VCO 分频器 M1，侵扰通道为 VCO 分频器 M2

AD9523-1 VCO DIV 耦合	侵扰源 (M2)		
测量 VCO 分频器 (M1)	$\div 3, 996.6$ MHz	$\div 4, 746.6$ MHz	$\div 5, 597.0$ MHz
$\div 3, 996.6$ MHz	-72.3, 333.46 MHz	-57.3, 250.0 MHz	-64.1, 200 MHz
$\div 4, 746.6$ MHz	-68.4, 250 MHz	-73.6, 250 MHz	-73.1, 300 MHz
$\div 5, 597.0$ MHz	-67.6, 200 MHz	-63.2, 150 MHz	-75.4, 400 MHz

表 8. 测量通道为 VCO 分频器 M2，侵扰通道为 VCO 分频器 M1

AD9523-1 VCO DIV 耦合	侵扰源 (M1)		
测量 VCO 分频器 (M2)	$\div 3, 996.6$ MHz	$\div 4, 746.6$ MHz	$\div 5, 597.0$ MHz
$\div 3, 996.6$ MHz	<-80, no spurs	-54.9, 250 MHz	-54.9, 200 MHz
$\div 4, 746.6$ MHz	-60.8, 250 MHz	-76.8, 250 MHz	-58.7, 150 MHz
$\div 5, 597.0$ MHz	-58.1, 200 MHz	-62.1, 150 MHz	<-80, no spurs

输出间耦合考虑示例

本部分考虑 AD9523-1 针对一个 4Rx/4Tx 无线电实施方案的配置。所需的频率如表 9 所示。

表 9. 4Rx/4Tx 示例

所需频率数	功能	频率 (MHz)
2	两个双通道 Rx ADC、14 位、IF 140 MHz	184.32
4	两个双通道 Tx DAC、14 位、IF 140 MHz	983.04
2	CPRI™	122.88
4	LO 参考	61.44
2	Tx 数字预失真 (DPD) ADC、12 位	245.76

所需的每个时钟都有不同的噪声和杂散要求。通常，Rx ADC 和 Tx DAC 的噪声和杂散要求最低。二者均为 14 位，信噪比非常低（约 76 dB SNR），信号链的这一部分中没有其它滤波处理来消除任何时钟杂散。

CPRI 时钟的噪声和杂散要求通常规定在 12 kHz 至 20 MHz 的偏移范围内。因此，该范围之外的其它时钟输出耦合可以不考虑。

61.44 MHz 的 LO 参考时钟是系统中其它本振的参考频率。这些 PLL 的带宽常常设计为 50 kHz。LO PLL 的响应是高阶低通滤波器的响应，61.44 MHz 参考上的杂散通过该响应进行滤波。因此，10 MHz 以上偏移的 61.44 MHz 时钟杂散得以衰减。

245.76 MHz 的 Tx DPD ADC 时钟用于数字预失真系统。该 ADC 比 Tx DAC 或 Rx ADC 低两位，因此它对噪声和杂散的灵敏度低大约 12 dB。

选择 VCO 频率和 VCO 分频器

所需的最高频率为 983.04 MHz。这意味着 VCO 频率为 2949.12 MHz，VCO 分频比为 3。184.32 MHz 的 Rx ADC 频率不是 983.04 MHz 的整数分频值。因此，M1 和 M2 VCO 分频器均需使用。将另一个 VCO 分频器设置为 4 可产生 737.28 MHz 的频率，再经过通道 4 分频便可产生 Rx ADC 所需的 184.32 MHz 频率。

需要一个设置为 3 的 VCO 分频器和一个设置为 4 的 VCO 分频器。若要确定分频器 M1 和 M2 中的哪一个应设置为

÷3，哪一个应设置为 ÷4，请参考表 7 和表 8。表 10 列出了 M1 和 M2 输出在 ÷3 和 ÷4 的所有不同组合下的杂散水平。

表 10. M1 和 M2 分频汇总

测量通道	侵扰通道	杂散 (dBc)	对应表格
M1 ÷ 3	M2 ÷ 4	-57.3	表 7
M1 ÷ 4	M2 ÷ 3	-68.4	表 7
M2 ÷ 3	M1 ÷ 4	-55.9	表 8
M2 ÷ 4	M1 ÷ 3	-60.8	表 8

汇总表显示，当 M1 设置为 ÷4、M2 设置为 ÷3 时，在 250 MHz 偏移下耦合杂散最低，为 -68.4 dBc。然而，选择这一组合之前，还必须考虑最终需要的频率。表 7 和表 8 中列出的杂散水平是在 VCO 分频器输出频率（通道分频比 = 1）下测得的。VCO 分频器输出会被通道分频进一步分频。当 M1 设置为 ÷4 时，M1 的 737.28 MHz 输出必须进一步 4 分频才能产生最终需要的 184.32 MHz 频率。这意味着，737.28 MHz 载波上的 -68.4 dBc 杂散现已降低 12 dB，变为 184.32 MHz 时钟上的 -80.4 dBc 杂散。

$$20 \times \log(chdiv = 4)$$

其中，*chdiv* 为通道分频比。

对于 M2 输出为 983.04 MHz 的情况，如果使用 140 MHz 的 Tx IF，则杂散放大 17 dB。

$$20 \times \log(983.04 \text{ MHz}/140 \text{ MHz})$$

有关时钟杂散和噪声如何影响 ADC 噪声的更多信息，请参阅应用笔记 AN-756。表 7 和表 8 仅列出了最高杂散，任何其它 VCO 耦合杂散均低于所列水平。对于本例，M1 设置为 ÷4，M2 设置为 ÷3。

指定输出通道的频率

下一步是将各频率指定给一个输出通道。首先考虑的是将共享 3.3 V 和 1.8 V 内部电源域的输出归为同一频率组。这意味着 OUT0 和 OUT1、OUT2 和 OUT3、...、OUT12 和 OUT13 都是一对。其次考虑侵扰源相对于共享 1.8 V 电源的位置。例如，OUT13 和 OUT12 共享同一 1.8 V 电源，但 OUT11 与 VDD1.8_OUT[12:13] 相邻。

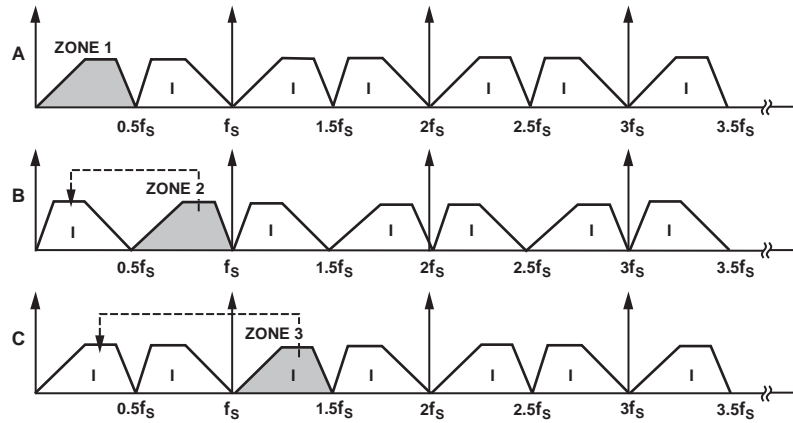
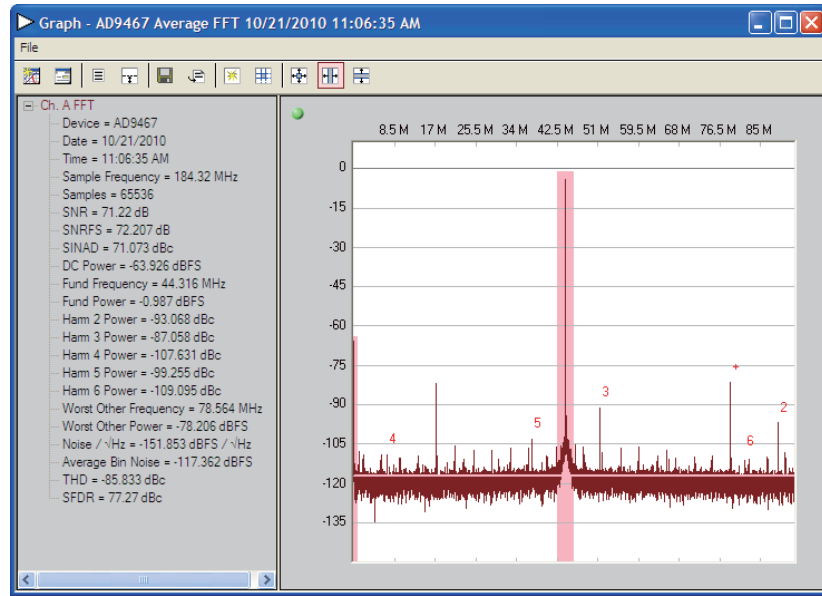


图 9. 欠采样奈奎斯特区

图 10. ADC FFT $f_{IN} = 140 \text{ MHz}$, $f_{CLOCK} = 184.32 \text{ MHz}$

针对 ADC 和 DAC，可以使用图 9 来确定时钟杂散如何混叠至目标频段中。以 Rx ADC 为例， $f_s = 184.32 \text{ MHz}$ ， 140 MHz IF 位于 2 区，IF 输入混叠至 44.32 MHz 。时钟杂散位于 IF 上，其偏移与在时钟上相同。混叠位置可以通过图 9 确定，然后选择 ADC 和 DAC 的混叠影响最小的耦合杂散。

图 10 显示所有 AD9523-1 输出工作时 Rx ADC 的 FFT 结果，其配置如图 11 所示。IF 频率为 44 MHz ，与预期相符。 78 MHz 和 17 MHz 时其它杂散最差，为 -78 dBFS 。正如前面的计算，杂散出现在 VCO 分频器输出频率之间的差异处：

$983.04 \text{ MHz} - 737.28 \text{ MHz} = 245.76 \text{ MHz}$ 。为了在 ADC 的 FFT 上确定位置，找到杂散 $140 \text{ MHz} \pm 245.76 \text{ MHz}$ 的位置。一个杂散出现在 385.76 MHz ，属于奈奎斯特 5 区，位于 $385.76 \text{ MHz} - 368.64 \text{ MHz} = 17 \text{ MHz}$ 。另一杂散属于 2 区，混叠至 78.5 MHz 。这些杂散位置与图 10 的测量结果一致。

其余的 61.44 MHz 和 122.88 MHz 时钟与 983.04 MHz 相距太远，不会对系统产生影响。图 11 显示了最终的 AD9523-1 输出频率配置。

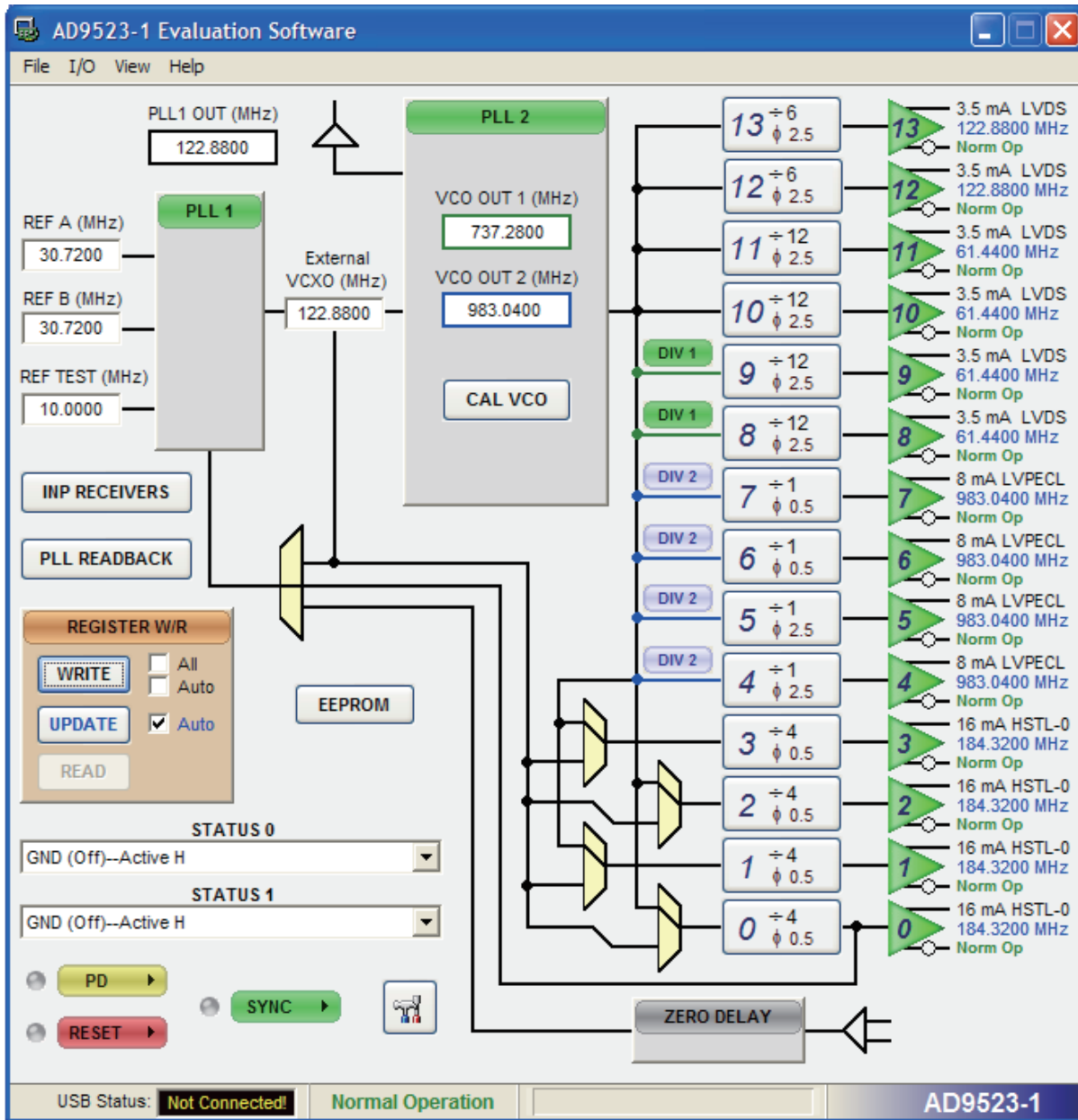


图 11. AD9523-1 输出间耦合考虑示例

注释

FC 指最初由 Philips Semiconductors (现为 NXP Semiconductors) 开发的一种通信协议。