

AD9552：适合网络时钟应用的可编程晶振

作者：Ken Gentile

数十年来，无处不在的石英晶振一直是计时应用的主力军。低成本和相对较高的稳定性使得石英晶振在众多应用领域取得成功。

石英晶振具有高谐振品质因数，因而成为固定频率振荡器所用谐振元件的极佳备选方案。然而，日益增多的网络时钟应用要求稳定的单频率振荡器，以便实现不同网络频率的同步。AD9552就是一种针对此类应用的低成本集成式解决方案。

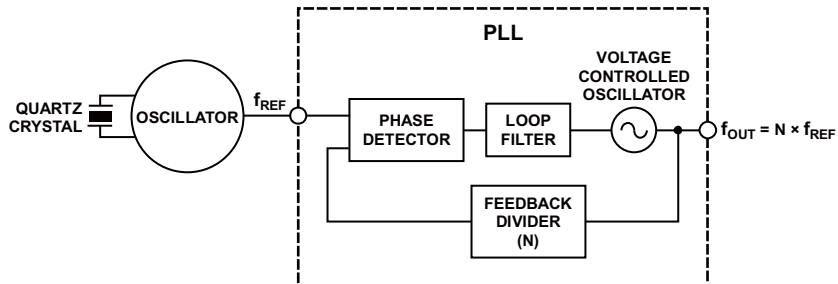


图1. 基于PLL的上变频器

07918-001

目录

上变频	3	结论	8
AD9552的架构	4		

上变频

石英晶体谐振器的谐振频率相对较低(基频一般低于50 MHz),这对要求输出频率超过100 MHz的网络应用而言就显得不足了。这类应用要求更高的输出频率,意味着需要把晶振相对较低的输出频率转换成更高的频率,这一过程一般称为上变频。最常用的上变频方法之一是反馈路径中有分频器的锁相环(PLL)(见图1)。输出频率(f_O)的计算公式如下:

$$f_O = N \times f_{REF}$$

其中:

N 为分频器值。

f_{REF} 为输入频率。

一般而言,为了尽可能减少输出频谱中的杂散,环路滤波器的带宽相对较窄。此外,通过改变 N 的值,PLL上变频器可以解决单一频率源(即石英晶振)产生不同输出频率的问题。如果仅要求反馈分频器提供整数分频系数,那么此架构比较容易实现。

图1所示架构的缺点是输出频率必须等于或大于 f_{REF} 。

要解决这一局限,只需在输出端配置第二个可编程分频器,如图2所示。

配置额外分频器后,输出频率的计算公式如下:

$$f_O = (N/P) \times f_{REF}$$

其中 P 为输出分频器值。

图2所示架构可以实现较为合理的 f_{OUT}/f_{REF} 比(即,整数除以整数)。此外,若 $P > N$,则 f_{OUT} 小于 f_{REF} ,这可以克服上述缺点。请注意,在前一架构(图1)中,因为 N 为整数,所以 f_{OUT} 与 f_{REF} 之间存在必然的谐波关系。新架构(图2)带来的一项额外好处是消除了这种谐波限制。在晶振(而不是PLL)的输出端配置第二个分频器也可以产生同样的结果。不过,这种配置意味着PLL的设计必须适应一系列输入频率,而非单一晶振频率。

在任何应用中,图2的架构均能使 N/P 比率符合所需的输出/输入频率比。该架构的灵活程度取决于 N 和 P 的范围,即 N 和 P 的范围越大,解决方案越灵活。但是, N 的范围存在实际极限,因为 N 的范围决定了电压控制振荡器(VCO)所需的频率范围。VCO的范围越宽,在不牺牲性能的情况下设计VCO会越困难。

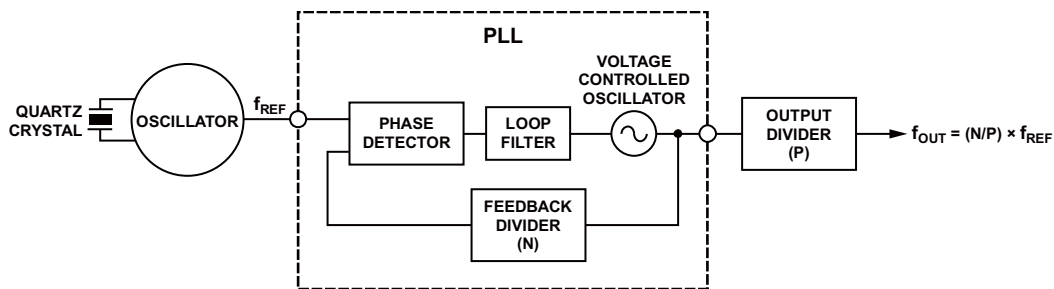


图2. 基于PLL的上变频器,带输出分频器

07918-002

AD9552的架构

AD9552采用了图2的基本架构，但具有一个能够提供小数分频值的反馈分频器。AD9552简化框图如图3所示。

AD9552提供两种编程方式。一种是通过串行通讯端口，可以对器件进行设置。另一种是通过配置选择引脚，用户只需通过引脚绑定设备即可在一组预定义的常用网络时钟频率中选择一个频率(可能无需串行通讯)。

AD9552有2组共9个配置引脚，一组3个(引脚A0至引脚A2)，一组6个(引脚Y0至引脚Y5)。A引脚从8个预定义基准频率(见表1)中选择1个频率，Y引脚从64个输出频率(见表2)中选择1个频率。配置引脚会自动设置合适的内部分频器值，从而在OUT1处产生频率，如表2所示。

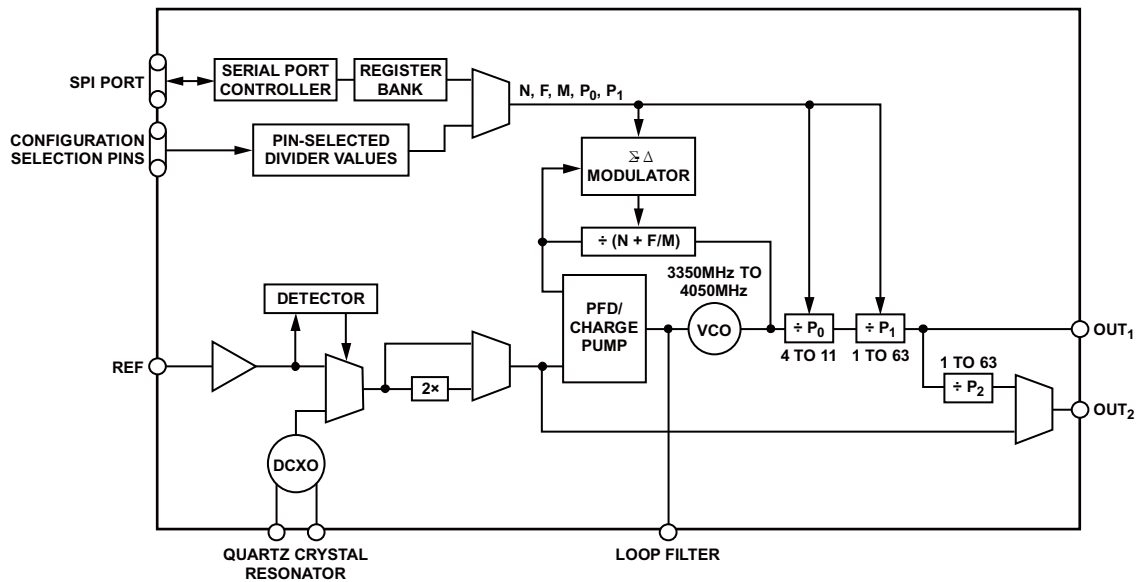


图3. AD9552晶振和上变频器

表1. 引脚绑定的基准频率

A2	A1	A0	基准频率(MHz)
0	0	0	10.00
0	0	1	12.00
0	1	0	12.80
0	1	1	16.00
1	0	0	19.20
1	0	1	19.44
1	1	0	20.00
1	1	1	26.00

表2. 引脚绑定的输出频率

Y5	Y4	Y3	Y2	Y1	Y0	输出(MHz)	Y5	Y4	Y3	Y2	Y1	Y0	输出(MHz)
0	0	0	0	0	0	51.84	1	0	0	0	0	0	569.1964
0	0	0	0	0	1	54	1	0	0	0	0	1	622.08
0	0	0	0	1	0	60	1	0	0	0	1	0	624.7048
0	0	0	0	1	1	61.44	1	0	0	0	1	1	625
0	0	0	1	0	0	62.5	1	0	0	1	0	0	622.08(239/237)
0	0	0	1	0	1	66.666	1	0	0	1	0	1	629.9878
0	0	0	1	1	0	74.17582	1	0	0	1	1	0	640
0	0	0	1	1	1	74.25	1	0	0	1	1	1	641.52
0	0	1	0	0	0	77.76	1	0	1	0	0	0	625(66/64)
0	0	1	0	0	1	98.304	1	0	1	0	0	1	657.421875
0	0	1	0	1	0	100	1	0	1	0	1	0	657.421875(239/238)
0	0	1	0	1	1	106.25	1	0	1	0	1	1	622.08(15/14)
0	0	1	1	0	0	120	1	0	1	1	0	0	669.1281
0	0	1	1	0	1	125	1	0	1	1	0	1	622.08(255/237)
0	0	1	1	1	0	133	1	0	1	1	1	0	625(15/14)
0	0	1	1	1	1	155.52	1	0	1	1	1	1	670.8386
0	1	0	0	0	0	156.25	1	1	0	0	0	0	622.08(255/236)
0	1	0	0	0	1	159.375	1	1	0	0	0	1	625(66/64)(15/14)
0	1	0	0	1	0	161.1328125	1	1	0	0	1	0	625(255/237)(66/64)
0	1	0	0	1	1	10518.75/64	1	1	0	0	1	1	693.75
0	1	0	1	0	0	155.52(15/14)	1	1	0	1	0	0	622.08(253/226)
0	1	0	1	0	1	155.52(255/237)	1	1	0	1	0	1	657.421875(255/238)
0	1	0	1	1	0	167.6616	1	1	0	1	1	0	657.421875(255/237)
0	1	0	1	1	1	177.7371	1	1	0	1	1	1	716.5372
0	1	1	0	0	0	245.76	1	1	1	0	0	0	718.75
0	1	1	0	0	1	250	1	1	1	0	0	1	719.7344
0	1	1	0	1	0	311.04	1	1	1	0	1	0	748.0709
0	1	1	0	1	1	320	1	1	1	0	1	1	750
0	1	1	1	0	0	400	1	1	1	1	0	0	777.6
0	1	1	1	0	1	433.925	1	1	1	1	0	1	779.5686
0	1	1	1	1	0	531.25	1	1	1	1	1	0	781.25
0	1	1	1	1	1	537.6	1	1	1	1	1	1	625(10/8)(66/64)

虽然本应用笔记的背景是关于使用晶体谐振器，但AD9552还提供另一种输入源。用户可以不使用晶体谐振器，而是将单端CMOS时钟信号直接连接至AD9552的REF输入引脚。

AD9552提供两个输出时钟信号，OUT₁和OUT₂。OUT₁是主输出。OUT₂是辅助输出，可编程为OUT₁处的频率的整数分频或者为PLL的鉴频鉴相器(PFD)输出端的频率。

AD9552的反馈分频器提供小数分频，同时也提供整数分频。小数分频具有显著的灵活性，因为频率比例因子的形式为N + F/M(其中F/M < 1)，而不单是如图1所示的N。

小数分频的好处在于：对于给定的基准频率，小数分频可以产生更宽的VCO输出频率选择范围(在VCO的带宽内)。这是因为对于整数PLL， f_{VCO}/f_{REF} 比率必须是整数(N)，但对于小数PLL，该比率可以是小数值(N + F/M)，这样就有了一组更广泛的频率比可供选择。

例如，假定VCO范围为800 MHz至1000 MHz并且 f_{REF} 为25MHz。对于整数PLL，唯一可能的VCO输出频率为800 MHz至1000 MHz(25 MHz步进)(对应N值为32至40)。而小数PLL支持800 MHz与1000 MHz之间的任何输出频率，只要F/M小数具有必要的分辨率。在AD9552中，F和M的小数分辨率都限制在20位，这可以产生1/1,048,575的分辨率。用户可以为F和M设置20位的值，从而产生一组非常广泛的可能输出频率。

AD9552的小数反馈分频器及其输出分频器(P_0 和 P_1)产生主输出频率(f_{OUT1}), 计算公式如下:

$$f_{OUT1} = [(N + F/M)/(P_0 \times P_1)] \times f_{PFD}$$

AD9552的辅助输出频率(f_{OUT2})为

$$f_{OUT2} = f_{OUT1}/P2 \text{ 或 } f_{OUT2} = f_{PFD}$$

具体取决于选择的OUT₂信号源。

在上述等式中, 根据是否使能2×倍频器, $f_{PFD} = f_{REF}$ 或 $f_{PFD} = 2 \times f_{REF}$ 。

对于小数分频, 反馈分频器通常取一个整数值(例如Q), 但周期性改为Q + 1, 以使平均分频比为所需小数值。“周期性”一词有重要意义, 表示输出频谱中存在不良的杂散噪音。为了减轻通常由小数分频器引起的杂散噪音, AD9552使用内置伪随机二进制序列(PRBS)发生器的Σ-Δ调制器(SDM)来分散杂散能量。在反馈分频器中组合使用SDM和PRBS发生器能提供充足的杂散噪音抑制, 满足许多网络时钟应用的要求。

虽然AD9552产生一些杂散噪音, 限制了其作为通用晶振替代器件的使用价值, 但它仍然非常适合网络时钟应用。原

因在于SDM能够将杂散能量移至带外足够远的地方, 使滤波相对较为容易。图4和图5显示了引脚绑定AD9552的实际相位噪声测量, 这里, AD9552使用26MHz晶体谐振器产生625MHz输出。

图4所示的相位噪声图表示AD9552的未滤波输出并显示了器件的原始性能。请注意, 1 MHz与100 MHz之间的杂散成分的幅度约为-60 dBc至-90 dBc。SONET OC-192带(50 kHz至80 MHz)上产生的均方根抖动值为0.74 ps。而滤除杂散噪音(见图5)后可产生0.51 ps的均方根抖动值。虽然图中未显示, 但SONET OC-3带(12 kHz至20 MHz)上的测量结果显示, 不论测量中是否包括杂散噪音, 均方根抖动值均为0.65 ps。

在OC-3和OC-192频带中对包含和不包含杂散成分的均方根抖动值进行比较, 表明对此特定应用而言(使用26MHz晶体合成625MHz输出信号), 在1 MHz至10 MHz范围内出现的杂散对均方根抖动性能没有显著影响。AD9552对1 MHz至10 MHz范围内出现的杂散起到抑制作用, 使其不会对均方根抖动性能产生负面影响。

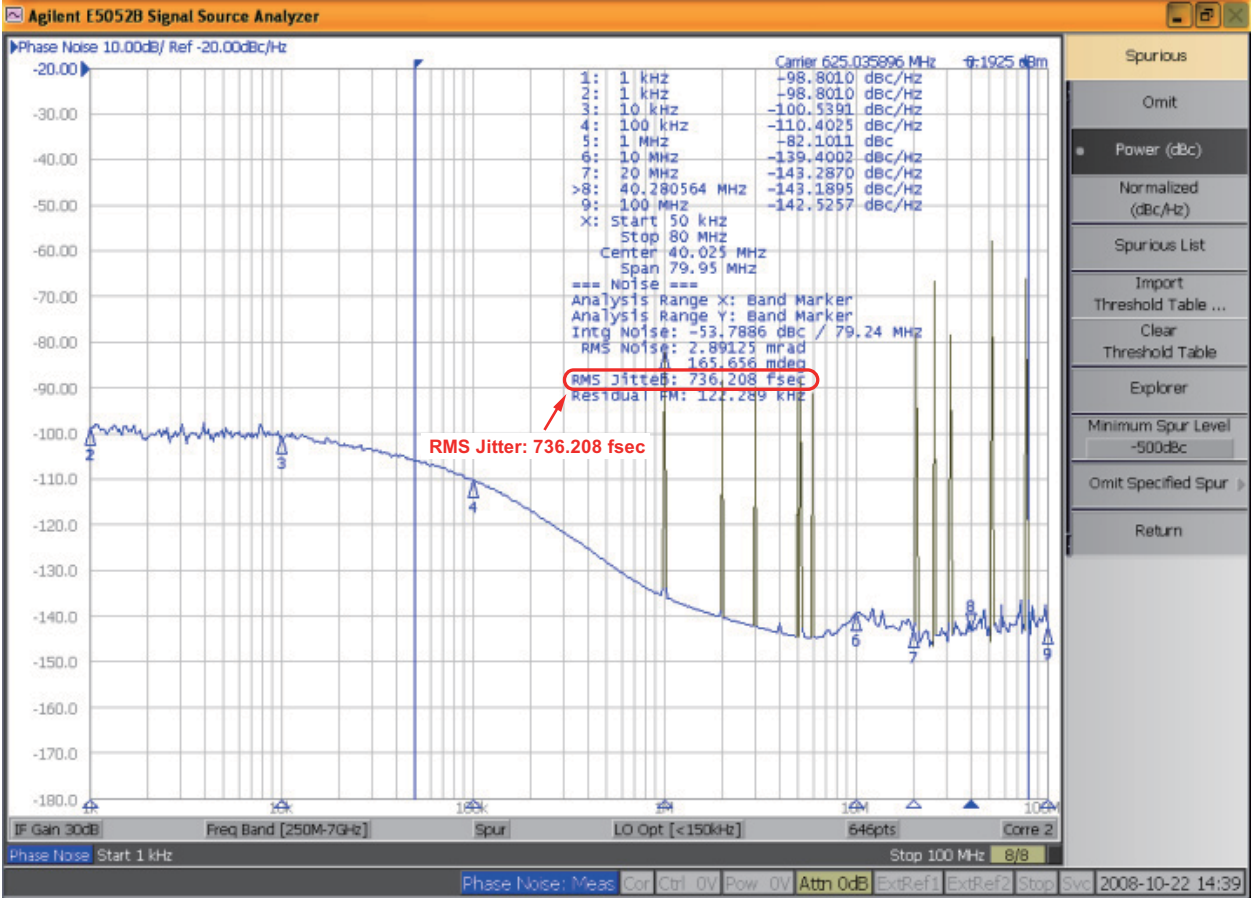


图4. AD9552相位噪声测量



图5. AD9552相位噪声，不包含杂散噪声

结论

该特定应用(使用26MHz晶体输出625MHz)的测量结果表明，AD9552满足OC-3频带上的0.65 ps均方根抖动要求，无需额外进行输出信号滤波。另外，使用外部滤波器抑制1MHz范围以外的杂散，应该可以在OC-192频带上实现类似的均方根抖动性能(~0.6 ps)。例如，可以使用带宽2 MHz、以625 MHz为中心的SAW滤波器。

使用不同输出/输入频率比的应用具有一组不同的杂散噪声。因而，较明智的做法是分析应用中每一输出/输入频率

比的杂散成分，以确定是否需要进行后置滤波。如果需要外部滤波，则必须确定适合的滤波器参数(比如带宽、阻带衰减和插入损耗)，以实现所需的抖动性能。

虽然AD9552不是网络时钟应用的唯一解决方案，但其灵活性、高可靠性、易用性和低廉的成本明显优于其他解决方案。