Analog Dialogue

《模拟对话》合订本2017-2018



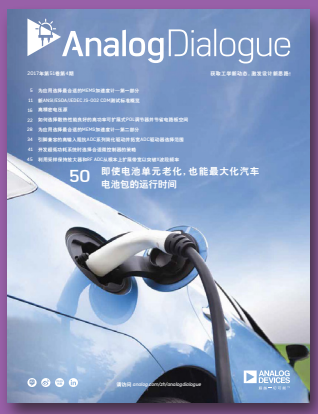
第51卷第1期



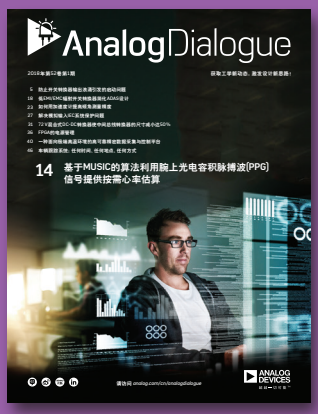
第51卷第2期



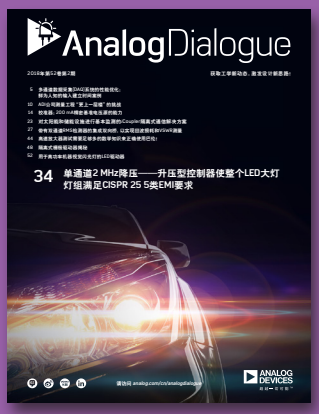
第51卷第3期



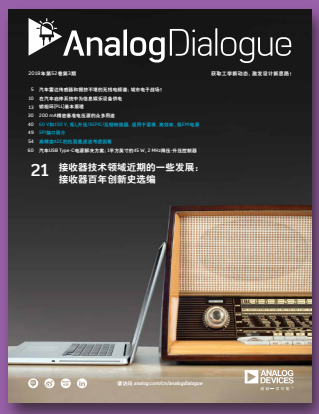
第51卷第4期



第52卷第1期



第52卷第2期



第52卷第3期



第52卷第4期

《模拟对话》(Analog Dialogue)是ADI公司的技术杂志。
主要讨论关于模拟、数字和混合信号处理的产品、应用、技术及技巧。
获取工学新动态，激发设计新思路！

www.analog.com/cn/analogdialogue

ANALOG DEVICES
超越一切可能™

目录

合集第 51 集-1

无人飞行器应用中基于 SDR 的高分辨率、低延迟视频传输 5
利用 SiP 技术提高精密数据采集信号链的密度 10
非常见问题解答—第 137 期：ADC 也会精神错乱？ 13
复数 RF 混频器、零中频架构及高级算法：下一代 SDR 收发器中的黑魔法 16
了解并延续 Σ-Δ ADC 的安全运行 21
该噪声会让您夜不能眠 24
基站中的无源交调(PIM)效应：了解挑战和解决方案 26
电源噪声和时钟抖动对高速 DAC 相位噪声的影响的分析及管理 31
非常见问题解答—第 139 期：误入歧途的陀螺仪 37

合集第 51 集-2

支持超低功耗物联网节点信号处理设计的 ECG 前端 IC 38
高精度 ADC 信号链中固定频率杂散问题分析及解决办法 42
非常见问题解答—第 140 期：说变就变！让您的 ADC 通道数翻倍 47
采用 SPI 接口的模拟开关提高通道密度 49
了解及消除 1/f 噪声 52
非常见问题解答—第 141 期：有时，信号需要接近电源轨传输 56

合集第 51 集-3

MEMS 振动监控：从加速度到速度 59
Massive MIMO 和波束赋形：5G 流行词背后的信号处理 64
非常见问题解答—第 142 期：正交观点 69
发射本振泄漏—零中频架构中令人烦恼的问题 71
超宽带数字预失真：在电缆分配系统中实现带来的优势(功率和性能)和挑战 76
非常见问题解答—第 143 期：低功耗会烧毁器件？低电流损耗也可能带来麻烦 83
改进的 DAC 相位噪声测量以支持超低相位噪声 DDS 应用 85
魔镜魔镜告诉我—了解镜像抑制及其对有用信号的影响 90
无线电流检测电路检测电阻浮空 95
非常见问题解答—第 144 期：温度变化及振动条件下使用加速度计测量倾斜 97
GaN 打破壁垒—RF 功率放大器的带宽越来越宽、功率越来越高 99
物联网边缘的智能视频分析技术 102
LTC2185 和 ADA4927-1 出色的线性度 105
非常见问题解答—第 145 期：单端输出放大器的低功耗、低成本差分输入 107

合集第 51 集-4

为应用选择最合适的 MEMS 加速度计—第一部分 109
新 ANSI/ESDA/JEDEC JS-002 CDM 测试标准概览 115
高精密电压源 120
非常见问题解答—第 146 期：为什么我的处理器漏电？这听起来像一个开放式问题 123
如何选择散热性能良好的高功率可扩展式 POL 调节器并节省电路板空间 126
为应用选择最合适的 MEMS 加速度计—第二部分 132
引脚兼容的高输入阻抗 ADC 系列简化驱动并拓宽 ADC 驱动器选择范围 138
非常见问题解答—第 147 期：副边同步整流 143
开发超低功耗系统时选择合适微控制器的策略 145
利用采样保持放大器和 RF ADC 从根本上扩展带宽以突破 X 波段频率 149
即使电池单元老化，也能最大化汽车电池包的运行时间 154
非常见问题解答—第 148 期：独特的栅极驱动应用支持高功率放大器快速开启/关闭 158

合集第 52 集-1

防止开关转换器输出浪涌引发的启动问题 162
基于 MUSIC 的算法利用腕上光电容积脉搏波(PPG)信号提供按需心率估算 171
低 EMI/EMC 开关转换器简化 ADAS 设计 175
非常见问题解答—第 149 期：利用中间电压提高功率转换效率 178
如何用加速度计提高倾角测量精度 180
解决模拟输入 IEC 系统保护问题 184
72 V 混合式 DC-DC 转换器使中间总线转换器的尺寸减小达 50% 188
非常见问题解答—第 150 期：灵活使用放大器的禁用引脚 191
FPGA 的电源管理 193
一种面向极端高温环境的高可靠精密数据采集与控制平台 197
车辆跟踪系统：任何时间、任何地点、任何方式 203
非常见问题解答—第 151 期：高端电流检测 206

合集第 52 集-2

多通道数据采集(DAQ)系统的性能优化：关于输入建立时间的不为人知的故事 211
ADI 公司测量工程“更上一层楼”的挑战 216
Refulator：200 mA 精密基准电压源的能力 220
很少提出问题—问题 152：问题终结者：乘法数模转换器 227
对太阳能和储能设施进行基本监测的 *i*Coupler 隔离式通信解决方案 229
带两个 RMS 检测器的集成双向桥，用于测量 RF 功率和回波损耗 233
单个 2 MHz 升降压型控制器能驱动整个 LED 车前灯组，并且满足 CISPR 25 Class 5 EMI 规格要求 240
非常见问题解答—第 153 期：高速 ADC 电源域 246
高速放大器测试需要足够多的数学知识来正确使用巴伦！ 250
隔离式栅极驱动器揭秘 254
用于高功率机器视觉闪光灯的 LED 驱动器 258
非常见问题解答—第 154 期：用于快速测试电路信号响应的袖珍型白噪声发生器 261

合集第 52 集-3

汽车雷达传感器和拥挤不堪的无线电频谱：城市电子战场？ 265
在汽车起停系统中为信息娱乐设备供电 270
锁相环(PLL)基本原理 273
非常见问题解答—第 155 期：直击增益范围：利用仪表放大器获得多个增益范围 279
接收器技术的最新发展：接收器百年创新史选编 281
200 mA 精密基准电压源的众多用途 290
60 V 和 100 V、低 IQ 升压/SEPIC/反相转换器，适用于紧凑、高效率、低 EMI 电源 300
非常见问题解答—第 156 期：优化电源测量设置 307
SPI 接口简介 309
高精度 SAR 模数转换器的抗混叠滤波考虑因素 314
汽车 USB Type-C 电源解决方案：1 平方英寸的 45 W、2 MHz 降压-升压控制器 320
非常见问题解答—第 157 期：RTD 测量模块的过压保护 324

合集第 52 集-4

使用微型模块 SIP 中的集成无源器件 329
高精度、快速建立的大电流源 332
带有次级 LC 滤波器的电流模式降压转换器的建模与控制 336
非常见问题解答—第 158 期：用双极性方法驱动单极性栅极驱动器 344
嵌入式微控制器应用中的无线(OTA)更新：设计权衡与经验教训 346
数据采集系统的功能安全 353
FPGA 电源的“护理和喂养”：成功的道与因 357
非常见问题解答—第 159 期：如果接地层分开 370
可编程增益仪表放大器：寻找合适的器件 372
使用高精度仪表放大器进行远程检测 378
突破约束：基于简单降压控制器的精密双极性电源设计 381
非常见问题解答—第 160 期：简单电路测量两个光源的相对强度 384

无人飞行器应用中基于SDR的高分辨率、低延迟视频传输

作者：**Wei Zhou**

共享

摘要

集成式射频(RF)捷变收发器不仅广泛用于蜂窝电话基站的软件定义无线电(SDR)[1]架构，如多业务分布式接入系统(MDAS)和小基站单元等，也适用于工业、商业以及军事应用中的无线高清视频传输，如无人飞行器(UAV)应用。本文将剖析使用AD9361/AD9364[2,3]集成式收发器IC实现宽带无线视频信号链的过程，以及传输的数据量、相应的RF占用信号带宽、传输距离和发射功率。文中还将描述OFDM物理层的实现，并列出用于避免射频干扰的跳频时间测试结果。最后，我们将讨论Wi-Fi和RF捷变收发器在宽带无线应用方面的优缺点。

信号链

图1所示为采用AD9361/AD9364和BBIC的简化无线视频传输方案。摄像机捕捉到影像，并通过以太网、HDMI®、USB或其他接口将视频数据发送至基带处理器。图像编码/解码可通过硬件或FPGA处理。RF前端包括RF开关以及连接到可编程集成式收发器的LNA和PA。

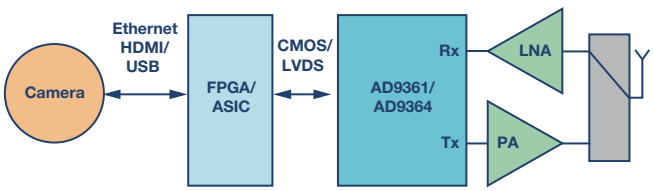


图1. 无线视频传输示意图。

需要传输多少数据

表1列出了未压缩数据速率和压缩数据速率之间的显著差异。通过使用高效视频编码(HEVC)技术，也就是H.265和MPEG-H第2部分，可以降低数据速率并节省带宽。H.264是目前最常用于录像、压缩及视频内容分布的格式。它体现了视频压缩技术的巨大进步，并且在未来有可能接替现已广泛使用的AVC (H.264和MPEG-4第10部分)技术。

$$Compressed\ Data\ Rate = \frac{Uncompressed\ Data\ Rate}{Compression\ Ratio}$$

表1总结了不同视频格式下的未压缩和已压缩数据速率。其假设条件是视频的位深度为24位，帧速率为60 fps。在1080p的例子中，压缩后的数据速率为14.93 Mbps，这样的数据率才会更加容易地被基带处理器和无线物理层进行处理。

表1. 压缩数据速率

格式	水平向	垂直向	像素	未压缩数据速率(Mbps)	压缩数据速率(Mbps)压缩比 = 200
VGA	640	480	307,200	442	2.2
720p	1280	720	921,600	1328	6.64
1080p	1920	1080	2,073,600	2986	14.93
2k	2048	1152	2,359,296	3400	17.0
4k	4096	2160	8,847,360	12,740	63.7

信号带宽

通过改变采样速率、数字滤波器和抽取参数，AD9361/AD9364可支持的通道带宽范围为低于200 kHz到56 MHz。AD9361/AD9364为零中频收发器，具有用来发射复数数据的I通道和Q通道。复数数据含有实部和虚部，分别对应I通道和Q通道，它们位于同一频带上，因此其频谱效率是单通道频谱效率的两倍。压缩视频数据可以映射到I和Q通道以创建星座点，也就是符号。图2显示了一个16 QAM的例子，每个星座点符号代表四个二进制比特。

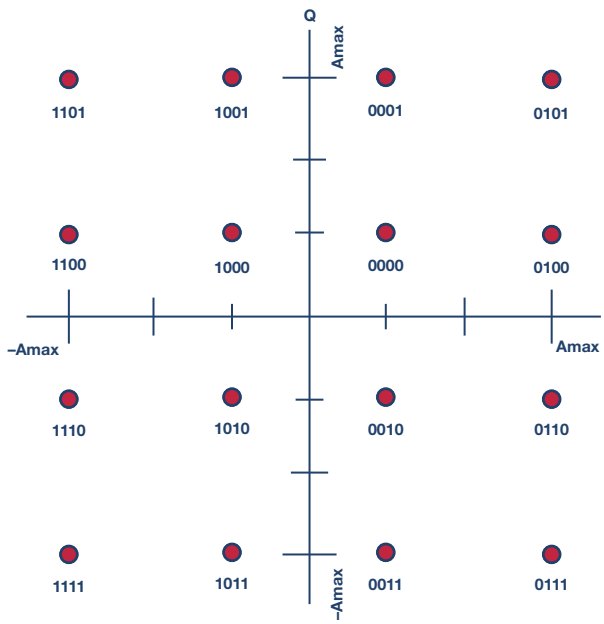


图2. 16 QAM星座图。[4]

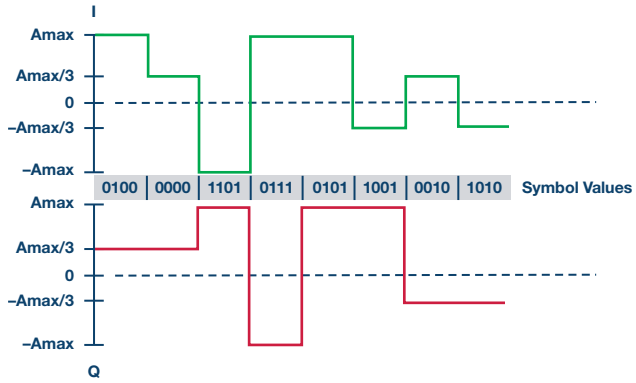


图3. 星座图中I和Q数字波形。[4]

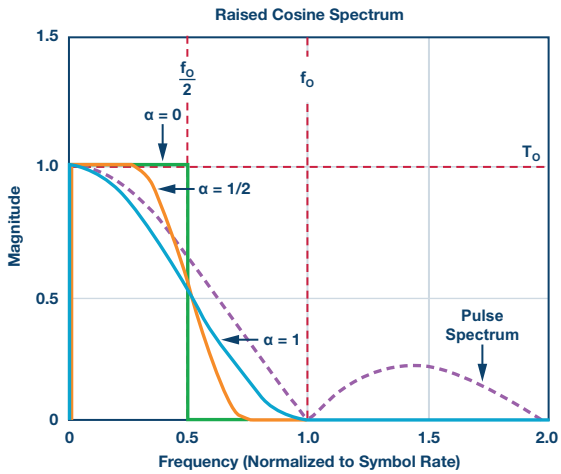


图4. 脉冲整形滤波器响应。[4]

对于单载波系统，I和Q数字波形在进入DAC之前需要通过脉冲整形滤波器，使所传输的信号在有限带宽内成形。脉冲整形可使用FIR滤波器，滤波器响应如图4所示。为了确保信息逼真度，必须满足对应于符号速率的最小信号带宽。符号速率与压缩视频数据成正比，如下式所示。对于OFDM系统，应使用IFFT将复数数据调制到各个子载波上，使其在有限带宽内传输信号。

$$Symbol\ Rate = \frac{Bit\ Rate}{The\ Number\ of\ Bits\ Transmitted\ with\ Each\ Symbol}$$

每个符号对应的位数取决于调制阶数。

所占用信号带宽为

$$RF\ Occupied\ Signal\ BW = Symbol\ Rate \times (1 + \alpha)$$

其中α表示滤波器的带宽参数。

根据前面的公式，可以推导出

$$RF\ Occupied\ Signal\ BW = \frac{Compressed\ Data\ Rate}{The\ Number\ of\ Bits\ Transmitted\ with\ Each\ Symbol} \times (1 + \alpha)$$

从而，我们可以计算出RF占用信号带宽，如表2中的总结所示。

表2. 各种调制阶数的RF占用信号带宽(α = 0.25)

格式	压缩数据速率(Mbps)	QPSK (信号带宽，MHz)	16 QAM (信号带宽，MHz)	64 QAM (信号带宽，MHz)
VGA	2.2	1.375	0.6875	0.4583
720p	6.6	4.1250	2.0625	1.3750
1080p	14.9	9.3125	4.6563	3.1042
2k	17.0	10.6250	5.3125	3.5417
4k	63.7	39.8125	19.9063	13.2708

AD9361/AD9364可实现56 MHz信号带宽，支持表2中所有视频格式的传输，并且支持更高的帧速率。高阶调制占用的带宽更小，每个码元可表示更多的信息/位，但是解调所需的信噪比(SNR)更高。

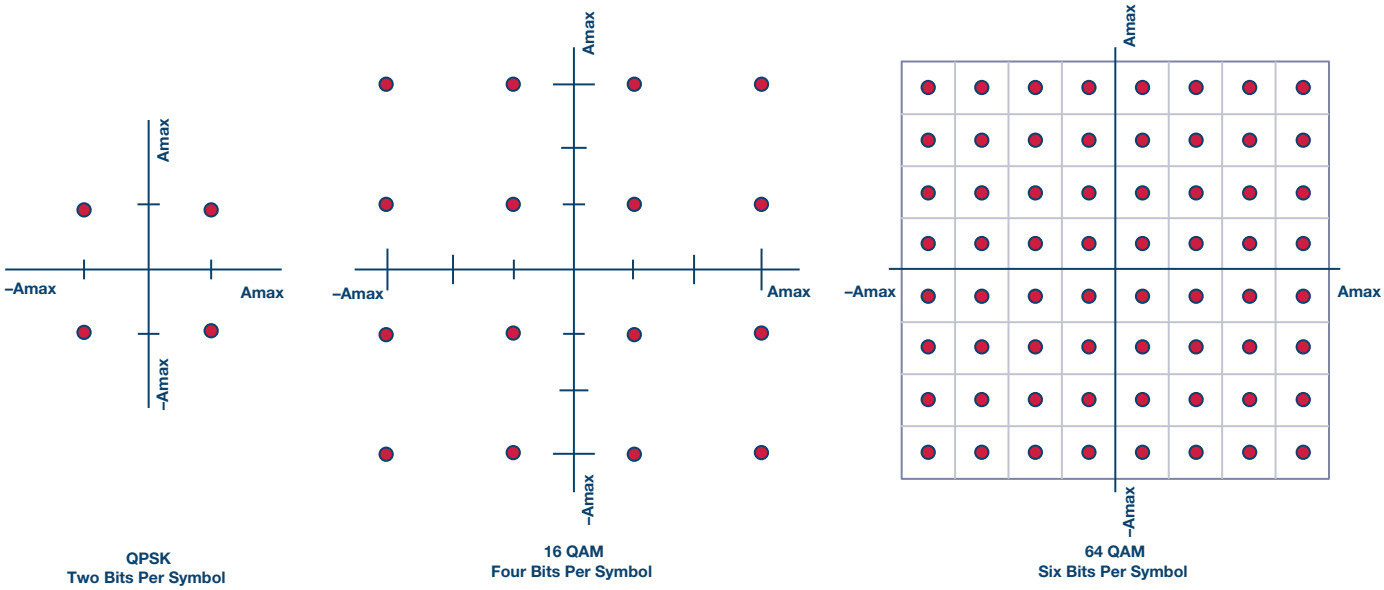


图5. 调制阶数。

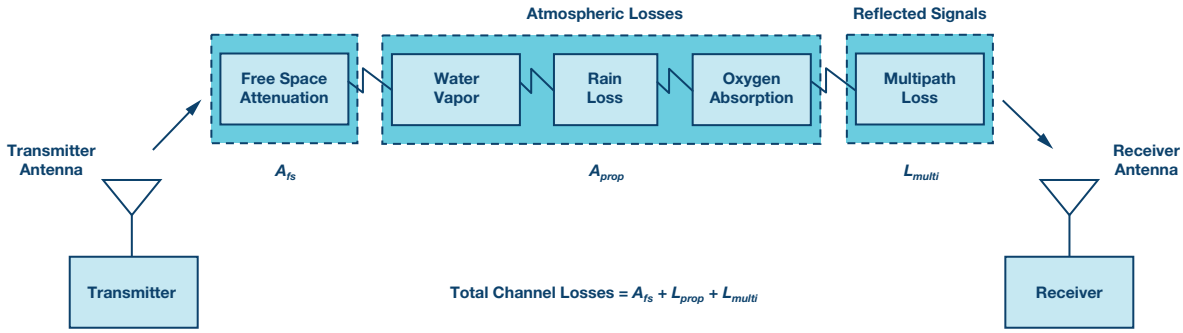


图6. 无线通信通道损耗模型[5]

传输距离和发射器功率

在无人飞行器等应用中，最大传输距离是一个关键参数。但是，保持通信不中止同样很重要，即使距离较小时也是如此。氧气、水和其他障碍物(自由空间衰减除外)可能会使信号衰减。

图6显示了无线通信通道损耗的模型。

通常将解调或恢复发射器信息所需的最小输入信号(S_{min})作为接收器灵敏度。获得接收器灵敏度后，结合某些假设条件可计算出最大传输距离，如下所示：

$$S_{min} = 10\log(kT_0B) + NF + \left(\frac{S}{N}\right)_{min} = -174\ \text{dBm} + 10\log B + NF + \left(\frac{S}{N}\right)_{min}$$

$(S/N)_{min}$表示处理信号所需的最小信噪比

*NF*表示接收器的噪声系数

*k*表示玻尔兹曼常数，1.38×10^{-23} joule/k

T_0表示接收器输入的绝对温度(开尔文)= 290 K

*B*示接收器带宽(单位Hz)

参数$(S/N)_{min}$与调制/解调阶数相关。在相同的信噪比下，低阶调制可得到更低的误码率，而在相同的误码率下，高阶调制需要更高的信噪比来解调。因此，如果发射器离接收器很远，则接收到的信号较弱，信噪比不足以支持高阶解调。为了使发射器保持在线状态，并使视频格式保持同一视频数据速率，则基带应使用低阶调制，其代价是增加带宽。这样有助于确保接收到的图像清晰不模糊。幸运的是，我们可通过具有数字调制和解调功能的软件定义无线电来改变调制方式。上述分析基于这样的假设条件：发射器的RF功率保持恒定。在天线增益相同时，较大的RF发射功率将能达到更远处具有相同接收灵敏度的接收器，尽管如此，最大发射功率应符合FCC/CE辐射标准。

此外，载波频率也会对传输距离产生影响。当波在空间中传播时，会发生散射损耗。自由空间损耗可由下式确定

$$A_{fs} = 20\log\left(\frac{4\pi R}{\lambda}\right) = 20\log\left(\frac{4\pi Rf}{C}\right)$$

其中R为距离，λ为波长，f为频率，C为光速。因此，在相等的自由空间距离上，频率越高，损耗越大。例如，相较于2.4 GHz，载波频率为5.8 GHz时在相同传输距离上的衰减将超过7.66 dB。

RF频率和频率切换

AD9361/AD9364输出覆盖70 MHz至6 GHz的可编程频率范围。这将能满足大多数NLOS频率应用，包括不同类型的特许执照和免执照频段，比如1.4 GHz、2.4 GHz和5.8 GHz。

2.4 GHz频段已广泛用于Wi-Fi、Bluetooth®以及物联网(IoT)短程通信，因此变得越来越拥挤。该频段用于无线视频传输和控制信号将会增大信号干扰的几率和不稳定性。从而导致无人飞行器陷入不良情况，这些情况往往十分危险。使用频率切换技术保持干净的频率通道，将确保数据和控制连接更可靠。当发射器觉察到拥挤频率时，它会自动切换到其他频带。例如，两架同时使用相同频率并且近距离工作的无人飞行器将会相互干扰对方的通信。自动切换LO频率并重新选择频带将有助于维持稳定的无线链路。 在上电期间自适应选择载波频率或通道是高端无人飞行器的一个杰出特性。

跳频

广泛应用于电子对抗(ECM)的快速跳频技术也有助于避免干扰。通常情况下，如果我们想要跳频，PLL需在程序执行后重新锁定。该过程包括写频率寄存器，然后经过VCO校准时间和PLL锁定时间，因此跳频间隔约为几百微秒。图7显示了跳频发射器的LO频率从816.69 MHz跳变至802.03 MHz的例子。AD9361用于正常频率变化模式，发射器RF输出频率从814.69 MHz跳变至800.03 MHz，参考频率为10 MHz。跳频时间通过E5052B测得，如图7所示。根据图7b，VCO校准和PLL锁定时间约为500 µs。信号源分析仪E5052B可用来捕捉PLL的瞬态响应。图7a显示了瞬态测量的宽带模式，而图7b和7d以显著高分辨率显示了跳频时的频率和相位瞬态测量值[6]。图7c则显示了输出功率响应。



图7. 频率从804.5 MHz跳变至802 MHz，历时500 µs

500 µs对于跳频应用来说是一段很长的时间间隔。不过，AD9361/AD9364支持一种快速锁定模式，通过将合成器编程信息集(称为配置文件)存入器件寄存器或基带处理器的存储空间，可使该过程比正常频率变化更快。图8显示了通过快速锁定模式使频率从882 MHz跳变至802 MHz的测试结果。根据图8d的相位响应，该时间可缩短至20 µs以下。相位曲线参照802 MHz的相位绘制。由于频率信息和校准结果均已保存在配置文件中，因此省去了SPI写入时间和VCO校准时间。我们可以看到，图8b显示了AD9361/AD9364的快速跳频性能。

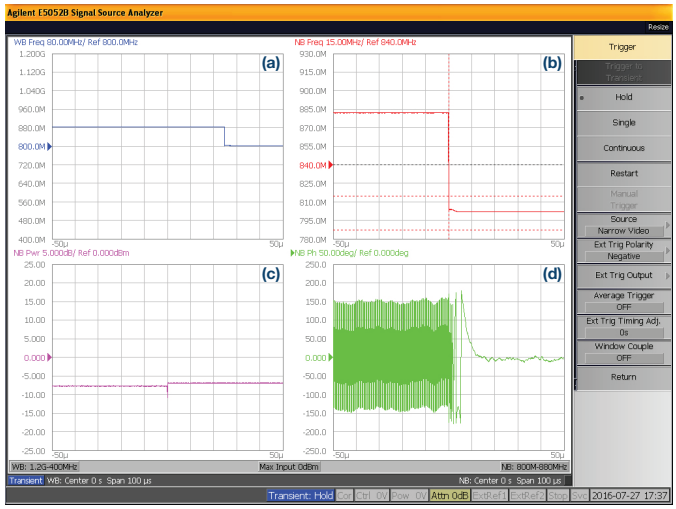


图8. 在快速锁定模式下，频率在20 µs内从882 MHz跳变至802 MHz

物理层的实现—OFDM

正交频分多路复用(OFDM)是一种信号调制技术，可将高数据速率调制流划分到多个缓慢调制的窄带密集的子载波上。因此，信号不易受到选择性频率衰减的影响。其缺点是峰均功率比较高，并且对载波偏移和漂移比较敏感。OFDM广泛应用于宽带无线电通信物理层。OFDM的关键技术包括IFFT/FFT、频率同步、采样时间同步、码元/帧同步。IFFT/FFT可通过FPGA以最快方式实现。子载波间隔的选择也十分重要。该间隔不应太小，应足以对抗运动通信中的多普勒频移；但也不应太大，以便在有限的频率带宽内携带更多码元符号，从而提高频谱效率。COFDM是指编码技术和OFDM调制的结合。COFDM对信号衰减的承受能力较强，并且具有前向纠错(FEC)功能，因此可以从任何移动对象发送视频信号。其编码技术将会增大信号带宽，但此代价通常是值得的。

通过将MathWorks基于模型的设计和自动生成代码工具与强大的Xilinx® Zynq SoC以及ADI公司的集成式射频(RF)收发器相结合，SDR系统的设计、验证、测试和实现可以比以前更高效，进而提高无线电系统的性能并缩短上市时间[7]。

相较于Wi-Fi具有哪些优势？

配备Wi-Fi的无人飞行器可以很容易地连接到手机、笔记本电脑和其他移动设备，因此使用起来非常方便。但是，对于无人飞行器应用中的无线视频传输，FPGA和AD9361解决方案具有很多胜过Wi-Fi的优点。首先，AD9361/AD9364在物理层可通过捷变频率切换和快速跳频避免干扰。而大多数集成Wi-Fi芯片仍工作于拥挤的2.4 GHz频带，没有频带选择机制来确保更稳定地无线连接。

其次，若采用FPGA和AD9361解决方案，可由设计工程师灵活定义和开发传输协议。而Wi-Fi协议为标准协议，基于每个数据包的双向握手机制。在使用Wi-Fi时，每个数据包必须确认该包已收到并且包中512字节数据在收到时完整无缺。如果丢失一个字节，则整个512字节数据包必须重新发送[8]。虽然该协议能够确保数据的可靠性，但重新建立无线数据链路的过程非常复杂且费时。TCP/IP协议带来的高延迟将会造成非实时视频和控制，从而可能导致无人飞行器坠落。而SDR解决方案(FPGA加AD9361)使用一个单向数据流，也就是说，空中的无人飞行器可像电视广播一样传输视频信号。当目标是获取实时视频时，就没有重新发送数据包的时间。

再者，对于很多应用，Wi-Fi不能保证适当的安全等级。FPGA加AD9361/AD9364解决方案利用加密算法和自定义协议，因此不易受到安全威胁的影响。

与此同时，单向广播数据流可实现的传输距离是Wi-Fi传输距离的两至三倍[8]。软件定义无线电的灵活性使得数字调制/解调可以根据距离需求而调整，并且适应复杂空间辐射环境中变化的SNR。

结论

本文阐述了使用FPGA和AD9361/AD9364解决方案实现高清无线视频传输的关键参数。凭借捷变频段切换和快速跳频技术，可建立一个更稳定、可靠的无线链路，以对抗空间中日益复杂的辐射环境并减小坠落几率。在协议层，该解决方案使用单向传输以缩减无线链路的建立时间并实现低延迟连接，因此更灵活。在农业生产、电力线检查及监督等工商业应用中，稳定、安全和可靠的传输是成功的关键。

参考文献

[1] ADI的软件定义无线电解决方案。ADI公司。

[2] AD9361数据手册。ADI公司。

[3] AD9364数据手册。ADI公司。

[4] Ken Gentile。应用笔记AN-922：*数字脉冲整形滤波器基本知识*。ADI公司。

[5] Scott R. Bullock。*数字通信的收发器和系统设计*，第4 版。SciTech Publishing，Edison，NJ，2014。

[6] E5052B信号源分析仪，高级相位噪声和瞬态测量技术。安捷伦公司，2007年。

[7] Di Pu、Andrei Cozma和Tom Hill。“快速通往量产的四个步骤：利用基于模型的设计开发软件定义无线电。”*模拟对话*，第49卷，2015年。

[8] John Locke。“DJI Phantom 4的Lightbridge技术对比Yuneec Typhoon H的Wi-Fi技术。”Drone Compares。

Wei Zhou [Wei.Zhou@analog.com] 是ADI公司的应用工程师，负责支持射频收发器产品和应用的设计与开发，尤其是无线视频传输和无线通信领域。他目前就职于中国北京的ADI技术支持中心，五年来一直在为各种产品提供技术支持，包括DDS、PLL、高速DAC/ADC以及时钟。加入ADI公司之前，他于2006年获得武汉大学学士学位，于2009年获得中国科学院(CAS)电子学研究所硕士学位。2009年至2011年，他在一家航天科技公司担任射频和微波电路与系统设计工程师。



Wei Zhou

利用SiP技术提高精密数据采集信号链的密度

作者：**Ryan Curran**

共享

精密数据采集的市场空间中存在一个普遍需求，即在保持性能的同时提高信号链的密度。由于越来越多的应用逐渐倾向于依照通道的ADC方式，或试图将更多通道集成于同一尺寸中，因此通道密度是许多数据采集信号链设计工程师十分关注的问题。此外，目前行业中存在的一个趋势是，力求使精密电路更易于使用，并且能够更轻松地实现数据手册中的性能。这样就有利于构建一些子系统，通过使用系统级封装(SiP)技术实现信号链而解决上述问题。

ADI公司根据此子系统策略生产的第一个系列为ADAQ798x数据采集产品。ADAQ798x是一种16位模数转换器子系统，将四个通用的信号处理和调理模块集成到一个SiP设计中，可支持多种应用。该系列器件也包含最关键的无源器件，可避免因使用逐次逼近型寄存器(SAR)模数转换器(ADC)的传统信号链所导致的很多设计难题。这些无源器件是实现额定器件性能的关键因素。

纵观使用SAR ADC的应用和市场，如工业、仪器仪表、通信及医疗保健，可以发现，数据采集信号链的某些部分在这些应用中很常见，而另外某些部分则可能存在广泛的不同。还可以发现，这些信号链使用不同的输入源和传感器阵列。因此，在向ADC提交信号之前，将会执行各种形式的信号调理。使用不同的输入源意味着系统的满量程可能不同，并且需要采用不同的基准值以使动态范围最大化。某些应用为多通道方式，因此会使用一个前端多路复用器。根据不同应用的关键性能标准，可能会实施不同的供电方案。不过，无论何种应用，某些器件可通用于很多场合。ADAQ7980和ADAQ7988是全ADI有源器件解决方案的组成部分，该解决方案包含一个高精度、低功耗的16位SAR ADC；一个低功耗、高带宽、高输入阻抗的ADC驱动器；一个稳定的低功耗基准电压缓冲器；以及一个高效的电源管理模块。这些信号链组件已通过SiP技术集成到一个数据采集子系统中。

ADAQ7980和ADAQ7988均采用小尺寸5 mm × 4 mm LGA封装，因此会使数据采集系统的设计过程更简单。ADAQ798x的高系统集成度可解决很多设计难题，并且仍具有灵活性，能够通过可配置的ADC驱动器模块实现增益和/或共模调整。配备四种器件电源以提供最佳系统性能，但在对器件工作特性的影响极小时也可使用单电源模式。ADAQ798x系列不仅具有出色的集成度，并且可灵活地适应各种各样的应用。

ADI公司在开发此产品时对常见的设计错误进行了分析，以确定出有助于解决这些问题的方法。结果表明，信号链层设计中的很多错误主要围绕SAR ADC的两个区域—参考输入和模拟输入。很多信号链误差都与决定整体模数转换性能的ADC的外围电路有关。关于基准电压，常见的错误包括基准旁路电容的布局和尺寸不当，基准电压源的驱动强度不足，以及基准电压源产生的噪声频谱密度过大。若SAR ADC的参考输入存在这些不妥当的设计条件，可能会导致ADC作出错误的位判断。至于ADC的模拟输入，观察到的常见设计问题包括：ADC驱动器选型不当，ADC驱动器和ADC之间滤波器的带宽不适当，以及滤波电容介电材料选择不当。这些系统级设计问题以任何方式组合都可能会严重影响ADC的转换性能。ADI公司在开发ADAQ798x器件时所作的一系列选择都旨在解决这些问题。

如上所述，要使一个基于SAR ADC的转换系统实现数据手册中的性能，必须考虑到某些设计因素。SAR ADC基准电压源和模拟输入源的特性是决定转换信号链设计是否成功的关键。通常，一个SAR ADC需使用一个低阻抗基准电压源和一个较大的、布置适当的去耦电容。该旁路电容用来补充ADC在SAR位校验期间消耗的电荷，可看作为ADC外部SAR阵列中的一个元件。ADC还需要一个合适的模拟输入源，其噪声性能和带宽应足以使ADC输入建立至所需分辨率。图1显示了ADAQ798x系列器件的框图。

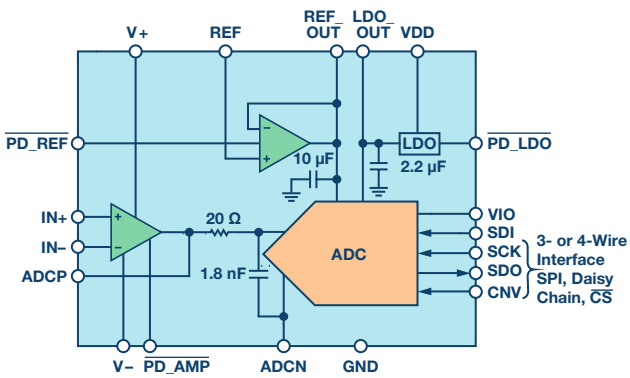


图1. ADAQ798x框图。

如图1所示，ADAQ798x内置有一个基准电压缓冲器和一个对应的10 µF去耦电容。理论上，该去耦电容应邻近ADC的参考输入。如此布置是为了减小去耦电容和SAR电容阵列之间的总体寄生阻抗。该路径应使阻抗尽可能低，以便电容将电荷快速添加到SAR阵列上，然后在转换过程中重新分布。同时，基准电压缓冲器

和去耦电容之间的走线电阻已受到控制。走线尺寸经过精心选择，确保其所得电阻能使基准电压缓冲器保持稳定，而其造成的电压降不足以产生转换增益误差。用于缓冲参考信号的放大器被配置成一个单位增益缓冲器。这样会形成外部基准电压源的一个高阻抗输入，而非SAR ADC参考输入的传统型开关电容负载。现在，ADAQ798x用户可以使用一个低功耗或无缓冲基准电压源来驱动ADAQ798x的参考输入(REFIN)引脚。由于形成高阻抗，因此也为用户在选择基准电压源的物理PCB位置时提供了更多的灵活性。通过使用此SiP元件，基准电压源的布局就变得不那么重要，因为ADAQ798x内包含一个受到良好控制的基准电压缓冲器。由于仅包含一个缓冲器，而非基准电压源本身，用户可在广泛范围内自由选择基准值，从而通过此基准电压的选择使系统的动态范围最大化。因为基准电压决定了转换器的满量程电压。

ADAQ798x还具有一个ADC驱动器以及对应的低通滤波器，滤波器位于驱动器和ADC输入之间。滤波器带宽的选择是决定器件能否达到所需性能水平的关键因素。带宽选择是在高速ADC驱动器的建立时间和滤波宽带噪声之间作一个权衡。ADC输入节点处的任何干扰必须在ADC采集时间内建立至足够的分辨率。当SAR ADC执行其转换过程时，ADC输入与其外部输入源断开连接。在转换过程中，ADC输入的电位可能会发生变化。尽管如此，转换结束时SAR电容器阵列上的电压与转换开始时的电压基本相同。当ADC返回采集(跟踪)模式时，SAR电容阵列的负载呈现在ADC输入端。该电容与外部低通滤波器的电容并联。由于这些电容具有不同的电压，因此会发生电荷再分布以使所有电容上的电压达到平衡。这将导致需在采集周期内建立的ADC输入出现电压阶跃。最差情况是在ADC进行满量程转换时发生阶跃。这种情况可能会出现在采用多路复用输入的系统中。此电压阶跃会因外部电容和内部SAR电容的比率而衰减。ADAQ798x产品均具有一个1800 pF的低通滤波电容。假设基准电压为5 V，则ADC输入的最大电压阶跃计算如下：

$$V_{STEP} = \frac{5\text{ V} \times C_{SAR}}{C_{EXT} + C_{SAR}} = \frac{5\text{ V} \times 27\text{ pF}}{1800\text{ pF} + 27\text{ pF}} = 73.9\text{ mV}$$

此电压阶跃必须在最小采集时间290 ns内建立。建立此电压阶跃所需的时间常数数目可通过计算阶跃大小和建立误差之比的自然对数来获得。本例中建立误差为½ LSB。那么，时间常数的数目如下：

$$\#\ of\ Time\ Constants = \ln\left(\frac{V_{STEP}}{V_{half_LSB}}\right) = \ln\left(\frac{73.9\text{ mV}}{\frac{5\text{ V}}{2^{16+1}}}\right) = 7.57$$

已知时间常数的数目后，可以确定出RC低通滤波器的时间常数(τ)：

$$\tau = \frac{Minimum\ Acquisition\ Time}{\#\ of\ Time\ Constants} = \frac{290\text{ ns}}{7.57} = 38.3\text{ ns}$$

将时间常数带入下式可求出所需的滤波器带宽：

$$RC\ Bandwidth = \frac{1}{2 \times \pi \times \tau} = \frac{1}{2 \times \pi \times 38.3\text{ ns}} = 4.15\text{ MHz}$$

为了提供一定的裕量并使用标准值元件，ADAQ798x产品均具有一个由20 Ω电阻和1800 pF电容构成的滤波器。可提供的滤波器带宽为4.42 MHz，因此ADAQ798x滤波器能够在ADC采集时间内建立最大可期电压阶跃。计算所得的滤波器带宽也代表了噪声滤波和建立过程之间的权衡点。在确保建立过程的前提下选用最低要求附近的滤波器带宽，将能最大化提高无源低通滤波器的噪声滤波作用。

虽然SAR ADC返回采集模式时的电压阶跃是滤波器建立计算中的限制因素，值得注意的是，该滤波器也可以在1 µs的最小转换周期内顺利建立多路复用器满量程阶跃带来的实际电压变化。将满量程阶跃建立至½ LSB分辨率需要11.78个时间常数。这是根据N+1个量化级的自然对数计算而得。在本例中为2^{17}或131072个数字码。11.78个时间常数，每个时间常数38.3 ns，那么总共约为450 ns，这个时间相较于1 µs转换周期不足为虑。其假设前提是多路复用器通道在转换开始后直接切换。

为确保转换信号链的正常性能，ADC驱动器的带宽也非常重要。在单位增益配置中，建立过程的限制因素是需在290 ns内建立的电压阶跃，其与返回到采集模式的转换器相关。因此，在这种情况下，小信号带宽是最重要的放大器带宽特性。要在1 µs的最小转换周期内建立多路复用器的满量程阶跃，ADC驱动器的大信号带宽必须确保1 µs时间周期内可处理11.78个时间常数。

ADC驱动器不可向转换信号链引入过量噪声。子系统的总体噪声性能计算为ADC噪声、ADC驱动器噪声和基准电压缓冲器噪声的平方和根值(RSS)。由于旁路电容较大，参考电路的带宽有限，因此基准电压缓冲器噪声在RSS计算中可以忽略不计。在单位增益配置中为ADC驱动器所选的噪声目标为不大于ADC噪声的⅓。ADC驱动器的额定噪声频谱密度为5.2 nV/√Hz。要计算整体系统的噪声，必须使用下式将ADC驱动器的噪声频谱密度转换为µV rms：

$$v_{n,rms} = \frac{Noise}{Gain} \times e_{n,rms} \times \sqrt{\frac{\pi}{2} \times RC\ Filter\ Bandwidth} = (1) \times \frac{5.2\text{ nV}}{\sqrt{\text{Hz}}} \times \sqrt{\frac{\pi}{2} \times 4.42\text{ MHz}}$$

$$v_{n,rms} = 13.7\ \mu\text{V rms}$$

ADC的典型动态范围特性为92 dB，基准电压为5 V。ADC的噪底可以通过下式计算：

$$ADC\ Noise\ Floor = V_{full\text{-}scale,rms} \times 10^{-DR/20} = \frac{5}{2\sqrt{2}} \times 10^{-92/20} = 44.4\ \mu\text{V rms}$$

ADC驱动器的噪底为13.7 µV rms，在不大于ADC噪声的⅓目标范围内。单位增益配置中ADC驱动器引入的噪声导致整体系统动态范围从92 db降至91.6 dB。由于ADC驱动器对系统噪声的影响不大，所以，对于因采样周期较长而提供较长建立时间的低采样速率应用，无需改变低通滤波器的带宽。通过降低滤波器带宽在单位增益上带来的最佳改善可能是重新获得动态范围损耗的0.4 dB。然而，为降低带宽而增大滤波器电阻会对THD性能产生不利影响，而ADC驱动器可能难以驱动较大的容性负载。如果还需要其他滤波，ADC驱动器可配置为提供滤波作用。

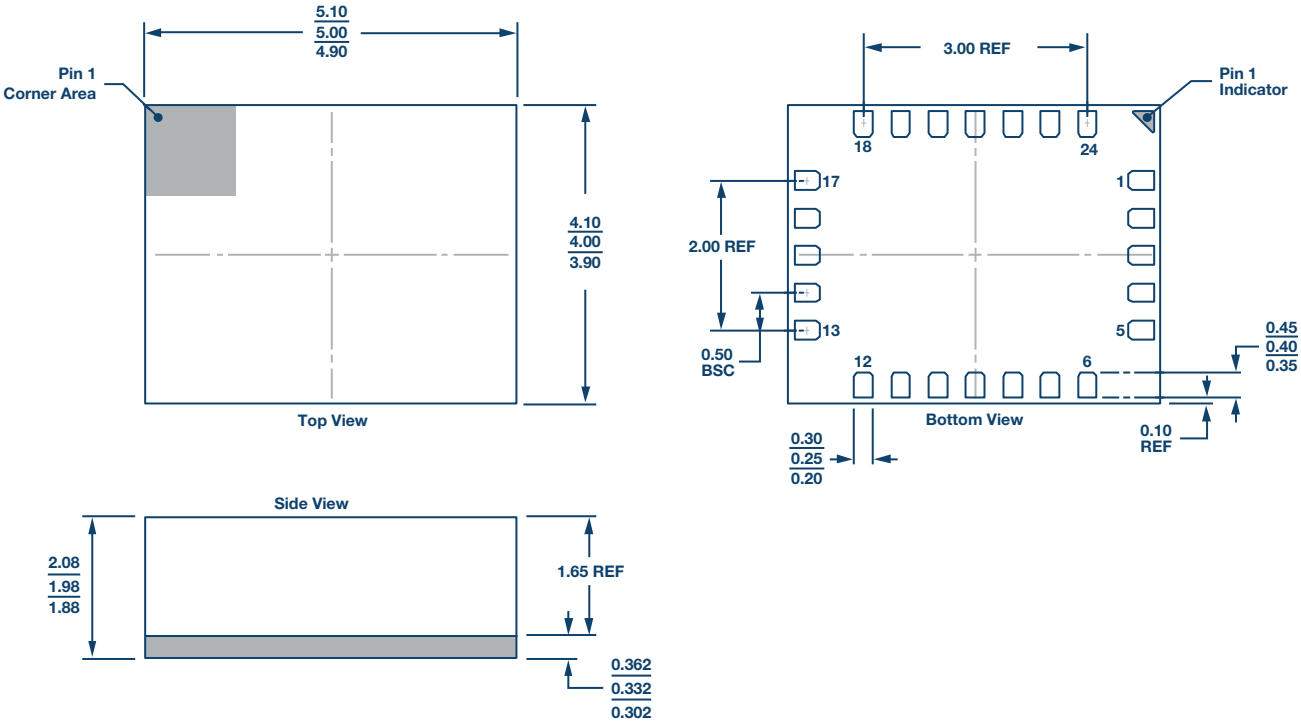


图2. ADAQ798x的封装外形图。

ADAQ798x产品中还包含一个2.5 V低噪声CMOS LDO线性稳压器。某些SAR ADC产品需要特定的2.5 V电源，并且要求公差范围很小。如果用户没有可用的2.5V电源轨，则可能需要专为ADC设计一个电源。而使用此元件则可以大大简化电源，因为其中包含了LDO。片上LDO用于向转换器供电，此时LDO输入相当于ADC的电源。这样可提供更广泛的可用电源电压，并且使电路更简单。放大器的正电源可以作为LDO输入以实现一个单电源系统。此外，还可选择适当的电源电压以优化性能或功耗。该器件支持全掉电模式。电源配置的灵活性使ADAQ798x用户可针对具体应用作出最合适的权衡。

ADAQ798x的封装尺寸为5 mm × 4 mm × 2 mm。四层层压片厚0.35 mm，塑封片厚1.65 mm。这种压模成形封装的特点如同任何典型封装集成电路，采用全塑封料和底部填充工艺。用户所见的层压片呈LGA封装，具有24个I/O焊盘。图2显示了ADAQ798x的封装外形图。图3为无任何封装或塑封的ADAQ798x装配模型。从图3可以看出，该子系统混合运用了ADI有源器件和公开市场上常见的无源器件。层压片走线的设计有利于控制阻抗并消除任何串扰。正是因为在所有这些设计和装配技术上取得的成果，我们开发出的产品可以比同类器件设计节省高达50%的PCB面积。

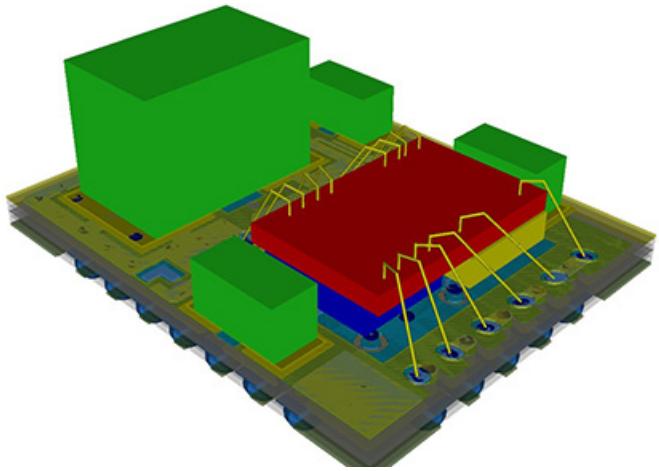


图3. ADAQ798x的三维装配模型。

除了节省面积之外，ADAQ798x还为信号链设计工程师实现所需性能和降低系统设计风险提供了更佳的机会。从根本上说，这样可以缩短上市时间和降低开发成本。选用ADAQ798x还可以简化系统的物料清单，一份数据手册可涵盖系统中的更多部分。此款SiP器件坚固耐用。专为承受恶劣的工业环境而设计，并已通过大量测试验证其合格性。它能够实现绝佳的质量等级，额定温度范围为–55°C至+125°C。总而言之，ADAQ798x实现了集成度与灵活性之间的卓越平衡，并且不会牺牲信号链的性能。

Ryan Curran [ryan.curran@analog.com] 是ADI公司精密转换器业务部门的一名产品应用工程师。自2005年加盟ADI以来，他一直主要从事SAR ADC方面工作。Ryan获缅因大学欧洛诺电子工程学士学位，目前在阿默斯特马萨诸塞大学伊森伯格管理学院攻读工商管理硕士学位。



Ryan Curran

该作者的其他文章：

RF至位解决方案可为材料分析应用提供精密的相位和幅度数据

第48卷，第4期

非常见问题解答—第137期 ADC也会精神错乱？

作者：**David Buchanan**

共享

问：

我用你们的ADC做测试时，起初很顺利，但后来却突然得到一些奇怪的FFT结果。这是怎么回事呢？



答：

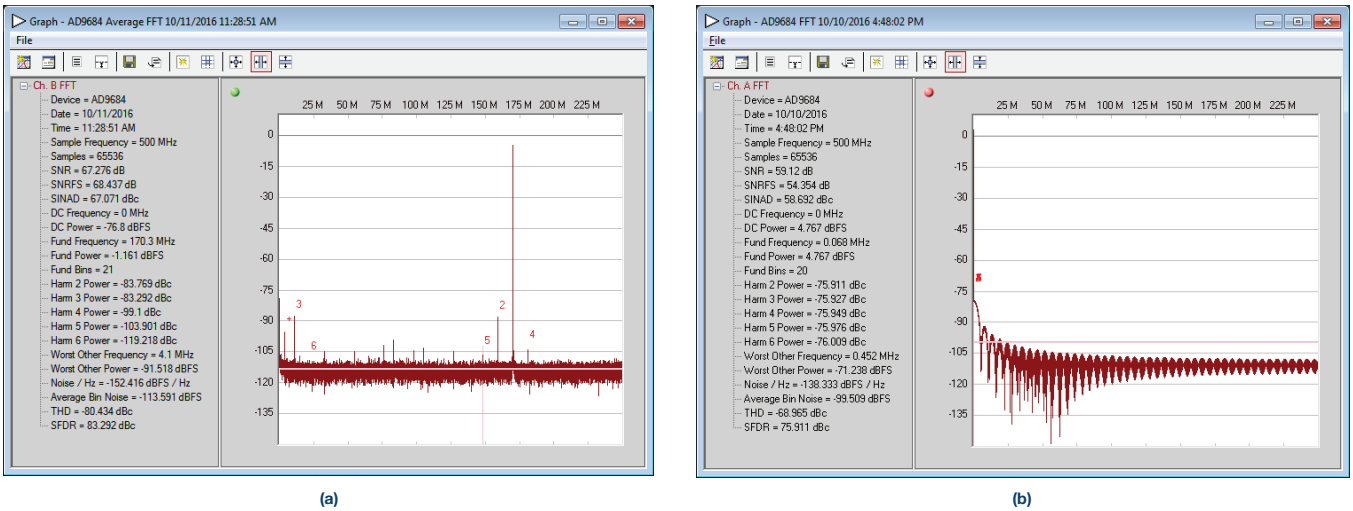
最近我收到客户的这个问题，并且很快将其解决。下面的FFT结果展示了这位设计工程师的问题：

根据客户的报告，这些FFT结果不仅看起来很离奇，而且还很不一致。这种状态也符合我对该问题的最初猜测：因为时钟源被关闭或没有连接时钟源，转换器的输入采样时钟接收器自身发生振荡。如果连接时钟的电缆不连续或信号路径中的元件不太可靠，也有可能出现该状态。我说过，这个问题很快就得到了解决，因为类似的结果我已见过许多次。在此工作条件下您还可能会见到其他FFT结果，如图2所示：

在几乎所有应用中，您都需要采样时钟输入为 单频信号。观察频域部分可以发现，因相位或热噪声、频率不稳或无用频率成分而引起的任何变化，都会导致采样时钟和模拟输入信号之间的预期关系失常。关于微小的相位噪声或时钟调制如何导致输入信号在采样时失真的一些常见示例，请参阅应用笔记AN-756。

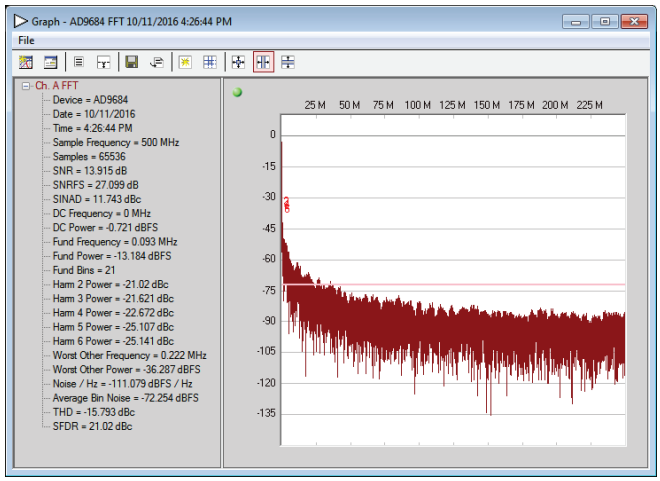
造成这种情况的罪魁祸首是什么呢？高速ADC的采样时钟输入通常是具有相同共模偏置的差分输入，并且接收器具有很高的增益。因此，若没有施加差分信号，则这些输入都处于相同的偏置电压下，任何 非共模噪声都会导致采样时钟接收器发生振荡。在此情况下，产生的震荡将不是单纯的频率(如果是，则属于一种较理想的特性)。该频率将会随机变化。当采样时钟频率随机变化时，模拟输入的能量将分布于奈奎斯特带宽频域。

大多数情况下，您只需认识到这一点，并恢复预期时钟参考信号，即可继续测试。但是，如果您想要验证这个问题，请观察ADC的数据时钟输出(DCO)(注意该方法不适用于JESD204B的输出)

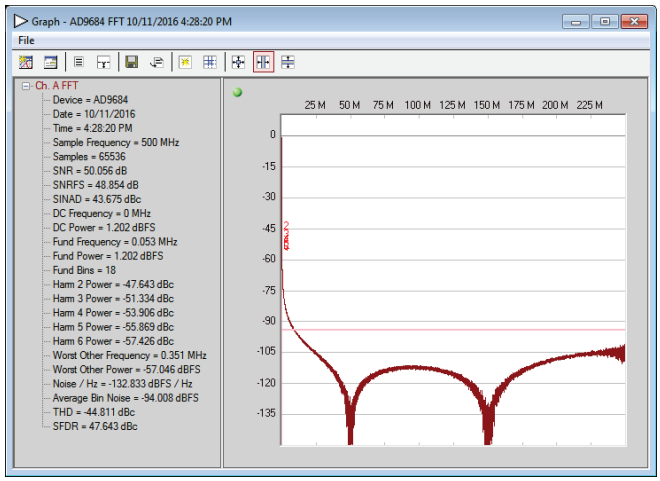


(a) (b)

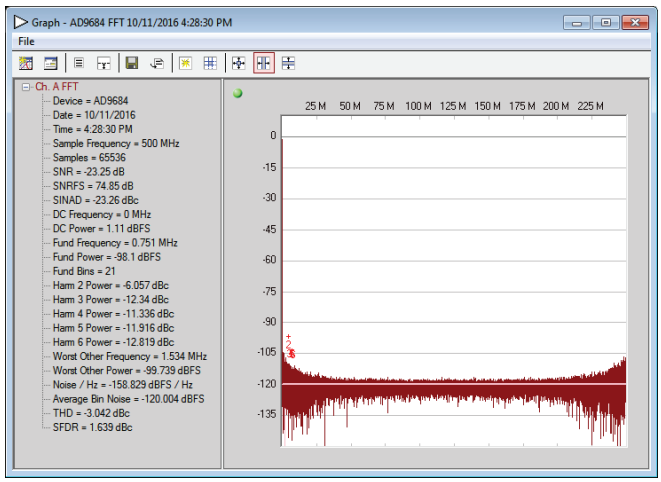
图1. AD9684 ADC采样的正常和异常FFT结果，采样条件：500 MSPS，170.3 MHz，A_{IN} = –1 dBFS。



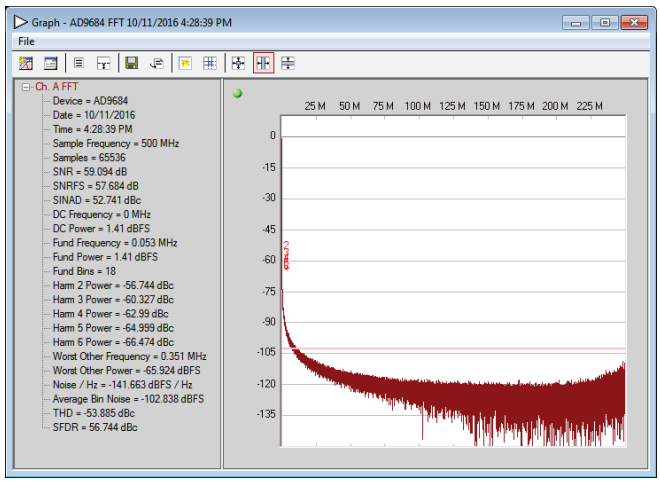
(a)



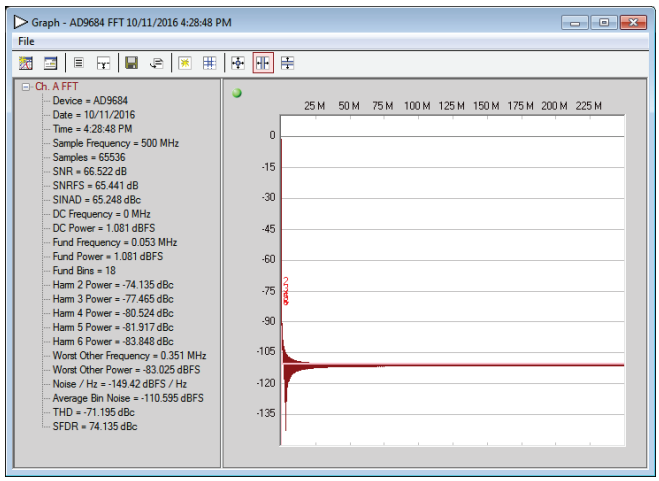
(b)



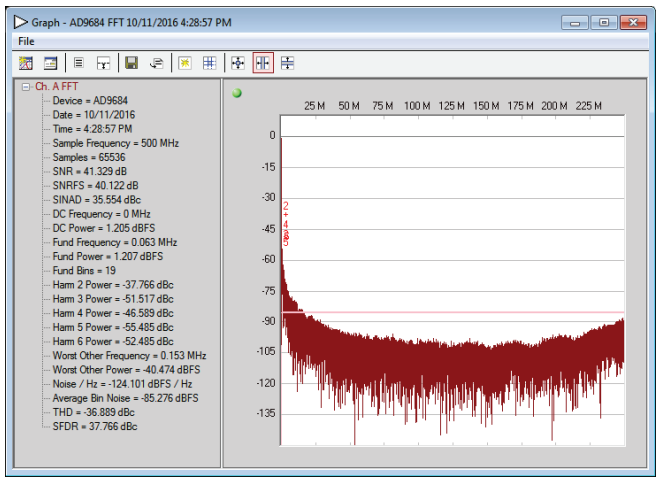
(c)



(d)



(e)

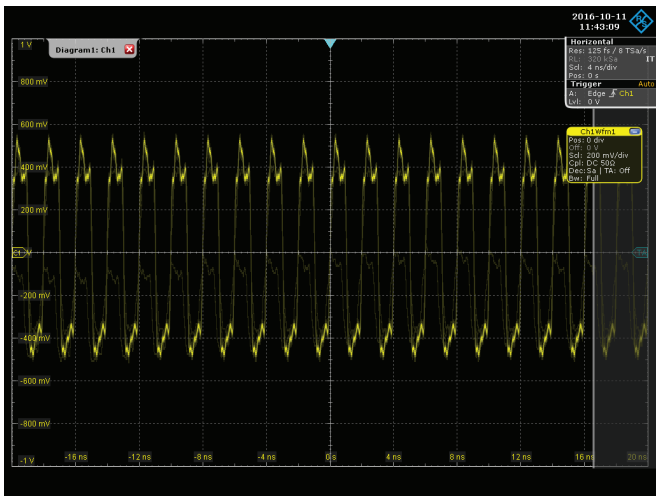


(f)

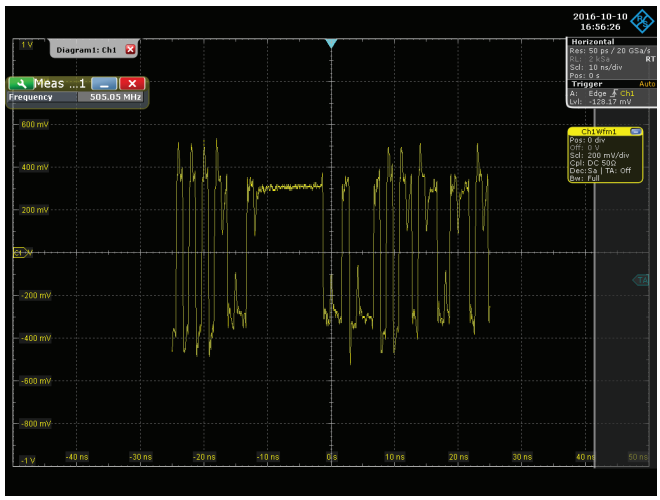
图2. 不稳定时钟振荡的采样FFT结果。

此信号通常是ADC采样时钟的一个延迟版，或采样时钟的分频版(如果你使用任何可以抽取数据率的数字特性)。对于图1中的正常和异常FFT结果，相应的数据时钟输出如图3所示。

可以看到，其周期是变化的，这与我们预料的情况一致。当然，我 明白为什么您在首次(甚至 是最初几次)碰到这种问题时没有认识到此原因。因为从面板数值来看，试验台似乎是正常工作的，而测试结果却突然混乱。是ADC坏了？是数据采集发生了混淆？是软件已损坏？都不是，只是因为缺少一个信号源而已。



Output Clock for Good FFT Result



Output Clock for Bad FFT Results

图3. 图1所示两种FFT情况对应的ADC数据时钟输出。

David Buchanan [david.buchanan@analog.com] 于1987年获得美国弗吉尼亚大学电子工程学士学位。他先后在STMicroelectronics、Adaptec和Analog Devices从事市场营销和应用工程工作，熟悉各种高性能模拟半导体产品。他目前是ADI公司高速转换器产品线(美国北卡罗来纳州格林斯博罗)的资深应用工程师。



David Buchanan

复数RF混频器、零中频架构及高级算法：下一代SDR收发器中的黑魔法

作者：**Frank Kearney**和**Dave Frizelle**

共享

简介

复数混频器、零中频架构和高级算法开发之间存在一种有趣的联系。本文旨在明确以上三者各自的基本概念，即工作原理以及它们给系统设计带来的价值，并阐述它们之间的相互依赖关系。

RF工程常被视为电子领域的黑魔法。它可能是数学和力学的某种奇特组合，有时甚至仅仅是试错。它让许多优秀的工程师不得其解，有些工程师仅了解结果而对细节毫无所知。现有的许多文献往往不建立基本概念，而是直接跳跃到理论和数学解释。

复数RF混频器揭秘

图1是采用上变频器(发射机)配置的复数混频器原理图。两条并行路径各有独立混频器，一个公共本振向这些路径馈送信号，本振与其中一个混频器的相位相差90°。两个独立输出随后在求和放大器中求和，产生所需的RF输出。

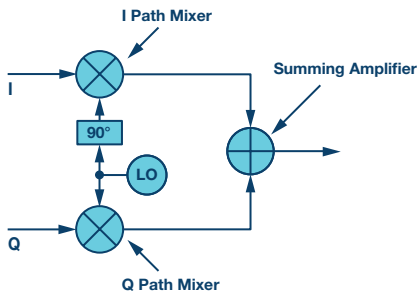


图1. 复数发射机基本架构。

该配置有一些简单但非常有用的应用。假设仅在I输入上馈送一个信号音，而不驱动Q输入，如图2所示。假定I输入上的信号音频率为x MHz，则I路径中的混频器产生LO频率±x的输出。由于没有信号施加于Q输入，此路径中的混频器产生的频谱为空，I混频器的输出直接成为RF输出。

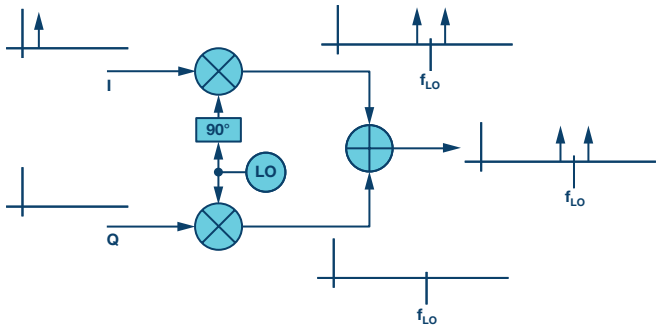


图2. I路径分析。

或者，假设仅向Q输入施加一个频率为x的信号音。Q混频器进而产生信号音为LO频率±x的输出。由于没有信号施加于I输入，其混频器输出静音，Q混频器的输出直接成为RF输出。

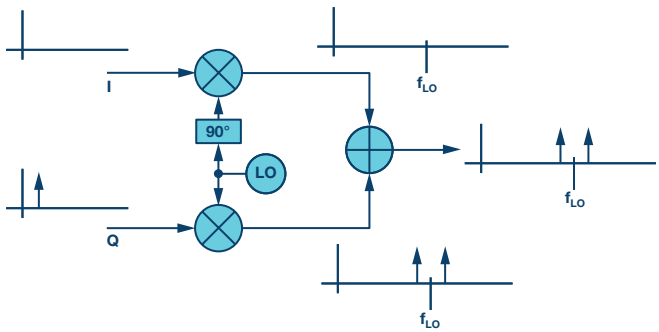


图3. Q路径分析。

乍看起来，图2和图3的输出似乎完全相同。但实际上，二者有一个关键差异，那就是相位。假设将相同信号音同时施加于I和Q输入，并且输入通道之间存在90°相移，如图4所示。

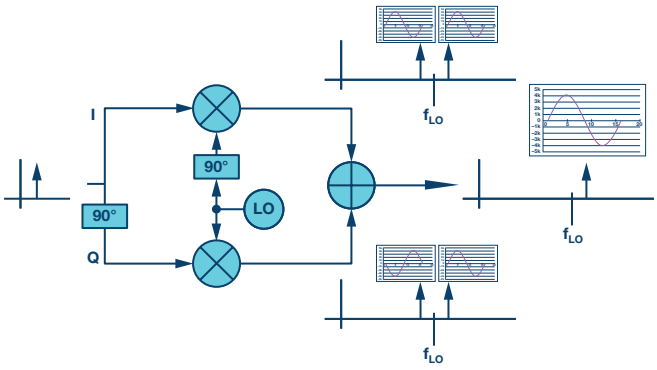


图4. 同时施加I和Q信号的路径分析

仔细审视混频器输出，我们观察到：LO频率加输入频率的信号是同相的，但LO频率减输入频率的信号是异相的。这导致LO上侧的信号音相加，而下侧的信号音相消。没有任何滤波，我们便消除了其中一个信号音(或边带)，产生的输出完全位于LO频率的一侧。

在图4所示例子中，I信号比Q信号超前90°。如果变更配置使得Q信号比I信号超前90°，那么可以预期会有类似的相加和相消，但在这种情况下，所有信号将出现在LO的下侧。

上面的图5显示了一个复数发射机的实验室测量结果。左边显示的是I比Q超前90°的测试案例，其导致输出信号音位于LO的上侧。图5右边显示了相反的关系，即Q比I超前90°，由此得到的输出信号音位于LO下侧。

理论上应当可以让全部能量仅落在LO的一侧。然而，如图5中的实验室测量结果所示，在实践中完全相消是不可能发生的，有一些能量会留在LO的另一侧，这就是所谓镜像。还应注意，LO频率的能量也是存在的，称为LO泄漏或LOL。结果中还可以看到其他能量—这些是所需信号的谐波，本文不予以讨论。

为了完全消除镜像，I和Q混频器输出的幅度必须完全一致，而在LO镜像侧上彼此之间的相位恰好相差180°。如果不能满足上述相位和幅度要求，那么图4所示的相加/相消过程就会不太理想，镜像频率的能量仍会存在。

影响

采用常规单混频器架构时，产生LO±产物。发射之前需要消除其中一个边带，通常是通过增加带通滤波器来消除。滤波器的滚降频率必须适当，使其既能消除不需要的镜像信号，又不会影响需要的信号。

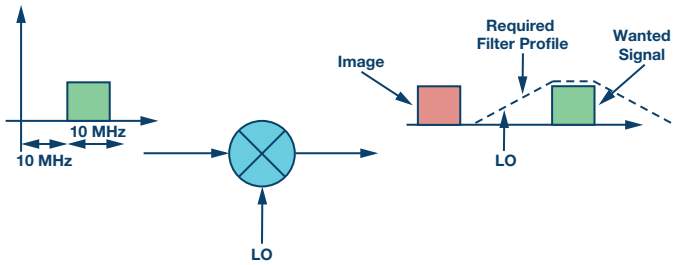


图6. 单混频器镜像滤波器要求。

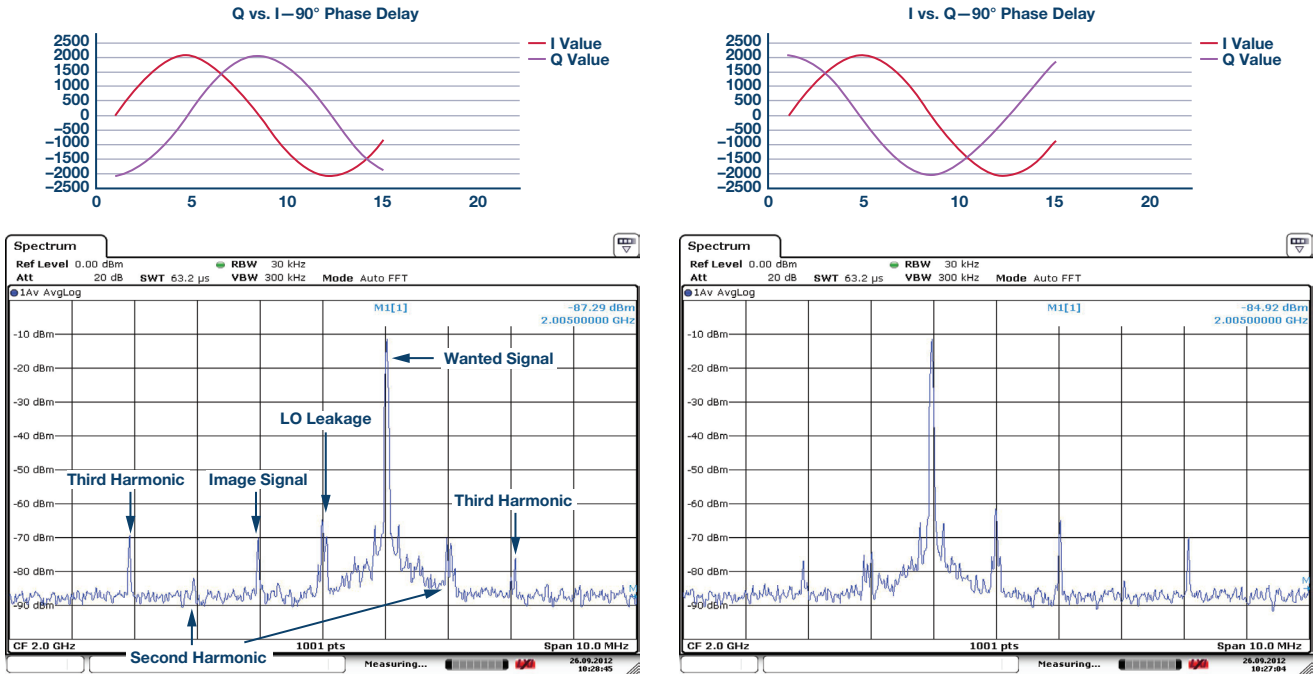


图5. 信号音位置取决于I和Q的相位关系。

镜像和所需信号之间的间隔会直接影响到对滤波器的要求。如果间隔较大，可以使用滚降较缓的简单低成本滤波器。如果间隔较窄，设计必须实现具有陡峭响应的滤波器，通常采用多极点或SAW滤波器。因此可以说，镜像和所需信号之间必须保持适当的间隔，以便可以滤除镜像而不影响所需信号；该间隔与滤波器的复杂度和成本成反比。此外，如果LO频率可变，滤波器必须可调谐，这会进一步增加滤波器的复杂度。

镜像和所需信号之间的间隔由施加于混频器的信号决定。图6中的例子显示一个与DC相距10 MHz的10 MHz带宽信号。相应的混频器输出将镜像置于与所需信号相距20 MHz的地方。这种配置中，为在输出端实现10 MHz的所需信号频谱，必须让一条20 MHz基带信号路径连接到混频器。10 MHz的基带带宽未使用，混频器电路的数据接口速率高于必要水平。

回到图5所示的复数混频器，我们知道其架构消除了镜像而无需外部滤波。而且，在零中频架构中可以优化效率，使得信号路径处理带宽等于所需信号带宽。图7所示的概念图说明了其实现原理。如上所述，如果I比Q超前90°，则仅LO上侧会有输出。如果Q比I超前90°，则仅LO下侧会有输出。因此，如果产生两个独立基带信号，其中一个设计成仅产生上边带输出，另一个设计成仅产生下边带输出，那么可以在基带中将其相加并施加于复数发射机。结果将是具有不同信号的输出出现在LO上侧和下侧。在实际应用中，组合基带信号以数字方式产生。图7所示求和节点仅是为了说明此概念。

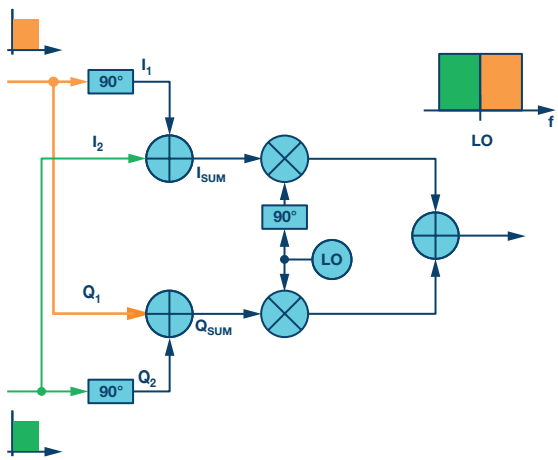


图7. 零中频复数混频器架构。

零中频红利

利用复数发射机产生单边带输出具有相当大的好处，可减少为消除镜像所需要的RF滤波。然而，如果镜像相消性能足够好，使得镜像可忽略不计，那么可以使用零中频模式来进一步发挥该架构的优势。零中频允许我们使用特别创建的基带数据来产生RF输出，从而在LO两侧出现相互独立的信号。图8显示了这是如何实现的。我们有两组相互独立的I和Q数据，用符号数据编码，接收机可以根据基准载波的相位进行解码。

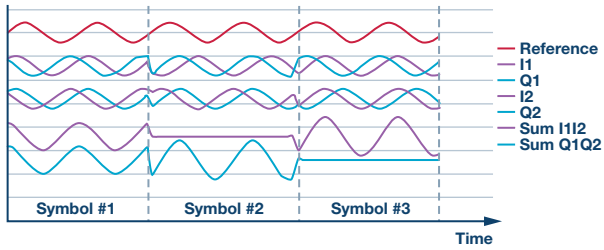


图8. 深入考察零中频复数混频器配置中的I/Q信号。

初始观测显示：Q1比I1超前90°，二者的幅度一致。类似地，I2比Q2超前90°，其幅度同样一致。将这些独立信号合并，使得I1 + I2 = SumI1I2，Q1 + Q2 = SumQ1Q2。相加后的I和Q信号不再表现出相位和幅度相关性—其幅度在所有时候都不相等，二者之间的相位关系不断变化。所得的混频器输出将I1/Q1数据置于载波的一侧，将I2/Q2数据置于载波的另一侧，如上所述及图7所示。

通过将彼此相邻的独立数据块置于LO的任一侧，零中频使复数发射机的优势得到加强。数据处理路径带宽绝不会超过数据带宽。因此，理论上，在零中频架构中使用复数混频器便提供了一种解决方案，其不需要RF滤波，同时还能优化基带功率效率，降低不可使用信号带宽的单位成本。

到目前为止，本文的重点是复数混频器用作零中频发射机。同样的原理反过来也成立，即复数混频器架构可以用作零中频接收机。针对发射机说明的优势同样适用于接收机。使用单混频器接收信号时，首先必须利用RF混频器滤除镜像频率。在零中频工作模式下，无需担心镜像频率，高于LO的信号接收与低于LO的信号接收是相互独立的。

复数接收机如下图所示。输入频谱同时施加于I和Q混频器。一个混频器通过LO驱动，另一个混频器通过LO + 90°驱动。接收机的输出为I和Q。对于接收机来说，要想由经验证明给定输入对应的输出将会如何并不容易，但如果输入信号音高于LO，如图所示，那么I和Q输出将处于(信号音 – LO)频率，并且I和Q之间会有相移(I比Q超前)。类似地，如果输入信号音低于LO，那么I和Q输出同样是在(LO – 信号音)频率，但这时是Q比I超前。通过这种方式，复数接收机可以区分高于LO的能量和低于LO的能量。

复数接收机的输出将是两种I/Q信息之和：一种代表接收到的高于LO的频谱，另一种代表接收到的低于LO的频谱。这一概念已在前面针对复数发射机做过说明，其中是将相加后的I信号和相加后的Q信号施加于复数发射机。对于复数接收机，接收相加后的I信息和相加后的Q信息的基带处理器可利用复数FFT来轻松区分较高频率和较低频率。

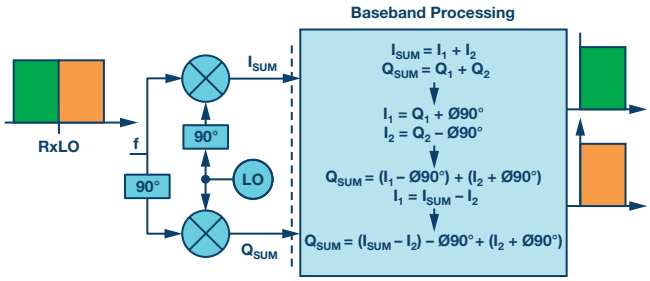


图9. 零中频复数混频器接收机配置。

收到相加后的I信号和相加后的Q信号时，有两个已知量——相加后的I信号和相加后的Q信号——但有四个未知量，即I1、Q1、I2和Q2。由于未知量多于已知量，因此似乎无法解出I1、Q1、I2和Q2。然而，我们还知道I1 = Q1 + 90，I2 = Q2 – 90，有了这两个已知关系后，便可利用收到的相加后的I信号和相加后的Q信号解出I1、Q1、I2和Q2。事实上，我们只需解出I1和I2，因为Q信号是I信号的副本，不过相位偏移±90而已。

限制

实践中，复数混频器试图完全消除镜像信号。这一限制对无线电架构设计有两个突出影响。

即使有性能限制，复中频仍能带来切实的好处。试考虑图10所示的低中频例子。由于性能限制，我们确实能看到镜像。然而，同对单混频器设计的预期相比(参见图6)，该镜像已大为衰减。虽然复数混频器仍需要滤波器，但对该滤波器的要求可以放松很多，其实现也较简单，成本较低。

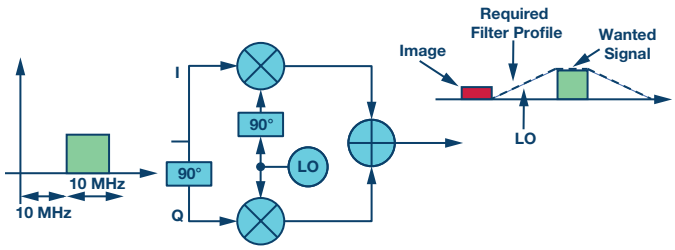


图10. 复数混频器的实际实现注意衰减的镜像。

滤波器复杂度与镜像和所需信号之间的距离成反比。如果使用零中频配置，该距离将变为0，镜像位于所需信号频段中。零中频理论的实际应用无法完全实现，产生的带内镜像导致性能降低到不可接受的水平(参见图11)。

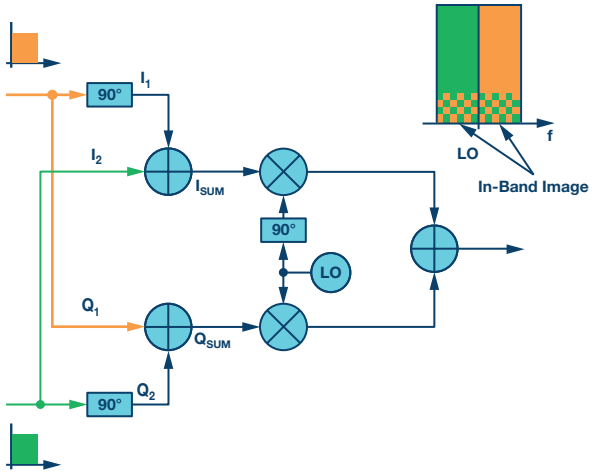


图11. 零中频实现的限制。

只有满足I和Q数据路径的相位和幅度要求，复数发射机和接收机的原理才成立。信号路径的不匹配会导致LO两侧的镜像信号不能精确相消。此类问题的例子参见图10和图11。在不使用零中频的情况下，可以采用滤波来消除镜像。然而，若使用零中频架构，不需要的镜像会直接落在所需信号的频谱范围内，如果镜像功率足够大，就会发生故障状况。因此，只有设计能消除信号路径上的相位和幅度不一致时，使用零中频和复数混频才能提供最优系统设计方案。

高级算法支持

复数混频器架构的概念已存在很多年，但在动态无线电环境中满足相位和幅度要求的挑战限制了其在零中频模式下的使用。ADI公司综合运用智能硅片设计和高级算法，克服了这些挑战。设计允许存在影响信号路径的因素，但智能硅片设计将这些影响降至最低。剩下的误差通过自优化正交纠错(QEC)算法消除。图12是概念图。

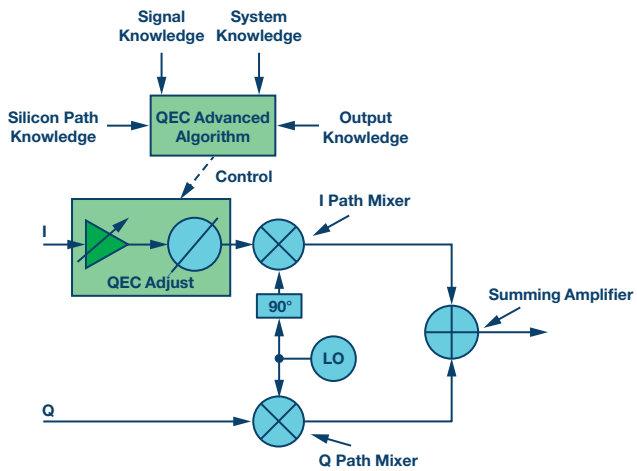


图12. 高级QEC算法和智能硅片设计支持零中频架构。

在AD9371等ADI收发器上，QEC算法位于片内ARM®处理器中。它持续掌握硅片信号路径、经调制的RF输出、输入信号和外部系统环境的信息，并利用此信息以受控的预测方式智能适应信号路径轮廓，而不是做出本能式被动反应。该算法性能出色，可将其视为以数字方式辅助模拟信号路径发挥最佳性能。

ADI收发器内部有多种高级算法驻留并发挥作用，动态QEC校准算法只是其中一个较突出的例子。其他与之共存的算法还有LO泄漏消除等，这些算法将零中频架构的性能提升到最优水平。此类第一代收发器算法主要用于支持实现相关技术，而第二代算法(例如数字预失真或DPD)不仅能增强收发器的性能，还能提升整个系统的性能。

所有系统都有一些不足之处会限制其性能。第一代算法主要聚焦于通过校准消除片内限制，而新一代算法则利用智能手段来消除收发器外部的系统性能和效率限制因素，例如PA失真和效率(DPD和CFR)、双工器性能(TxNc)、无源交调问题(PIM)等。

结语

复数混频器已存在很多年，但其镜像抑制性能不允许将其用于零中频模式。智能硅片设计和高级算法的结合消除了原先阻止高性能系统采用零中频架构的性能障碍。性能限制消除之后，采用零中频架构对降低滤波、功耗、系统复杂度、尺寸、热量和重量都有好处(Brad Brannon之前的一篇文章对此做了详尽讨论[1])。

对于复数混频器和零中频，我们可以考虑将QEC和LOL算法用作支持功能。但是，随着算法开发范围的扩展，它给系统设计人员带来了更高的性能水平，使他们能更灵活地设计无线电。他们既可选择增强的性能，也可利用算法提供的助益来减少无线电设计的成本或器件尺寸。

参考文献

[1] Brad Bannon。“零中频的优势：PCB尺寸减小50%，成本降低三分之二”。*Analog Dialogue*，2016年9月。

Dave Frizelle [david.frizelle@analog.com] 担任ADI公司利默里克收发器产品部的应用经理，负责支持集成收发器系列产品。他自1998年毕业后即在ADI公司工作。他曾在日本和韩国工作过六年，负责支持高级消费电子产品的开发和设计导入。



Dave Frizzelle

Frank Kearney [frank.kearney@analog.com] 担任ADI公司利默里克通信系统工程团队的算法开发经理。他自1988年毕业后即在ADI公司工作。他不久前从中国返回；在中国工作期间，他担任亚太地区系统工程团队的高级应用经理。他目前是都柏林大学的博士候选人。



Frank Kearney

了解并延续Σ-Δ ADC的安全运行

作者：**Miguel Usach Merino**

共享

摘要

新的国际标准和法规加速了工业设备对安全系统的需求。功能安全的目标是保护人员和财产免受损害。这可以通过使用针对特定危险的安全功能来实现。安全功能由一系列子系统组成，包括传感器、逻辑和输出模块，因而需要系统层面和集成电路层面的专门技能来提供具有适当功能组合的IC。本文以AD7770 Σ-Δ ADC为例，探讨如何构思和设计高性能IC以提供模拟域和数字域中的先进特性组合，从而简化安全系统的设计。

简介

墨菲定律变体之一："如果几件事都可能出错，首先出错的往往是会造成最大损失的那一件。"

如果一个系统可能产生直接或间接的致命威胁，例如机器故障等，那么设计该系统时，必须最大程度地降低故障可能性及其导致的负面影响。为了确保发生随机性和确定性故障的概率尽可能低，必须遵循特定的设计方法。工业中将这种设计方法称为功能安全方法。这种方法要求对系统进行细致入微的分析，确定所有潜在的危险情况，并运用最佳做法来将器件、子系统和系统的故障风险(例如电压过高或诊断失败等)降至容许的水平。

功能安全背后的理念是当检测到错误时让系统保持安全状态，例如：若来自外部传感器的转换结果超出范围，则断开使能的输出连接。

IEC-61508是工业设备功能安全设计参考标准，已针对不同行业进行了修改或阐释，例如ISO-26262适用于汽车行业，IEC-61131-6适用于可编程控制器。

根据功能安全标准进行设计可能相当繁琐，因为必须完成从上至下的细致分析，从整体系统描述到所用器件的内部功能模块都不能遗漏。为了保证系统具备足够高的保护水平，避免出现任何危险情况，并使未检出差错的发生概率最小，这种分析是有必要的。设计功能安全系统时，必须确保系统能够检测到所有错误，并以足够快的速度作出反应，使危险情况的发生概率最小，如图1所示。

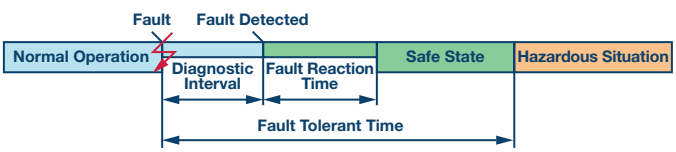


图1. 功能安全系统的反应时间。

如何设计功能安全系统

危害分析的第一步是确定可能致人受伤的方式。对这些情况进行分析之后，系统设计应确保避免危险情况发生。如果存在无法避免的情况，应增加安全系统来检测该不安全状态并让系统处于安全状态。

为了更好地说明这个问题，假设存在图2所示的系统。根据油箱温度，一个连接到油箱的阀门打开一定的百分比以使爆炸风险最低。一个DAC通过一台电机控制阀门开口大小。所述系统称为开环式。

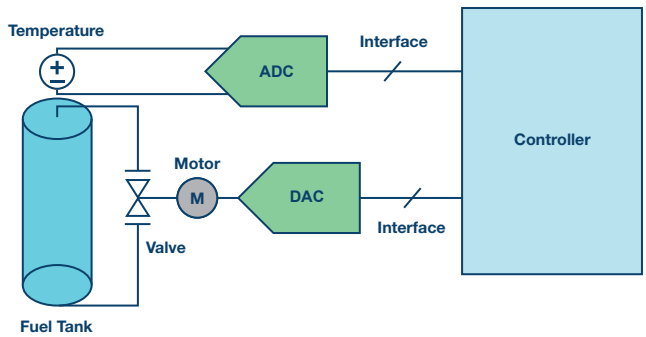


图2. 开环阀门控制系统信号链。

危害分析揭示出有两种情况可能产生不确定状态：

- 温度测量错误。因此，阀门开口大小也不正确。
- DAC未能正确打开/关闭阀门。

下一步是评估各种危害的风险，公式如下：

$$Risk = probability\ of\ occurrence\ of\ harm \times severity\ of\ the\ harm$$

确定风险之后，下一步便是设计一个能将风险降至容许水平的功能安全系统。

IEC-61508定义了四个安全完整性等级(SIL)，这些等级规定了安全功能应将风险降至何种水平。有两种不同的目标概率：一是需要时失效，适用于处于待命状态且由事件触发的系统(安全气囊是一个很好的例子)；二是每小时失效，适用于持续运行的系统，上例就是这种情况。表1总结了以下标准的SIL之间的大致等效性：IEC61508、ISO 26262(ASIL，汽车)和航空电子关于期望需要时失效和每小时失效的标准。

表1. 不同标准的风险水平概算

要求失败概率	每小时失败概率	标准		
		IEC 61508 SIL等级	汽车	航空电子
0.1 to 0.01	10^{-5} to 10^{-6}	1	A	D
0.01 to 0.001	10^{-6} to 10^{-7}	2	B	C
0.001 to 0. 0001	10^{-7} to 10^{-8}	3	C/D	B
0.0001 to 0.00001	10^{-8} to 10^{-9}	4		A

SIL等级是基于对未检出故障的降低和最小化程度来制定的，这里的未检出故障是指会使系统功能失常并可能触发不利状况的故障。

诊断覆盖率要求是多少?

未检出故障的概率随着诊断覆盖率的提高而降低。若系统能提供99%的诊断覆盖率，则可实现SIL3；若诊断覆盖率为90%，则可实现SIL2；若诊断覆盖率只有60%，则可实现SIL1。换言之，未检出故障的发生概率随着冗余程度的提高而降低。

实现SIL2或SIL3的较简单方法是采用已通过相应保护等级认证的器件。但这并非总是可行的，因为此类器件针对的是特定应用，其与您的电路或系统可能不完全相同。因此，之前通过SIL等级认证的器件，它们当初使用的认证标准可能不适用您的系统，而且您的系统保护等级也可能不相同。保护水平可能不相同。

实现高诊断覆盖率的另一种方法是在器件层面使用冗余设计。这种情况下，错误检测不是直接进行，而是间接进行，即比较两个(或更多)理应相同的输出。然而，这种方法会增加功耗、面积和系统的最终成本(成本问题可能最为关键)。

提高器件层面的错误检测水平和冗余度

一个常见的差错来源是外部接口中的数据传输：如果任何一位在传输中被破坏，数据便可能被接收器误解，并且可能产生不利状况。为了计算数据传输中发生的总差错，可以使用BER(误码率)。BER表示因为噪声、干扰(EMC)或任何其他物理原因而遭到破坏的位数和传输的总比特数的比值。

$$BER = \frac{bits\ corrupted}{bits\ transmitted}$$

系统的BER可通过物理方法加以测量。一般而言，许多标准规定了这一数值，例如HDMI,® 或者可以使用估计值。现代数据传输的最低标准BER为10^{-7}。对许多应用来说，此数值可能太过保守，但可用于参考。

10^{-7}的BER意味着每1000万位中有1位遭到破坏。对于SIL3系统，每小时的目标最大差错概率为10^{-7}。如果系统在ADC和控制器之间传输32位数据，输出数据速率为1 kSPS，则1小时传输的位数为：

$$bits\ per\ hour = 32 \times 1000 \times 3600 = 115{,}200{,}000\ bits$$

这种情况下，误码率会提高到$1.5e^{-5}$，这只是一个接口的贡献；传输差错的总贡献应保持在总差错预算的0.1%到1%之间。

对于这种情况，可通过增加CRC算法来检测差错。可检测到的损坏位数由CRC多项式的Hamming距离定义，例如$X^8 + X^2 + X + 1$的Hamming距离为4，能够在传输的每帧中检测到最多3个损坏位。表2总结了CRC Hamming距离为4时根据每小时传输的不同位数得出的差错概率，假设传输32位数据加8位CRC。

表2. CRC Hamming距离为4时的差错概率

每小时数据位数	每小时未检出差错的概率
144,000,000	$2e^{-14}$
432,000,000	$6e^{-14}$
2,160,000,000	$3e^{-13}$

CRC诊断水平可通过如下方式来加强：回读写入的寄存器，确认数据传输正确。此操作会提高诊断水平，但所用CRC多项式的差错检测水平必须能够检测BER概率所决定的预期损坏位数。

如何使故障概率最小?

若制造商宣称某个器件针对功能安全系统而设计，其应能够提供FIT以及更为重要的故障模式、影响和诊断分析(FME(D)A)。此数据用于分析特定应用中的IC，计算系统的诊断覆盖率(DC)、安全失效系数(SFF)和危险故障率。

FIT衡量器件的可靠性。IC的FIT可根据加速寿命测试或IEC62380、SN29500等工业标准来计算；工业标准将应用的平均工作温度、封装类型和晶体管数量视为产生FIT预测结果的因素。FIT只是关于器件可靠性的预测，并不提供关于故障根源的任何信息。一般而言，除非能够直接或间接检查每个功能模块，否则最终差错概率将会太高而无法满足任何SIL2或SIL3安全功能的SIL目标。

FME(D)A的目的是提供一个全面的文件来分析芯片中实现的所有模块、模块失效的直接或间接后果以及支持故障检测的不同机制或方法。如之前所述，这些分析是基于特定信号链/应用而完成的，但其详细程度应足够高，据此可以轻松生成针对其他系统/应用的FME(D)A分析。

Σ-Δ ADC可能出什么错?

对Σ-Δ ADC的一般分析揭示出了此类器件的内部复杂性所引起的多种错误来源：

- 基准电压断开连接/受损
- 输入/输出缓冲器/PGA受损
- ADC内核受损/饱和
- 内部稳压器电源不正确
- 外部电源不正确

只有某些问题会在器件模块中产生故障，但存在其他不像上面所列那么明显的故障原因：

- 内部键合线受损
- 键合线与邻近引脚短路
- 漏电流增加

例如，若V_{REF}漏电流增加以致在内部基准电压上产生压降，器件能否检测到这一情形？为检查此类故障，ADC应能选择不同的基准电压进行转换，并将V_{REF}用作转换输入。

若内部熔丝位再生或发生其他损坏，可能导致上电时加载不正确的配置，对此应如何进行检测？这些都是可能出错的一些事例，即使其发生概率非常低。所有潜在故障(尤其是非常罕见的故障)及其检测方式(如有)，都必须在FME(D)A文件中做好记载。此文件总结了基于特定应用和/或配置的故障及所做的假设，目的是最大程度地提高检测水平，使未检出差错最少。

ADI公司的现代化Σ-ΔADC，比如AD7770、AD7768或AD7764，通过多个诊断检测器来提高容错保护，并检测数字模块和模拟模块中的功能错误。下面是此类模块的一些例子：

- 用于熔丝位、寄存器和接口的CRC校验器
- 过压/欠压检测器
- 基准电压和LDO电压检测器
- 用于PGA增益测试的内部固定电压
- 外部时钟检测器
- 多个基准电压源

除了这些特性，AD7770 ADC还集成了一个辅助12位SAR型ADC，它可以用来提高器件的诊断能力，例如：

- 实现其他架构以得到某些好处，比如提供不同的EMC抗扰度。
- 它通过不同的电源引脚供电，故而可以用作基准电压源。
- 其速度非常快，用作监视器时，在一个Σ-Δ通道的单次转换期间，它可以监视8个Σ-Δ通道，但该SAR型ADC的精度和Σ-Δ ADC的精度不同。
- 它利用不同的串行接口(SPI)提供转换结果。
- 但该SAR型ADC的精度和Σ-Δ ADC的精度不同进行诊断，比如外部电源、V_{REF}、V_{CM}、LDO输出电压或内部基准电压。

图3显示了AD7770 ADC的内部框图。内置监视器的模块用绿色突出显示，对红色突出显示的模块可以进行主动监视，包含内置监视器和主动监视器两种功能的模块用蓝色突出显示。

结语

为保证功能安全，须提高系统/模块监视和诊断覆盖率，以降低未检出错误的数学概率。提高覆盖率的较简单方法是增加冗余，但这会给系统带来多方面的不利影响，尤其是成本。ADI公司最近的一些Σ-Δ ADC，比如AD7124或AD7768，实现了许多内部错误检测器，这样可以简化功能安全系统的设计，使整体复杂度低于其他解决方案。AD7770是精密Σ-ΔADC设计的典范，集成了监视和诊断能力，包括通过内置冗余转换器来使诊断覆盖率达到最大，这使其成为超越一切可能的卓越产品。

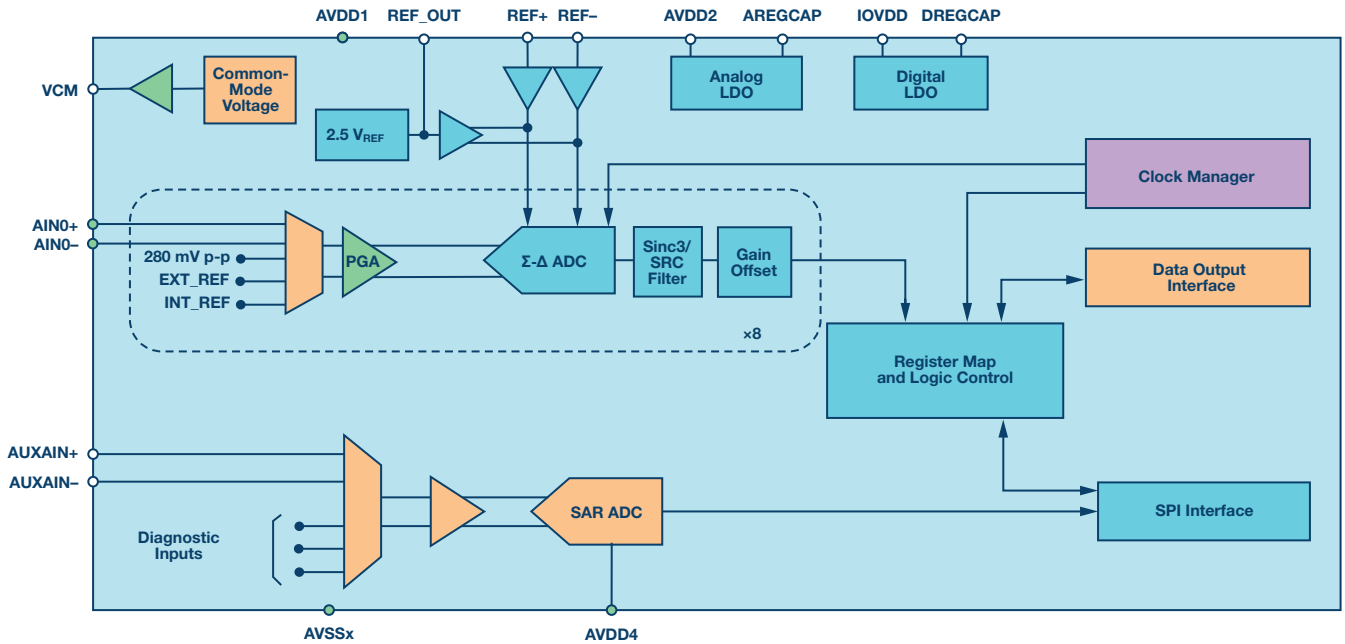


图3. AD7770 ADC的诊断和监控模块。

Miguel Usach Merino [miguel.usach@analog.com] 获瓦伦西亚大学电子工程学位，2008年加入ADI公司，任西班牙瓦伦西亚线性与精密技术部的应用工程师。



Miguel Usach Merino

该作者的其他文章：

ADC中的集成式容性PGA：重新定义性能

第50卷，第3期

该噪声会让您夜不能眠

作者：**Gustavo Castro**

共享

问：

我能测量的最小电压是多少？



答：

我作为工程师的第一个项目是测量生产中的6½位数字万用表的建立时间。这似乎没什么难度，我只需弄清最终建立值，然后反向求解可检测的最小变化是多少。一切准备妥当，我输入短路，开始增加孔径时间。同预期一样，噪声开始下降，达到一定程度后便停止下降，基线一直前进。我已经消除了外部噪声源、热电动势，甚至空调通风口的气流声。这些随机波动的噪声来自电路内部。但在消除了大部分宽带噪声之后，还有一种噪声残留不去。任何做过这种实验的人都会注意到这一限制。与常理相反的是，我们发现晚些停止下降的噪声比早些停止时还要高。发生这种现象时，我们便知道测量处于1/f噪声区域。

这种1/f噪声(或闪烁噪声)是精密测量最普遍的限制。之所以取这个名称，是因为其功率谱密度与频率成反比，如下式所示：

$$Noise_Power\left(f\right)=\left(\frac{k}{f^{\alpha}}\right)$$

其中，k为幅度系数，α为大于0的指数，但在基本形式中，α = 1。该噪声最终会小于宽带噪声，产生一个转折频率，如图1所示。在电子电路之外的领域，比如地球转动、经济指标和生物系统等，也已发现此类噪声存在的证据。虽然最聪明的科学家也不知道其根本原因是什么，但若要进行低电平测量，我们必须懂得如何减轻其影响。

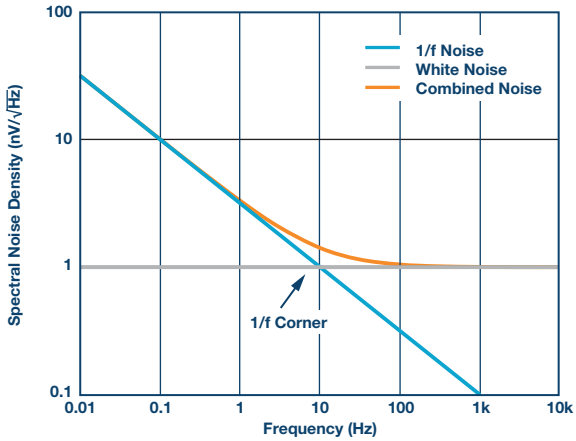


图1. 低噪声电子器件的典型噪声谱密度图。

让我们从现成器件开始。现有最高灵敏度的ADC芯片是AD7177-2，其在5 SPS时的噪声为200 nV p-p。但是，在ADC之前添加一定的增益，便可实现更好的性能。我们需要一种既有低噪声特性又有低1/f转折频率的放大器。最简单的办法是查看数据手册上的0.1 Hz到10 Hz噪声规格，它相当于以10 Hz带宽记录测量结果10秒。

如果您留意的话，可能知道运算放大器AD797被用于人类首次探测引力波的LIGO实验。AD797在0.1 Hz到10 Hz范围的噪声规格为50 nV p-p (8 nV rms)。最低噪声仪表放大器AD8428只有40 nV p-p (7 nV rms)。这些放大器采用双极性工艺制造，如果配合较大源电

阻(包括增益电阻)使用，其电流噪声可能相当大，而且电流噪声也有1/f转折频率！另外别忘了，电阻本身可能产生与电流相关的过量噪声，这是由其构造决定的。金属箔和线绕电阻的噪声系数往往是最低的。

避开1/f噪声的一个巧妙方法是将信号调制到没有1/f噪声的区域，然后进行解调。这一招被称为“斩波稳定”，已使用数十年，它把1/f噪声移动到其他频段，以便能够将其轻松滤除。诸如ADA4528-1和ADA4522-1之类的零漂移运算放大器利用这种技术(及其他方式)，获得了大约100 nV p-p (16 nV rms)的0.1 Hz至10 Hz噪声，其中大部分是由白噪声引起的。一个更简单的办法是并联多个放大器以达到更低的噪声水平，因为这相当于对多个不相关的噪声源求均值。

基本要旨是您可以利用现成器件检测到比10 nV低一点的信号；如果并联多个放大器，检测精度可接近1 nV水平。要检测比这还小的信号，必须采用特殊技术(成本可能非常高)。但不管怎么做，1/f都会以某种方式重新出现。

那么，要是长时间记录多个测量结果，情况会怎样？1/f噪声是否会让这成为不可能完成的任务？这么说吧：即使从宇宙大爆炸那一刻起开始记录AD797噪声，一直到大家读到这篇文章时为止[ii]，其结果也只比最近10秒测得的结果大3倍。[iii] 因此，我可不会为此而失眠。

参考文献

[i] 数字万用表的孔径时间是指信号求积分或均值的时间间隔。

[ii] 假设自宇宙大爆炸以来已经过4.32e17秒。

[iii] 这只是假设，没有证据表明1/f噪声在如此长的时间内会遵循该曲线。当测量间隔延长时，老化和其他因素就会开始产生影响。

Gerstenhaber, Moshe, Rayal Johnson和Scott Hunt。“无本万利：构建具有nV灵敏度的低噪声仪表放大器”。*模拟对话*，第49卷，2015年5月。

Horowitz, Paul和Winfield Hill。*电子的艺术*。剑桥大学出版社，1989年。

Motchenbacher, C. D.和F. C. Fitchen。*低噪声电子设计*。John Wiley & Sons, Inc.，1973年。

Seifert, Frank。“电阻电流噪声测量”。开放获取LIGO文档，LIGO-T0900200。

“探测来自宇宙的引力波”。ADI公司。

an der Ziel, Aldert。“电子器件1/f噪声的统一表示：基波1/f噪声源”。*IEEE论文集*，第76卷第3期，1988年3月。

Weissman, M. B。“凝聚态物质中的1/*f*噪声和其他慢速非指数式动力学”。*现代物理评论*，1988年。

West, Bruce和Michael Shlesinger。“自然现象中的噪声”。*美国科学家*，78(1)，1990年。

Gustavo Castro [gustavo.castro@analog.com] 是马萨诸塞州威明顿市线性和精密技术部的应用工程师。其主要兴趣是精密信号调理和电子仪器的模拟与混合信号设计。2011年加入ADI公司之前，他在National Instruments从事高性能数字万用表和精密直流源设计工作达10年。Gustavo拥有墨西哥蒙特利技术学院电子系统学士学位和美国东北大学微系统与材料硕士学位。他拥有三项专利。



Gustavo Castro

该作者的其他文章：

电流检测常识

第50卷，第3期

基站中的无源交调(PIM)效应：了解挑战和解决方案

作者：**Frank Kearney**和**Steven Chen**

共享

简介

众所周知，*有源*器件会在系统中产生非线性效应。人们已开发出多种技术来改善此类器件在设计和运行阶段的性能。容易忽视的是，无源器件也可能引入非线性效应；虽然有时相对较小，但若不加以校正，这些非线性效应可能会严重影响系统性能。

PIM表示“无源交调”。它代表两个或更多信号通过一个具非线性特性的无源器件传输时产生的交调产物。机械连接部分的相互作用一般会引起非线性效应，这在两种不同金属的接合处尤为明显。实例包括：松动的电缆连接、不干净的连接器、性能糟糕的双工器或老化的天线等。

无源交调在蜂窝通信行业是一个重大问题，而且非常难以排解。在蜂窝通信系统中，PIM可能引起干扰，降低接收机灵敏度，甚至完全阻塞通信。这种干扰可能影响产生它的蜂窝以及附近的其他接收机。例如，在LTE频段2中，下行链路范围是1930 MHz至1990 MHz，上行链路范围是1850 MHz至1910 MHz。若有两个分别位于1940 MHz和1980 MHz的发射载波从具有PIM的基站系统发射信号，则其交调会产生一个位于1900 MHz的分量，该分量落入了接收频段，这会影响接收机。此外，位于2020 MHz的交调可能影响其他系统。

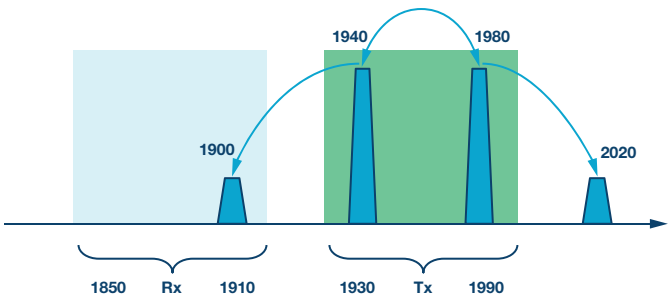


图1. 无源交调，落到接收机频段。

随着频谱变得越来越拥挤，并且天线共享方案变得越来越普遍，不同载波的交调产生PIM的可能性也在增加。利用频率规划避免PIM的传统方法变得越来越不可行。除上述挑战外，CDMA/OFDM等新型数字调制方案的采用意味着通信系统的峰值功率也在提高，使PIM问题“雪上加霜”。

对服务提供商和设备供应商而言，PIM是一个突出的严重问题。检测并尽可能解决该问题，可提高系统可靠性并降低运行成本。本文尝试评述PIM的来源和原因，以及予以检测和解决的技术。

PIM分类

初步的调查显示，PIM有三种不同类型，每类有不同的特点，需要不同的解决方案。我们选择按如下类型分类：*设计引入PIM*、*装配PIM*和*锈体PIM*。

设计引入PIM

我们知道，某些无源器件与其传输线路一起会产生无源交调。因此，当设计系统时，开发团队应根据器件制造商给出的规格，选择PIM最小或处于可接受水平的无源元件。环行器、双工器和开关特别容易产生PIM效应。设计人员若能接受较高水平的无源交调，那么可以选择成本较低、尺寸较小或性能较低的器件。

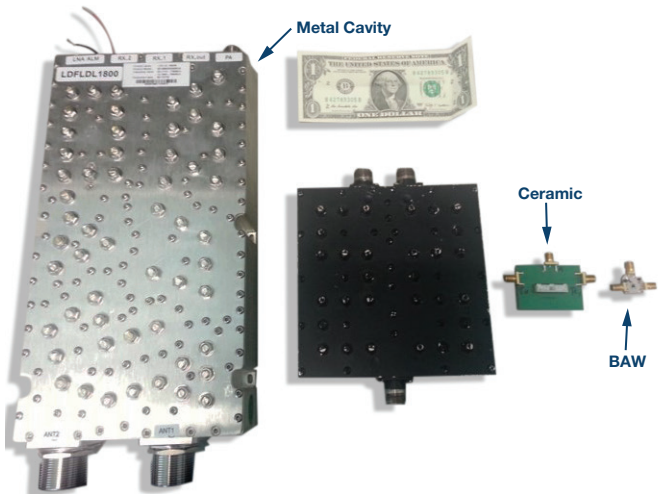


图2. 器件设计权衡：尺寸、功耗、抑制和PIM性能。

如果设计人员真的选择性能较低的器件，则相应的较高水平交调可能会落回到接收机频段内，导致接收机降敏。必须注意：在这种情况下，不良频谱辐射或功率效率损失可能不如PIM导致接收

机降敏那样令人关注。在小型蜂窝无线电设计中，此问题尤其重要。ADI公司目前正在研发可从接收信号中检测、模拟、消除(抵消)双工器等静态无源元件PIM的技术(参见图3)。

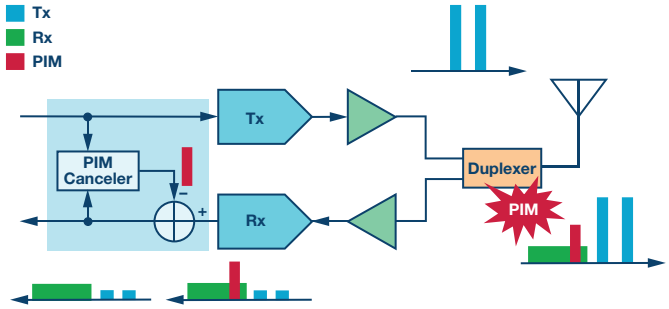


图3. PIM的产生以及PIM抵消算法

该算法之所以有效，是因为它知晓载波信息，并且可以使用接收机相关性来确定交调伪像，然后从收到的信号中消除。

当不再能利用相关性确定交调伪像时，该算法的局限性便开始浮现。图4显示了一个实例。在该例中，两个不同的发射机共享一根天线。如果假设每条路径的基带处理是彼此独立的，那么算法便不太可能知晓二者信息，故而它能在接收机执行的相关性和抵消处理会受限。

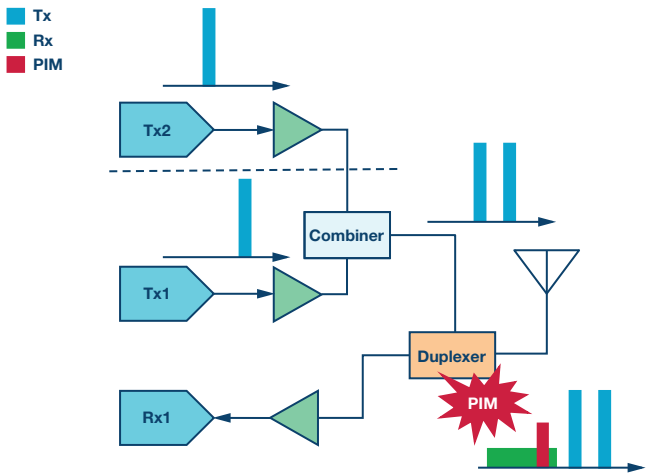


图4. 多源共享一根天线。

加之于PIM挑战的复杂性

站点访问和成本给服务提供商带来了挑战，我们开始发现越来越多这样的事例：不同发射机共享单根宽带天线。其架构可以是各种频段和格式的混合：$T_{DD}+F_{DD}$；T_{DD}：F+A+D，F_{DD}：B3，等等。图5显示了这种配置的概貌。在这个例子中，客户试图实现一个复杂但现实的配置。一个分支是T_{DD}双频，另一分支是F_{DD}单频，采用一个双工器。信号汇合起来，共享单根天线。Tx1和Tx2信号之间的无源交调发生在来自合并器的路径中、到天线的传输线路中以及天线本身中。所得的交调伪像落回到F_{DD}接收机频段Rx2。

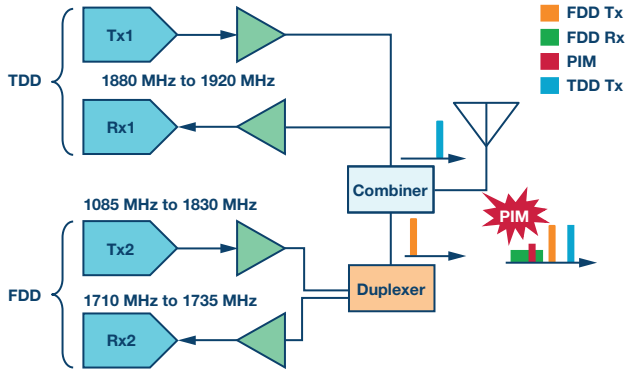


图5. F_{DD}/T_{DD}单根天线实现方案。

图6所示为对一个双频系统的实际分析。注意在这个例子中，我们需要考虑三阶以上的无源调制伪像。这种情况下，重点关注从一个频段(内部)落回到另一个接收机频段内的交调伪像。

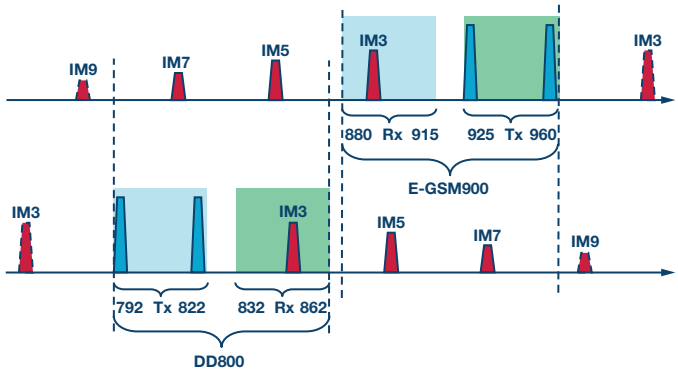


图6. 多频PIM问题。

装配PIM

我们把第二类PIM称为*装配PIM*。虽然系统在安装后可以令人满意地运作，但经过一段时间后，由于天气或初次安装质量糟糕，其性能常常会下降。发生这种情况时，信号路径中的无源元件(连接器、电缆、电缆组件、波导组件和元器件等)通常会开始表现出非线性行为。事实上，某些主要的PIM现象就是由连接器、连接甚至天线本身的馈线引起的。所产生的影响可能与上面讨论的设计引入PIM相似，因此可以使用同样的PIM测量理论，该理论专门用于寻找无源交调产物的存在。

引起装配PIM的典型因素有：

- 连接器适配接口(通常是N型或DIN7/16)
- 电缆附件(电缆/连接器接合的机械稳定性)
- 材料(建议使用黄铜和铜，铁磁材料有非线性特性)
- 清洁度(尘土污染或水汽)
- 电缆因素(电缆的质量和鲁棒性)
- 机械鲁棒性(风和振动引起挠曲)
- 电热感应PIM　(原因是非恒定包络的RF信号消耗的功率随时间而变化，引起温度改变，进而导致电导率发生变化)。

温度变化大、空气带有盐分/受污染或存在过大振动的环境往往会加重PIM问题。虽然可以使用与针对设计引入PIM相同的PIM测量技术，但可以认为，装配PIM的存在表明系统的性能和可靠性均有所降低。若不加以解决，引起PIM的缺陷因素可能会变本加厉，直至整个传输路径发生故障。对装配PIM采用PIM抵消方法更像是掩盖问题而非解决问题。

可以想见，此类情况下，用户可能并不希望抵消PIM，而是希望得知PIM的存在，以便消除根本原因。为此，首先需要确定PIM是从系统何处引入的，然后修理或更换特定元件。

我们可以认为设计引入PIM是可量化且稳定的，但上面所述的装配PIM是不稳定的。它可能存在于一组范围非常窄的条件下，其幅度变化可能超过100 dB。单次离线扫描可能无法捕捉到此类事例；理想情况下，传输线路诊断需要与PIM事件协同进行。

天线之外的PIM(锈体PIM)

PIM并不局限于有线传输路径，也可能发生在天线之外。该效应也被称为“锈体PIM”。这种情况下，无源交调发生在信号离开发射机天线之后，所产生的交调反射回接收机中。“锈体”这一说法来源于这样一个事实：很多情况下，交调源可能是生锈的金属物件，例如铁丝网、仓库或排水管。

金属物件会引起反射。但在这些情况下，金属物件不仅会反射收到的信号，而且会产生并辐射交调伪像。交调的发生同在有线信号路径中一样，即发生在两种不同金属或异质材料的接合处。电磁波产生的表面电流会混合并再辐射(参见图7)。再辐射信号的幅度一般非常低。然而，如果辐射物件(生锈铁丝网、仓库或下水管等)靠近基站接收机，而且交调产物落在接收机频段内，将造成接收机降敏。

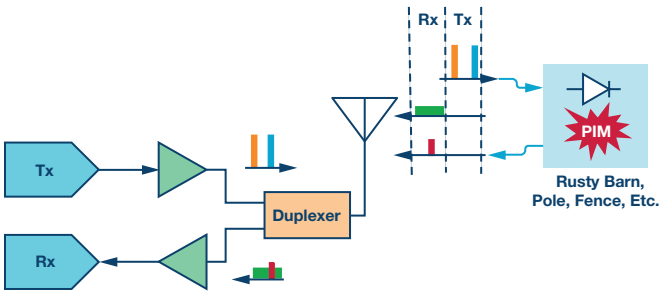


图7. 天线之外或锈体PIM。

某些情况下，PIM源可通过天线定位来检测：一边改变天线位置，一边监测PIM水平。此外，也可以利用时间延迟估计来定位PIM源。如果PIM水平稳定，则可以利用标准算法抵消技术来补偿PIM。但更多情况下，PIM贡献受到振动、风和机械运动的影响，使得抵消非常难以进行。

PIM检测：定位PIM源

线路扫描

可以实施多种*线路扫描*技术。线路扫描测量传输系统在目标频段上的信号损耗和反射。我们不能认为线路扫描总是会精确指示PIM的可能原因。线路扫描更像是一种诊断工具，可帮助识别传输线路上的问题。早期装配问题可能表现为PIM；若不加以解决，这些装配问题可能会升级，引起更为严重的传输线路故障。线路扫描通常分为两个基本测试：回波损耗和插入损耗。二者均与频率有很大关系，且在指定频段内均可能变化很大。回波损耗衡量天线系统的功率传输效率。务必使反射回到发射机的功率最小。任何反射功率都可能使发射信号失真；若反射回的功率足够大，甚至会损坏发射机。20 dB的回波损耗值表示1%的发射信号被反射回发射机，99%到达天线——通常认为这是相当好的性能。10 dB的回波损耗表示10%的信号被反射，表明性能不理想。如果回波损耗测量值为0 dB，则100%的功率被反射，这很可能是开路或短路导致的。

时域反射

可以利用高级TDR技术来提供一个最优系统的参考映射，以及确定传输路径上开始发生损耗的确切位置。通过这种技术，操作员可以定位PIM源，从而有针对性地、高效率地予以修复。传输线路映射还能提醒操作员注意一些早期故障迹象，防止其严重影响性能。时域发射法(TDR)测量信号经过传输线路所产生的反射。TDR仪器让一个脉冲通过介质，然后将未知传输环境产生的反射与标准阻抗产生的反射进行比较。图8显示了一个简化TDR测量设置框图。

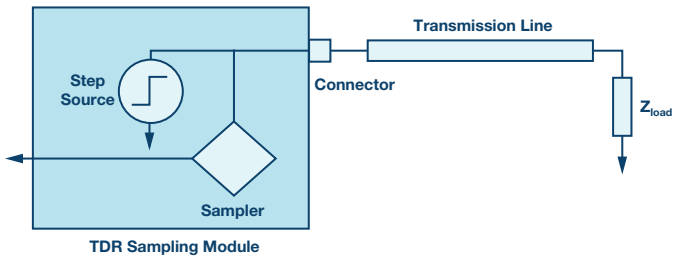


图8. TDR设置框图。

图9显示了一个TDR传输线路映射实例。

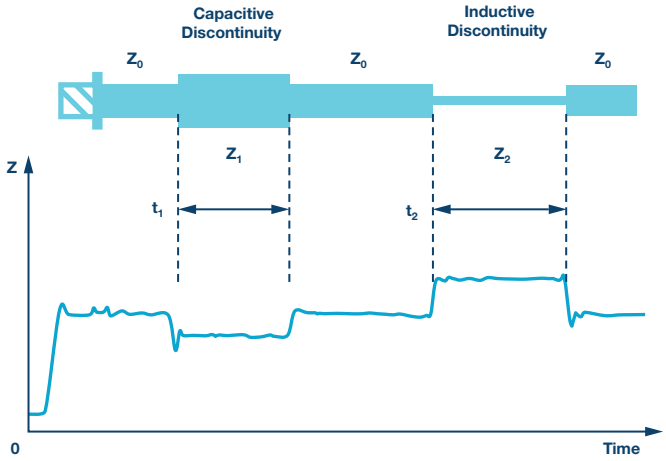


图9. TDR传输线路映射

频域反射

虽然TDR和FDR的工作原理均是沿着传输线路发送激励信号并分析反射，但这两种技术的实现方法非常不同。FDR技术采用RF信号扫描，而不是TDR所用的直流脉冲。另外，FDR要比TDR灵敏得多，能以更高的精度定位系统性能故障或降低的地方。频域反射法原理涉及源信号和反射信号(来自传输线路中的故障和其他反射特性)的矢量相加。TDR采用非常短的直流脉冲作为激励信号，其本身就能覆盖非常宽的带宽，而FDR扫描RF信号实际上是在特定目标频率(通常在系统的预期工作范围内)运行。

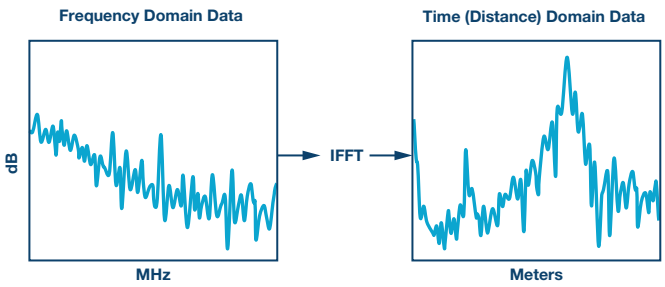


图10. FDR原理，扫描频率回波损耗与距离的关系

PIM定位

必须注意，虽然线路扫描可以指示阻抗不匹配，从而指示传输线路PIM源，但PIM和传输线路阻抗不匹配可以是互斥的。PIM非线性可能出现在线路扫描结果未指示任何传输线路问题的地方。因此，若要给用户提供一种解决方案，要求不仅能指示PIM存在，而且能准确识别传输线路上何处发生该问题，就需要采用更复杂的实施方案。

综合PIM线路测试的工作模式与针对设计引入PIM抵消所述的模式相似，不同之处是算法检查交调产物时间延迟估计的情况不同。应当注意，这些情况中的优先事项并非PIM伪像的抵消，而是定位传输线路上何处发生交调。该概念也被称为“PIM定位”(DTP)。例如，在一个双音测试中，

信号音1：

$$e^{j(w_1 (t + t_0) + \theta_1)}$$

信号音2：

$$e^{j(w_2 (t + t_0) + \theta_2)}$$

w_1和w_2为频率； θ_1和θ_2为初始相位；t_0为初始时间。

IMD (例如低端)将为：

$$e^{j((2w_1 - w_2) (t + t_0) + (2\theta_1 - \theta_2))}$$

很多现有解决方案要求用户中断传输路径，插入一个PIM标准装置(它能产生固定量的PIM，用来校准测试设备)。使用PIM标准装置可为用户提供一个基准IMD，它在传输路径的特定位置/距离处并具有已知相位。图11(a)显示了概况。IMD相位θ_{32} (如图11所示)用作基准位置0。

一旦完成初始校准，便重构系统并测量系统PIM，如图11(b)所示。θ_{32}和θ'_{32}之间的相位差可用来计算到PIM的距离。

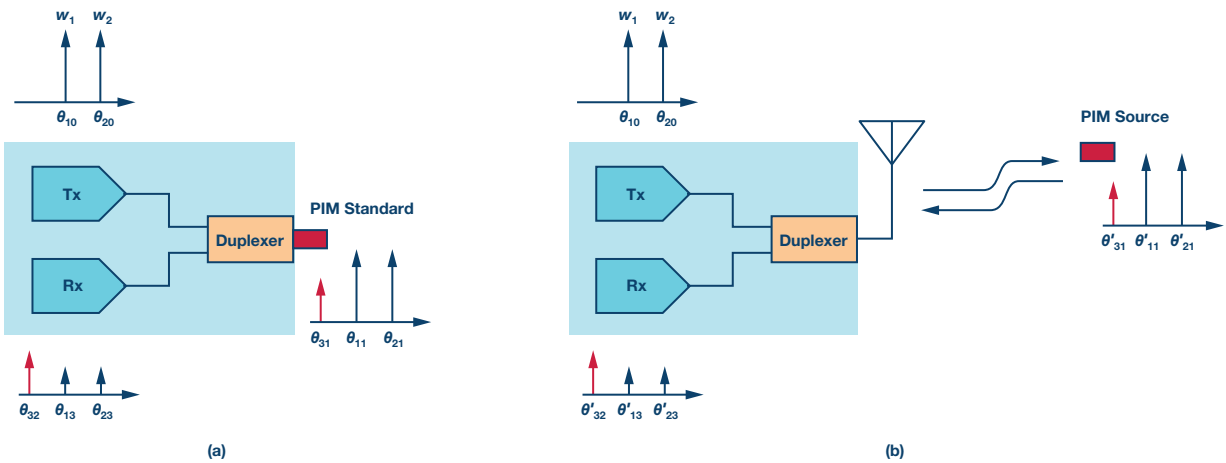


图11. PIM定位。

$$(2w_1 - w_2) \times \frac{(2D)}{S} = \theta'_{32} - \theta_{32}$$

其中，D为到PIM的距离，S为波传播速度(取决于传输介质)。

*装配*和*锈体*PIM可能是一个慢速递增的过程；完成安装后初期，基站可以高效率工作，但经过一段时间后，此类PIM现象可能会开始变得突出。振动或风等环境因素可能会影响PIM水平，故PIM的性质和特点是动态起伏不定的。掩盖或抵消PIM不仅可能很困难，而且可能被认为掩盖了更为严重的问题，若不加以解决，可能引发整体系统故障。这种情况下，运营商会希望避免系统整体停机的相关成本，快速定位引起PIM的器件并予以更换。

PIM定位技术(DTP)还为基站运营商提供了这样一种可能性：跟踪系统性能随时间而降低的情况，提前发现潜在问题。有了这些信息，便可在计划维修期间更换薄弱点，避免代价巨大的系统停机和专门维修工作。

结语

无源交调并不是什么新鲜事。这种现象已经存在多年，为人所知也有段时间了。近年来，业界的两种不同变化又把它拉回人们的视野：

第一，高级算法现在可通过一种智能方式来检测和定位PIM，并且能酌情予以补偿。以前的无线电设计人员必须选择能够满足特定PIM性能要求的器件，但在PIM抵消算法的帮助下，他们现在有了更大的选择自由。他们能够选择企及更高的性能，或者用成本较低且尺寸较小的器件实现相同的性能水平。抵消算法通过数字化方式辅助硬件元件。

第二，随着基站塔的密度和多样性爆炸式增长，我们面临着特殊系统设置(例如天线共享)带来的全新挑战。算法抵消取决于对主要传输信号的了解。在塔上空间宝贵的情况下，不同发射机可能共享单根天线，导致出现不良PIM效应的可能性大大增加。这种情况下，算法可能知道发射机路径某些部分的信息，并且可以有效工作。而在发射路径某些部分信息未知的情况下，第一代高级PIM抵消算法的性能或实现可能会受限。

随着基站设备领域的挑战难度不断加大，PIM检测和抵消算法在短期内预计能给无线电设计人员带来相当大的好处和优势，但要求开发工作跟上未来挑战的步伐。

Frank Kearney [frank.kearney@analog.com] 担任ADI公司利默里克通信系统工程团队的算法开发经理。他自1988年毕业后即在ADI公司工作。他不久前从中国返回；在中国工作期间，他担任亚太地区系统工程团队的高级应用经理。他目前是都柏林大学博士候选人。



Frank Kearney

复数RF混频器、零中频架构及高级算法：下一代SDR收发器中的黑魔法

第51卷，第1期

Steven Chen [steven.chen@analog.com] 2004年毕业于南开大学(中国天津)，获通信工程硕士学位。毕业后即加入ADI公司北京设计中心，担任数字设计工程师，先后在高级电视部门以及高速转换器部门工作。他目前担任通信系统工程团队的高级算法开发工程师。研究方向包括数字信号处理、通信系统和数字辅助模拟技术。



Steven Chen

电源噪声和时钟抖动对高速DAC相位噪声的影响的分析及管理

作者：**Jarrah Bergeron**

共享

在所有器件特性中，噪声可能是一个特别具有挑战性、难以掌握的设计课题。这种些战常常导致一些道听途说的设计规则，并且开发中要反复试错。本文将解决相位噪声问题，目标是通过量化分析来阐明如何围绕高速数模转换器中的相位噪声贡献进行设计。本文旨在获得一种“一次成功”的设计方法，即设计不多不少，刚好满足相位噪声要求。

从一块白板开始，首先将DAC视作一个模块。噪声可能来自内部，因为任何实际元器件都会产生某种噪声；也可能来自外部噪声源。外部噪声源可通过DAC的任何外部连接，包括电源、时钟和数字接口等，进入其中。图1显示了这些可能性。下面将对每一种可能的噪声嫌疑对象分别进行研究，以了解其重要性。

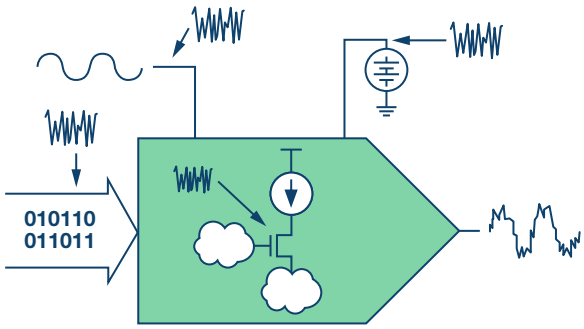


图1. DAC相位噪声来源。

首先讨论数字接口，它恰好是最容易处理的。数字I/O负责接收要在模拟域中输出的数字采样信号。众所周知，如眼图所示，数字电路和收到的波形多含噪声。由此看来，相应的问题是：是否所有这种噪声和活动都能渗入DAC内部的不同区域且表现为相位噪声？当然，数字接口可能在别处引起噪声，但这里关心的是相位噪声。

为了证明I/O是否需要关切，我们比较了AD9162系列高速DAC器件开启和关闭数字接口两种情况下的相位噪声。无数字接口时，器件的NCO模式内部生成波形，DAC事实上变成DDS发生器。图2显示了实验结果。

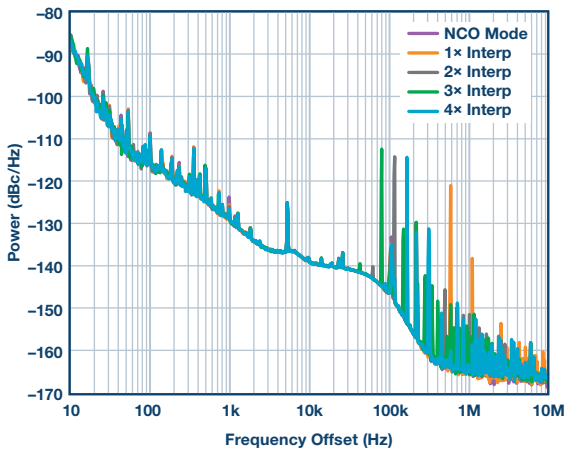


图2. 不同插值时的相位噪声。

相位噪声的峰值会根据接口的具体情况发生变化。现在我们感兴趣的是，噪声和所有曲线在彼此之上。因此，对于这个产品线，尽管由于系统要求可能要注意杂散，但接口不是问题。发现接口无需担心之后，我们感兴趣的下一个方面是时钟。

时钟

DAC时钟是DAC中产生相位噪声的首要原因。此时钟决定何时发送下一样本，故相位(或时序)中的任何噪声都会直接影响输出的相位噪声，如图3所示。此过程可以视作各相继离散值与一个矩形函数相乘，其时序由时钟定义。在频域中，乘法转换为卷积运算。结果，期望的频谱被时钟相位噪声所破坏，如图4所示。但是，确切的关系并不是显而易见的。下面将给出简明推导。

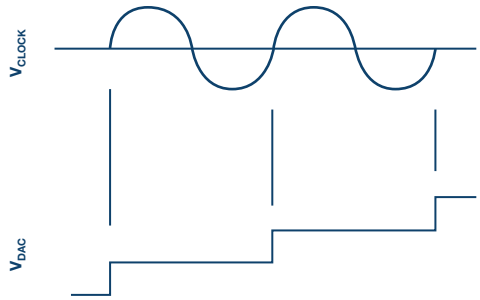


图3. 时钟与相位噪声的相关性。

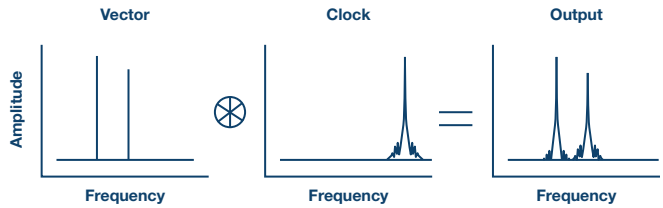


图4. 相位噪声卷积。

获取时钟和输出的时间快照，图5显示了一个波形实例。其目的是求出时钟和输出的噪声幅度之比，如图6中的红色箭头所示：可以画直角三角形，虽然任一边长都不知道，但两个三角形有共同的水平边。

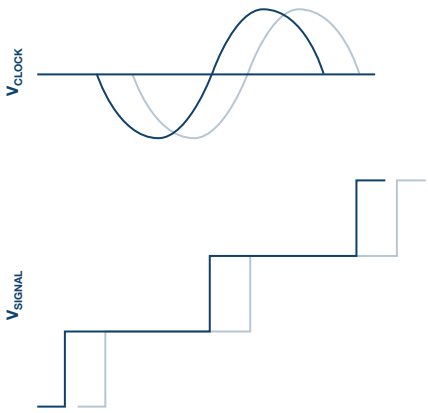


图5. 波形快照。

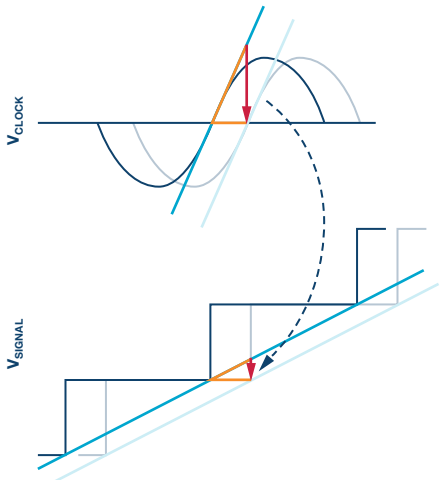


图6. 相位噪声关系。

设斜率为相应波形的导数，根据几何可得出以下等式：

$$\frac{V_{CLK_noise}}{\frac{\partial V_{CLK}}{\partial t}} = \frac{V_{SIG_noise}}{\frac{\partial V_{SIG}}{\partial t}}$$

针对DAC噪声重新整理，得出下式：

$$V_{SIG_noise} = V_{CLK_noise}\,\frac{\frac{\partial V_{SIG}(t)}{\partial t}}{\frac{\partial V_{CLK}(t)}{\partial t}}$$

我们常常对正弦或接近正弦的DAC输出和时钟波形感兴趣，所以上述结果可进一步简化。如果这一假设不成立，则仍应使用上式。

$$V_{SIG_noise} = V_{CLK_noise}\left[\frac{V_{SIG} f_{SIG}}{V_{CLK} f_{CLK}}\right]$$

重新整理后得到：

$$\frac{V_{SIG_noise}}{V_{SIG}} = \frac{V_{CLK_noise}}{V_{CLK}}\left[\frac{f_{SIG}}{f_{CLK}}\right]$$

注意，噪声关系等同于相对于相应波形幅度的关系，因此可以将其简洁地归纳为相对于载波的关系。另外，通过使用对数单位，我们得到下式：

$$N_{SIG} = N_{CLK} + 20\log_{10}\frac{f_{SIG}}{f_{CLK}}$$

根据信号频率与时钟频率之比，相对于载波的噪声放大或缩小。信号频率每降低一半，噪声改进6 dB。研究几何图像可知这是合理的，因为下面的三角形会变得更尖锐，垂直边会缩小。还应注意，如果噪声以相同幅度提高，则提高时钟幅度不会改善相位噪声。

为了证明这一点，可通过调制输入DAC的时钟来模拟相位噪声。图7显示5 GHz DAC时钟上有100 kHz的轻度相位调制。其上还绘出了500 MHz和1 GHz的输出频谱。信号音确实遵循了这种关系。从5 GHz时钟到500 MHz DAC输出观测到20 dB降幅，从500 MHz输出到1 GHz输出观测到6 dB增幅。

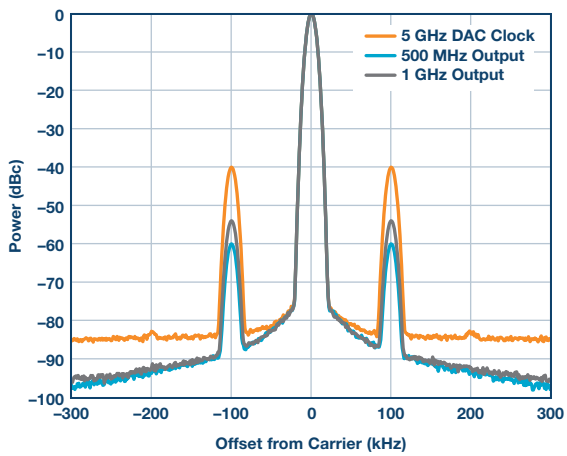


图7. 带100 kHz相位调制的时钟输出相位噪声。

精密受控的实验固然好，但我们关心的是实际噪声。用宽带频率合成器ADF4355代替发生器，图8显示了新时钟源的相位噪声曲线，对应的DAC输出为时钟频率的½和¼。噪声特性得到保留，每次降低6 dB。应注意，PLL未针对最佳相位噪声而优化。目光敏锐的读者会注意到，在小偏移处有一些预期偏差，但这是不同基准源引起的正常现象。

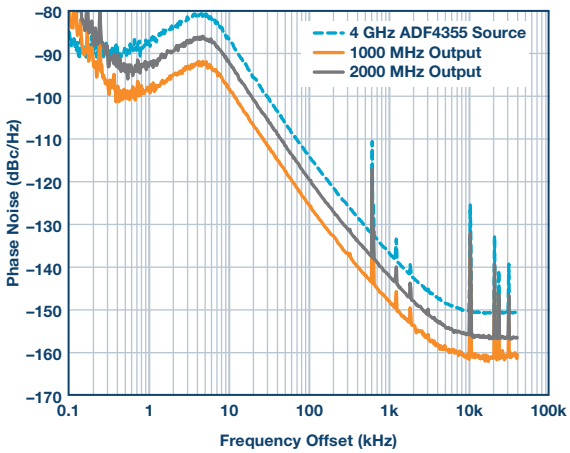


图8. 采用宽带频率合成器时钟源时的DAC输出相位噪声。

另一个需要探讨的方面是输入功率与噪声的“无关性”。只有噪声功率与载波的差异才是重要的。这意味着，直接放大时钟信号是没有益处的。图9说明情况确是如此。唯一的变化是噪底略有提高，这要归因于信号发生器。这一看法仅在合理范围内有效；在某一特定点，时钟的贡献会变得非常弱，以致于其他因素(如时钟接收器噪声)开始占主导地位。

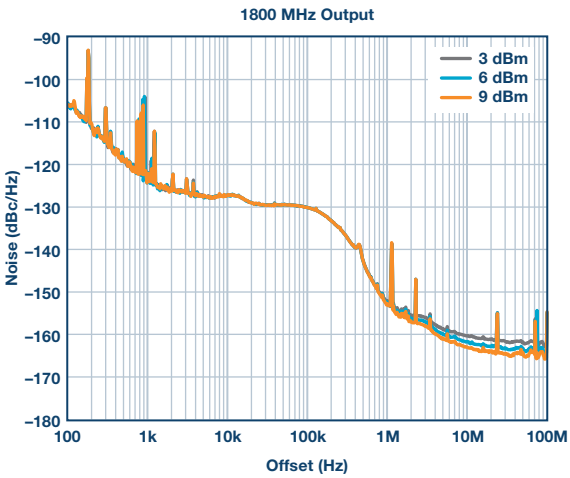


图9. 相位噪声与输入功率的关系

最后简单说明一下新采样方案2× NRZ。AD9164 DAC系列器件引入了这种新采样模式，在时钟的上升沿和下降沿均可提供新转换采样数据。不过，尽管有这些变化，相位噪声特性却保持不变。图10比较了原NRZ模式和这一新模式。图中曲线表明相位噪声相同，但可以看到噪底有所上升。这一结论的前提是上升沿和下降沿的噪声特性相同，对大多数振荡器而言这一前提确实成立。

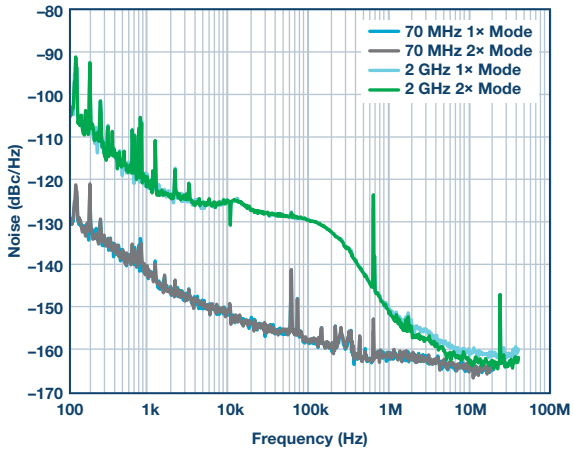


图10. 相位噪声和2× NRZ。

电源

噪声的下一个可能进入点是电源。芯片上的所有电路都必须通过某种方式供电，这就给噪声传播到输出提供了很多机会。具体机制取决于电路，不过下面着重指出了几种可能性。DAC输出端通常由电流源和MOS开关组成，开关引导电流通过正引脚或负引脚(图11)。显然，电流源从外部电源获得功率，任何噪声都会反映为电流波动。噪声可以经过开关到达输出端，但这仅解释了基带直接耦合。要贡献相位噪声，此噪声必须上混频到载波频率。这一过程是通过开关MOSFET完成的，其充当平衡混频器。噪声的另一路径是通过上拉电感，其从供电轨设置直流偏置，这里存在的任何噪声都会流到晶体管。这种波动会改变其工作条件，如源漏电压和电流源负载等，引起电流变化，从而又一次上混频到RF信号。一般来说，如果开关切换能能够把噪声混频到目标信号，这些开关电路都是电源噪声在输出信号中的相位噪声的贡献者。

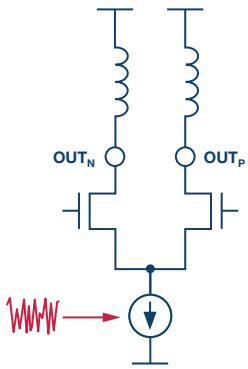


图11. DAC电流源。

鉴于所有这些电路和混频现象，要快速模拟所有这些行为是相当困难的。相反，对其他模拟模块的特性分析可以给我们带来一些启发。稳压器、运算放大器和其他IC会规定电源抑制比。电源抑制性能衡量负载对电源变化的灵敏度，可用于这里的相位噪声分析。然而，使用的不是抑制比，而是调制比：电源调制比(PSMR)。传统PSRR方法对基带应用中的DAC仍然有用，但与此处无关。下一步是获得具体数据。

测量PSMR要求调制待研究的供电轨。典型设置见图12。电源调制通过一个插在稳压器与负载之间的耦合电路获得，叠加上一个由信号发生器产生的正弦信号。耦合电路的输出通过一个示波器监控，以找出实际电源调制。最终得到的DAC输出馈入一个频谱分析仪。PSMR等于从示波器发现的电源交流分量与载波周围的调制边带电压之比。

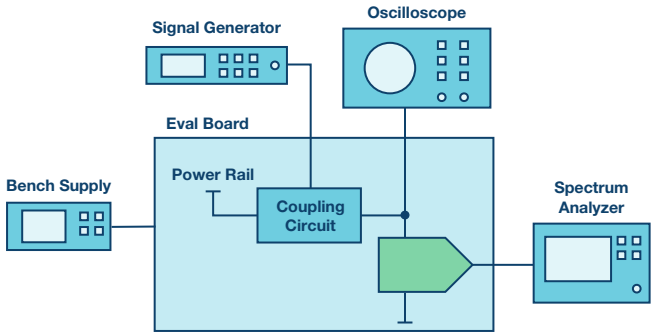


图12. PSMR测量。

存在多种不同的耦合机制。ADI公司应用工程师Rob Reeder在应用笔记MS-2210中解释了如何利用LC电路来测量ADC的PSMR。其他选项包括电源运算放大器、变压器或专用调制电源。这里使用的方法是变压器。建议使用高匝数比以降低信号发生器的源阻抗。图14显示了典型测量结果。

采用1:100匝数比的电流检测变压器和函数发生器，1.2 V时钟电源用500 kHz信号调制，所得峰峰值电压为38 mV。DAC时钟速度为5 GSPS。所得输出在一个满量程1 GHz、–35 dBm载波上引起边带。将功率转换为电压，然后利用调制电源电压求比值，所得PSMR为–11 dB。

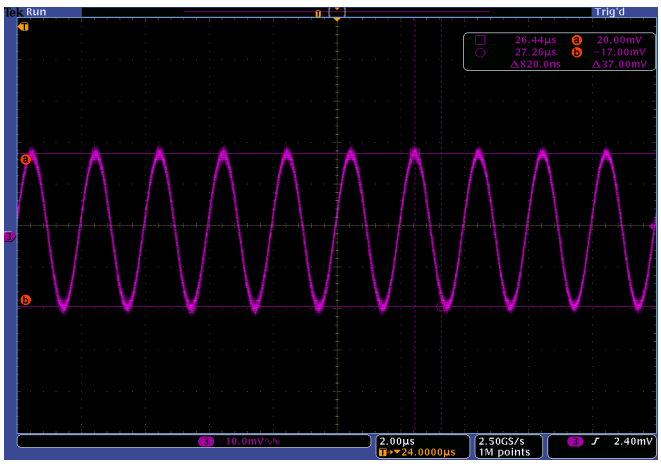


图13. 时钟电源调制。

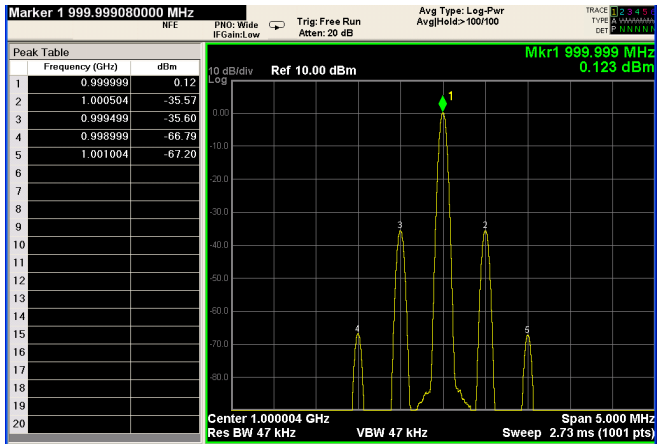


图14. 调制边带。

执行单个数据点，可以在多个频率上进行扫描。但是，AD9164 DAC总共包含8个电源。一种方案是测量所有电源，但我们可以把重点放在最敏感的电源上：AVDD12、AVDD25、VDDC12和VNEG12。某些电源(如SERDES)与本分析无关，故不包括在内。扫描多个频率和电源，结果总结于图15中。

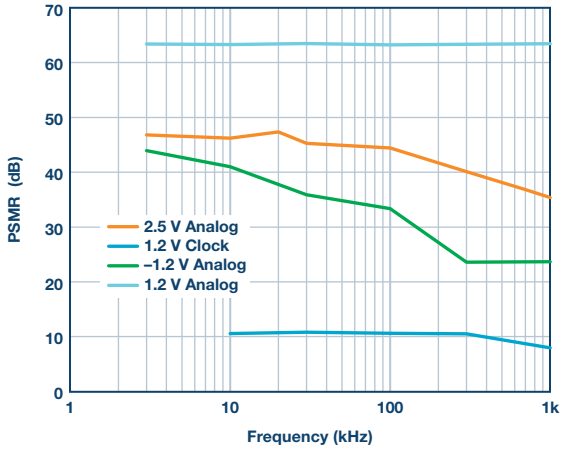


图15. 扫描频率测得的电源PSMR。

时钟电源是最为敏感的供电轨，然后是负1.2 V和2.5 V模拟电源，1.2 V模拟电源则不是很敏感。加以适当考虑的话，1.2 V模拟电源可由开关稳压器供电，但时钟电源完全相反：它需要由超低噪声LDO提供以获得最优性能。

PSMR只能在一定频率范围内测量。下限受衰减的磁耦合限制。所选变压器的截止频率较低，约为数十kHz。在上限，去耦电容会降低负载阻抗，导致供电轨越来越难以驱动。只要功能不受影响，为了测试目的可以移除一些电容。

使用PSMR之前，应注意几点。不同于PSRR，PSMR取决于波形功率或数字倒退(后者就DAC而言)。信号功率越低，则边带越低，比例关系为1:1。但是，回退对设计人员无益，因为边带相对于载波是恒定的。第二点是与载波频率的相关性。载波扫描显示，在较高频段时性能会以不同速率发生线性衰减。有意思的是，供电轨越敏感，斜率越陡。例如，时钟电源的斜率为–6.4 dB/倍频程，而负模拟电源的斜率为–4.5 dB/倍频程。采样速率也会影响PSMR。最后，PSMR仅提供相位噪声贡献的上限，因为它并未与同时产生的幅度噪声区分开来。

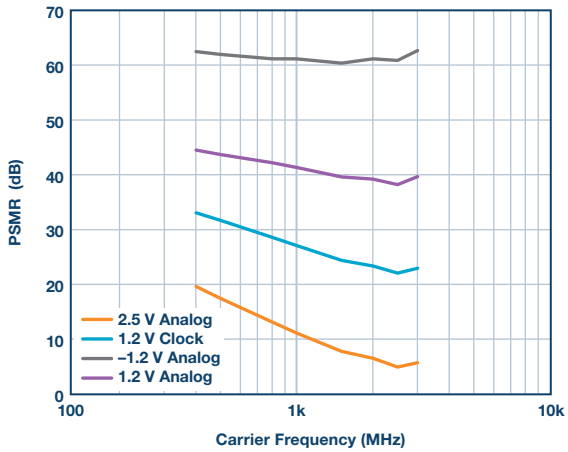


图16. 电源PSMR与信号频率的关系。

考虑到这些不同的噪声要求，考察不同电源方案有助于理解电源对相噪的影响。LDO是久经考验的稳压器，尤其适合用来实现最佳噪声性能。然而，不是任何LDO都行。图17中的15002C曲线显示了AD9162 DAC初始评估板的相位噪声。DAC输出设置为3.6 GHz，DAC时钟速度为4 GHz，来自Wenzel时钟源。在1 kHz到100 kHz的相位噪声高原上，占主导地位的疑似时钟电源噪声：ADP1740 LDO。利用此LDO的频谱噪声密度曲线和DAC PSMR测量结果(图16)，也可以计算其贡献并绘出曲线，如图17所示。虽然因为外推而没有精确对齐，但计算得到的点与实测噪声是合理对齐的，证实了时钟电源对噪声的影响。在电源解决方案的重新设计中，此LDO被更低噪声的ADP1761取代。在某些偏移处噪声降低多达10 dB，接近时钟的贡献(15002D)。

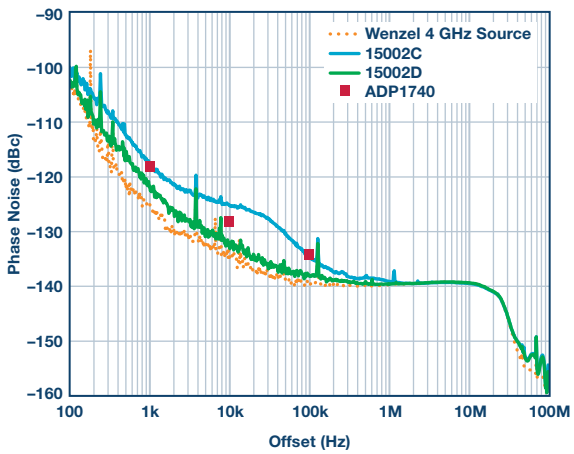


图17. AD9162评估板噪声。

噪声不仅会因为稳压电源的不同而大不相同，而且可能受到输出电容、输出电压和负载影响。应当仔细考虑这些因素，尤其是对于敏感的供电轨。另一方面，根据整体系统要求，LDO不一定需要。

通过适当的LC滤波，开关稳压器可提供电源，从而简化电源解决方案。同LDO一样，从稳压器NSD开始，并相应地展开设计。但由于采用LC滤波器，所以应注意串联谐振。不仅瞬变会变得难以驾驭，而且谐振频率附近可能出现电压增益，提高供电轨噪声和相位噪声。谐振可通过对电路降低Q值——给电路增加损耗性元件，加以控制。下图显示了来自另一个设计的例子，其采用AD9162 DAC。

在该设计中，时钟电源也是由ADP1740 LDO提供，但其后接一个LC滤波器。原理图显示了所考虑的滤波器，RL模型表示电感，RC模型表示主滤波电容(C1+R1)。滤波器响应如图20所示，特征谐振用红线表示。正如所料，此滤波器的迹象特征出现在相位噪声响应中，即图21中的蓝色曲线。由于滤波作用，100 kHz附近的噪声趋稳，随后急剧下降。幸运的是，LC滤波器峰化不够严重，未引起明显的尖峰，但滤波器仍可改善。这里采用的方案是再增加一个较大电容和一个适当的串联电阻，用来消耗能量。图中所示的串联电路由22 µF电容和100 mΩ电阻组成，它使响应平稳很多(蓝色曲线)。最终结果是此频率偏移附近的相位噪声得到改善，参见图21中的黄色曲线。

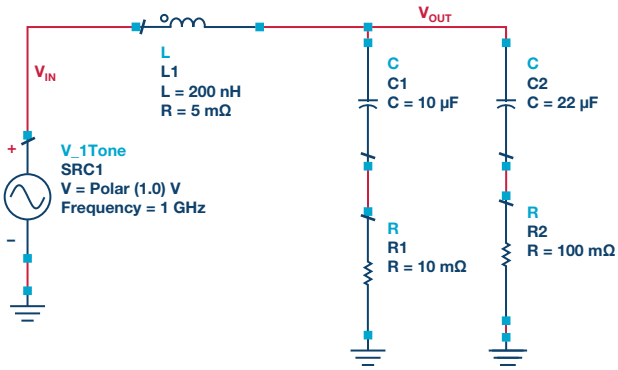


图18. LC滤波器和去Q网络。

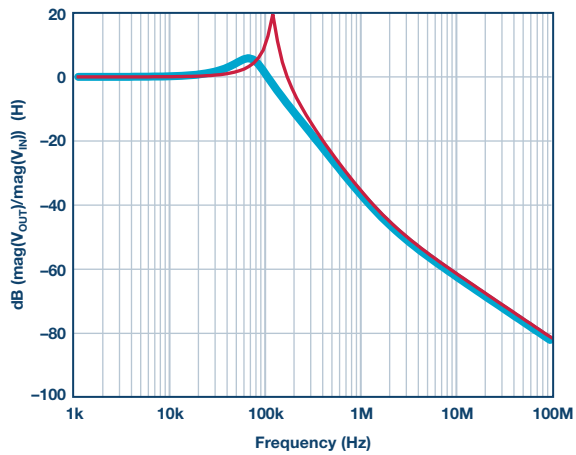


图19. LC滤波器响应。

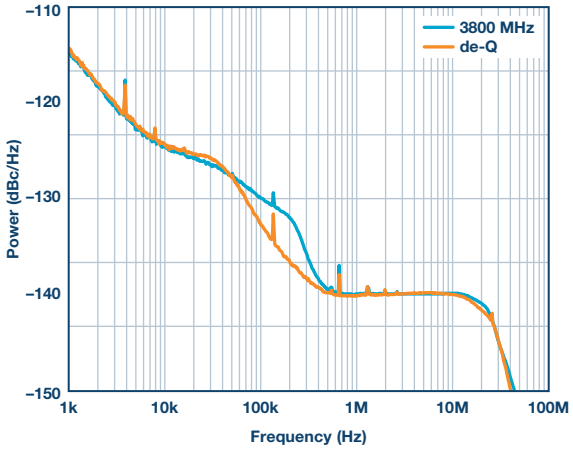


图20. 相位噪声响应。

最后需要分析的噪声源是器件本身的相位噪声。AD9164 DAC系列器件的相位噪声非常低，难以量化。消除所有预期噪声源后，残余噪声来自DAC，如图22所示。图中也显示了仿真的相位噪声曲线，其与测量结果相当吻合。在某些区域，时钟相位噪声仍占主导地位。

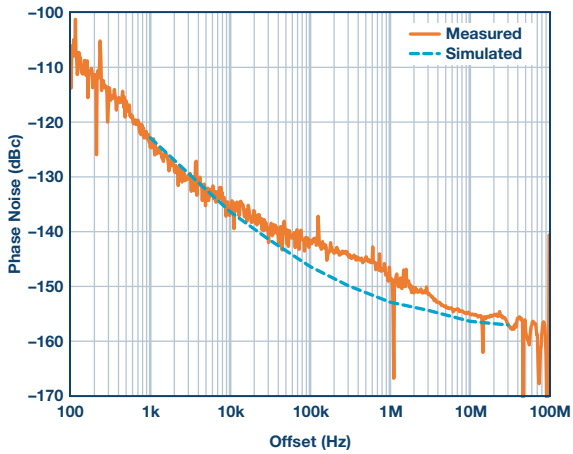


图21. AD9162相位噪声。

结语

面对上文讨论的所有噪声源，设计人员可能会茫然不知所措。一种简单的做法是采取某种“推荐解决方案”；但对任何具体设计要求而言，这都是次优做法。与RF信号链和精密误差预算类似，设计过程中可以使用相位噪声预算。利用时钟源相位噪声、各供电轨的PSMR结果、LDO噪声特性和DAC设置，可以计算并优化各噪声源的噪声贡献。图22显示了一个预算示例。正确考虑所有噪声源，便可分析和管理相位噪声，并确保信号链设计一次成功。

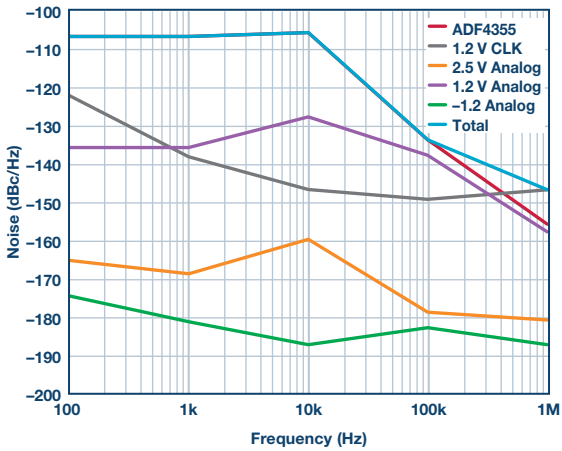


图22. 相位噪声预算示例。

参考文献

Brannon，Brad。应用笔记AN-756，*采样系统以及时钟相位噪声和抖动的影响*。ADI公司，2004。

Reeder，Rob。“高速ADC的电源设计”。ADI公司，2012年2月。

Jarrah Bergeron [jarrah.bergeron@analog.com] 自2014年起在ADI公司高速转换器部担任应用工程师。他从事过各类项目，涉及从高功率微波系统到纳米尺度微粒检测的不同领域；同时他也非常喜欢攀岩、滑雪等户外运动。Jarrah毕业于维多利亚大学，获电气工程学士学位。



Jarrah Bergeron

非常见问题解答—第139期误入歧途的陀螺仪

作者：Ian Beavers

共享



问：

我听说陀螺仪航向的漂移误差可能会随时间推移而累积。我的IMU会发生这种问题吗？

答：

测量角速率的MEMS陀螺仪有多个误差贡献因素，偏置不稳定性是其中之一。然而，与提供增强性能的分立器件相比，惯性测量单元(IMU)具有多方面优势。六自由度IMU由多个惯性MEMS传感器组成，这些传感器经过温度补偿和校准，对齐在正交轴上。内置三轴陀螺仪测量绕一个已知点的旋转，而三轴加速度计测量位移。后处理步骤利用数字信号处理器或微控制器执行，从而在内部实现传感器融合。

陀螺仪会受偏置不稳定性影响，由于器件固有的不足和噪声，陀螺仪的初始零点读数会随时间漂移。偏置可重复性可以在IMU的已知温度范围内进行校准。然而，恒定偏置不稳定性的积分会引起角度误差。此类误差会随着陀螺仪旋转或角度估计的长期漂移而累积。漂移的不良后果是航向计算的误差会持续增加而不减退。加速度计则相反，其对振动和其他非重力加速度敏感。

引起陀螺仪漂移的主要原因是两个因素的结合：一个是慢速变化的接近DC的变量，称为偏置不稳定性；另一个是较高频率的噪声变量，称为角度随机游走(ARW)。这些参数的大小用每单位时间的旋转角度来衡量。偏航轴对此漂移最为敏感。俯仰(姿态)和滚动轴的相当一部分陀螺仪漂移可以在IMU内部予以消除，即利用加速度计的反馈结果监控相对于重力的位置。在IMU内部利用低通或卡尔曼滤波器对陀螺仪输出进行滤波，也是广泛采用的消除部分漂移误差的方法。

理想情况下，校正所有轴的陀螺仪漂移需要两个基准。九自由度IMU通常会提供额外的磁力计传感器——大约三轴。磁力计检测磁场相对于地磁北极的强度。此类传感器可以与加速度计数据一同使用，作为另一个外部基准，用来降低陀螺仪漂移误差对偏航轴的影响。然而，设计适当的空间磁力计可能不如加速度计可靠，因为有很多东西会产生与地磁大小差不多的磁场。

另一种更有效的长期漂移消除方法是对陀螺仪实施零角速度更新。只要知道器件处于完全静止状态，便可将相应轴的陀螺仪偏移归零。因具体应用不同，这样的机会有很大差异。但只要系统处于重复出现的安静状态，例如汽车怠速、自主机器人静止或人跨脚步之间的时间，就可以进行归零调整。

当然，一开始便在设计中使用偏置不稳定性最小的先进IMU，可以最直接地降低陀螺仪漂移。要测量陀螺仪的恒定偏置误差，可以在器件未旋转时，获取输出在较长时间内的平均值。IMU艾伦方差曲线显示陀螺仪漂移(每小时旋转度数)与积分时间(τ)的关系。它一般是以对数-对数比例尺绘制的。ADIS16490是ADI高性能战术级IMU产品系列中的最新产品。ADIS16490的运动中偏置稳定度仅为每小时1.8°。参见图1所示的ADIS16490艾伦方差曲线，1小时点(3600秒)对应的误差为1.8°。

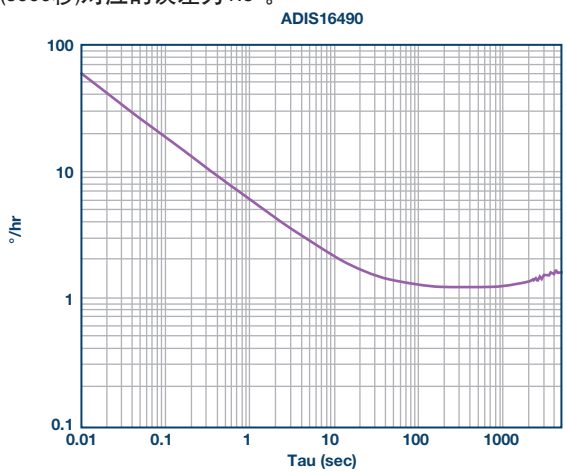


图1. ADIS16490陀螺仪艾伦方差根。

Ian Beavers [ian.beavers@analog.com] 是ADI公司自动化、能源和传感器部(美国北卡罗来纳州格林斯博罗)的产品工程经理。他于1999年加入公司。Ian拥有超过19年的半导体行业工作经验。Ian于美国北卡罗来纳州立大学获得电气工程学士学位和格林斯博罗分校M.B.A.学位。



Ian Beavers

该作者的其他文章：

并行传感器提高倾斜测量精度

第50卷，第3期

支持超低功耗物联网节点信号处理设计的ECG前端IC

作者：**David Plourde**

共享

当系统设计师寻找高能效的信号调理器件时，他们可能会发现，市面上能够在100 µA电源电流下工作的IC很少，而其中具有小型封装的器件就更是屈指可数了。对于日益增多的无线传感器网络(WSN)，电池寿命和电路板空间逐渐成为关键性规范，因此缺少可供使用的选项也许会令人沮丧。在搜索低功耗边缘节点物联网器件的过程中，某些模拟前端IC(比如可穿戴产品的心率监测器)可能根本不会出现，或因其针对特定应用而不予考虑。然而有一款ADI ECG前端IC，它可以工作于50 µA电源电流下并具有小巧的2 mm × 1.7 mm WLCSP封装，这款器件值得您在设计物联网节点应用时稍加考虑。如果更深入地研究，人们会发现其灵活架构实质上是一个仪表放大器(IA)和几个运算放大器，可通过配置形成一些实用的超低功耗信号处理电路，其适用范围不仅仅限于医疗或保健应用。

简化的单导联心电图(ECG)前端如图1所示。它包括一个间接电流模式IA，具有独立的传递函数：

$$IA_{OUT} = \left(1 + \frac{Rfb}{Rg}\right)(V_{IN}) + Ref$$

在此前端示例中，固定增益为100。IA的基准源由高通放大器(HPA)驱动，该放大器配置为反馈网络中的积分器，其输入连接到IA_{OUT}，通过外部电容和电阻设置截止频率。HPA将迫使HPDRIVE达到任何所需电压以保持HPSENSE以及IA_{OUT}处于基准电压。该电路形成一个一阶高通滤波器：

$$fc = \frac{100}{2\pi RC}$$

对于诊断级ECG，截止频率通常设为0.05 Hz，而对于仅检测心率的保健应用，设为7 Hz可能比较合适。高通滤波器函数能够解如何在放大高频ECG信号(1 mV至2 mV)的同时抑制大直流半电池电位(因电极/皮肤接触而导致)以及与ECG测量相关的低频基线漂移的问题。由于直流半电池电位(高达300 mV)抑制发生在IA的输入端，因此这种架构能够获得很大的增益。另一个益处就是可以抑制IA的失调和失调漂移。监测关于基准电压HPDRIVE将显示自动校正输入失调的反相形式。

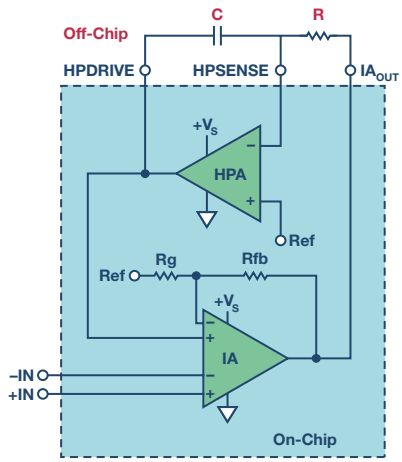


图1. 简化的单导联ECG前端。

虽然此设计的初衷是针对ECG应用，但实际上任何需要放大低频小信号(IA带宽<1 kHz)的应用都可受益于其低功耗和小尺寸。如果要进行直流测量，则仅需对此电路进行简单修改。图2显示固定增益为100的直流耦合IA。就是将图1中的R和C去掉，并将HPSENSE短接到HPDRIVEA，从而使HPA成为一个单位增益缓冲器。这种方式也会迫使IA基准保持基准电压。在此情况下应考虑到IA的失调电压。

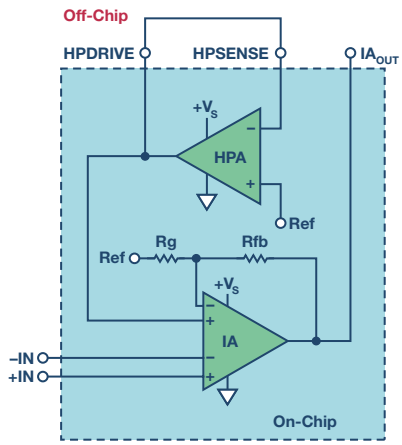


图2. 固定增益为100的直流耦合IA。

如果增益为100太高，或带宽为1 kHz太低，则可按照图3所示修改此电路。这时HPA配置为一个反相放大器，增益为–R2/R1，其输入为IA_{OUT}的反馈。新的传递函数可简化如下：

$$IA_{OUT} = \frac{V_{IN}}{\left(\frac{1}{100} + \frac{R2}{R1}\right)} + Ref$$

将HPA配置为衰减器(R2 < R1)可实现低于100的增益。由于差分输入的限值为300 mV，为确保电路的稳定性，建议增益不应低于10。下表中列出了一些可供考虑的增益配置。

表1：具有不同增益和带宽配置的直流耦合IA

R2	R1	增益	带宽
短路	开路	100	1.2 kHz
10 kΩ	1 MΩ	50	2.4 kHz
40 kΩ	1 MΩ	20	6.5 kHz
90 kΩ	1 MΩ	10	15.2 kHz

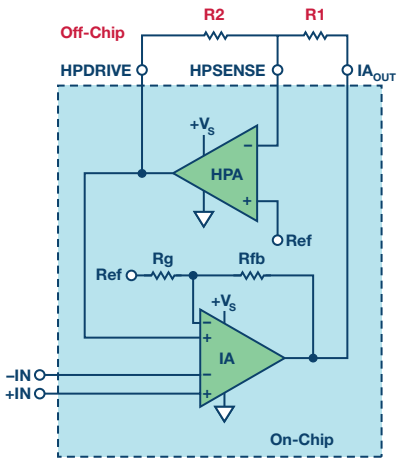


图3. 具有可调增益和带宽的直流耦合IA。

如果直流精度依然很重要，则保留IA增益为100，并按照图4修改电路，以补偿IA及任何附加传感器的失调。调节后的传递函数如下：

$$IA_{OUT} = 100\left(V_{IN} - \left(\frac{R2}{R1}\right)V_{TUNE}\right) + Ref$$

V_{TUNE}是用来校正失调电压的源电压，可由微控制器发出的PWM滤波信号提供或由低功耗DAC直接驱动。HPA仍配置为一个增益为–R2/R1的反相放大器，可用于进一步调节失调校正范围和分辨率。对V_{IN}进行分解，然后带入上式中，可得目标传递函数：

$$V_{IN} = V_{SIGNAL} + V_{OS}$$

$$V_{OS} = \left(\frac{R2}{R1}\right)V_{TUNE}$$

$$IA_{OUT} = (100)\ V_{SIGNAL} + Ref$$

总体失调可通过添加未施加V_{SIGNAL}的传感器进行补偿。仅需相对于基准源测量IA_{OUT}，并调节(R2/R1) V_{TUNE}直到该电压足够接近于零。

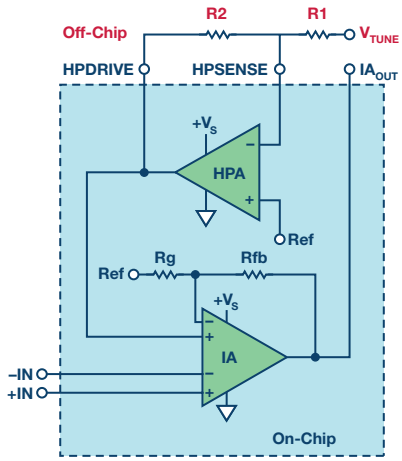


图4. 提供失调补偿的直流耦合IA。

将上述电路配置用于低功耗物联网设计之前，还应了解AD8233 ECG前端解决方案的其他部分。详细电路如图5所示。第一个运算放大器A1并非专用，通常用于提供IA级后的附加增益和/或滤波功能。对于其他传感器应用也同样有益。放大器A2通常用作ECG解决方案中的右腿驱动。IA输入共模的缓冲形式出现在A2负输入端，此时：

$$V_{CM} \sim \frac{+IN + -IN}{2}$$

通常会将此放大器配置成一个积分器，在RLDFB与RLD之间放置一个电容，通过RLD驱动第三电极改善整体系统的共模抑制比(CMRR)。除非此放大器可以构成有用的电路，否则最好是将$\overline{\text{RLDSDN}}$数字输入接地，同时保持RLD和RLDFB引脚浮空，从而降低放大器的功耗。

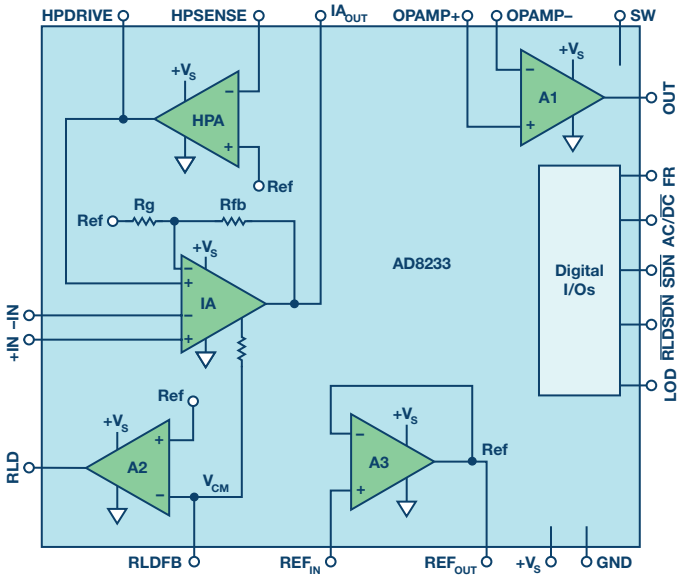


图5. 完整ECG和低功耗信号调理前端。

第三个运算放大器A3是一个集成式基准电压源缓冲器，可同时驱动片内和片外REF_{OUT}处的基准电压。REF_{IN}通常设为+Vs/2，其中单电源+Vs的范围是1.7 V至3.5 V。可采用一种简易的低功耗解决方案，接入两个10 MΩ电阻作为+Vs至地的分压器，如图6所示。在REF_{IN}和GND之间添加一个电容以协助任何噪声拾取。REF_{IN}也可以由ADC基准源驱动或用于IA输出的电平转换。

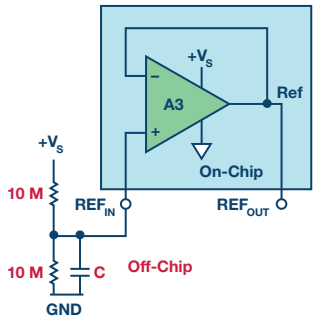


图6. 低功耗基准电压源。

数字输入FR支持快速恢复功能，这对于图1中的交流耦合电路十分有利。在启动过程中或输入端出现直流阶跃事件时，外部电容需要一段时间进行充电。在此情况下，IA将进入轨到轨模式，直到积分器已建立。自动快速恢复可检测到该事件，然后转向与外部电阻并联的更小电阻上并保持一定的时间，从而大幅加速了建立过程。SW引脚用于在必要时快速建立第二个外部高通滤波器。

AC/DC数字输入决定了ECG应用中使用的导联脱落检测方法，但也可用于输入端为其他传感器的断线检测。如果正确配置，当IA的某个输入与传感器断开连接时，数字输出LOD将发出指示。

除了具有尺寸小和活动功耗低的特点，AD8233还具有一个关断引脚(SDN)，可使总电源电流降至1 μA以下。这对于不常进行传感器测量的应用来说十分方便，可以显著延长总体电池寿命。即使在关断模式下，断线检测仍将保持正常工作。

现在我们对整体AD8233芯片有了更详细的了解，那么来看看关于传感器应用的几种不同思路吧。表2列出了构建非ECG电路的入门指南。

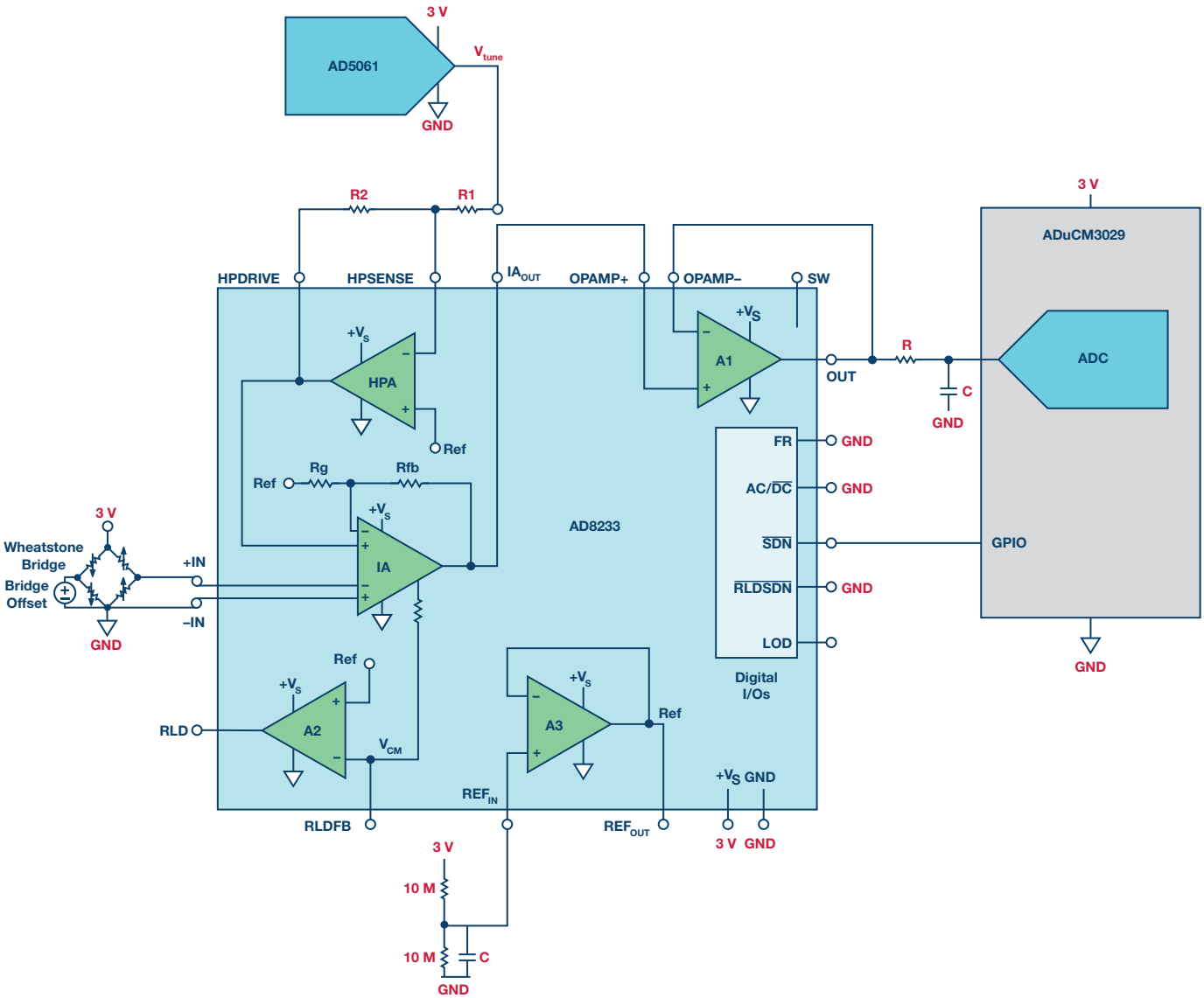


图7. 低功耗压力传感器电路。

表2. 针对非ECG应用的AD8233入门指南

引脚	操作
+V_S至地	电池或调节电压(1.7 V至3.5 V)
REF_{IN}	设为+V_S/2—图6
+IN、–IN	连接传感器(标称V_{cm} = +V_S/2)
HPSENSE、HPDRIVE、IA_{OUT}	参考图1至图4
RLD、RLDFB、SW、LOD	浮空
FR, AC/$\overline{DC}$, $\overline{RLSDN}$	接至GND
$\overline{SDN}$	接至+Vs (有效)，接至GND (关断)
OPAMP+、OPAMP–、OUT	灵活使用(IA后的附加增益/滤波)
REF_{OUT}	A1和ADC或uC的外部基准源

针对AD8233的物联网节点应用

基于Wheatstone电桥的压力传感器应用就是适合采用固定增益100和图4失调校正电路的一个好例子。此电桥可自然地将输入共模电压设为+Vs/2。电桥可由REF_{OUT}或非专用运算放大器驱动(具体取决于测量范围和所需电流)，使得电桥的电源电流在关断模式下被禁用。图7显示的是一个示例电路。由于AD5601 DAC具有低功耗(在3 V下为60 µA)、关断引脚和小巧的SC70封装，因此对于校正电桥和IA失调是一个不错的选择。运算放大器(A1)留作占位缓冲器，可用来设置附加增益/噪声滤波和60 Hz带宽。输出放大器驱动超低功耗ARM® Cortex®-M3 (ADuCM3029)的片上ADC，ADuCM3029采用节省空间的WLCSP封装。ADuCM3029的GPIO可以控制AD8233的关断引脚。

另一个可受益于图4电路的应用就是通过热电偶进行温度测量。K型热电偶在一个很宽的温度范围内几乎呈线性，其Seebeck系数在室温下(25° C)约为41 µV/°C。假设基准端或冷端已补偿，则IA输出将是测量端已获增益的信号~4.1 mV/°C(可使用NIST查询表以获得更准确的结果)热电偶的输出就是测量端和基准端之间的差分信号，因此，必须添加一个相等的基准端漂移来将其抵销。

要开始此过程，应先确定期望的基准端温度范围，并通过NIST表确定期望漂移。例如：

$$0°C \text{ to } 50°C: \frac{2.023\ mV - 0\ mV}{50°C} = 40.46\ \mu V/°C$$

$$25°C \text{ to } 100°C: \frac{4.096\ mV - 1\ mV}{75°C} = 41.28\ \mu V/°C$$

若在基准端放置一个精确的温度传感器，则测量结果可反馈至V_{TUNE}，并通过–R2/R1调节以获得合适的漂移。请注意，应使温度传感器负向漂移，或者交换IA输入，以确保在IA输出得到正向漂移。为了隔离失调和漂移校正，可将该电路分解成一个加法节点，其中V_{TUNE2}处的失调在–R2/R3作用下固定不变。更新后的传递函数如下：

$$IA_{OUT} = 100\left(V_{IN} - \left(\frac{R2}{R1}\right)V_{TUNE} - \left(\frac{R2}{R3}\right)V_{TUNE2}\right) + Ref$$

$$V_{IN} = V_{MEAS_{TC}} - V_{REF_{TC}} + V_{OS_{IA}}$$

经过修改的电路如图8所示。请注意，输入共模电压通过+IN上的10 MΩ上拉电阻和–IN上的10 MΩ下拉电阻设置为+V_S/2。此配置可在出现断线事件时将+IN上拉至+Vs，从而实现AD8233的导联脱落检测功能。这种情况可通过LOD引脚监测。AD8233还具有一个集成RFI滤波器，有助于从热电偶进行任何高频拾取。在输入端串联附加电阻可以降低截止频率。

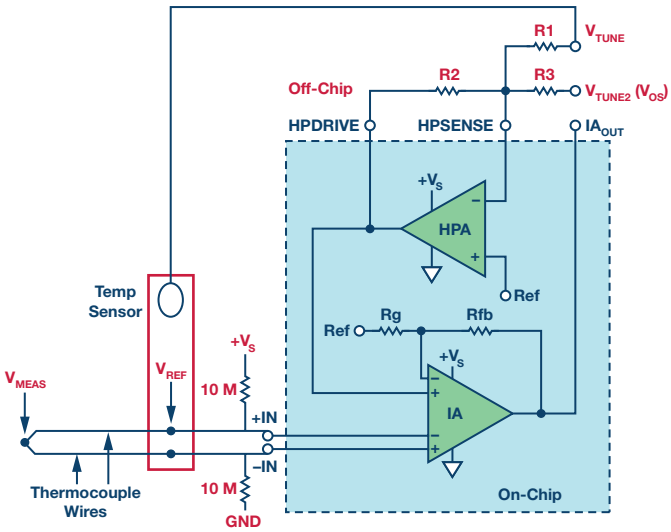


图8. 集成参考结补偿和断线检测特性的热电偶电路。

结语：

对AD8233进行的分析表明，其应用范围不仅仅限于ECG前端。该器件无与伦比地结合了有效低功耗(50 µA)、小巧的2 mm x 1.7 mm WLCSP封装、关断引脚以及灵活架构，从而实现了体积更小、重量更轻且电池寿命更长的设计。因此，下次您进行物联网、WSN或任何其他低功耗设计时，不妨考虑一下AD8233器件，想想您能用它实现什么电路。电池的寿命可能就取决于它了。

参考文献

Castro，Gustavo和Scott Hunt。如何避免用电桥传感器进行设计时陷入困境。*模拟对话*，第48卷，2014年。

Duff，Matthew和Joseph Towey。两种简单、精确、灵活的热电偶温度测量方法。*模拟对话*，第44卷，2010年。

ITS-90 K型热电偶表。

David Plourde [david.plourde@analog.com] 是ADI公司的模拟IC设计工程师，目前在位于马萨诸塞州威明顿市的线性和精密技术部门工作。他的兴趣相当广泛，包括各种低功耗设计和系统级解决方案，主攻医疗保健应用。David拥有伍斯特理工学院的学士学位(BS)和硕士学位(MS)。他于2006年加入ADI公司担任产品/测试工程师。



David Plourde

高精度ADC信号链中固定频率杂散问题分析及解决办法

作者：**Steven Xie**

共享

简介

虽然目前的高分辨率SAR ADC和Σ-Δ ADC可提供高分辨率和低噪声，但系统设计师们可能难以实现数据手册上的额定SNR性能。而要达到最佳SFDR，也就是在系统信号链中实现无杂散的干净噪底，可能就更加困难了。杂散信号可能源于ADC周围的不合理电路，也有可能是因恶劣工作环境下出现的外部干扰而导致。

针对高分辨率、精密ADC应用中的杂散问题，本文将介绍几种判断其根本原因的方法，并提出相应的解决方案。这些技术和方法将有助于提高终端系统的EMC能力和可靠性。

本文将针对五种不同的应用情况阐述用于降低杂散的特定设计解决方案：

- 由控制器板上的DC-DC电源辐射而导致的杂散问题。
- 由AC-DC适配器噪声通过外部基准源而导致的杂散问题。
- 由模拟输入电缆而导致的杂散问题。
- 由模拟输入电缆上的耦合干扰而导致的杂散问题。
- 由室内照明设备导致的杂散问题。

杂散与SFDR

众所周知，无杂散动态范围(SFDR)表示可从大干扰信号分辨出的最小功率信号。对于目前的高分辨率、精密ADC，SFDR一般主要由基波频率与目标基波频率的第二或第三谐波之间的动态范围构成。然而，由于系统其他方面的因素，可能会导致杂散产生并限制系统的性能。

这些杂散可分为输入频率相关杂散和固定频率杂散。输入频率相关杂散与谐波或非线性特性有关。本文将重点分析由电源、外部基准源、数字连接、外部干扰等造成的固定频率杂散。根据应用情况，可降低或完全避免这些类型的杂散，以助于实现最佳的信号链性能。

由ADC周围DC-DC电源而导致的杂散问题

由于DC-DC开关稳压器会产生较高的纹波噪声，通常建议将LDO作为在精密测量系统中为精密ADC生成低噪声电源轨的解决方案。固定频率或脉宽调制开关稳压器会产生开关纹波，该纹波一般位于几万至几兆赫兹固定频率处。固定频率噪声可能会通过ADC的PSRR机制馈入ADC转换代码中。

某些设计师可能会因电路板空间有限或预算问题而在精密ADC应用中采用DC-DC开关稳压器。为了实现理想的信号链性能，他们必须限制纹波噪声或使用高PSRR ADC，以确保这些纹波噪声低于ADC噪底。否则，在ADC输出频谱的开关频率处可能会出现杂散，这有可能会使信号链的动态范围降级。

AD7616是一款16位数据采集系统(DAS)，支持在电力线监控中对16个通道进行双路同步采样。该器件具有很高的PSRR，将能有效地抑制/衰减开关纹波。例如，将一个在100 kHz处有100 mV峰峰值纹波噪声的DC-DC开关电源用于AD7616，V_{CC}为5 V，±10 V输入范围。

则因纹波导致的数字码噪声为：

$$\frac{100\ \text{mV p–p}}{10^{\frac{88\ \text{dB}}{20}}} = 3.98\ \mu\text{V}\ \textit{or}\ 0.013\ \text{LSB}$$

对于一个16位转换器而言，ADC输出端出现的这种纹波电平是非常低的。ADC的高PSRR性能使得设计师们也可以在精密测量系统中采用开关稳压器。

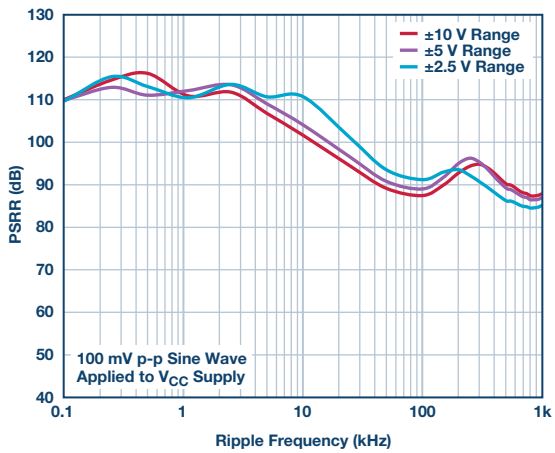


图1. AD7616 PSRR与纹波频率的关系。

因DC-DC电源辐射而导致的杂散问题

仅仅使用高PSRR ADC并不能保证开关稳压器在精密测量系统中不会造成任何问题。开关稳压器产生的纹波噪声可能会通过其他方式馈入ADC的数字码中。

AD4003是一款低噪声、低功耗、高速、18位、2 MSPS精密逐次逼近型寄存器(SAR) ADC。在EVAL-AD4003FMCZ评估板交流性能测试过程中，在277.5 kHz附近出现约–115 dBFS的杂散电平；该杂散及其第二谐波如图2所示。

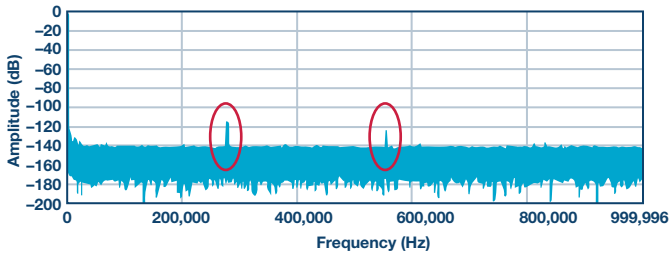


图2. EVAL-AD4003FMCZ评估板上观察到的杂散问题。

首先，已确定AD4003电源不是导致杂散的原因。

其次，进行测试，判断杂散是否来自模拟输入端。测试结果如下：

- 移除差分模拟输入调理电路后，杂散降低。
- 在AD4003的缓冲放大器ADA4807-1前端插入一个窄带RC滤波器(如1 kΩ，10 nF)后，杂散降低。

这些结果表明，杂散导致的噪声可能会通过调理电路进入AD4003的模拟输入端。然后，断开传感器输出，移除调理电路，仅留下V_{REF}/2 CM电压输入(在ADA4807-1的同相输入端)。但仍然存在杂散，并且具有近似的电平。

那么，怀疑干扰源有可能位于EVAL-AD4003FMCZ信号链周围。为了证明此点，在EVAL-AD4003FMCZ评估板和SDP-H1控制器板上多处放置铜箔屏蔽罩。其结果是，当铜箔屏蔽罩覆盖SDP-H1板上的DC-DC电源时，如图3所示，杂散就会消失。277.5 kHz杂散频率刚好与ADP2323稳压器的编程开关频率相符。图4显示了EVAL-AD7616SDZ GUI FFT捕获的3.3 V VADJ_FMC开关频率功率。



图3. VADJ_FMC电感L5被铜箔屏蔽罩覆盖。

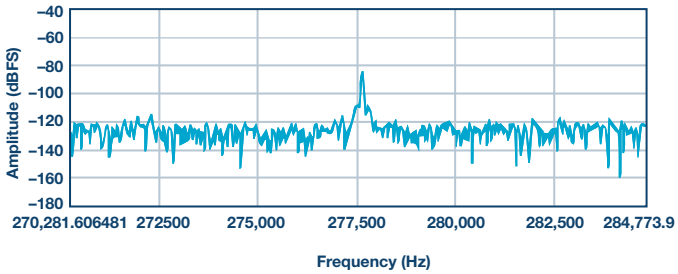


图4. EVAL-AD7616SDZ GUI FFT捕获的VADJ_FMC 3.3 V开关纹波。

得出的结论是，DC-DC开关频率干扰是由8.2 µH电感L5发出的。该干扰从缓冲放大器ADA4807-1的输入端注入信号链，然后进入AD4003 ADC的模拟输入端。

针对这种DC-DC电源转换器导致的杂散问题，可行的解决方案有：

- 在AD4003 ADC前端使用一个低通滤波器，以在应用带宽允许的情况下，将耦合的DC-DC开关频率干扰衰减到符合设计目标的程度(即杂散位于噪底以下)。
- 使用L5为屏蔽电感的新型SDP-H1板(BOM版本1.4)。辐射干扰功率降低，因此AD4003 ADC频谱中捕获的杂散功率也低得多。
- VADJ_FMC的电压电平可通过EVAL-AD4003FMCZ评估板上的EEPROM进行编程。试验证明，使用较低的电压电平(如VADJ_FMC为2.5 V)也会使杂散消失。

由AC-DC适配器噪声耦合通过外部基准源而导致的杂散问题

ADC参考其直流基准电压电平将模拟信号量化成一个数字码。因此，直流基准电压输入上的噪声将直接馈入ADC输出的数字码。

AD7175-2是一款低噪声、快速建立、多路复用、2/4通道(全差分/伪差分)Σ-Δ型ADC，可用于低带宽输入。在EVAL-AD7175SDZ评估板的信号链测试中，在60 kHz附近捕获到一簇杂散信号，如图5所示。

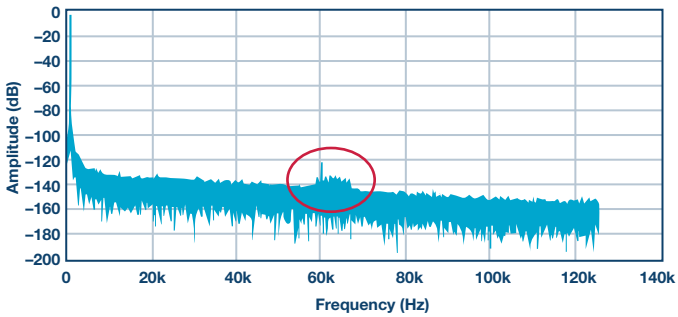


图5. EVAL-AD7175-2SDZ评估板上观察到的杂散问题。

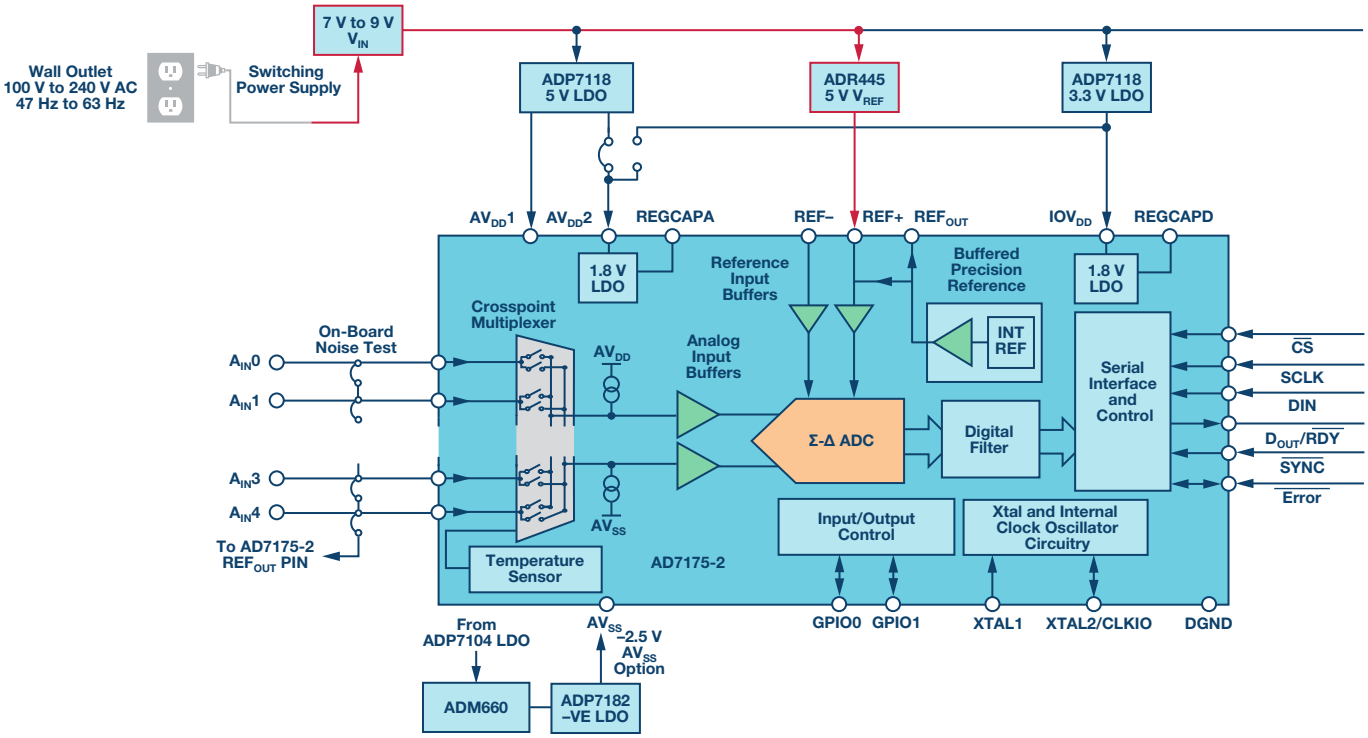


图6. EVAL-AD7175-2SDZ评估板上观察到杂散问题。

经过评估发现，AD7175-2 ADC的电源和模拟调理电路都处于良好状态。但是，如图6中所示，AD7175-2的5 V基准电压输入由ADR445基准源生成，该基准源的9 V直流电源来自评估板外部的AC-DC适配器。接下来，使用一个工作台9 V直流电源模块替换该适配器。结果杂散簇消失，仅在60 kHz处留下一个窄带杂散。

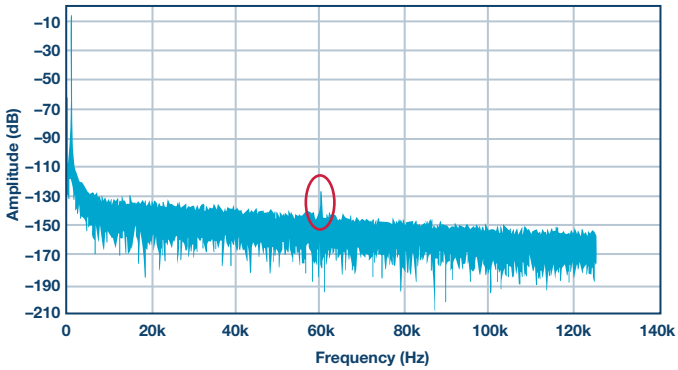


图7. EVAL-AD7175-2SDZ评估板上已消除杂散簇。

以320 mA输出电流对EVAL-AD7175-2SDZ板供电时，通过EVAL-AD7616SDZ GUI FFT对9 V输出AC-DC适配器进行测试。使用AD7616 ±10 V输入范围时，ADR445基准源电源引脚上的开关频率功率约为–70 dBFS，这意味着使用AD7175-2 ±5 V输入范围时，产生的噪声具有6.325 mV峰峰值或为–64 dBFS。

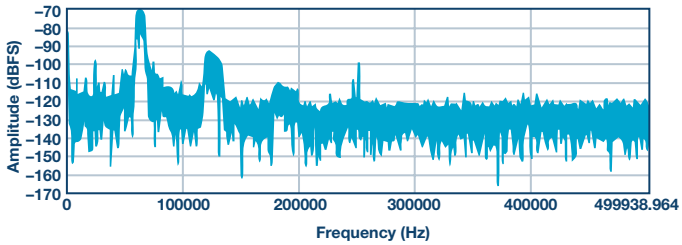


图8. EVAL-AD7616SDZ GUI FFT捕获的3.3 V VADJ_FMC开关纹波。

$$20\ V \times 10^{\frac{-70\ dB}{20}} = 6.325\ mV\ p\text{-}p$$

$$20 \times \log\left(\frac{6.325\ mV\ p\text{-}p}{10\ V}\right) = -64\ dBFS$$

此电源开关纹波噪声会馈入AD7175-2 ADC，并以数字码呈现，存在一定程度的衰减，如下所述：

- ADR445基准源的数据手册规定60 kHz处的PSRR为49 dB。
- ADR445基准源在60 kHz处的输出阻抗约为4.2 Ω。结合4.8 µF存储电容，可进一步造成18 dB衰减。
- 此外，当ODR为256 ksps时，AD7175-2 ADC的数字滤波器sinc5 + sinc1在60 kHz处会增加约–3 dB衰减。

计算所得的电平为–134 dBFS，十分接近图5中所捕获的–130 dBFS杂散簇电平(不包括最高的窄带杂散)。这可证实，该杂散簇是由AC-DC适配器的开关纹波馈入外部基准源ADR445造成的。剩下的窄带杂散将在下一章节中予以分析。

$$-64\ dBFS - 49\ dB - 18\ dB - 3\ dB = -134\ dBFS$$

由注入信号链的干扰而导致的杂散问题

在硬件系统中，从输入传感器到精密转换器输入端之间往往具有很长一段信号链。该信号链包括连接电缆、连接器、路由导线、调整和调理电路、ADC驱动器等等。因此，外部干扰很有可能会注入模拟输入信号链并产生ADC杂散。

由电源电缆干扰注入信号链而导致的杂散问题

在研究EVAL-AD7175-2SDZ评估板输出频谱中剩下的窄带杂散时，注意到测试台上有一台正在工作的数字示波器。如图9所示，该示波器的220 V交流电源电缆(黑色)与EVAL-AD7175-2SDZ评估板的模拟输入电缆(灰色)有一部分重叠。将示波器关掉或将其电源电缆从模拟输入电缆上移开后，60 kHz处的窄带杂散消失，如图10所示。

在系统机柜中，对传感器至DAQ板之间的线路进行布线时应格外注意。将敏感的低电平模拟信号与大电流电力线隔离开来是一个良好的操作习惯。

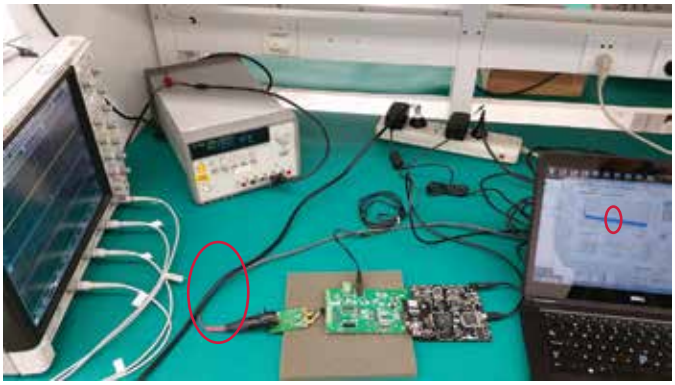


图9. 示波器电源电缆导致的杂散。

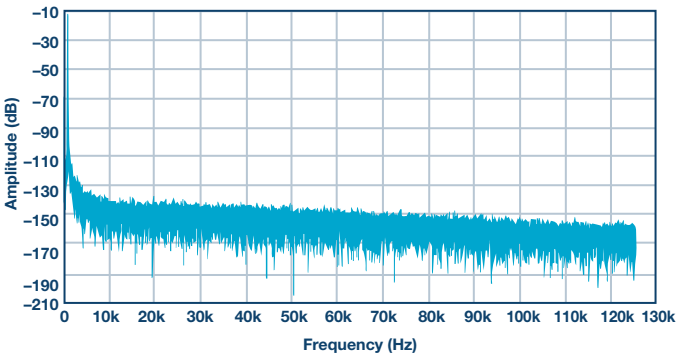


图10. EVAL-AD7175-2SDZ评估板上已消除所有杂散。

由灯具辐射导致的杂散问题

在测试EVAL-AD7960FMCZ评估板时，FFT频谱上出现一个杂散。如图11所示，该杂散的电平约−130 dB，位于40 kHz处。

40 kHz似乎与EVAL-AD7960FMCZ评估板及其控制器板SDP-H1上的任何信号频率都不相关。找出杂散源的另一种方法是清理测试台，也许是测试台上的某些物体产生了外部干扰。当关掉台架上的日光灯后，杂散消失。此外还发现，EVAL-AD7960FMCZ评估板离日光灯越近，40 kHz处的杂散就会越高。在缓冲放大器ADA4899-1前方插入一个额外的RC滤波器(如1 kΩ，10 nF)后，杂散降低约10 dB。这意味着，日光灯辐射干扰从缓冲放大器的同相输入端前方进入到信号链路中。

对于工作在照明环境下的系统，在前端电路上安装一个屏蔽罩有助于防止辐射干扰和优化信号链性能。

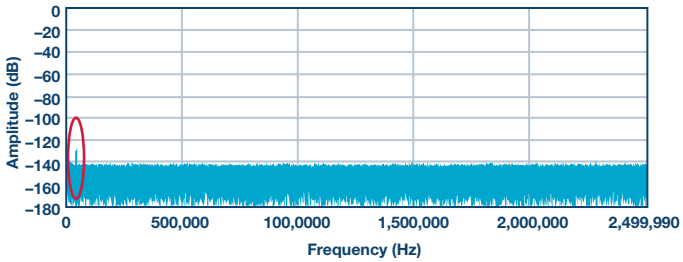


图11. 日光灯辐射在EVAL-AD7960FMCZ上造成的杂散。

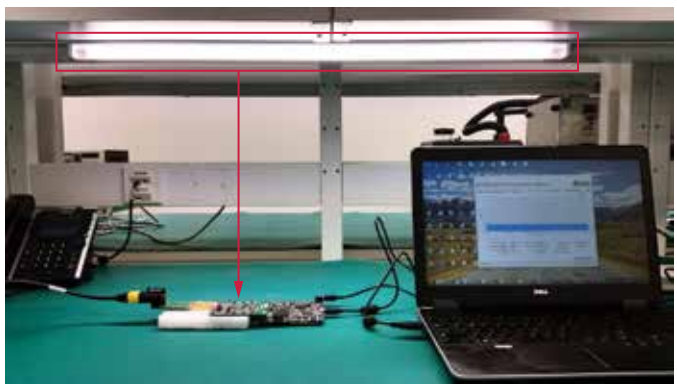


图12. 靠近EVAL-AD7960FMCZ评估板的日光灯。

由较长模拟输入电缆导致的杂散问题

在EVAL-AD4003FMCZ评估板的工作过程中，使用的AP SY2712信号发生器通过一条XLR麦克风电缆(约2米长)驱动低噪声、低THD正弦波信号进入模拟输入端。在这种设置下，700 kHz处出现一个约−125 dB的杂散，如图13所示。

在研究该杂散的过程中，发现有三种方法可解决此问题：

- 不用两米长的XLR麦克风电缆，而直接将AP平衡输出的XLR插针与转接板的XLR插口短接。
- 将信号源SY2712的输出阻抗设置从Z-Out = 40 Ω改为Z-Out = 600 Ω。
- 在AD4003的缓冲放大器ADA4807-1前端向信号链中插入一个窄带RC滤波器(如1 kΩ，10 nF)后，杂散降低。

最终结论是，在700 kHz处出现的高频杂散是由于信号源输出阻抗不匹配并且XLR电缆较长所导致。

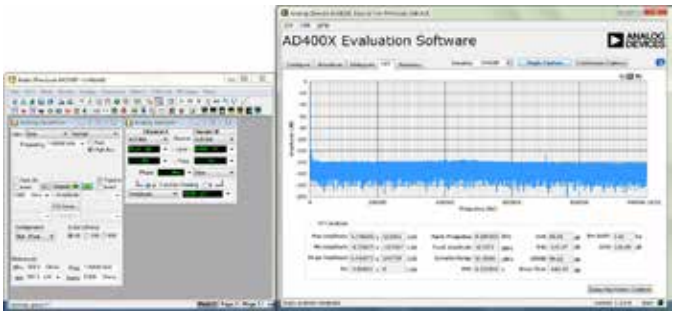


图13. XLR电缆在EVAL-AD4003FMCZ上造成的杂散。

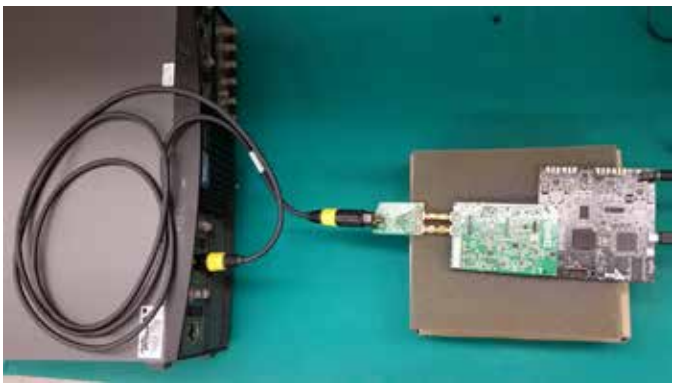


图14. AP通过较长的XLR电缆驱动EVAL-AD4003FMCZ。

结论

针对系统应用中高分辨率、精密ADC的杂散问题，本文探讨了判断其根本原因的方法。文中介绍了在五种不同应用情况下消除或降低杂散的特定设计解决方案。本文还探讨了相关的杂散计算方法，有助于评估杂散的功率水平(作为特定应用的设计目标)。

参考文献

AD4003评估套件。ADI公司。

AD7175-2评估套件。ADI公司。

Beavers，Ian。“认识宽带GSPS ADC中的无杂散动态范围。”ADI公司，2014年。

Walsh，Alan。“在功率敏感型应用中利用高效率超低功耗开关稳压器为精密SAR ADC供电。”ADI公司，2016年。

致谢

非常感谢ADI应用工程师Alan Walsh、Maithil Pachchigar、Nandin Xu以及Jeson Zhu在本文所需的工作台测试过程中提供的宝贵建议和支持。

Steven Xie [steven.xie@analog.com] 于2011年3月加入ADI北京分公司，担任ADI中国设计中心的产品应用工程师。他负责中国市场SAR型ADC产品的技术支持工作。在此之前，他曾在无线通信基站领域做过四年的硬件设计人员。2007年，Steven毕业于北京航空航天大学，并获得通信与信息系统硕士学位。



Steven Xie

该作者的其它文章

精密ADC用滤波器设计的实际挑战和考虑

第50卷，第2期

非常见问题解答—第140期
说变就变！让您的ADC通道数翻倍

作者：**Umesh Jayamohan**

共享



问：

我购买了一个双通道ADC，并配置成数字下变频器。但现在有人说其实我有四个转换器!!!难道是我买数据转换器时没留神参加了“买一赠一”活动？

答：

自从第一枚单片式硅基模数转换器(ADC)诞生以来，ADC技术一直紧跟硅加工技术快速发展的步伐。这些年来，硅加工技术已发展到非常高的程度，现在已经能采用经济的方式设计具有很多强大数字处理功能的ADC。早先的ADC设计使用的数字电路非常少，主要用于纠错和数字驱动器。新一代GSPS(每秒千兆样本)转换器(也称为RF采样ADC)利用成熟的65 nm CMOS技术实现，可以集成许多数字处理功能来增强ADC的性能。

当采样速率(在GSPS范围内)较高时，庞大的数据负载(每秒比特数)也随之而来。就以AD9680为例，这是一款14位、1.25 GSPS/1 GSPS/820 MSPS/500 MSPS JESD204B双通道模数转换器。在达到最高采样速率1.25 GSPS时，ADC数据流为

$$14\ bits \times 2\ converter\ channels \times 1.25\ \text{Gbps} = 35\ \text{Gbps}$$

这样的数据量将需要使用大量的LVDS路由通道来提取数字数据。为便于实现如此庞大的吞吐量，JESD204B标准应运而生。JESD204B是一种高速数据传输协议，采用8位/10位编码和加扰技术，旨在确保足够的信号完整性。针对JESD204B标准，总吞吐量变为

$$16\ bits \times 2\ converter\ channels \times \left(\frac{10}{8}\right) \times 1.25\ \text{Gbps} = 50\ \text{Gbps}$$

通过使用JESD204B标准，以每通道12.5 Gpbs对四个高速串行通道上的数据吞吐量进行划分。将其与LVDS接口(其中线路速率电容约为1 Gbps/通道)比较，芯片可能需要超过28对！

快速查阅AD9680数据手册可以发现，就连设置链路都要面对一大堆字母组合。早先的LVDS ADC比较易于实现，而新一代JESD204B ADC则稍微复杂一些。如果考虑到内部数字下变频器(DDC)的设置，则会更加复杂。尽管如此，ADC设置主要取决于三个字母：

L = 每条JESD204B链路的通道数

M = 每条JESD204B链路的转换器数

F = 每条JESD204B链路中每帧数据的8位字节数

就以AD9250为例，这是一款14位、250 MSPS JESD204B双通道模数转换器。图1显示了AD9250采用默认设置的框图。

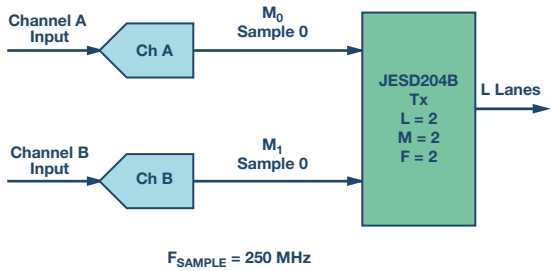


图1. 设置AD9250。

在此设置中，由于AD9250中没有其他数字处理任务，所以JESD204B链路(JESD204B发射器)一目了然。对于JESD204B链路来说，通道A为转换器“0”(M_0)，而通道B为转换器“1”(M_1)，这就意味着“M”的值为2。此设置的总线路速率为

$$Line\ Rate = \frac{M \times N' \times \left(\frac{10}{8}\right) \times F_{OUT}}{L} =$$

$$\frac{2 \times 16 \times 1.25 \times 250\ M}{2} = 5\ \text{Gbps/}lane$$

将其与采样速率为1 GSPS的AD9680进行比较—在后面这种情况下，有两个数字下变频器(DDC)用于复数(I/Q)设置。图2显示AD9680使用数字下变频器(DDC)对1 GSPS采样数据进行4倍抽取。因此，输出采样速率(F_{OUT})为250 MSPS。

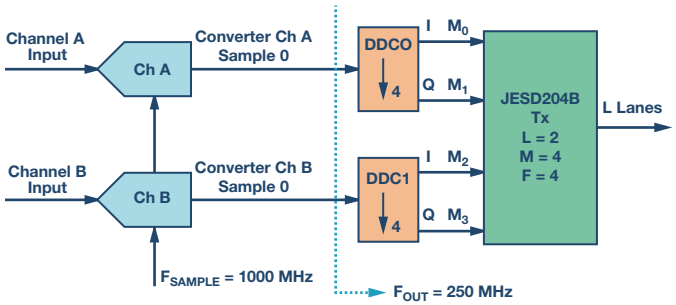


图2. 设置AD9860-1000，两个DDC设为4倍抽取。

从图2中可以明显看出，AD9680可以通过内部数字下变频器(DDC)有效降低采样速率。由于每个DDC输出一个16位数据流，此时实际的(物理的)转换器位流已与JESD204B字母汤中的“M”参数互不相干。依照标准，M为每条链路的转换器数。在修改后的情形中，“M”变成一个“虚拟”转换器的参数。虽然从物理上看AD9680只有两个ADC通道(A与B)，但是当DDC启用复数输出模式后，就会有四个不同的(16位)数据流通向JESD204B接口。对于JESD204B接口来说，这就相当于此时有四个转换器在发送位流。所以，“M = 4”或转换器乘法发挥了作用。在这种情况下，输出线路速率变为

$$Line\ Rate = \frac{M \times N' \times \left(\frac{10}{8}\right) \times F_{OUT}}{L} =$$

$$\frac{4 \times 16 \times 1.25 \times 250\ M}{2} = 10\ \text{Gbps/}lane$$

这里可以明显看出AD9680 JESD204B接口的灵活性，因为其提供了两个可用选项，具体取决于接收逻辑(ASIC或FPGA)对线路速率的可接受性。表1列出了图2所示AD9680设置中JESD204B接口的可用选项。

表1. AD9680 ADC的JESD204B输出接口配置选项

3虚拟转换器M	每链路的通道数L	每帧的8位字节数	线路速率(Gbps/通道)
4	4	2	5
	2	4	10

对于双通道ADC (如集成四个DDC的AD9680)，表2显示了用于各种配置的虚拟转换器映射。

表2. AD9680 ADC的JESD204B输出接口配置选项

支持的虚拟转换器数	芯片工作模式	芯片Q忽略	虚拟转换器映射							
			0	1	2	3	4	5	6	7
1至2	全带宽模式	实数或复数	ADC A样本	ADC B样本	未用	未用	未用	未用	未用	未用
1	一个DDC模式	实数(仅I)	DDC 0 I样本	Unused	未用	未用	未用	未用	未用	未用
2	一个DDC模式	复数(I/Q)	DDC 0 I样本	DDC 0 Q样本	未用	未用	未用	未用	未用	未用
2	两个DDC模式	实数(仅I)	DDC 0 I样本	DDC 1 I样本	未用	未用	未用	未用	未用	未用
4	两个DDC模式	复数(I/Q)	DDC 0 I样本	DDC 0 Q样本	DDC 1 I样本	DDC 1 Q样本	未用	未用	未用	未用
4	四个DDC模式	实数(仅I)	DDC 0 I样本	DDC 1 I样本	DDC 2 I样本	DDC 3 I样本	未用	未用	未用	未用
8	四个DDC模式	复数(I/Q)	DDC 0 I样本	DDC 0 Q样本	DDC 1 I样本	DDC 1 Q样本	DDC 2 I样本	DDC 2 Q样本	DDC 3 I样本	DDC 3 Q样本

Umesh Jayamohan [umesh.jayamohan@analog.com] 是ADI公司高速转换器部门(位于北卡罗来纳州格林斯博罗)的应用工程师，于2010年加入ADI公司。Umesh于1998年获得印度喀拉拉大学电气工程学士学位，于2002年获得美国亚利桑那州立大学电气工程硕士学位。



Umesh Jayamohan

该作者的其它文章：

让欧姆先生告诉您问题所在

第50卷，第4期

采用SPI接口的模拟开关提高通道密度

作者：**Stephen Nugent**

共享

摘要

设计一个要求高通道密度的系统时，例如在测试仪器仪表中，电路板上通常需要包括大量开关。当使用并行接口控制的开关时，控制开关所需的逻辑线路以及用于生成GPIO控制信号的串行转并行转换器会占用很大比例的板空间。本文讨论旨在解决这种设计挑战的ADI公司新一代SPI控制开关及其架构，以及相对于并行控制开关，它在提高通道密度上有何优势。ADI公司创新的多芯片封装工艺使得新型SPI转并行转换器芯片可以与现有高性能模拟开关芯片结合在同一封装中。这样既可节省空间，又不会影响精密开关性能。

测试设备中的通道数最大化至关重要，因为通道越多，可以并行测试的器件就越多，进而压缩最终客户的测试时间和成本。测试仪通过开关来分享其资源以支持多个被测器件(DUT)，故开关是增加通道数的关键元件。但是，并行控制的开关数量越多，控制线路也就越多，占用的电路板空间相应地增加，这严重制约了可以实现的通道密度。

在此情况下，使用SPI控制的开关在解决方案尺寸和通道数方面具有显著的优势。SPI开关可以采用菊花链形式布置，相比于传统解决方案，此举可大幅减少所需的数字线路数。

本文将详细说明通道数最大化过程中会遇到的问题，讨论用于控制一组开关的传统方法及其缺点，提出SPI控制的模拟开关解决方案，最后介绍同类产品中性能最佳的ADI SPI控制精密开关。

通道数最大化的常见问题

当模块开发的主要目标是通道数最大化时，板空间就会变得很珍贵。开关是提高系统通道数的关键，但随着开关数目增加，开关本身、逻辑线路及生成这些逻辑信号所需的器件会占用大量板空间，使可用空间减少。最终，受制于控制开关本身所需的相关因素，只能实现很有限的通道数。

传统并行开关解决方案

提高通道密度的最常见解决方案是使用由并行逻辑信号控制的开关。这需要大量GPIO信号，标准微控制器无法提供如此多的信号。为了生成GPIO信号，一种解决办法是使用串行转并行转换器。这些器件输出并行信号，并由I^2C和SPI等串行协议进行配置。

图1中的布局显示了8个ADG1412四通道、单刀单掷(SPST)开关，采用4×8交叉点配置，位于一个6层板上。这些开关由两个串行转并行转换器控制，串行线路来自一个控制板。每个转换器提供16条GPIO线路，这些线路分布到8个开关。布局显示了器件、电源去耦电容和数字控制信号(灰色)的占地大小。采用并行控制开关的4 × 8矩阵解决方案的尺寸为35.6 mm × 19 mm，占用面积为676.4 mm^2。

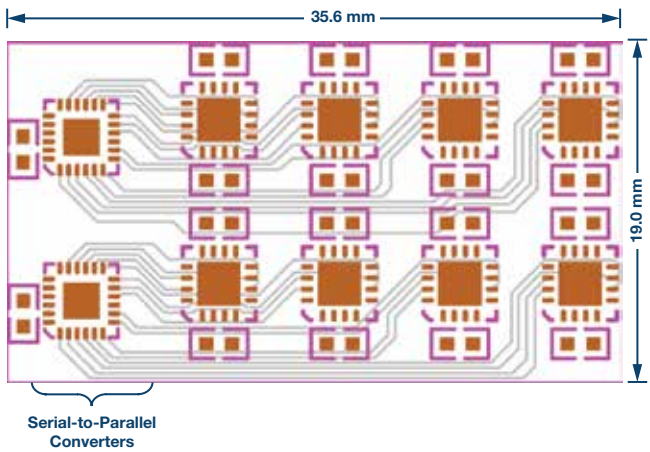


图1. 并行控制开关4 × 8矩阵布局。

从图1可以明显看出，很大比例的面积被串行转并行转换器和数字控制线路占用，而不是被开关本身占用。对板空间的这种低效使用是很糟糕的，会大幅减少模块中的开关数目，进而影响系统通道数。

SPI开关解决方案

图2显示了一个4 × 8交叉点配置，8个四通道SPST开关位于一个6层板上。不过，这次开关是SPI控制的ADGS1412器件。像之前一样，图中显示了器件尺寸、电源去耦电容和SDO上拉电阻。

该解决方案展示器件以菊花链形式配置。所有器件共享来自SPI接口的片选和串行时钟数字线路，菊花链中的第一个器件接收串行数据。然后，该数据被传送至链(像一个移位寄存器)中的所有器件。这个示例解决方案的尺寸是30 mm × 18 mm，面积为540 mm^2。

以菊花链形式使用SPI接口可大大减少串行转并行转换器和数字线路占用的板空间。采用这种开关配置，总电路板面积可减少20%，这使得通道密度大大提高。系统平台也得到了简化。当电路板上的开关数目提高时，节省的面积随之增加，包含数百个开关的电路板可节省50%以上的空间。

这说明在更小的面积中可以放入更多开关，相比于传统串行转并行转换器方案，同样面积的电路板将能支持更多通道。

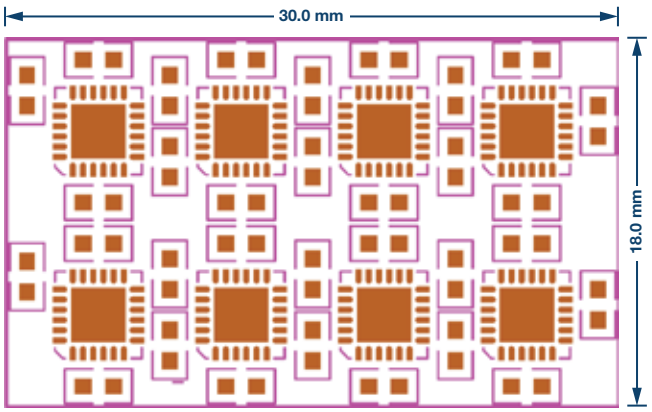


图2. 菊花链开关4 × 8矩阵布局。

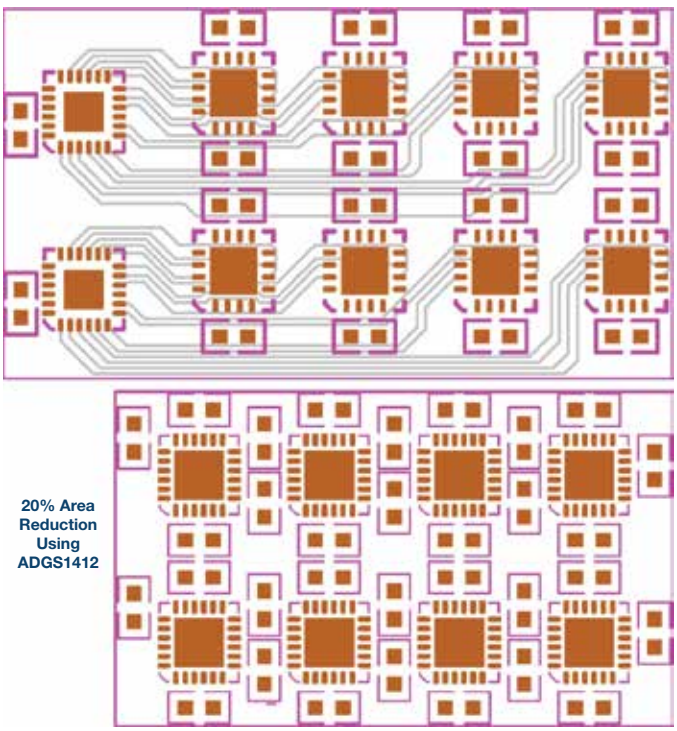


图3. SPI开关和并行开关解决方案的面积对比。

ADI SPI开关特性

ADI公司的新型SPI开关系列可用来实现更高通道密度，如上例所示。通过创新的堆叠式双芯片解决方案(图4)，ADI公司目前业界领先的精密开关可以利用工业标准SPI模式0接口进行配置。这意味着不仅可以节省空间，而且不会对系统性能造成不利影响。下面是ADI新型SPI开关的主要功能总结。

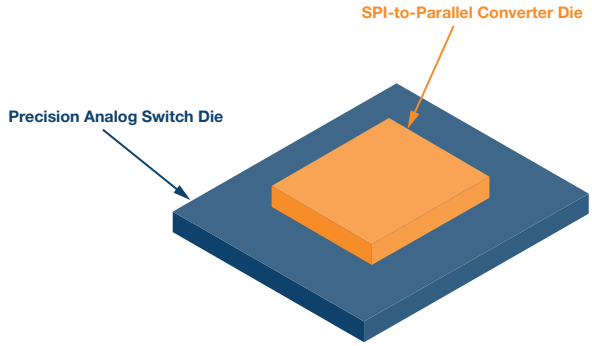


图4. ADI公司创新堆叠式双芯片解决方案。

菊花链模式

如上所述，ADI SPI开关能以菊花链模式工作。采用菊花链配置的ADGS1412器件连接如图5所示。所有器件共享$\overline{CS}$和SCLK数字线路，而器件的SDO与下一器件的SDI形成连接。利用单个16位SPI帧指令菊花链中的所有器件进入菊花链模式。在菊花链模式下，SDO是SDI的8周期延迟版本，故期望的开关配置可以从菊花链中的一个器件传递到另一个器件。

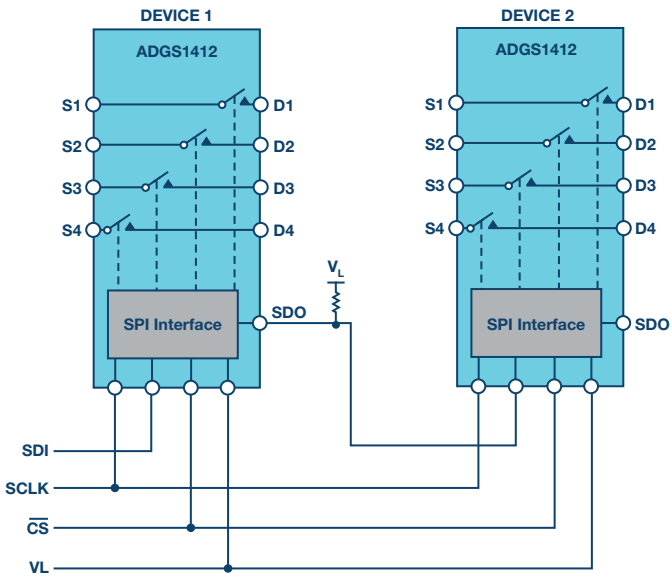


图5. 采用菊花链配置的两个开关。

错误检测功能

当器件处于寻址模式或突发模式时，可以检测SPI接口上的协议和通信错误。有三种错误检测方法，分别是SCLK错误计数、无效读取和写入地址以及最多3位的CRC错误检测。这些错误检测功能确保数字接口即使在恶劣环境下也能可靠工作。

ADI SPI开关系列

ADGS1412是ADI公司正在开发的SPI开关系列中的首款产品。得益于ADI公司开发的创新双芯片解决方案，ADGS1412不仅具有与并行控制器件ADG1412相同的同类最佳的低R_{ON}性能，而且具备串行接口带来的优势。

该系列将以ADI公司的高性能开关为基础构建，提供现有、业界领先的开关的SPI控制版本。表1列出了ADI新型SPI开关系列当前和计划发布的产品。产品型号代表何种模拟开关芯片与SPI转并行转换器进行多芯片封装，附加的S表示其为SPI控制版本。这些产品将在2017年陆续发布。

表1. 计划中的新型SDI SPI器件优化产品

产品型号	配置	器件优化
ADGS1412	4 × SPST	R_{ON}优化
ADGS5412	4 × SPST	低R_{ON}，防闩锁
ADGS1212	4 × SPST	电荷注入和C_{ON}优化
ADGS1612	4 × SPST	R_{ON}优化，中压
ADGS5414	8 × SPST	低R_{ON}，防闩锁

结语

在高通道密度应用中，与使用并行控制开关相比，使用SPI控制开关有很多优势。它能减少每个开关占用的电路板空间，进而实现更高的开关密度。这是因为它减少了所需的数字控制线路，并且不再需要其它器件来提供这些控制线路。

ADI公司的创新精密SPI开关解决方案支持提高通道密度。这些器件提供的菊花链模式有利于实现上述目标。由于采用双芯片解决方案，ADI公司当前开关产品的业界领先开关性能得以传承到新产品。ADGS1412是新型SPI控制开关系列中的首款产品，完整产品系列将于2017年和2018年陆续发布。

Stephen Nugent [stephen.nugent@analog.com] 是ADI公司线性与精密技术部的应用工程师。2014年毕业于英国贝尔法斯特女王大学，获电气电子工程硕士学位。2014年7月加入ADI公司的线性与精密技术部，负责为模拟开关和多路复用器产品系列提供技术支持。他以前也曾在ADI公司的精密转换器部工作。



Stephen Nugent

了解及消除1/f噪声

作者：Robert Kiely

共享

简介

本文阐释1/f噪声是什么，以及在精密测量应用中如何降低或消除该噪声。1/f噪声无法被滤除，在精密测量应用中它可能是妨碍实现最佳性能的一个限制因素。

什么是1/f噪声？

1/f噪声是一种低频噪声，其噪声功率与频率成反比。人们不仅在电子装置中观测到1/f噪声，在音乐、生物学乃至经济学中也观察到这种噪声[1]。关于1/f噪声的来源仍存在很大争议，人们就此仍在开展研究[2]。

在图1所示ADA4622-2运算放大器的电压噪声频谱密度中，我们可以看到有两个不同的区域。图1左边是1/f噪声区，右边是宽带噪声区。1/f噪声和宽带噪声之间的交越点称为1/f转折频率。

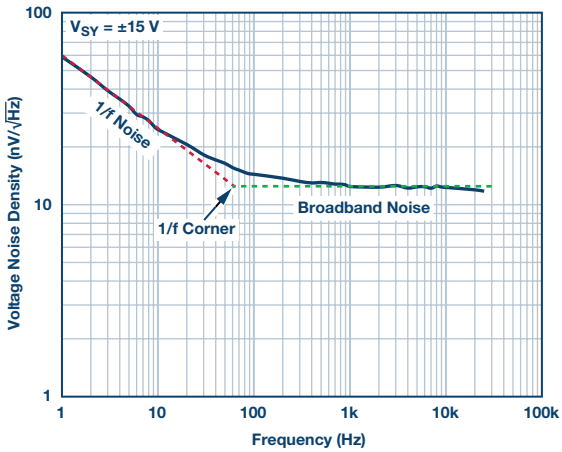


图1. ADA4622-2电压噪声频谱密度

如何测量及规定1/f噪声？

比较若干运算放大器的噪声密度曲线之后，可以得知每种产品的1/f转折频率是不同的。为了便于比较器件，当测量各器件的噪声时，我们需要使用相同带宽。针对低频电压噪声，标准规格是0.1 Hz至10 Hz峰峰值噪声。对于运算放大器，0.1 Hz至10 Hz噪声可利用图2所示电路来测量。

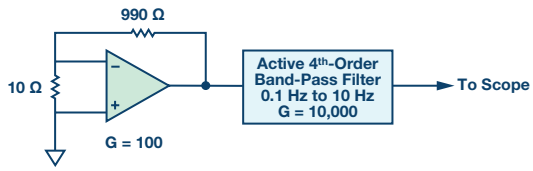


图2. 低频噪声测量

运算放大器增益设置为100，同相输入端接地。运算放大器由双电源供电，这样输入端和输出端可以与地电位相同。

有源滤波器模块限制所测量的噪声带宽，同时为来自运算放大器的噪声提供10000倍增益，从而确保来自待测器件的噪声是主要噪声源。运算放大器的失调不重要，因为滤波器输入为交流耦合。

滤波器输出连接到示波器，并测量10秒的峰峰值电压，以确保捕捉到完整的0.1 Hz至10 Hz带宽（1/10秒 = 0.1 Hz）。示波器上显示的结果随后除以1000000倍增益，以计算0.1 Hz至10 Hz噪声。图3显示了ADA4622-2的0.1 Hz至10 Hz噪声。ADA4622-2的0.1 Hz至10 Hz噪声非常低，典型值仅为0.75 µV p-p。

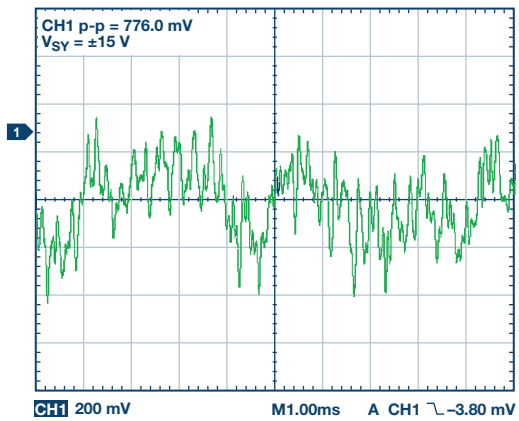


图3. 0.1 Hz至10 Hz噪声，V_{SY} = ±15 V，G = 1000000

1/f噪声对电路有何影响?

系统的总噪声是系统中各器件的1/f噪声和宽带噪声之和。无源器件有1/f噪声,电流噪声也有1/f噪声成分。但对于低电阻,1/f噪声和电流噪声通常非常小,故不予以考虑。本文仅聚焦于电压噪声。

为了计算系统总噪声,我们先计算1/f噪声和宽带噪声,再将其合并。如果使用0.1 Hz至10 Hz噪声规格来计算1/f噪声,那么我们假定1/f转折频率低于10 Hz。如果1/f转折频率高于10 Hz,那么我们利用下式[3]估算1/f噪声:

$$\frac{1}{f}\,Noise_{rms} = en_{1Hz}\left(\sqrt{\ln\left(\frac{f_h}{f_l}\right)}\right)$$

其中:
e_{n1Hz}为1 Hz时的噪声密度,
f_h为1/f噪声转折频率,
f_l为1/孔径时间。

例如,若要估算ADA4622-2的1/f噪声,则f_h约为60 Hz。我们设置f_l等于1/孔径时间。孔径时间为总测量时间。如果设置孔径时间或测量时间为10秒,则f_l为0.1 Hz。1 Hz时的噪声密度e_{n1Hz}约为55 nV/√Hz。因此,0.1 Hz到60 Hz的噪声结果为139 nV rms。为将此值转换为峰峰值,应乘以6.6,故峰峰值噪声约为0.92 µV p-p[4]。这比0.1 Hz至10 Hz规格高出约23%。

宽带噪声可用下式计算:

$$Noise_{rms} = e_n\left(\sqrt{\text{NEBW}}\right)$$

其中:
e_n为1 kHz时的噪声密度,
*NEBW*为噪声等效带宽。

噪声等效带宽要考虑滤波器逐步滚降引起的超出滤波器截止频率的额外噪声。噪声等效带宽取决于滤波器极点数和滤波器类型。对于简单的单极点低通巴特沃兹滤波器,NEBW为1.57 x 滤波器截止频率。

ADA4622-2在1 kHz时的宽带噪声密度仅为12 nv/√Hz。输出端使用一个截止频率为1 kHz的简单RC滤波器,宽带均方根噪声约为475.5 nV rms,可计算如下:

$$WB\ Noise_{rms} = 12\ nV\left(\sqrt{1\ \text{kHz} \times 1.57}\right)$$

注意,简单低通RC滤波器具有与单极点低通巴特沃兹滤波器相同的传递函数。

为了获得总噪声,我们必须将1/f噪声和宽带噪声相加。为此我们可以使用和方根方法,因为这些噪声源是不相关的。

$$Total\ Noise_{rms} = \sqrt{\left(\frac{1}{f}Noise_{rms}\right)^2 + \left(WB\ Noise_{rms}\right)^2}$$

利用此等式,我们可以计算ADA4622-2输出端采用一个简单1 kHz低通RC滤波器时的总均方根噪声为495.4 nV rms。此噪声仅比宽带噪声高出4%。从这个例子可以清楚地知道,1/f噪声仅影响测量频率从DC到极低带宽的系统。一旦比1/f转折频率高出大约10倍或更多,1/f噪声对总噪声的贡献就会变得微不足道。

噪声以和方根相加,如果较小噪声源比较大噪声源的大约$^1/_5$还低,那么我们可以决定忽略较小噪声源,因为低于$^1/_5$的噪声源对总噪声的贡献只有大约1%[5]。

如何消除或降低1/f噪声?

斩波稳定或斩波是一种降低放大器失调电压的技术。由于1/f噪声是接近DC的低频噪声,所以这种技术也能有效降低1/f噪声。斩波稳定的工作原理如下:对输入级的输入信号进行交替或斩波,然后再对输出级的信号进行斩波。这相当于利用正弦波进行调制。

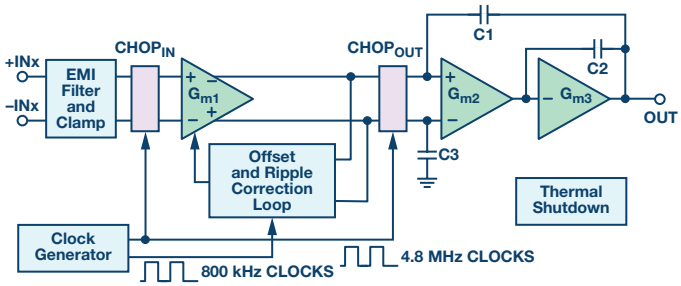


图4. ADA4522架构框图

参考图4所示的ADA4522-2架构框图,输入信号在$CHOP_{IN}$级调制到斩波频率。在$CHOP_{OUT}$级,输入信号同步解调回到原始频率,同时放大器输入级的失调和1/f噪声被调制到斩波频率。除了降低初始失调电压之外,失调相对于共模电压的变化也会缩小,从而获得非常好的直流线性度和高共模抑制比(CMRR)。斩波还会降低失调电压温漂。因此,采用斩波技术的放大器常被称为零漂移放大器。需要注意的一点是,零漂移放大器仅消除了放大器的1/f噪声。任何其他来源(如传感器)的1/f噪声会不受影响地通过。

使用斩波的缺点是它会将开关伪像引入输出并提高输入偏置电流。在示波器上查看时,可以看到放大器输出上的毛刺和纹波;利用频谱分析仪查看时,可以在噪声频谱密度中看到噪声尖峰。ADI公司最新零漂移放大器(如ADA4522 55 V零漂移放大器系列)采用已获专利的失调和纹波校正环路,以最大程度减少开关伪像[6]。

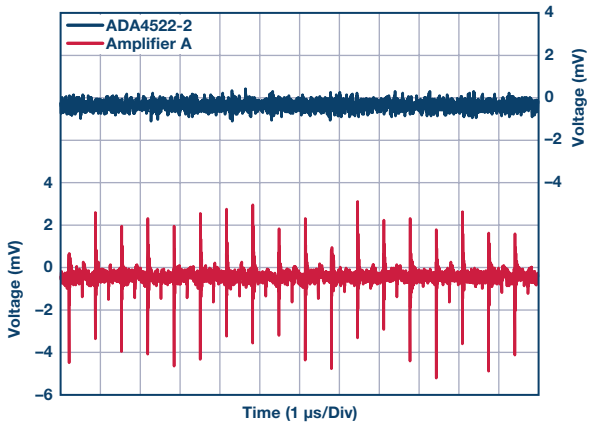


图5. 时域中的输出电压噪声[6]

斩波技术也可应用于仪表放大器和ADC。真正的轨到轨、零漂移仪表放大器AD8237，新型低噪声、低功耗、24位Σ-Δ型ADC AD7124-4，以及最近发布的超低噪声、32位Σ-Δ型ADC AD7177-2等产品，即利用斩波来消除1/f噪声并使温漂最小。

使用方波调制有一个缺点，那就是方波包含许多谐波。各谐波的噪声会被解调回到DC。如果使用正弦波调制，那么这种方法受噪声影响要小得多，可以在有大噪声或干扰的情况下还原非常小的信号。这是锁定放大器采用的方法[7]。

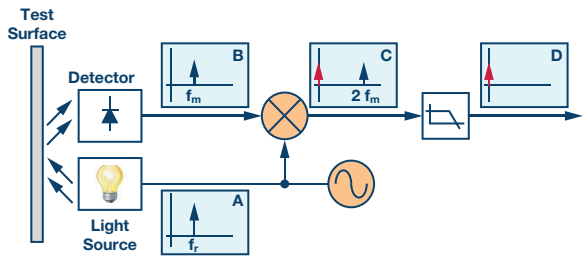


图6. 使用锁定放大器测量表面污染程度[7]

在图6所示例子中，传感器输出由正弦波调制以控制光源。利用光电检测器电路检测信号。一旦信号通过信号调理级，便可进行解调。利用相同正弦波调制和解调信号。解调使传感器输出回到DC，但也将信号调理级的1/f噪声移至调制频率。解调既可在模拟域中完成，也可在ADC转换之后的数字域中完成。利用非常窄的低通滤波器（例如0.01 Hz）抑制DC以上的噪声，这样只剩下原始传感器输出和极低噪声。这要求传感器输出恰好在DC，因此正弦波的精度和保真度很重要。此方法可消除信号调理电路的1/f噪声，但不能消除传感器的1/f噪声。

如果传感器需要一个激励信号，那么可以利用交流激励消除传感器的1/f噪声。交流激励工作原理如下：交替改变传感器激励源以从传感器产生一个方波输出，然后从激励的各相中减去输出。利用这种方法，我们不仅能消除传感器的1/f噪声，还能消除传感器的失调漂移以及不良寄生热电偶效应[8]。

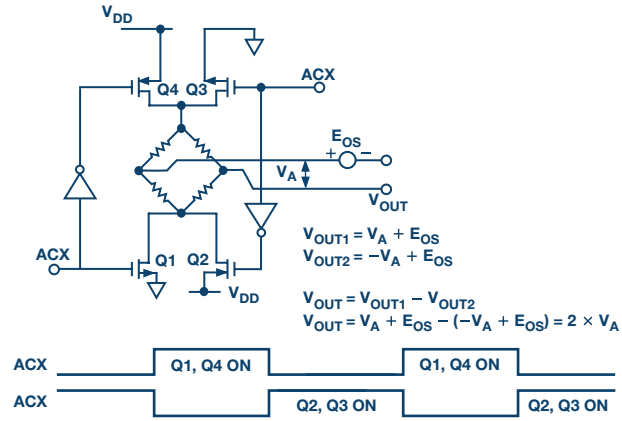


图7. 桥式传感器的交流激励[8]

交流激励可利用分立开关完成，并通过微控制器控制开关。内置PGA的低噪声、低漂移、24位Σ-Δ型ADC AD7195含有驱动器来实现对传感器的交流激励。ADC透明地管理交流激励，传感器激励与ADC转换同步，使交流激励更容易使用。

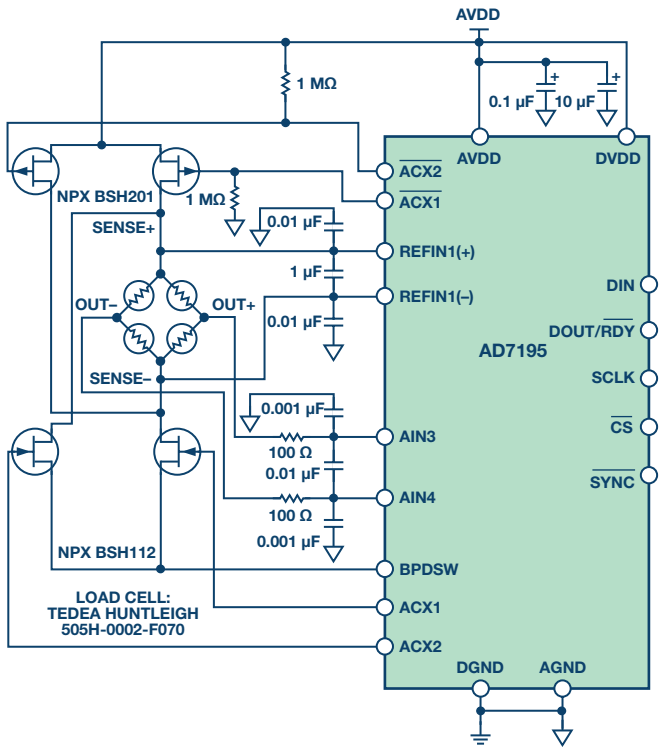


图8. CN-0155—利用内置PGA和交流激励的24位Σ-Δ型ADC实现精密电子秤设计

实现

使用零漂移放大器和零漂移ADC时，必须知道各器件的斩波频率，并清楚可能发生交调失真(IMD)。当两个信号结合时，所得波形不仅含有原先的两个信号，还有这两个信号频率的和与差。

例如，考虑一个采用ADA4522-2零漂移放大器和AD7177-2 ∑-Δ ADC的简单电路，各器件的斩波频率会混频，产生和与差信号。ADA4522-2的开关频率为800 kHz，而AD7177-2的开关频率为250 kHz。这两个开关频率的混频会在550 kHz和1050 kHz产生额外的开关伪像。这种情况下，AD7177-2数字滤波器的最大转折频率为2.6 kHz，远低于最低伪像，故将会滤除所有这些IMD伪像。然而，如果串联使用两个完全相同的零漂移放大器，那么产生的IMD将是器件内部时钟频率之差。此差值可能很小，所以IMD会出现在离DC近得多的地方，落在目标带宽之内的可能性更大。

任何情况下，当设计一个采用零漂移或斩波器件的系统时，必须考虑IMD。应当注意，大多数零漂移放大器的开关频率远低于ADA4522-2。事实上，设计精密信号链时，高开关频率是ADA4522系列的一项关键优势。

结语

1/f噪声会限制精密直流信号链的性能。然而，可以利用斩波和交流激励等技术来消除1/f噪声。采用这些技术需权衡利弊，但现代放大器和∑-Δ型转换器已解决这些问题，使得零漂移产品更容易使用且终端应用范围更广。

参考文献

1. William. H. Press。“天文学和其他领域中的闪烁噪声”。*天体物理学评论*，1978年。
2. F.N.Hooge。“1/f噪声源”。*IEEE电源电子会刊*，第41卷第11期，1994年。
3. MT-048。“运算放大器噪声关系：1/f噪声、均方根 (RMS) 噪声与等效噪声带宽”。ADI公司，2009年。
4. Walter Jung。“*运算放大器应用手册*”。Newnes，2005年。
5. MT-047。“运算放大器噪声”。ADI公司，2009年。
6. Kusuda Wong。“零漂移放大器：现可轻松用于高精度电路中”。*模拟对话*，第49卷，2015年。
7. Luis Orozco。“同步检波器助力精密低电平测量”。*模拟对话*，第48卷，2014年。
8. Albert O'Grady。“传感器激励与测量技术”。*模拟对话*，第34卷，2000年。

致谢

作者感谢Scott Hunt和Gustavo Castro先前就放大器噪声源所做的工作。

Robert Kiely [robert.kiely@analog.com]是线性与精密技术部的高级应用工程师，工作地点在美国加利福尼亚州圣何塞市。2010年加入ADI公司。其工作重点是精密信号链及产品，包括∑-Δ型ADC、精密放大器和基准电压源。Rob毕业于爱尔兰利默里克大学，获电气工程学士学位和VLSI系统工程硕士学位。



Robert Kiely

非常见问题解答—第141期
有时，信号需要接近电源轨传输

作者：**Daniel Burton**

共享



问：

我在给一个精密传感器模拟前端设计信号调理模块，我是否应该使用轨到轨输入的运放？

答：

可能要用，这取决于传感器输出信号是否会迫使运算放大器达到一个接近供电轨的电压。例如，若要通过一个精密10 Ω并联电阻监控0 mA至500 mA的负载电流，则最大输出电压将是5 V。如果放大器电源电压为5 V，那么您将需要选择一个具有轨到轨输入电压范围的放大器。

许多运放的经典输入级为晶体管差分对。为使运算放大器放大输入端的共模电压(V_{CM})信号，V_{CM}和电源电压之间必须有足够的裕量。如果V_{CM}太接近任一供电轨，以至于输入对缺乏裕量，则输入失调电压和其他重要参数会降级，引起精度损失，如图1所示。正是这些裕量要求规定了运放的额定输入电压范围(IVR)。业界的一些最高精度放大器(如ADA4610)，即采用这种经典输入结构。只要输入电压远离供电轨，它便有出色的精度。

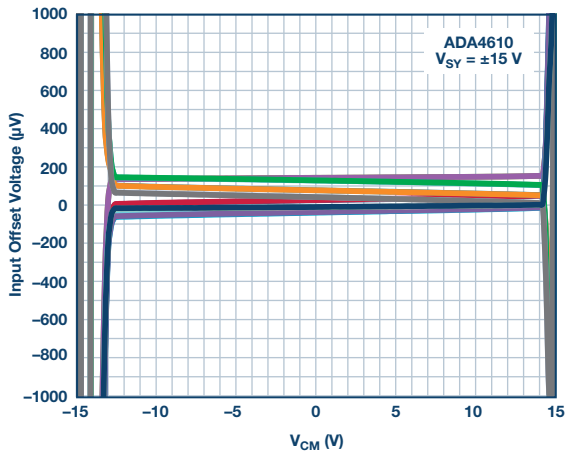


图1. ADA4610典型输入失调电压与共模电压的关系。

如果传感器的输出信号不包括V+轨，但其范围会一路低到负供电轨，则它需要一个能接受V_{CM}也低至V–的放大器。此类运放称为单电源运放，因为将V–接地后，只需要一个电压源。单电源运放采用特殊电路拓扑，支持放大接近V–轨的信号。

类似地，有些应用要求运放能在V–到V+的输入范围内保持高精度。这称为轨到轨输入(RRI)运算放大器，此类运放通常有两个差分对，一个轨一对。ADA4661是RRI运放的经典范例。如图2所示，它在整个电源电压范围内具有出色的精度。

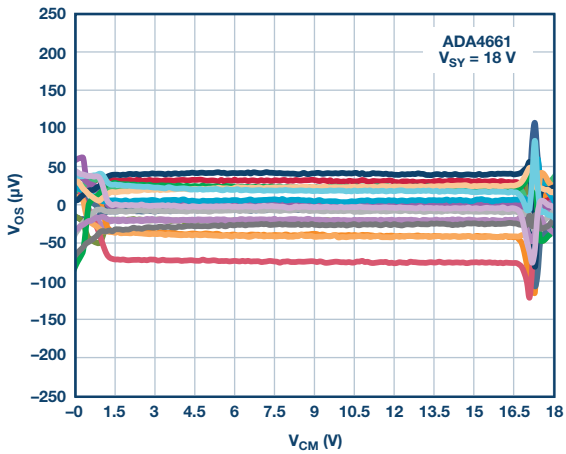


图2. ADA4661：轨到轨运算放大器，典型输入失调电压与共模电压的关系。

当输入由两个差分对组成以实现轨到轨输入时，既有利也有弊。当V_{CM}从一个对跃迁至另一个对时，会有一个小交越失真反映在失调电压中。对于ADA4661，您可以看到失真幅度约为50 µV，发生在V+轨以下大约2V。虽然这在某些系统中可能不严重，但在其他系统中，您可能需要避免此失真。一种解决方案是通过系统设计让输入电压保持在交越电压以下。在图2中，它仍会提供16 V以上的IVR。电源电压较低(例如5 V)的应用会带来挑战，因为要放弃足够的IVR(例如2 V)，必然会大幅降低输入信号的电压范围。在这种应用中，我们需要其他类型的输入级。

ADA4500通过单个输入对与一个电荷泵的结合来消除交越，从而消除交越失真。电荷泵提供更高的内部电压，使输入对有足够的电源电压，即使运放滤波器位于供电轨也无妨。利用这种结构，传感器可以将运放输入电压驱动到整个电源电压范围内而不会有交越失真，如图3所示。在这样做的同时，它提供95 dB的保证共模抑制性能和120 µV的输入失调电压(25°C时)，即使输入信号接近电源轨也不影响其出色的精度。

关于运放输入结构和利弊的详细讨论，请参阅小型指南MT-035“运算放大器输入、输出、单电源和轨到轨问题”以及下面列出的其他参考资料。

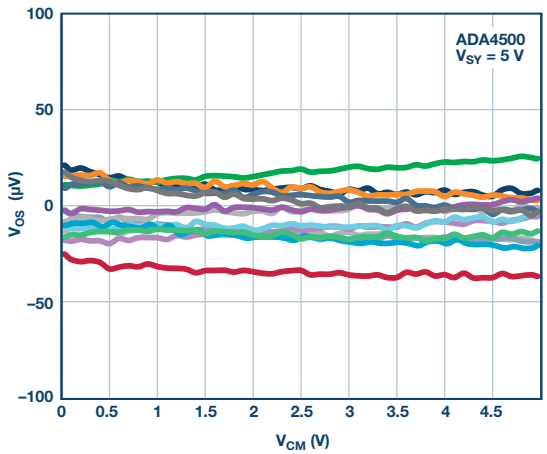


图3. ADA4500轨到轨运算放大器消除整个电源范围内的失真。

表1. 从经典轨到轨运放中选择精密运放(所有值的单位均为V)

精密运算放大器	针对V+的裕量	针对V–的裕量	电源范围	输入结构
ADA4610	2.5	2.5	10至36	经典差分对
ADA4522	1.5	0	4.5至55	单电源
ADA4622	1	–0.2	10至30	单电源
ADA4084	0	0	3至30	轨到轨
ADA4661	0	0	3至18	轨到轨
ADA4505	0	0	1.8至5	零交越失真
ADA4500	0	0	2.7至5.5	零交越失真

参考文献

Ardizzoni, John。“放大器裕量是否束缚了您的手脚？”*模拟对话*，第62卷，2010年10月。

Ardizzoni, John。“单电源放大器——听起来很简单，但确实如此吗？”*模拟对话*，第38卷，2008年10月。

ADI公司小型指南MT-035：“运算放大器输入、输出、单电源和轨到轨问题”

Daniel Burton [daniel.burton@analog.com] 是ADI公司的应用工程师。他拥有圣何塞州立大学的电气工程学士学位，其职业生涯大多从事检测和精密线性信号路径相关的职位。Dan于2010年加入ADI公司，并专注于精密放大器和基准电压源产品。



Daniel Burton

该作者的其它文章：

如何选择精密运算放大器？相信“金凤花姑娘”。

第50卷，第3期



Bernhard Siegel，编辑

2017年3月，前任编辑Jim Surber决定退休，从那时起Bernhard成为了*《模拟对话》*的编辑。Bernhard从ADI德国慕尼黑办公室开始自己在ADI公司的工作历程，至今已逾25年。

他曾担任过销售、现场应用和产品工程等工程职位，同时还从事过技术支持和市场营销工作。

Bernhard住在德国慕尼黑附近，喜欢与家人共度休闲时光，并加入了铜管乐队和交响乐团，擅于吹长号和尤风宁号。

您可以通过发邮件至*bernhard.siegel@analog.com*联系他。

AnalogDialogue

ANALOG DEVICES 模拟对话

模拟对话是ADI公司创办和出版的技术杂志。刊载模拟、数字和混合信号处理产品、应用、技术、软件和系统解决方案设计的相关文章。该杂志于1967年创办，至今已经连续出版50年，它作为在线版每月发行一期，印刷版(“集锦”栏目)每年发行四期。感兴趣的读者也可以至模拟对话档案库查阅自第1卷第1期创刊至今的每期特刊，包括三期纪念特刊。要访问文章、档案、杂志、设计资源并订阅，请访问*《模拟对话》*主页*analog.com/zh/analogdialogue*。

MEMS振动监控：从加速度到速度

作者：**Mark Looney**

共享

简介

MEMS加速度计终于达到了能够测量广泛机器平台振动的阶段。其最近的能力进步，加上MEMS加速度计已有的相对于传统振动传感器的诸多优势(尺寸、重量、成本、抗冲击性、易用性)，促使一类新兴的状态监控(CBM)系统开始使用MEMS加速度计。结果，许多CBM系统架构师、开发者甚至其客户首次考虑使用此类传感器。他们面临的问题常常是如何快速了解评估MEMS加速度计功能的方法，以便在其机器平台上测量最重要的振动特性。这初看起来似乎很困难，因为MEMS加速度计数据手册表述最重要性能特性的方式常常不是开发人员所熟悉的。例如，许多人熟悉用线速度(mm/s)来量化振动，但大多数MEMS加速度计数据手册是用基于重力的加速度(*g*)来表达其性能指标。幸运的是，有一些简单的技术可用来将加速度转换为速度，以及估计加速度计关键特性(频率响应、测量范围、噪声密度)对重要系统级标准(带宽、平坦度、峰值振动、分辨率)的影响。

基本振动特性

先从惯性运动角度考察线性振动。在此背景下，振动是平均位移为零的机械振荡。对于那些不希望其机器穿越整个车间的人来说，零平均位移非常重要！振动检测节点中核心传感器的价值与它反映机器振动最重要特性的能力高低直接相关。要评估特定MEMS加速度计在这方面的能力，首先必须从惯性运动角度对振动有一个基本了解。图1是振动情况的物理示意图，灰色部分表示中点，蓝色部分表示一个方向的峰值位移，红色部分表示另一方向的峰值位移。等式1提供了一个描述矩形物体瞬时加速度的数学模型，其振动频率为(f_V)，幅度为A_{rms}。

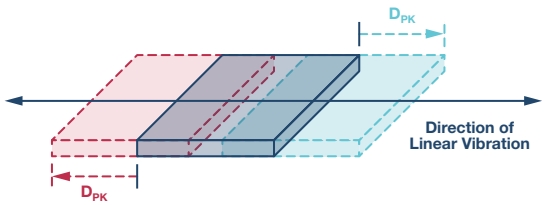


图1. 简单线性振动

$$a(t) = A_{PK} \times sin(\omega_v \times t)$$
$$A_{rms} = \frac{A_{PK}}{\sqrt{2}} \quad (1)$$
$$f_v = \frac{\omega v}{2\boxtimes}$$

在大部分CBM应用中，机器平台的振动常常有比等式1所示模型更复杂的频谱特征，但此模型为学习发现之旅提供了一个很好的出发点，因为它给出了CBM系统常常会跟踪的两个常见振动特性：幅度和频率。此方法对关键特性到线性速度项的转换也很有用(稍后将有更多说明)。图2提供了两类不同振动模式的频谱视图。第一类(参见图2中的蓝线)在其频率范围(f_1到f_6)内具有恒定幅度。第二类(参见图2中的红线)在四个不同频率处出现了峰值幅度：f_2、f_3、f_4和f_5。

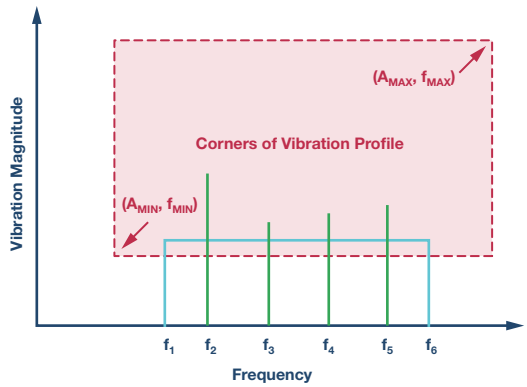


图2. CM振动模式示例

系统要求

测量范围、频率范围(带宽)和分辨率是用来量化振动检测节点能力的三个常见特性。图2通过虚线矩形框显示了这些特性，其边界分别对应最低频率(f_{MIN})、最高频率(f_{MAX})、最小幅度(A_{MIN})和最大幅度(A_{MAX})。当考虑将MEMS加速度计用作振动检测节点中的核心传感器时，系统架构师很可能想在设计早期分析其频率响应、测量范围和噪声行为。有一些简单的技术可用来评估加速度计的各种特性，进而预判其是否满足指定的一组要求。很显然，系统架构师最终必须通过实际验证和鉴定来核验上述估计，但由对加速度计能力的早期分析和预测所得来的期望对这些工作是有价值的。

频率响应

图2提供了一个简单的一阶模型，其描述了时域中MEMS加速度计对线性加速度(a)的响应(y)。在该关系中，偏置(b)表示传感器无振动时的输出值。比例因子(K_A)表示MEMS加速度计响应(y)相对于线性加速度(a)变化的改变量。

$$y(t) = K_A \times a(t) + b \tag{2}$$

传感器的频率响应描述比例因子(K_A)相对于频率的值。在MEMS加速度计中，频率响应主要有两个贡献因素：(1)其机械结构的响应；(2)其信号链中的滤波响应。等式3提供了一个通用二阶模型，其近似描述了MEMS加速度计机械部分对频率的响应。在该模型中，f_0表示谐振频率，Q表示品质因数。

$$H_M(s) = \frac{\omega_O^2}{s^2 + \left(\frac{\omega_O}{Q}\right) \times s + \omega_O^2}$$
$$f_O = \frac{\omega_O^2}{2\pi} \tag{3}$$

信号链的贡献常常取决于应用所需的滤波。某些MEMS加速度计使用单极点低通滤波器来帮助降低谐振频率时的响应增益。等式4为此类滤波器相关的频率响应(H_{SC})提供了一个通用模型。在该类滤波器模型中，截止频率(f_C)表示输出信号幅度比输入信号低$\sqrt{2}$倍时的频率。

$$H_{SC}(s) = \frac{\omega_C}{s + \omega_C}$$
$$\omega_C = 2\pi f_C \tag{4}$$

等式5将机械结构(H_M)和信号链(H_{SC})的贡献进行了合并。

$$H_T(s) = H_M(s) \times H_{SC}(s)$$
$$H_T(s) = \frac{\omega_O^2}{s^2 + \left(\frac{\omega_O}{Q}\right) \times s + \omega_O^2} \times \frac{\omega_C}{s + \omega_C} \tag{5}$$

图3直接应用此模型来预测ADXL356 (x轴)的频率响应。此模型假设标称谐振频率为5500 Hz，Q为17，使用截止频为1500 Hz的单极点低通滤波器。注意，等式5和等式4仅描述了传感器的响应。此模型未考虑加速度计与其监控的平台的耦合方式。

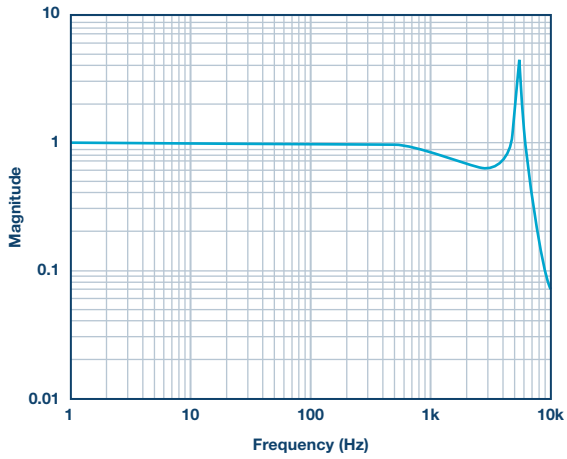


图3. ADXL356频率响应

带宽与平坦度的关系

在利用单极点低通滤波器(例如等式4所用)建立频率响应的信号链中，其带宽规格常常说明了其输出信号提供输入信号50%功率时的频率。对于更复杂的响应，例如等式5和等式3中的三阶模型，带宽规格常常带有相应的平坦度规格。平坦度特性描述比率因子在频率范围(带宽)内的变化。利用图3和图5中的ADXL356仿真，1000 Hz时的平坦度约为17%，2000 Hz时的平坦度约为40%。

虽然许多应用由于平坦度(精度)要求而需要限制可以使用的带宽，但对有些应用来说，这可能不是问题。例如，某些应用可能更注重跟踪随时间的相对变化，而不是绝对精度。另一个例子是利用数字后处理技术来消除用户最关心的频率范围上的纹波。对于此类情况，在给定频率范围时，响应的可重复性和稳定性常常比响应的平坦度更重要。

测量范围

MEMS加速度计的测量范围指标表示传感器的输出信号可以跟踪的最大线性加速度。在超出额定测量范围的线性加速度水平，传感器的输出信号会饱和。这种情况会引起严重失真，导致难以(甚至无法)从测量结果提取有用信息。因此，必须确保MEMS加速度计能够支持峰值加速度水平(参见图2中的A_{MAX})。

注意，测量范围与频率有一定的关系，因为传感器的机械响应会引入某种响应增益，增益响应的峰值出现在谐振频率时。对于ADXL356的仿真响应(参见图3)，增益峰值约为4倍，故测量范围从±40 *g*降至±10 *g*。等式6提供了一种分析方法来预测此值，它以等式5为出发点：

$$A_{MAX}(5500\ Hz) = \frac{A_{MAX}(0\ Hz)}{H_A(5500\ Hz)}$$
$$A_{MAX}(5500\ Hz) = \frac{\pm 40\ g}{4}$$
$$A_{MAX}(5500\ Hz) = \pm 10\ g \quad (6)$$

比例因子的大幅变化和测量范围的降低，是大多数CBM系统希望将其遭受的最大振动频率限制在远低于传感器谐振频率水平的两个原因。

分辨率

“仪器分辨率可定义为环境中引起仪器示数发生可检测变化的最小值。”1在振动检测节点中，加速度测量的噪声会直接影响其检测振动变化的能力(即“分辨率”)。因此，对于那些正在考虑利用MEMS加速度计检测其机器平台上微小振动变化的人来说，噪声行为是一个重要考虑因素。等式7提供了一个用于量化MEMS加速度计噪声对其分辨微小振动变化能力的影响的简单关系式。在该模型中，传感器的输出信号(y_M)等于其噪声(a_N)与其经受的振动(a_V)之和。因为噪声(a_N)与振动(a_V)没有相关性，所以传感器输出信号的幅度($|y_M|$)等于噪声幅度($|a_N|$)与振动幅度($|a_V|$)的和方根(RSS)。

$$y_M(t) = a_N(t) + a_V(t)$$
$$|y_M| = \sqrt{|a_V|^2 + |a_N|^2} \quad (7)$$

那么，需要何种振动水平才能克服测量中的噪声负担，在传感器输出信号中产生可观测的响应？根据噪声水平量化振动水平有助于以分析方式探究这个问题。等式8通过比率(K_{VN})确定了这一关系，然后根据该比率导出了一个预测传感器输出变化水平的关系：

$$|a_V| = K_{VN} \times |a_N|$$
$$|y_M| = \sqrt{(K_{VN} \times |a_N|)^2 + |a_N|^2}$$
$$|y_M| = \sqrt{(K_{VN}^2 + 1) \times |a_N|} \quad (8)$$
$$\frac{|y_M|}{|a_N|} = \sqrt{(K_{VN}^2 + 1)}$$

表1提供了此关系的一些数值例子，以帮助说明传感器输出测量结果相对于振动与噪声幅度之比(K_{VN})的增加。为简明起见，本文剩余部分假设传感器测量的总噪声决定其分辨率。从表1可知，这对应于K_{VN}为1的情况，即振动幅度等于噪声幅度。在这种情况下，传感器的输出幅度相对于零振动时的输出幅度会增加42%。注意，为了确定该情况下分辨率的相关定义，每种应用可能需要考虑系统中可观测到何种水平的增加。

表1. 传感器对振动/噪声的响应

K_{VN}	$\|y_M\|/\|a_N\|$	增加%
0	1	0
0.25	10.3	3
0.5	1.12	12
1	1.41	41
2	2.23	123

预测传感器噪声

图4显示了一个采用MEMS加速度计的振动检测节点的简化信号链。大多数情况下，低通滤波器会提供某种抗混叠支持，而数字处理会提供更明确的频率响应边界。一般而言，这些数字滤波器会努力保护代表实际振动的信号内容，同时将带外噪声的影响降至最低。因此，当估计噪声带宽时，数字处理是系统中要考虑的影响最大的部分。此类处理可采用时域技术，例如带通滤波器，或采用频谱技术，例如快速傅里叶变换(FFT)。

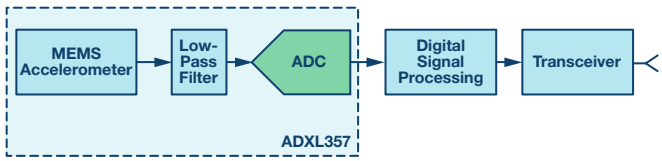


图4. 振动检测节点信号链

等式9提供了一个用于估计MEMS加速度计测量总噪声(A_{NOISE})的关系式，其中使用了噪声密度(φ_{ND})和与信号链相关的噪声带宽(f_{NBW})。

$$A_{NOISE} = \varphi_{ND} \times \sqrt{f_{NBW}} \quad (9)$$

利用等式9中的关系，我们可以估计：当对ADXL357(噪声密度为80 μg/√Hz)使用噪声带宽为100 Hz的滤波器时，总噪声将为0.8 mg (rms)。

用速度衡量振动

某些CBM应用需要用线速度来衡量核心加速度特性(范围、带宽、噪声)。进行这种转换的一种方法是从图1所示简单模型开始，并使用同样的假设：线性运动、单一频率和零平均位移。等式10通过图1中物体瞬时速度(v_V)的数学关系式表述了该模型。此速度的幅度(表示为均方根rms)等于峰值速度除以√2。

$$v_V(t) = V_{pk} \times \sin(2\pi f_V t)$$
$$V_{rms} = \frac{V_{pk}}{\sqrt{2}} \quad (10)$$

等式11对此关系求导，得出图1中物体瞬时加速度的关系式：

$$a_V(t) = d\frac{v_V(t)}{dt}$$
$$a_V(t) = d\frac{V_{pk} \times sin(2 \times \pi \times f_V \times t)}{dt} \quad (11)$$
$$a_V(t) = 2 \times \pi \times f_V \times V_{pk} \times cos(2 \times \pi \times f_V \times t)$$

从等式11中加速度模型的峰值出发，等式12导出了加速度幅度(A_{rms})与速度幅度(V_{rms})和振动频率(f_V)的新关系式。

$$A_{rms} = \frac{2 \times \pi \times f_V \times V_{pk}}{\sqrt{2}}$$
$$A_{rms} = 2 \times \pi \times f_V \times V_{rms} \quad (12)$$
$$A_{PK} = 2 \times \pi \times f_V \times V_{pk}$$

案例研究

现在以ADXL357为例进行研究，将上述内容汇总起来，用线速度表示其范围(峰值)和1 Hz至1000 Hz振动频率范围内的分辨率。图5提供了对本案例有影响的多个特性的图形定义，从ADXL357噪声密度相对于1 Hz至1000 Hz频率范围的关系曲线开始。为了简化讨论，本案例研究中的所有计算均假设全部频率范围内的噪声密度为恒定值(φ_{ND} = 80 μg/√Hz)。图5中的红色频谱曲线表示带通滤波器的频谱响应，绿色竖直线表示单一频率(f_V)振动的频谱响应，其对基于速度估计分辨率和范围会很有用。

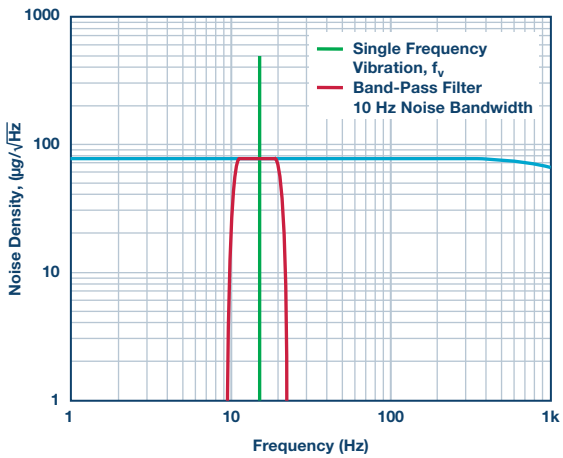


图5. 研究案例的噪声密度和滤波

此过程的第一步是利用等式9估计四个不同噪声带宽(f_{NBW})产生的噪声(A_{NOISE})：1 Hz、10 Hz、100 Hz和1000 Hz。表2用两个不同单位的线速度给出了这些结果：*g*和mm/s²。*g*在多数MEMS加速度计规格表中相当常见，但振动指标常常不是以此来提供。幸运的是，*g*和mm/s²的关系已为大家熟知，参见等式13。

$$1\ g = 9.81\ \frac{m}{s^2} \quad (13)$$

表2. 传感器对振动/噪声的响应

f_{nbw}(Hz)	A_{NOISE}	
	(m*g*)	(mm/s²)
1	0.08	0.78
10	0.25	2.48
100	0.80	7.84
1000	2.5	24.8

本案例研究的下一步是整理等式12中的关系，以导出一个简单的公式(参见等式14)来将总噪声估计(来自表2)转换为线速度项(V_{RES}、V_{PEAK})。除了提供此关系的一般形式之外，等式14还提供了一个特定例子，其使用10 Hz的噪声带宽(及2.48 mm/s²的加速度噪声，来自表2)。图6中的四条虚线表示所有四种噪声带宽下相对于振动频率(f_V)的速度分辨率。

$$V_{RES}(f_{NBW}) = \frac{A_{NOISE}(f_{NBW})}{2 \times \pi \times f_V}$$
$$V_{RES}(10\ Hz) = \frac{A_{NOISE}(10\ Hz)}{2 \times \pi \times f_V} \quad (14)$$
$$V_{RES}(10\ Hz) = \frac{2.48\ \frac{mm}{s^2}}{2 \times \pi \times f_V}$$

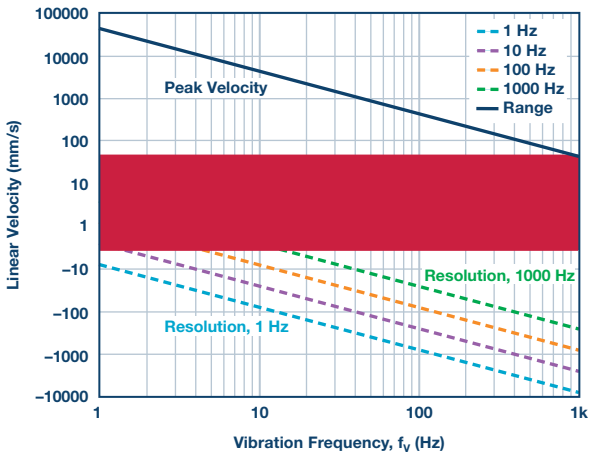


图6. 峰值和分辨率与振动频率的关系

除了显示各带宽对应的分辨率之外，图6还有一条蓝色实线，其表示相对于频率的峰值振动水平(线速度)。这来自等式15中的关系，其一般形式与等式14相同，但不使用分子中的噪声，而使用ADXL357支持的最大加速度。注意，分子中的系数√2会放大此最大加速度以反映均方根水平，假设采用单一频率振动模型。

$$V_{RANGE} = \frac{A_{RANGE}}{2 \times \pi \times f_V}$$
$$V_{RANGE} = \frac{1}{\sqrt{2}} \times \frac{\pm 40\ g}{2 \times \pi \times f_V} \times \frac{9810\ \frac{mm}{s^2}}{1\ g} \quad (15)$$

最后，红框说明如何将此信息应用于系统级要求。此红框中的最小(0.28 mm/s)和最大(45 mm/s)速度来自关于机器振动的常用工业标准中的一些分类水平：ISO-10816-1。将关于ADXL357范围和分辨率曲线的要求放在一起便可快速得出一些简单的结论，例如：

- 测量范围的最差情况是在最高频率时，ADXL357的±40 *g*范围似乎能够测量很大一部分的ISO-10816-1相关振动模式。
- 当用噪声带宽为10 Hz的滤波器处理ADXL357的输出信号时，ADXL357似乎能够在1.5 Hz至1000 Hz频率范围内解析ISO-10816-1中的最低振动水平(0.28 mm/s)。
- 当用噪声带宽为1 Hz的滤波器处理ADXL357的输出信号时，ADXL357似乎能够在1 Hz至1000 Hz的全部频率范围内解析ISO-10816-1中的最低振动水平。

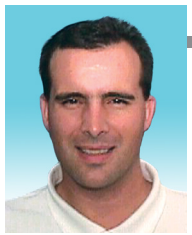
结语

MEMS已是成熟的振动传感器，在现代工厂CBM系统的技术融合完美风暴中发挥着重要作用。检测、连接、存储、分析和安全领域的新解决方案全都互相融合，为工厂管理者提供完全集成的振动观测和过程反馈控制系统。虽然很容易迷失在所有此类惊人技术进步所带来的兴奋之中，但人们仍需要了解如何将传感器测量结果与实际条件和其代表的含义联系起来。这些简单的技术和见解提供了一种将MEMS性能规格转换为使用熟悉的单位表示的其对关键系统级标准影响的方法，CBM开发商及其客户将能从中获取价值。

参考文献

1. Gerald C. Gill和Paul L. Hexter。“IEEE地球科学电子论文集”。IEEE，第11卷第2期，1973年4月。

Mark Looney [mark.looney@analog.com] 是ADI公司(美国北卡罗来纳州格林斯博罗)的应用工程师。自1998年加入ADI公司以来，他在高性能惯性MEMS技术、传感器信号处理、高速模数转换器和DC-DC电源转换领域积累了丰富的工作经验。他拥有内华达州大学雷诺分校电气工程专业学士(1994年)和硕士(1995年)学位，曾发表过数篇技术文章。加入ADI公司之前，他曾协助创立汽车电子和交通解决方案公司IMATS，还担任过Interpoint公司的设计工程师。



Mark Looney

该作者的其它文章：

采用MEMS陀螺仪的低噪声反馈控制设计

第50卷，第2期

Massive MIMO和波束赋形：5G流行词背后的信号处理

作者：**Claire Masterson**

共享

简介

我们对高速移动数据的渴求是无止境的。可是在城市环境中可用RF频谱已经饱和，显然需要提高基站收发数据的频谱利用率。

基站包含大量天线，因此，提升基站频谱效率的一种方案是通过这些天线实现同一频率资源与多台空间上分离的用户终端同时通信，并利用多径传输。这种技术常被称为massive MIMO (大规模多入多出)。您可能听到过massive MIMO被描述为大量天线的波束赋形。随之而来的问题是：何谓*波束赋形*？

波束赋形与Massive MIMO的关系

不同的人对于波束赋形这个词有着不同的理解。波束赋形是指根据特定场景自适应的调整天线阵列的辐射图。在蜂窝通信中，许多人认为波束赋形是将天线功率主瓣指向用户，如图1所示。调整各天线收发单元幅度和相位，使得天线阵列在特定方向上的发射/接收信号相干叠加，而其他方向的信号则相互抵消。一般不考虑阵列和用户所处的空间环境。这是波束赋形，不过只是它的一种特别实现。

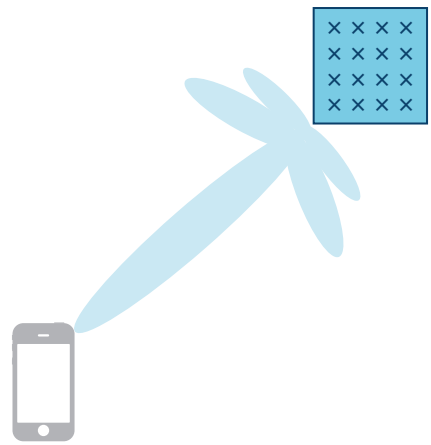


图1. 传统波束赋形

Massive MIMO可被视为更广泛意义上的波束赋形的一种形式，不过它与传统形式相去甚远。*Massive*意指基站天线阵列中的大量天线；*MIMO*意指天线阵列使用同一时间和频率资源满足空间上分离的多位用户的需求。*Massive MIMO*也认为在实际系统中，天线与用户终端—以及相反过程—之间传输的数据经过了周围环境的滤波。信号可能会被建筑物和其他障碍物反射，这些反射会有相关的延迟、衰减和抵达方向，如图2所示。天线与用户终端之间甚至可能没有直接路径。人们发现，这些非直接传输路径同样有利用价值。

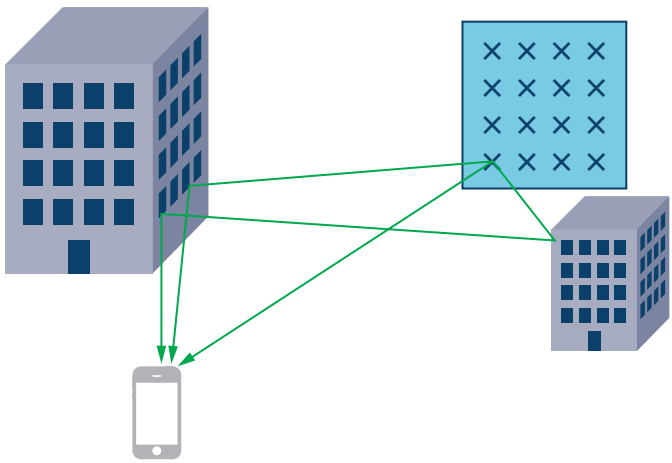


图2. 天线阵列和用户之间的多路径环境

为了利用多路径，天线元件和用户终端之间的空间信道需要加以表征。文献中一般将这种响应称为信道状态信息(CSI)。此CSI实质上是各天线与各用户终端之间的空间传递函数的集合。用一个矩阵(H)来收集此空间信息，如图3所示。下一节将详细讨论CSI概念及其收集方法。CSI用于数字化编码和解码天线阵列所收发的数据。

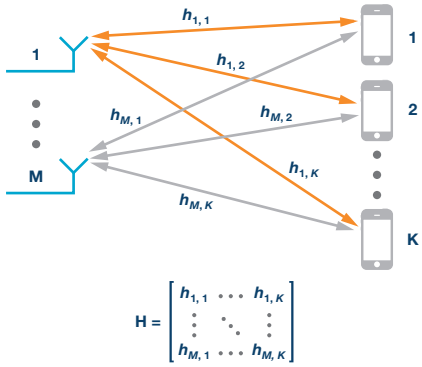


图3. 表征massive MIMO系统需要信道状态信息

表征基站与用户之间的空间信道

不妨考虑一个有趣的类比：一个气球在某个位置被戳破了，发出“啪”的一声，在另一个位置记录此声音或脉冲，如图4所示。在麦克风位置记录的声音是一个空间脉冲响应，其包含的信息是周围环境中气球和麦克风在该特定位置所独有的。与直接路径相比，被障碍物反射的声音会有衰减和延迟。

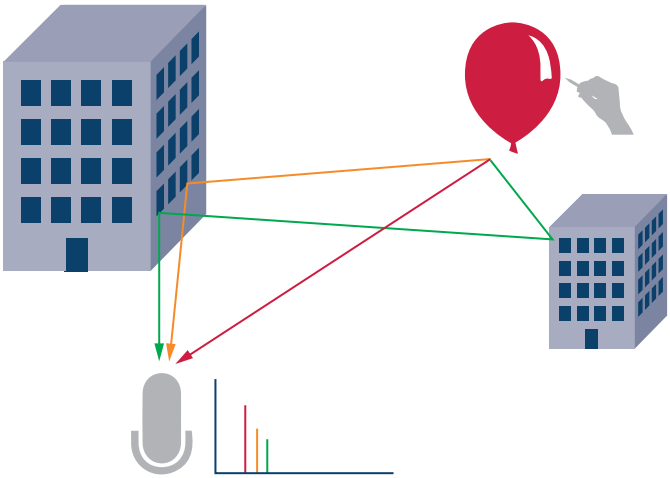


图4. 通过声音类比说明信道的空间特性

如果扩大该类比以模拟天线阵列/用户终端场景，那么需要更多气球，如图5所示。注意，为了表征各气球与麦克风之间的信道，我们需要在不同时间戳破各气球，使得麦克风记录的不同气球的反射不会重叠。另一方向也需要表征，如图6所示。本例中，可以在用户终端位置的气球戳破时同时完成所有录音。这样所花的时间要少得多！

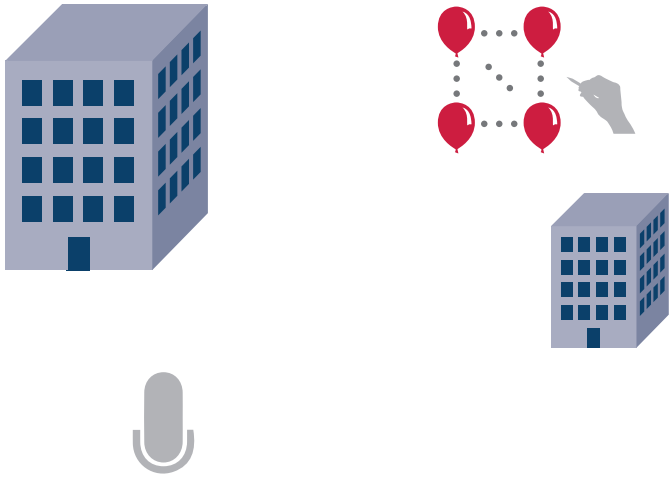


图5. 通过声音类比下行链路信道表征

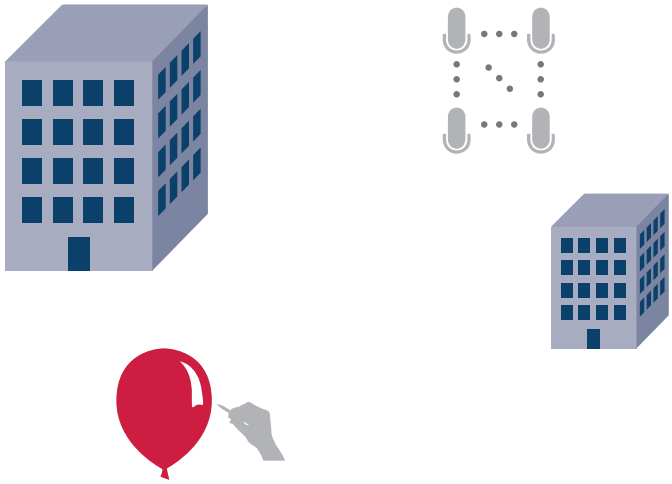


图6. 通过声音类比上行链路信道表征

RF领域利用导频信号表征空间信道。天线与用户终端之间的空中传输信道是互易的，即该信道在两个方向是相同的。这与系统工作在时分复用(TDD)模式还是频分复用(FDD)模式有关。在TDD模式下，上行链路和下行链路传输使用相同频率资源。互易性假设意味着只需要在一个方向上表征信道即可，上行链路信道是显而易见的选择，因为只需要将一个导频信号从用户终端发送，并由所有天线元件接收。信道估计的复杂度与用户终端数成比例，而非与阵列中的天线数成正比。这点非常重要，因为用户终端可能在移动，故信道估计需要频繁进行。基于上行链路表征还有一个重要优势，那就是所有繁重的信道估计和信号处理任务皆在基站完成，而非在用户端完成。

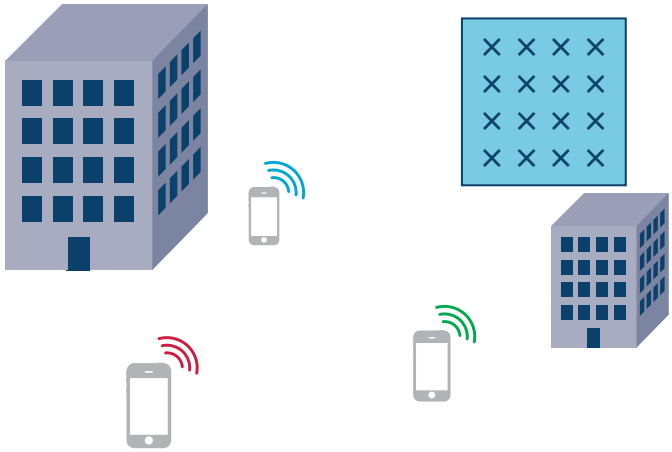


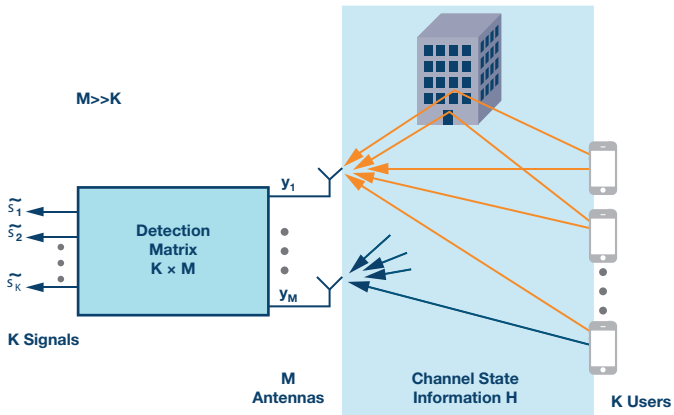
图7. 每个用户终端发射正交导频符号

现在，收集CSI的概念既已建立，那么如何将此信息应用于数据信号以支持空间复用呢？滤波基于CSI而设计，以对天线阵列传输的数据进行预编码，使得多路径信号会在用户终端位置相干叠加。这种滤波还可以用来线性组合天线阵列RF路径收到的数据，从而检测来自不同用户的数据流。下一节更详细讨论这个问题。

支持Massive MIMO的信号处理

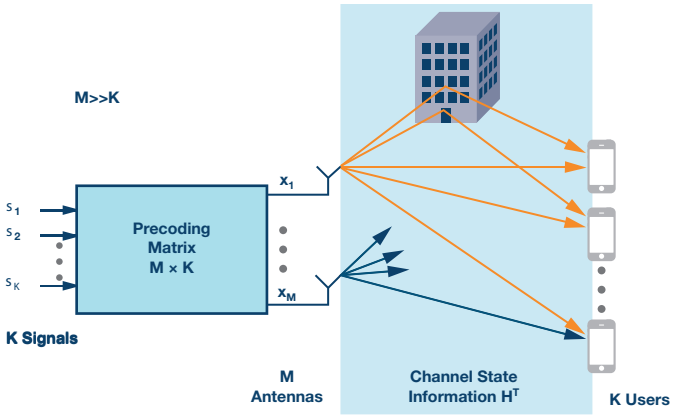
上一节介绍了如何估计CSI (用矩阵H表示)。检测和预编码矩阵基于H计算。这种矩阵有多种计算方法。本文重点讨论线性方案。线性预编码/检测方法的例子有最大比率(MR)、迫零(ZF)和最小均方误差(MMSE)。本文未提供从CSI导出预编码/检测滤波器的全过程，但讨论了其优化标准及每种方法的优缺点。关于这些话题的更详细介绍，请参阅文末给出的参考文献[1, 2, 3]。

对于上述三种线性方法，图8和图9分别显示了上行和下行链路中信号处理的工作方式。针对预编码，可能还有某种缩放矩阵，用以归一化阵列上为简单起见而忽略的功率。



检测类型	
最大比率(MR)	$\tilde{\boldsymbol{s}} = H^H\mathbf{y}$
迫零(ZF)	$\tilde{\boldsymbol{s}} = (H^HH)^{-1}H^H\mathbf{y}$
NMSE或RZF	$\tilde{\boldsymbol{s}} = (H^HH + \beta I)^{-1}H^H\mathbf{y}$

图8. 上行链路信号处理^{H}表示共轭转置。



预编码类型	
最大比率(MR)	$\mathbf{x} = H^*\mathbf{s}$
迫零(ZF)	$\mathbf{x} = H^*(H^TH^*)^{-1}\mathbf{s}$
NMSE或RZF	$\mathbf{x} = H^*(H^TH^* + \beta I)^{-1}\mathbf{s}$

图9. 下行链路信号处理^{T}表示转置。 表示共轭。*

顾名思义，最大比率滤波旨在最大程度提高信噪比(SNR)。从信号处理角度看，这是最简单的方法，因为检测/预编码矩阵刚好是CSI矩阵H的共轭转置或转置。其最大缺点是忽略了用户间干扰。

迫零预编码试图解决用户间干扰问题，通过设计优化标准来使其最小。检测/预编码矩阵是CSI矩阵的伪逆。伪逆的计算开销高于MR情况中的复共轭。然而，由于太注重降低干扰，用户的接收功率会受影响。

MMSE试图在放大信号与降低干扰之间取得平衡。这种整体观需付出的代价是信号处理复杂度较高。MMSE方法给优化引入了一个正则项—在图8和图9中表示为β—利用它可以找到噪声协方差与发射功率的平衡点。此方法在文献中有时也被称为正则化迫零(RZF)。

以上并未囊括所有预编码/检测技术，只是简单介绍了主要线性方法。另外还有非线性信号处理技术，例如脏纸编码和连续干扰消除便可用来解决此问题。这些方法可提供最优容量，但实现起来非常复杂。上述线性方法对massive MIMO而言一般是足够的，天线数目可以很大。预编码/检测技术的选择取决于计算资源、天线数目、用户数目和系统所处环境的多样性。对于天线数目远大于用户数目的大天线阵列，最大比率方法可能足以满足需要。

现实系统向Massive MIMO提出的实际挑战

在现实场景中实现massive MIMO时，还有其他实际问题需要考虑。举个例子，假设一个天线阵列有32个发射(Tx)信道和32个接收(Rx)信道，工作在3.5 GHz频段。那么需要放置64个RF信号链，在给定工作频率下，天线间距约为4.2 cm。这说明，有大量硬件需装

入一个很小的空间中。它还意味着会耗散大量功率，不可避免会带来温度问题。ADI公司的集成收发器为此类问题提供了高效解决方案。下一节将详细讨论AD9371。

上文讨论了利用系统的互易性来大幅削减信道估计和信号处理开销。图10显示了一个实际系统中的下行链路信道。它分为三个部分：空中信道(H)、基站发射RF路径的硬件响应(T_{BS})和用户接收RF路径的硬件响应(R_{UE})。上行链路与此相反，R_{BS}表征基站接收硬件RF路径，T_{UE}表征用户发射硬件RF路径。互易性假设虽然对空中接口成立，但对硬件路径不成立。由于迹线不匹配、RF路径间同步不佳和温度相关的相位漂移，RF信号链会给系统带来误差。

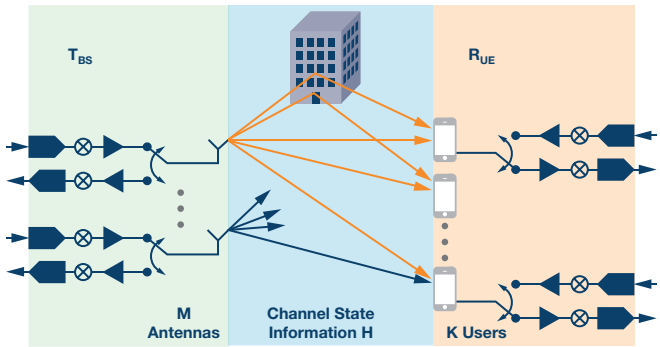


图10. 实际下行链路信道

对RF路径中的所有LO(本振)PLL使用同一同步参考时钟，并对基带数字JESD204B信号使用同步SYSREF，有助于解决RF路径间的延迟问题。但在系统启动时，RF路径之间仍会有通道间的相位失配，由温度引起的相位漂移会进一步扩大此问题。因此很显然，系统在启动时需要初始化校准，此后运行中需要周期性校准。通过校准可实现互易性优势，使信号处理复杂度维持在基站，并且只需要表征上行链路信道。这样可获得一般意义上的简化，从而仅需要考虑基站RF路径(T_{BS}和R_{BS})。

有多种方法可校准这些系统。一种是在天线阵列前面放置一个校准天线，利用此校准天线来校准接收和发射RF信道。以这种在阵列前方放置一根天线的方式是否满足实际系统校准的需求，是有疑问的。另一种方法是利用阵列中现有天线之间的互藕作为校准机制，这有很高的可行性。最简单直接的方法或许是在基站中的天线之前增加一些无源耦合路径。这会增加硬件复杂性，但应能提供一个鲁棒的校准机制。为了全面校准系统，从一个指定校准发射信道发送一个信号，所有RF接收路径通过无源耦合连接接收该信号。然后，每个发射RF路径依次发送一个信号，该信号在各天线的耦合点被接收，被传回到一个合路器，再被送至指定校准接收路径。温度相关效应的变化一般很慢，故与信道特性不同，无需频繁执行温度相关校准。

ADI公司收发器和Massive MIMO

ADI公司的集成收发器产品系列特别适合需要高密度RF信号链的应用。AD9371具有2个发射路径、2个接收路径和一个观测接收机，并有3个小数N分频PLL用于RF LO生成，采用12 mm × 12 mm封装。这一无与伦比的集成度使得制造商能够及时且经济高效地创建复杂系统。

图11显示了一个使用多个AD9371收发器的可能系统实现。该系统有32个发射信道和32个接收信道，采用16个AD9371收发器。三个AD9528时钟发生器为系统提供PLL参考时钟和JESD204B SYSREF。AD9528是一款双级PLL，提供14路LVDS/HSTL输出，集成JESD204B SYSREF发生器，可用于多器件同步。AD9528排列成扇出缓冲配置，其中一个用作主器件，它的一些输出用于驱动时钟输入和从器件的SYSREF输入。图中包括一个可能的无源校准机制—如绿色和橙色部分所示—一个专用发射和接收信道通过分相器/合相器校准所有接收和发射信号路径，正如上一节所述。

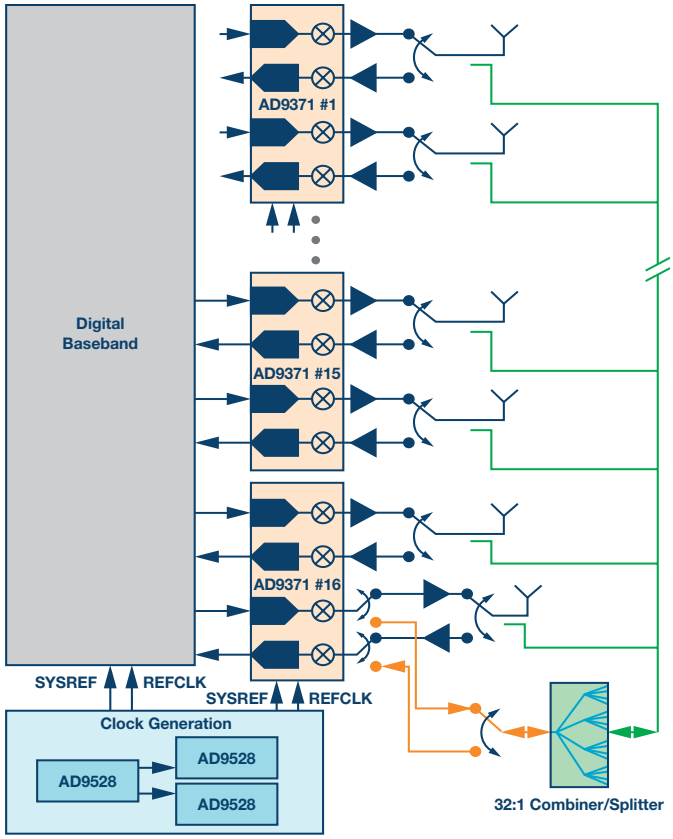


图11. 采用ADI公司AD9371收发器的32 Tx、32 Rx massive MIMO射频头框图

结语

Massive MIMO空间复用有望成为蜂窝通信领域的革命性技术，其支持在高流量城市区域实现更高的蜂窝容量和效率。它利用了多路径传播所带来的分集性，允许基站与多位用户之间使用同一时间和频率资源进行数据传输。基站天线与用户之间的信道具有互易性，故所有复杂的信号处理可以保留在基站进行，信道表征可以在上行链路中完成。ADI公司的RadioVerse™系列集成收发器产品支持在小的空间中实现多通路的RF路径，因此非常适合massive MIMO应用。

参考文献

1. Xiang Gao。*实际传播环境中的Massive MIMO*。Lund University，2016年。

2. Michael Joham、Josef A. Nossek和Wolfgang Utschick。“MIMO通信系统中的线性发射处理”。IEEE信号处理论文集，第53卷第8期，2005年8月。

3. Hien Quoc Ngo。*Massive MIMO：基本原理和系统设计*。Linköping University，2015年。

Claire Masterson [claire.masterson@analog.com] 是ADI公司利默里克通信系统团队的系统应用工程师，从事系统实现、软件开发和算法开发。Claire拥有都柏林三一学院BAI和博士学位，于2011年毕业后加入ADI公司。



Claire Masterson

非常见问题解答—第142期
正交观点

作者：**Ian Beavers**

共享



问：

我正在将MEMS惯性测量单元(IMU)用于个人交通工具平台的自平衡制导系统。是否会有一款面向消费者，能消除各传感器之间的全部对齐误差，并且所有核心传感器元件都集成在单个芯片上的IMU？

答：

否，对于您的设计来说，这一般不是一个保险的期望。采用鲁棒的分立传感器和最佳封装并经过优化校准的工业级IMU，其对齐精度要比位于单个芯片上的消费级IMU高得多。

消费级和工业级IMU往往以不同方式规定轴对齐特性。消费级IMU的典型做法是将所有对齐误差集总为一个跨轴灵敏度规格。面向工业的IMU，比如最近发布的ADIS16490，则使用两个不同规格以便更直接地说明对齐精度：轴到轴对齐误差和轴到封装对齐误差。轴到封装对齐误差描述各轴相对于IMU封装内机械特性的对齐程度。轴到轴对齐误差描述各加速度计和陀螺仪轴的对齐在多大程度上符合理想正交性。正因如此，轴到轴对齐误差也常被称为正交误差。

跨轴灵敏度(CAS)和轴到轴对齐误差(A2A_MAE)有如下数学关系：

$$CAS = \sin(A2A_MAE)$$

$$A2A_MAE = \text{asin}(CAS)$$

非正交性发生在传感器轴之间、传感器上或源于传感器与外壳之间的封装不对齐。对于工业级IMU，这些规格会在工厂校准，并在数据手册中详细说明。对于分立器件，跨轴灵敏度规格不包括相对于PCB的装配偏差。

理想情况下，陀螺仪和加速度计中的多个轴是彼此正交的。然而，这里有个常见的误解：既然多轴陀螺仪或加速度计可以设计在一个分立MEMS器件之内，那么各轴应是完美正交的，彼此成90°角。虽然这些器件中的所有惯性传感器都位于单个芯片上，但加工和制造偏差所引入的固有误差仍可能造成正交误差。相应的等效对齐精度与完全校准的工业级IMU相比，实际上并不是非常好。

对消费级器件的简单调查发现，跨轴灵敏度常常在1%到5%范围内。利用以上关系式，可知等效轴到轴对齐误差为0.57°到2.87°。不过也可用毫弧度为单位来定义，相当于0.057°。工业级IMU的精度通常要高得多。我们也可利用此关系将工业级IMU的轴到轴对齐误差0.018°转换为等效跨轴灵敏度0.031%。

$$CAS = \sin(A2A_MAE) = \sin(0.018°) = 0.00031 = 0.031\%$$

工业级IMU ADIS16489的所有惯性传感器不是位于一个芯片上，尽管有这个明显的缺点，但其性能仍要比最佳消费级器件高出大约32倍。

为了解正交误差的影响，假设一个加速度计轴指向正上方，器件恰好处于水平状态。加速度计在此z轴上测量重力的总影响。如果其他两个轴完全正交，那么它们不会测量到任何重力矢量。然而，若有正交误差，其他两个水平轴就会测量到重力矢量的一部分。例如，若器件的跨轴灵敏度为1%，其对重力的等效响应将是

10 mg，这相当于0.6°的等效对齐误差。反之，如果第一个轴不与水平框架正交，它便测不到完整的重力矢量。

正交误差是加速度计总误差中特别稳定的成分，因此可通过一次性校准来校正。为了确定一对加速度计轴的正交误差，须让加速度计在所有可能的90°方向空间中旋转，并测量各轴对重力的静态响应。这可以利用精密万向节头或在已知正交表面上进行。

将器件安装到PCB之后，要通过校准消除所有工作条件下的正交误差是很困难的。惯性校准要求在器件经历受控运动模式的同时观测各传感器响应。为高效实现此类运动模式，常常需要高度专业化的设备和经验。与已经预校准的工业级IMU不同，安装在PCB上的每个消费级MEMS器件都需要针对其他传感器、环境表现和温度进行校准。

在分立器件安装到微型PCB上坚固耐用的模块中之后，包括三个陀螺仪轴和三个加速度计轴的工业级IMU在制造中利用校准步骤实现高超性能。这种工厂校准不仅能识别和补偿MEMS器件本身的正交误差，还能补偿装配相关的偏斜。因此，与装配偏差、跨轴误差和温度相关的误差降至最小。ADIS16489工厂校准可将平台稳定、导航和机器人应用中的轴对齐误差降至最低。ADIS16489内置一个数字三轴陀螺仪和一个三轴加速度计，陀螺仪轴到轴对齐误差仅有±0.018°，加速度计轴到轴误差为±0.035°。除了高性能传感器参数以外，ADIS16489还利用聚对二甲苯涂层作为内部电路的防潮层。

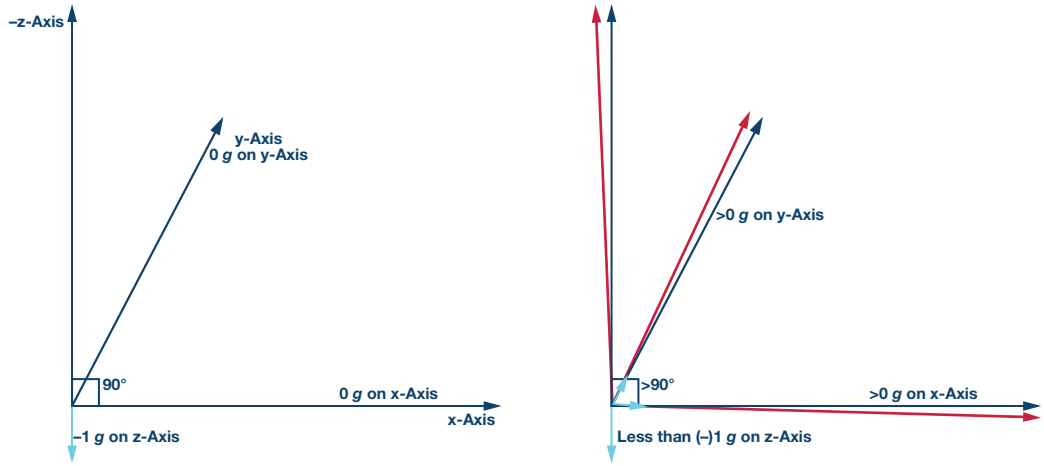


图1. 左边的理想三轴正交情况反映矢量的真实影响。正交误差使得所有轴上都能检测到泄漏的部分旋转或力

Ian Beavers [ian.beavers@analog.com] 是ADI公司自动化、能源和传感器部(美国北卡罗来纳州格林斯博罗)的产品工程经理。他于1999年加入公司。Ian拥有超过19年的半导体行业工作经验。Ian于美国北卡罗来纳州立大学获得电气工程学士学位并于格林斯博罗分校获得工商管理硕士学位。



Ian Beavers

该作者的其它文章：

误入歧途的陀螺仪

第51卷，第1期

发射本振泄漏—零中频架构中令人烦恼的问题

作者：**Dave Frizelle**

共享

简介

零中频架构有一些重要的优势，但也有一些挑战需要克服。发射本振泄漏(以下简称为发射LOL)便是其中之一。未校正的发射LOL会在所需发射范围内产生无用发射，造成潜在的违反系统规范的风险。本文论述发射LOL的问题，并介绍在ADI的RadioVerse™收发器系列(包括AD9371；有关详情，请参见ADI RadioVerse网站)中实现的可消除此问题的技术。如果可以将发射LOL降低到足够低的水平，使其不再导致系统或性能问题，也许人们就可以不必为LOL问题而烦恼！

什么是LOL?

RF混频器有两个输入端口和一个输出端口，如图1所示。理想混频器将产生一个输出，它是两个输入的乘积。就频率而言，该输出的频率应当是$F_{IN} + F_{LO}$以及$F_{IN} - F_{LO}$，不含其它项。如果任一输入不在驱动状态下，则不会有输出。

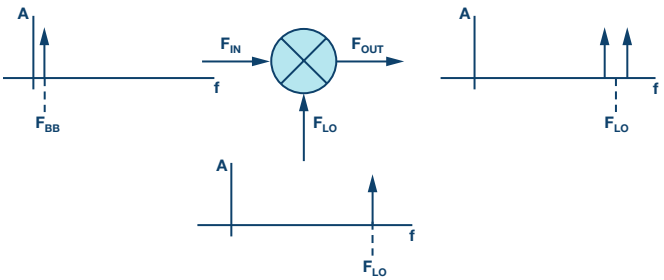


图1. 理想混频器

在图1中，F_{IN}被设置为基带频率为1 MHz的F_{BB}，F_{LO}被设置为本振频率为500 MHz的F_{LO}。如果是理想混频器，它将产生一个输出，其中包含两个信号音，频率分别为499 MHz和501 MHz。然而，如图2所示，在F_{BB}和F_{LO}，真实混频器还将产生一些能量。F_{BB}处产生的能量可以忽略不计，因为它远离所需的输出，并且将被混频器输出之后的RF组件滤除。无论F_{BB}下产生的能量如何，F_{LO}下产生的能量都可能是一个问题。它非常接近或在所需的输出信号内，并且很难或无法通过滤波去除，因为滤波也会滤除所需的信号。F_{LO}下产生的这种无用能量被称为LOL。可驱动混频器的本振(LO)已经泄漏到混频器的输出端口。LO还有其他途径可以泄漏到系统输出端，例如通过电源或跨越硅本身。无论本振如何泄漏，其泄漏都可被称为LOL。

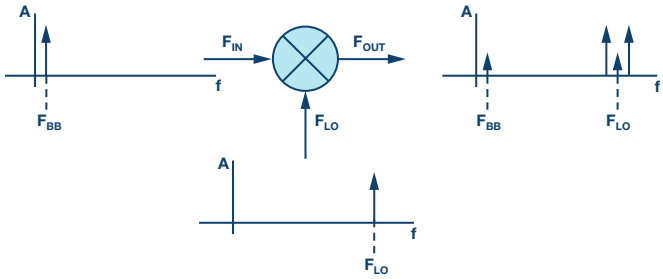


图2. 真实混频器

在只发射一个边带的实信号中频架构中，可以通过RF滤波解决LOL问题。相比之下，在发射两个边带的零中频架构中，LOL位于所需输出的中间，并行成了难度更高的挑战(见图3)。传统滤波不再是一种选择，因为任何去除LOL的滤波也会去除部分所需发射信号。因此，必须使用其他技术来消除LOL。否则，它最终在整个所需发射范围内可能会成为无用发射。

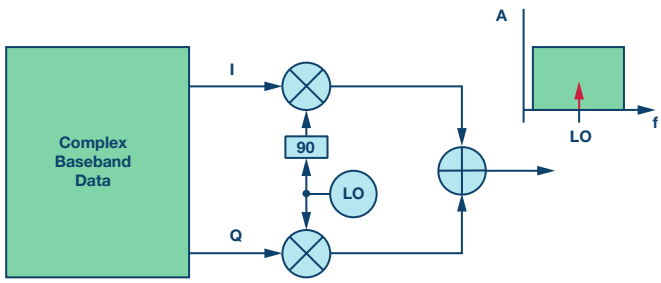


图3. F_{LO}下产生的无用能量(以红色显示)。F_{LO}下产生的这一无用能量被称为LOL

消除LO泄漏(也称为LOL校正)

生成幅度相等但相位与LOL相反的信号即可实现LOL消除，从而将其抵消，如图4所示。假设我们知道LOL的确切幅度和相位，则可以对发射器输入施加直流失调来生成抵消信号。

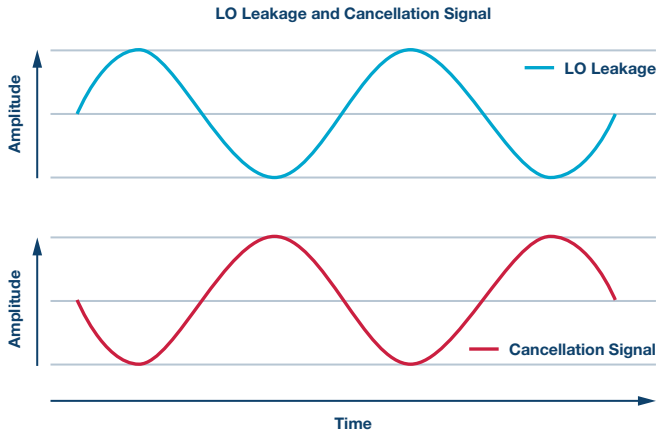
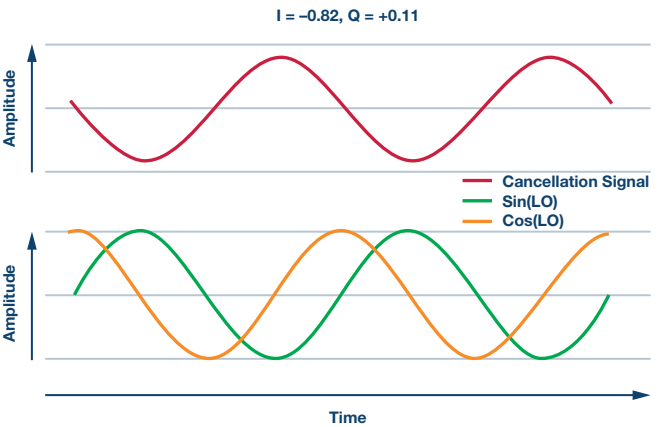


图4. LO泄漏和抵消信号

抵消信号的生成

复数混频器架构适用于生成抵消信号。由于混频器中存在LO频率的正交信号(它们是复数混频器如何工作的关键)，[1] 因此允许生成任何相位和幅度的LO频率信号。

用于驱动复数混频器的正交信号可以描述为Sin (LO)和Cos (LO)—这些是LO频率的正交信号，可以驱动两个混频器。为了生成抵消信号，这些正交信号以不同的权重相加。就数学而言，我们可以产生一个输出，即I × Sin (LO) + Q × Cos (LO)。运用不同的带符号值代替I和Q，得到的和将是LO频率信号，并且可以具有任何所需的幅度和相位。示例如图5所示。



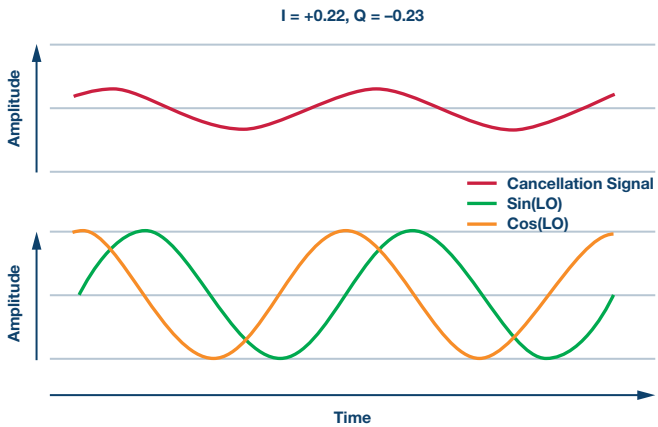


图5. 生成的任何相位和任何幅度抵消信号的示例

所需的发射信号将需要应用于发射器的输入。对发射数据施加直流偏置后，混频器的输出端将包含所需的发射信号以及所需的LOL抵消信号。特意生成的抵消信号将与无用的LOL组合抵消，仅留下所需的发射信号。

观测发射LOL

如图6所示，使用观测接收器来观测发射LOL。在该示例中，观测接收器使用与发射器相同的LO，因此LO频率的任何发射能量都将在观测接收器的输出端显示为直流。

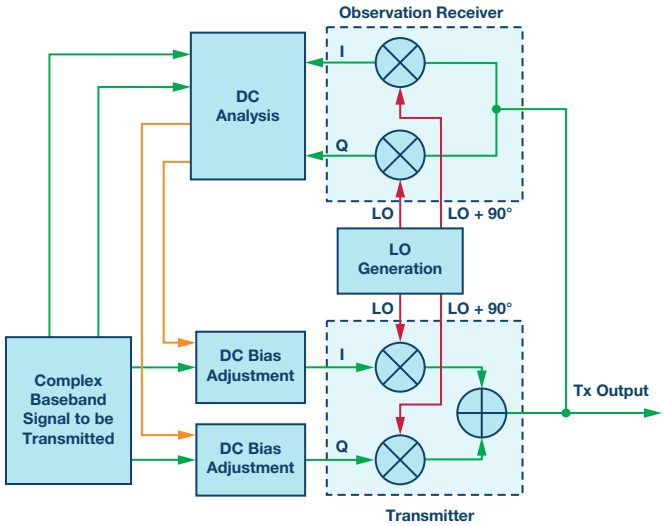


图6. 观测与校正TxLO泄漏的基本概念

图6所示的方法有其内在缺陷：使用相同的LO来发射和观测，发射LOL将在观测接收器的输出端显示为直流。由于电路中的元件不匹配，观测接收器本身将具有一定量的直流，因此观测接收器的总直流输出将是发射链路中存在的发射LOL与观测链路原生直流

失调。有一些方法可以克服这个问题，但是更好的方法是使用不同的LO频率进行观测，从而将观测路径中的原生直流从发射LOL观测结果中分离出来。这种情况如下面的图7所示。

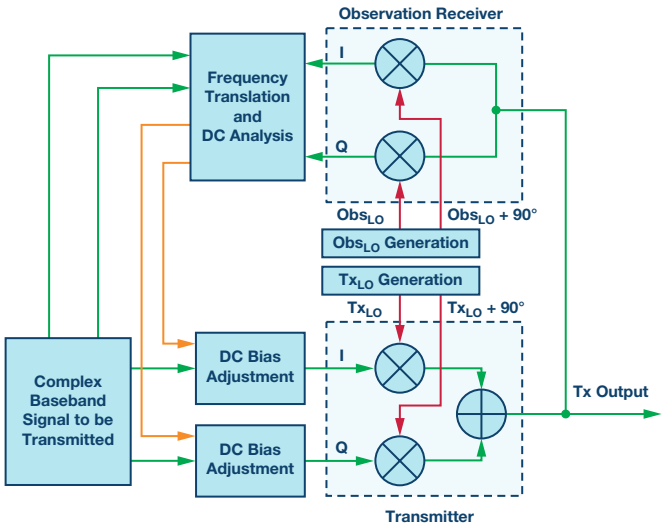


图7. 使用不同LO发射和观测

由于使用了不同于发射LO的频率来观测，因此在观测接收器中，发射LO频率的能量不会以直流出现。相反，它将显示为频率等于发射LO与观测LO之差的基带信号音。观测路径中的原生直流仍然会以直流出现，因此会将观测直流与发射LOL测量结果完全分离。为简单起见，图8使用单一混频器架构说明了这一概念。在该示例中，发射器的输入为零，因此其唯一输出是发射LOL。频移在观测接收器之后完成，将发射LOL观测到的能量移动到直流。

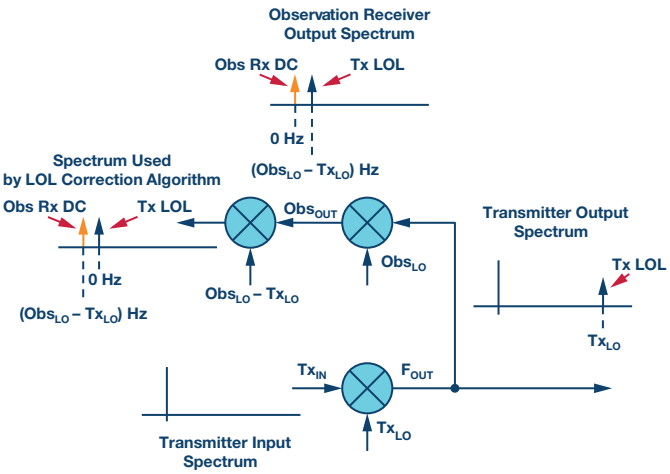


图8. 从Tx LOL分离观测接收器直流

找出必要的校正值

将观测接收器的输出除以从发射输入到观测接收器输出的传递函数，并将得出的结果与预期发射进行比较，找出所需的校正值。涉及的传递函数如图9所示。

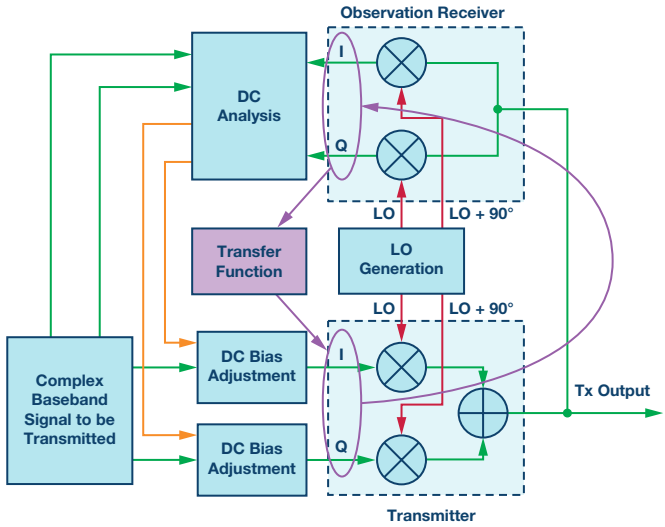


图9.从发射器输入到观测接收器输出的传递函数

从发射器基带输入到观测接收器基带输出的传递函数由幅度缩放和相位旋转两部分组成。下文对此分别做了更详细的说明。

图10表明如果从发射输出到观测接收器输入的回送路径中具有增益或衰减，或者如果发射器电路的增益与观测接收器电路的增益不同，则观测接收器报告的发射信号的幅度可能不代表所发射信号的实际幅度。

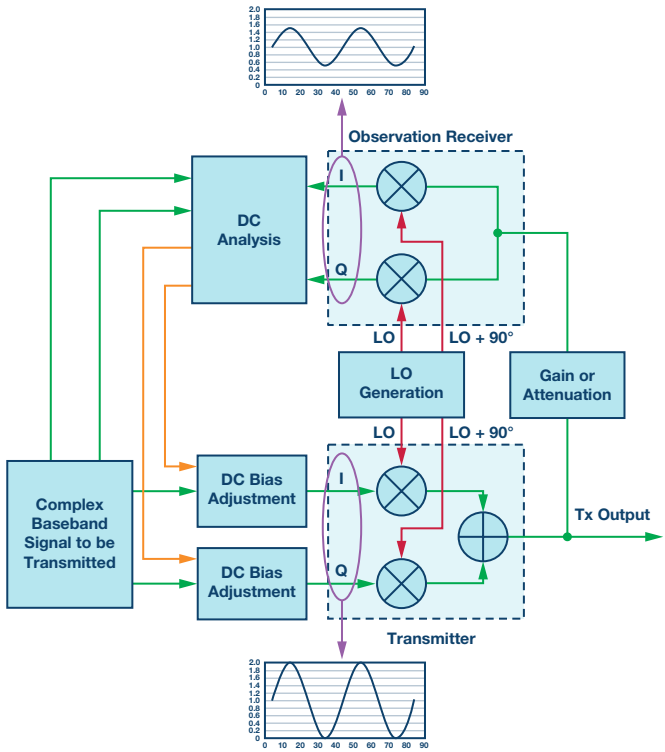


图10. 回送路径衰减引起的幅度缩放

现在来看相位旋转。重要的是要意识到信号不会从点A瞬间传输到点B。例如，信号以约光速的一半速度经过铜，这表示沿铜条传输的3 GHz信号的波长约为5厘米。这意味着如果使用间隔几厘米的多个示波器探头探测铜条，则示波器将显示彼此不同相位的多个信号。图11对这一原理进行了说明，图中所示为沿铜条隔开的三个示波器探头。每个点看到的信号频率为3 GHz，但三个信号之间存在相位差。

需要注意的是，沿铜带移动单个示波器探头将不会显示此效应，因为示波器将始终在0°相位触发。只有使用多个探头才能观测到距离与相位之间的关系。

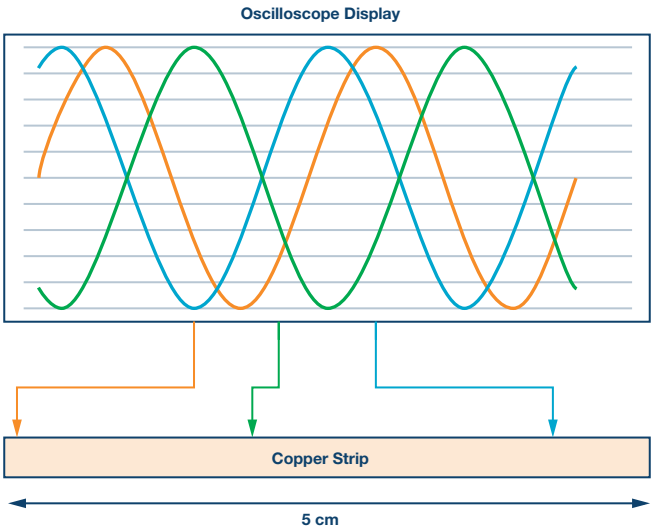


图11. 距离与相位的关系，5 cm走线，3 GHz信号，以及0 cm、2 cm和4 cm处的探头点

正如沿铜条出现相位变化一样，从发射器输入到观测接收器输出将发生相位变化，如图12所示。LOL校正算法必须知道发生了多少相位旋转，以便计算出正确的校正值。

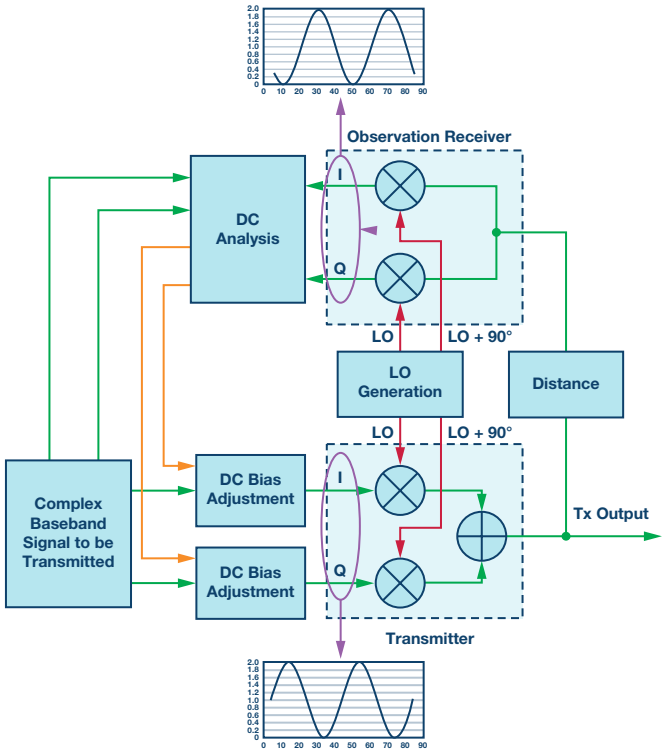


图12. 回送路径中物理距离引起的相位旋转

确定从发射输入到观测接收器输出的传递函数

施加发射器输入信号并将其与观测接收器的输出进行比较即可得到图13所示的传递函数。但有些要点需要牢记。如果静态(dc)信号被施加到发射器输入，它将产生一个发射LO频率的输出，并且发射LOL将与其相结合。这将会妨碍正确得到传递函数。还应注意，发射输出端可以连接到天线，因此故意向发射器输入端施加信号可能是不被允许的。

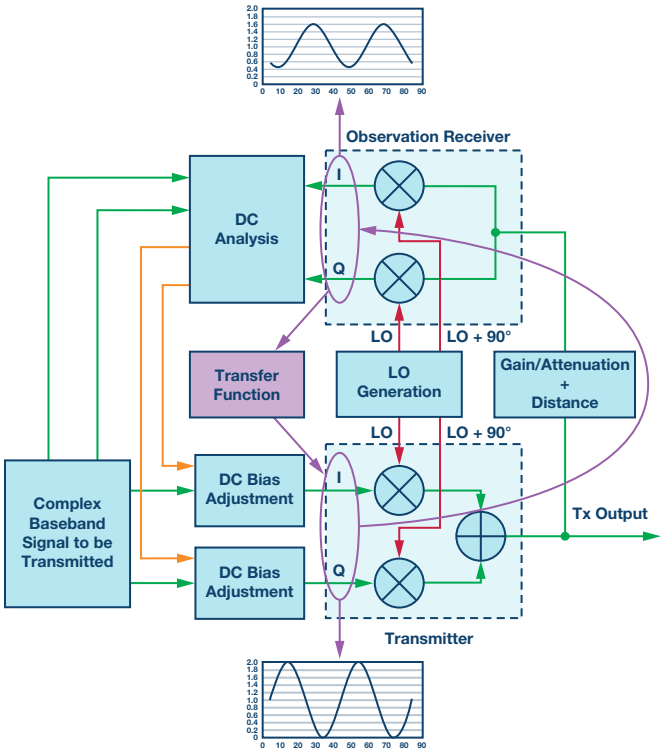


图13. 确定从发射器输入到观测接收器输出的传递函数

为了解决这些挑战，ADI收发器使用一种将低电平直流失调应用于发射信号的算法。周期性调整失调电平，观测接收器的输出会显示这些扰动。然后，该算法分析比较观测值增量与输入值差值，如表1所示。在该示例中，没有发射用户信号，但是该方法在用户信号存在时仍然适用。

表1. 观测值增量与输入值增量的比较

	发射输入信号	发射输出端口	观测接收器输出
情形1	直流失调1	Tx_{LO} 1 + Tx LOL	(Tx_{LO} 1 + Tx LOL) × 传递函数
情形2	直流失调2	Tx_{LO} 2 + Tx LOL	(Tx_{LO} 2 + Tx LOL) × 传递函数

执行两种情况的减法，从等式中消除恒定发射LOL，即可获得传递函数。可以扩大到两种情形以上，可对许多独立结果取平均值以提高准确性。

小结

LOL校正算法将能学习从发射输入到观测接收器输出的传递函数。然后将观测接收器的输出除以传递函数，得出发射器的输入。将预期发射的直流电平与观测到的发射直流电平进行比较，即可确定发射LOL。最后，该算法将计算消除发射LOL所必需的校正值，并将其作为直流偏置应用于所需的发射数据。

本文概述了ADI的RadioVerse收发器所用算法的一个方面。为了更广泛地了解零中频和算法的概念，请参阅有关复数RF混频器的文章。[1]

参考文献

1. David Frizelle和Frank Kearney“复数RF混频器、零中频架构及高级算法：下一代SDR收发器中的黑魔法”。(模拟对话，第51卷，2017年2月)

Dave Frizelle [david.frizelle@analog.com] 担任ADI公司利默里克收发器产品部的应用经理，负责支持集成收发器系列产品。他自1998年毕业后即在ADI公司工作。他曾在日本和韩国工作过六年，负责支持ADI高级消费电子产品元器件的开发和设计导入。



Dave Frizelle

该作者的其它文章：

复数RF混频器、零中频架构及高级算法：下一代SDR收发器中的黑魔法

第51卷，第1期

超宽带数字预失真：在电缆分配系统中实现带来的优势(功率和性能)和挑战

作者：Patrick Pratt和Frank Kearney

共享

简介

电缆系统于20世纪50年代初在美国首次问世。即使技术和分配方式在迅速发生变化，电缆作为数据分配通道却始终保持着重要地位。新技术在现有电缆网络上已实现分层。本文重点介绍这一技术演进的其中一方面——功率放大器(PA)数字预失真(DPD)。这是许多从事蜂窝系统网络研发工作的人士将会熟悉的一个术语。将该技术迁移到电缆能够带来明显的功效和性能提升优势，同时也带来了巨大的挑战。本文深入探究其中的一些挑战并概述相应的解决方案。

了解要求

功率放大器在非线性区域工作时，其输出将失真。这一失真可能会影响带内性能，还可能导致无用信号溢出到邻道。溢出效应在无线蜂窝应用中特别重要，因此对邻道泄漏比(ACLR)有严格的规定和控制。突出的控制技术之一是在信号到达功率放大器之前对其进行数字整形或预失真，从而消除功率放大器中的非线性。

电缆环境则完全不同。首先，可将其视为封闭环境。电缆中发生的情况不会扩展到电缆外！运营商拥有并控制整个频谱。带外(OOB)失真并不是关注重点，带内失真才是至关重要的。服务提供商必须确保最高质量的带内传输通道，以便能够利用最大的数据吞吐量。其中一个方法是使电缆功率放大器严格运行在线性区域内。采用这种工作模式的代价是功效极差。

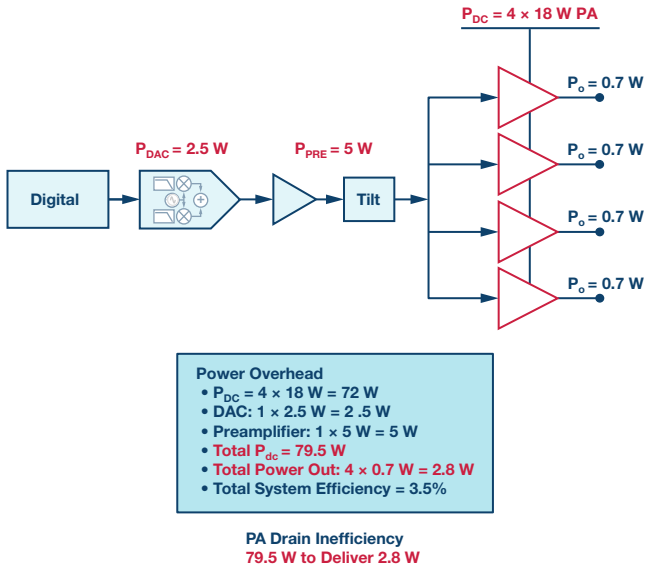


图1. 电缆功率放大器驱动器的功效

图1概要显示了典型的电缆应用。尽管该系统功耗近80 W，但仅传送了2.8 W信号功率。功率放大器是功效极低的A类架构。最大瞬时峰值效率可以计算为50% (当信号包络最大时，假定为电感负载)。如果功率放大器完全在线性区域工作，则考虑电缆信号的极高峰均比(通常为14 dB)意味着放大器需要比信号压缩开始时平均低14 dB的工作条件，从而确保即使在信号的峰值处也不会发生信号压缩。回退与放大器工作效率直接相关。当放大器回退14 dB以适应各种电缆信号时，工作效率将降低$10^{-14/10}$。因此，工作效率从理论上的最大值50%降低到$10^{-14/10}\times$ 50% = 2%。图2概要显示了上述情况。

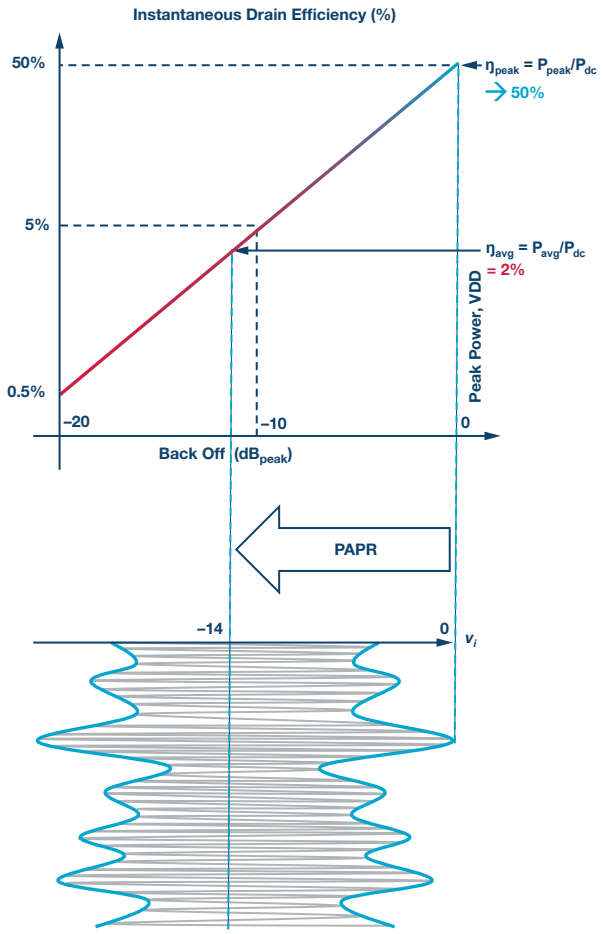
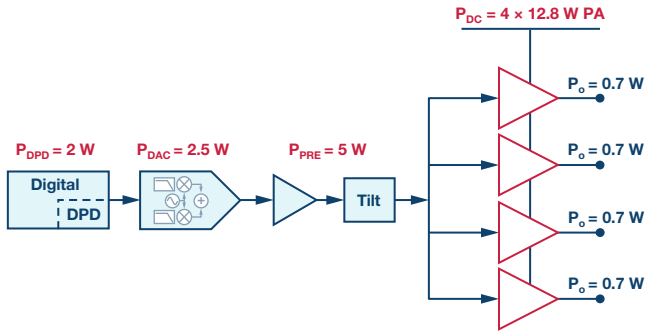


图2. 高峰均比推动回退工作模式并使效率大幅降低

总而言之，功效是主要问题。损失功率会影响成本，但同样重要的是，它还消耗了电缆分配系统中的稀缺资源。电缆运营商增加了更多功能和服务，因此需要进行更多的处理，而处理所需的功率可能会受现有功率预算的限制。如果能从低效功率放大器中设法获取浪费的功耗，那么可以将其重新分配给这些新功能。

针对功率放大器低效提出的解决方案是数字预失真。这是整个无线蜂窝行业普遍采用的一种方法。数字预失真允许用户在更高效但非线性更明显的区域中运行功率放大器，然后先预先校正数字域中的失真，再将数据发送到功率放大器。数字预失真的本质是在数据到达功率放大器之前对其进行整形，以抵消功率放大器产生的失真，从而扩大功率放大器的线性范围，如图3所示。这一扩大后的线性范围可用于支持更高质量的处理，提供较低的调制误差率(MER)，[1]或者允许功率放大器以更低偏置设置运行，从而节省功耗。尽管数字预失真已广泛应用于无线蜂窝基础设施，但在电缆环境中实施数字预失真有独特而又有挑战性的要求。

如图4所示，电缆应用的实际工作效率约为3.5%！实施数字预失真可以降低系统的功率要求，由原来的80 W降低到61 W，节约19 W，节电率达到24%。每个功率放大器以前的功率要求为17.5 W，现在则下降到12.8 W。



Power Overhead
- P_{DC} = 4 × 12.8 W = 51.2 W
- DAC: 1 × 2.5 W = 2 .5 W
- Preamplifier: 1 × 5 W = 5 W
- P_{DPD} = 2 W
- Total P_{dc} = 60.7 W
- Total Power Out: 4 × 0.7 W = 2.8 W
- Efficiency Improvement = 24% (19 W)

图4. 通过数字预失真方案实现节能概述

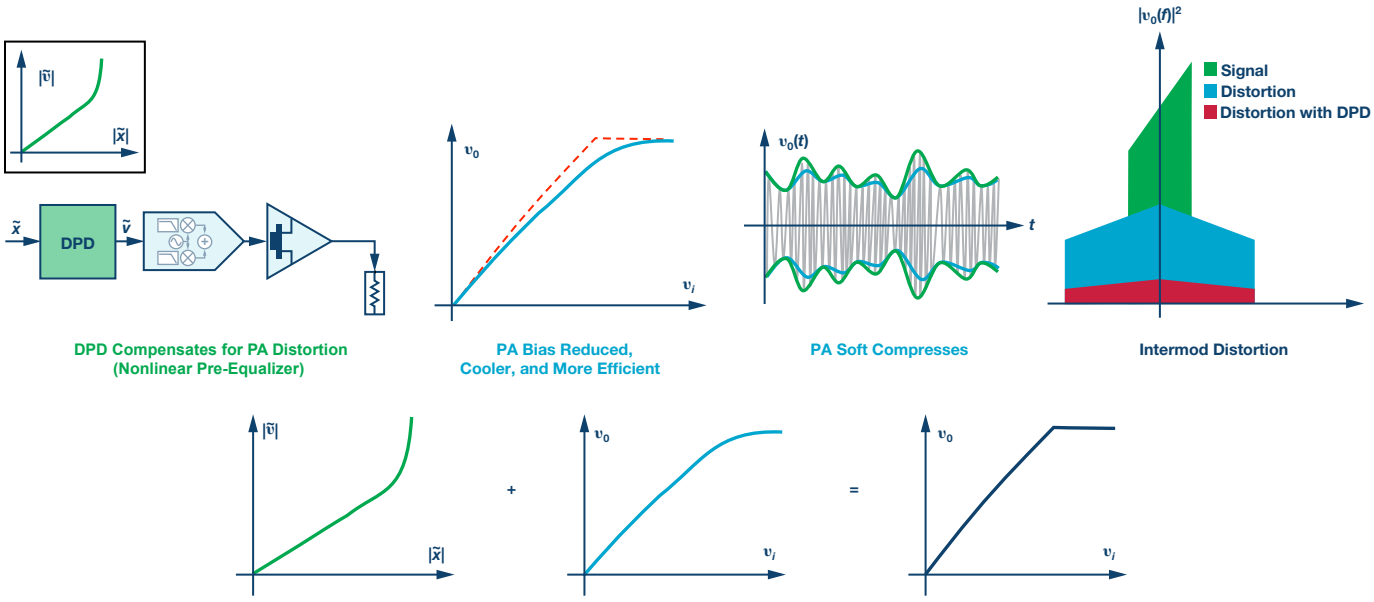


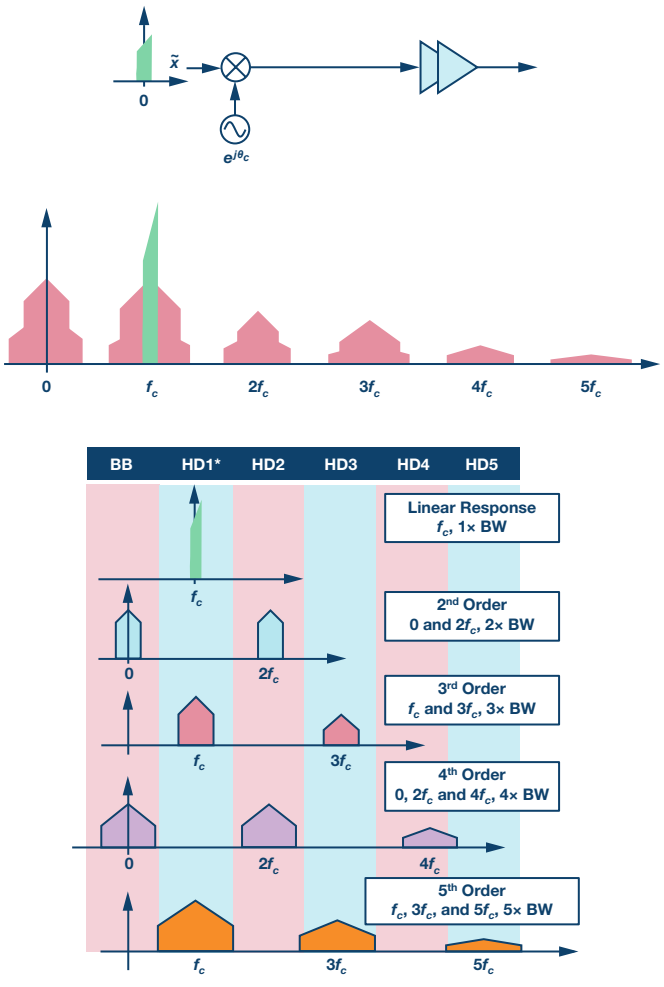
图3. 数字预失真概述

实施挑战

数字预失真的价值不言而喻，但在电缆应用中实施时会面对许多独特挑战。因此，必须在现有资源范围内应对这些技术挑战。例如，解决方案本身必须是高效节能的，因为如果节省的电能转化为该解决方案的电源，则在优化功率放大器效率方面没有什么价值。同样地，数字处理资源需要适当，以便可以高效地驻留在当前的FPGA架构中。具有非标准硬件要求和广泛架构变化的超大型/复杂算法不太可能适应。

超宽带宽

电缆应用环境与无线蜂窝环境之间最显著的区别也许是操作带宽。在电缆中，约1.2 GHz的带宽要进行线性化。宽带宽挑战复杂的原因在于频谱从直流开始仅为54 MHz且信号带宽大于信道中心频率。必须牢记的是，功率放大器经驱动进入非线性工作区域后即可实现省电，这样虽然提高了效率，但代价是非线性产物也随之而来。数字预失真必须消除由功率放大器产生的非线性，尤其是那些折回带内的非线性成分。这就在电缆应用中构成了独特挑战。



*Note: HD1 Represents 1st-Order Harmonic Distortions that Sit Around the Carrier Within the Desired Signal Bandwidth

图5. 传统窄带中谐波失真项的说明

图5概要显示了我们可能期望的经过非线性放大级的传统窄带(本节稍后部分给出窄带的定义)上变频基带信号的宽带谐波失真项。非线性功率放大器输出通常通过幂级数表达式描述，比如具有以下形式的Volterra级数：

$$y(n) = \sum_{m_1=0}^{M} \cdots \sum_{m_k=0}^{M} h_{k,m_1 \cdots m_k} \prod_{q=1}^{k} x(n-m_q)$$

可将其理解为有记忆效应的Taylor幂级数的推广。值得注意的是，每个非线性项(k = 1,2, ⋯, K)都会产生多个谐波失真(HD)产物。例如，五阶有3个谐波项：一次谐波、三次谐波和五次谐波。另外需要注意的是，谐波带宽是其阶次的倍数。例如，三阶谐波项的宽度是激励带宽的3倍。

在电缆中，谐波在频谱(从直流开始仅为54 MHz)上的位置对数字预失真构成了特殊挑战，而这一挑战与大信号带宽的关系并不大。所有非线性系统都会发生谐波失真。电缆数字预失真的重点是落在带内的谐波失真。从图5可以看出，在传统窄带应用中，重点将是三阶谐波和五阶谐波。尽管形成了其他谐波，但它们在目标频带外，可通过传统滤波消除。我们可以按照分数带宽来定义宽带应用和窄带应用，其中分数带宽的定义公式如下：

$$\frac{(f_n - f_l)}{f_c}$$

(f_n = 最高频率，f_l = 最低频率，f_c = 中心频率)。分数带宽超过1时，可将应用视为宽带应用。大多数蜂窝应用的分数带宽不超过0.5。因此，它们的谐波失真行为符合图6所示的特性。

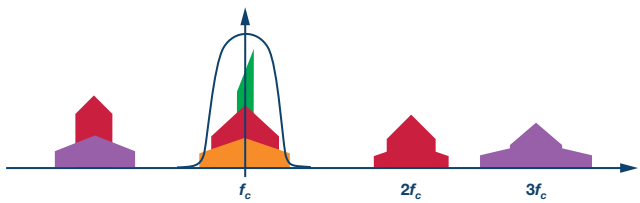


图6. 窄带简化：只需考虑一次谐波周围的产物

对于这样的窄带系统，只有一次谐波周围的带内失真需要通过数字预失真消除，因为采用带通滤波器可去除所有其他产物。另外还需注意的是，由于带内没有偶数阶产物，数字预失真只需处理奇数阶项。

在电缆应用中，我们近似认为f_n ~1200 MHz，f_l ~50 MHz，f_c ~575 MHz，从而得出分数带宽为2。要确定需要校正的最低谐波失真阶次，可以使用以下公式：

$$f_l K_{min} < f_n$$

(K_{min}是要考虑的最低非线性阶次)，或者用数字表示就是50 MHz × 2 = 100 MHz，由于其小于1200 MHz，因此二阶谐波失真正好在工作频带内并且必须被校正。因此，如果决定在安全性和线性度极高的操作范围之外操作电缆功率放大器，则所得到的谐波失真将如图7所示。

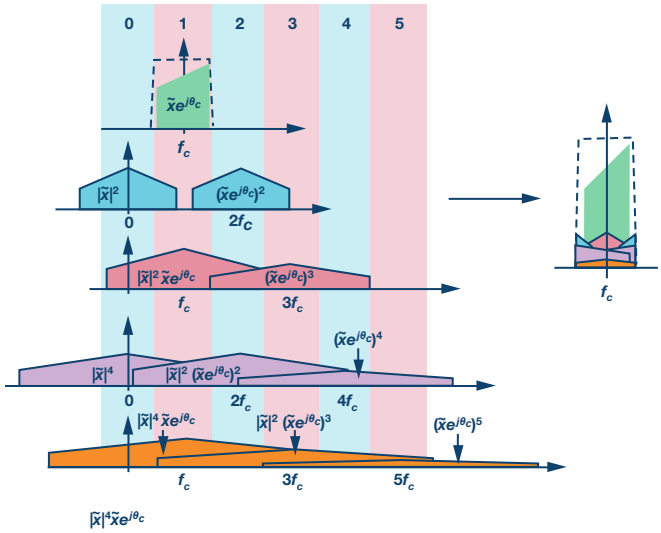


图7. 宽带电缆应用中宽带谐波失真的影响

相比只需要考虑奇数阶谐波的无线蜂窝应用，电缆应用中的偶数阶项和奇数阶项均在频带内，可产生多个重叠的失真区域。这在一定程度上会对任何数字预失真解决方案的复杂性和精密性产生严重影响，因为算法必须通过简单的窄带假设。数字预失真解决方案必须适应谐波失真每个阶次的项。

在窄带系统中，偶数阶项可以被忽略，奇数阶在每个目标频带内产生1个项。电缆应用中的数字预失真必须考虑奇数阶和偶数阶谐波失真，并且还必须考虑到每个阶可能有多个重叠的带内元素。

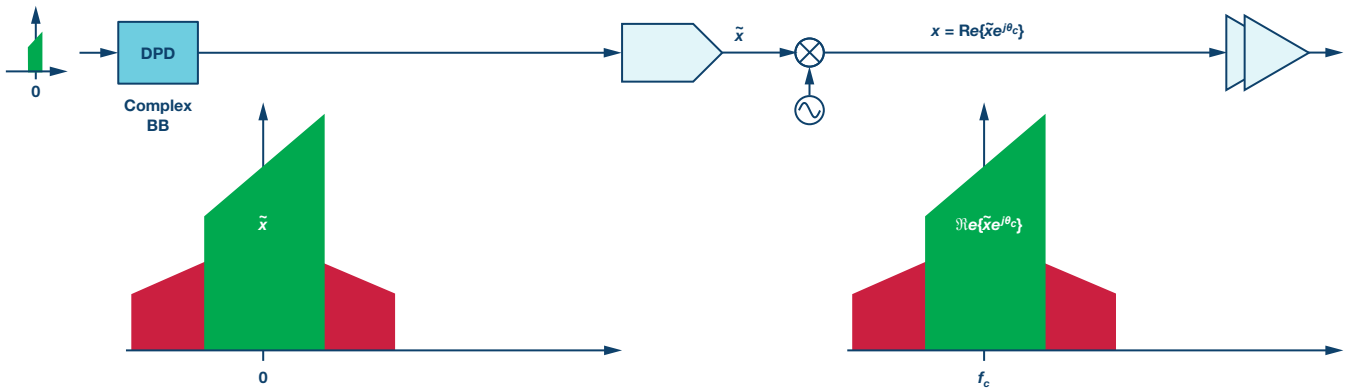
谐波失真校正定位

考虑到传统窄带数字预失真解决方案的处理在复杂的基带处完成，我们主要关注对称位于载波周围的谐波失真。在宽带电缆系统中，尽管保持了位于一次谐波周围的那些项的对称性，但是这一对称性不再适用于更高阶次的谐波产物。

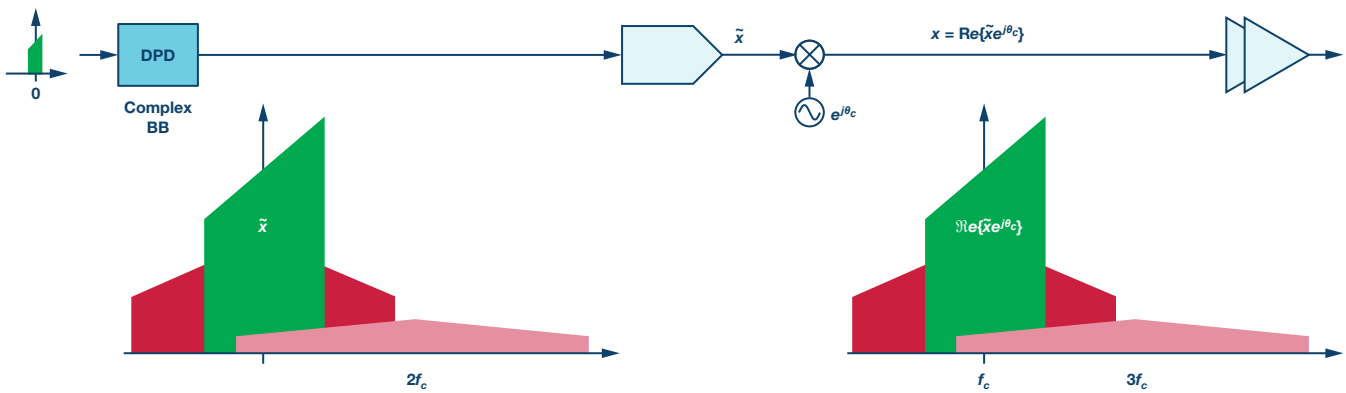
如图8所示，传统窄带数字预失真在复杂基带处完成。在这些实例中，仅一次谐波产物在频带范围内，因此其基带产物直接转换为RF。考虑宽带电缆数字预失真时，较高阶次的谐波失真必须是频率偏移，才能使上变频后的基带产物正确位于实际RF频谱中。

环路带宽限制

闭环数字预失真系统采用传输和观测路径。在理想化的模型中，两条路径都不会受到带宽限制，并且两者的宽度都足以通过所有数字预失真项。也就是说，它们足以通过带内项和带外项。



(a) Conventional Narrow-Band DPD Processing Done at Complex Baseband.



(b) Wideband Cable DPD, OOB HD Must be Frequency Offset to Allow for RF Upconversion.

图8. 宽带数字预失真复杂基带处理中频率偏移要求的注解

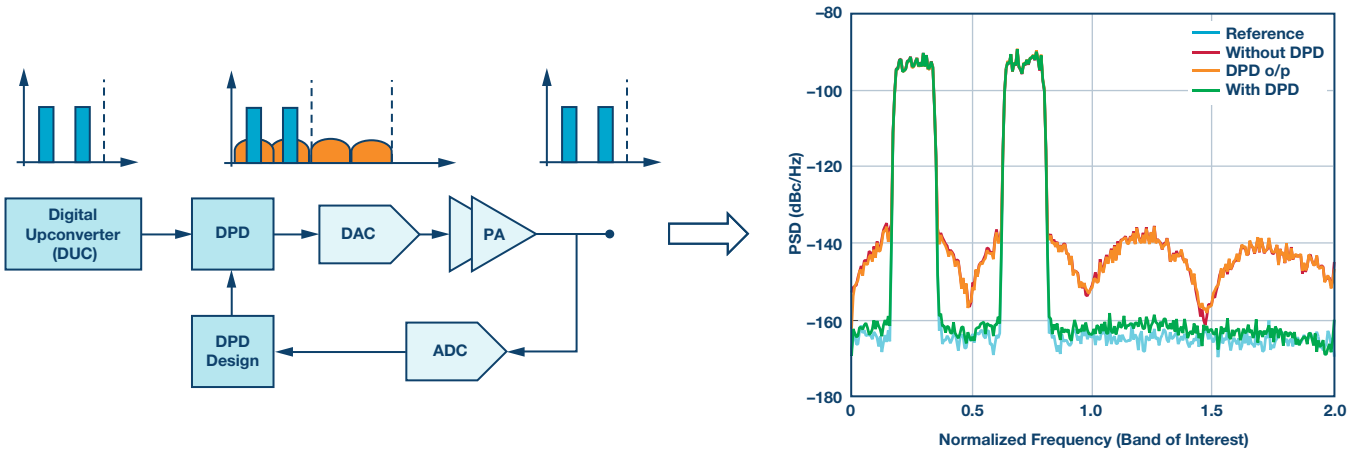


图9. 无带宽限制的理想化数字预失真方案

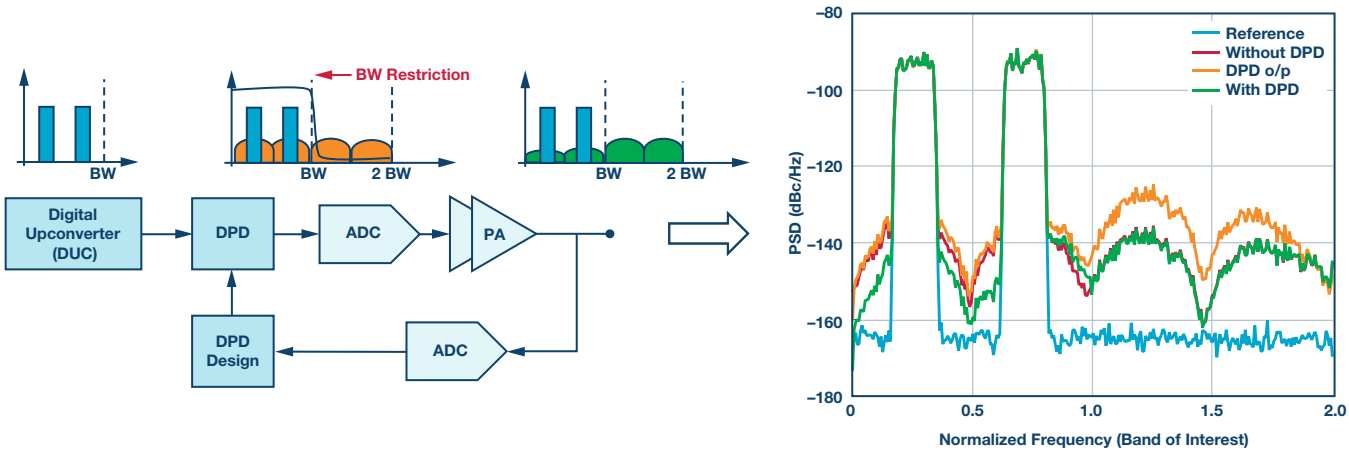


图10. 数字预失真性能由于信号路径中的带宽限制限制了带外项而下降

图9概要显示了数字预失真一种数字预失真的实现。在理想情况下，从数字上变频器(DUC)(通过数字预失真)到DAC乃至通过功率放大器的路径将没有带宽限制。同样地，观测路径上的ADC将对全带宽进行数字化(请注意，为了进行说明，我们展示2倍带宽的信号路径。在某些无线蜂窝应用中，可扩展到3至5倍的带宽)。理想方案是通过数字预失真产生带内项和带外项，从而完全消除功率放大器引入的失真。需要注意的是，为了准确消除失真，需要在目标信号的带宽之外创建项，这一点非常重要。

在实际方案中，信号路径具有带宽限制，数字预失真性能无法达到理想方案要求。

在电缆应用中，带宽限制可能有多种来源：FPGA与DAC之间的JESD链路、DAC镜像抑制滤波器、功率放大器输入匹配。这些限制最显著的影响是带外性能。从图10所示的仿真可以看出，数字预失真无法校正带外失真。在电缆中，带外失真会造成带内性能下降，这一点特别重要，是我们需要考虑到的。信号路径中的带宽限制可以并且的确会影响带内性能。

电缆环境比较独特，因为运营商拥有整个频谱。感兴趣频带(54 MHz至1218 MHz)外的辐射位于未被他人使用的一段频谱中，也会由于高频时固有的电缆损耗而导致衰减。观测路径只需监测工作频带内发生的情况。

在这里需要做出一个重要区分：带外辐射无需考虑，在带外生成并延伸到频带内的辐射需要考虑。因此，尽管带外辐射无需考虑，但需要考虑形成这些辐射的项。该方案与无线蜂窝应用大为不同，因为其观测带宽要求通常为工作频带的3至5倍。电缆中的重点是带内性能，因此仅需考虑带外项对带内性能的影响。

电缆数字预失真只需要针对带内产物进行校正：对于DOCSIS 3，频率范围为54 MHz至1218 MHz。数字预失真生成二次，三次，…，消除项。尽管只需在电缆带宽上进行校正，但在数字预失真致动器中，这些项将会扩展到更宽的带宽(例如，三阶带宽扩展到1218 MHz的3倍)。为了保持传统数字预失真自适应算法的稳定性，应当将这些带外项保留在环路周围。对数字预失真项进行的任何滤波往往会造成自适应算法不稳定。在电缆系统中存在频带限制，因此常规算法可能失效。

数字预失真和电缆倾斜补偿

与所有其他传输介质一样，电缆引入了衰减。通常认为这种衰减与电缆质量、电缆敷设距离和传输频率有关。如果要在电缆的接收端，即工作频谱上实现相对均匀的接收信号强度，则必须在发送端增加预加重(倾斜)。倾斜可被视为电缆的反向传递函数。它采用与传输频率成比例的预加重或整形。

通过被称为倾斜补偿器(位于功率放大器之前)的低功耗无源模拟均衡器即可实现整形。在高频下衰减少或不衰减，而在低频下衰减大。倾斜补偿器输出端的信号在整个工作频谱范围内可具有高达22 dB的均衡增益变化。

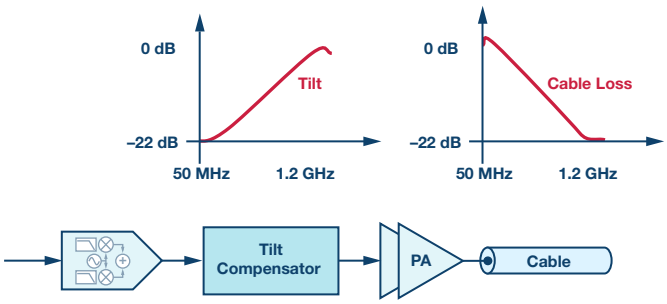


图11. 倾斜补偿器方案

倾斜补偿器对信号进行整形，并且在通过功率放大器处理信号时保持整形轮廓。传统数字预失真方案会将整形视为减损并尝试针对其进行校正，因为数字预失真是(非线性)均衡器。似乎合理的是，如果将倾斜的倒数添加到观测路径中，就可以减轻其影响。但事实并非如此。功率放大器是非线性的，因此交换性不适用，也就是说：

$$PA\{T\} \neq T\{PA\}$$

(PA代表功率放大器，T代表倾斜补偿器)。

为了实现最佳操作，数字预失真处理模块需要明确了解在功率放大器输入端处显示的信号。在电缆数字预失真应用中，利用数字预失真算法为功率放大器建模的同时，必须保持倾斜补偿。这就会面临一些非常独特和极具难度的挑战。我们需要一个稳定的低成本解决方案，不会使倾斜均衡。虽然无法在本文中披露该解决方案的性质，但ADI已经找到了一个创新的解决方案，将在未来的出版物中详细介绍。

数字预失真和电缆功率放大器架构

如图4所示，典型的电缆应用将把一个DAC的输出分成四路并提供给四个独立的功率放大器。为了最大程度节省功率，需要在所有这些功率放大器上实施数字预失真。可行的解决方案可能是实施四个独立的数字预失真模块和DAC模块。该解决方案有效，但会使效率降低，系统实施成本增加。额外的硬件需要资金和功率成本。

并非所有功率放大器都是一样的，尽管工艺匹配(制造过程中)可以提供具有相似个性的单元，但差异仍会存在，并且随着老化、温度和供电波动而变大。然而，将一个功率放大器用作主机并为其开发优化的数字预失真，然后将其应用于其他功率放大器，确实可提供系统性能优势，如图12中的仿真结果所示。

左侧的曲线表示未采用数字预失真情况下的功率放大器性能。非线性工作模式导致失真，这体现在MER[1]性能(范围为37 dBc至42 dBc)中。闭环数字预失真应用于观测主功率放大器的输出；曲线图右侧的绿色曲线表示的是增强性能。数字预失真已针对功率放大器失真进行了校正，结果是总体性能经过转变后可提供65 dBc到67 dBc的MER。图中间剩余的曲线表示的是从功率放大器的性能，即根据主功率放大器进行校正的功率放大器。可以看出，只观测一个功率放大器来实施闭环数字预失真可使所有功率放大器的性能受益。然而，从功率放大器仍然存在会失效的工作点。从功率放大器的性能范围从38 dBc到67 dBc。宽范围本身不是问题，但该范围的一部分低于可接受的工作阈值(电缆通常为45 dBc)。

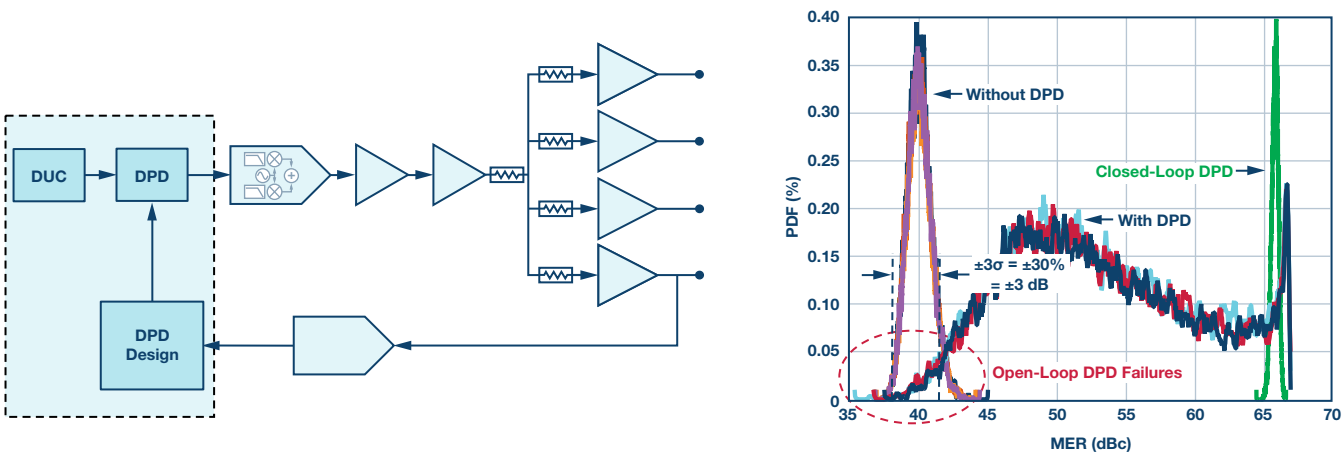


图12. 使用多个功率放大器的单次数字预失真(仿真结果)

电缆中独特的系统架构为数字预失真提供了额外挑战。优化性能需要采用闭环数字预失真方案。但根据惯性思维，在电缆中这样做将需要在每个功率放大器路径中附加硬件。最佳解决方案需要为每个功率放大器提供闭环数字预失真的增强功能，但不需要额外的硬件成本。

利用SMART算法解决挑战

如本文之前所述，电缆数字预失真为设计人员带来了非常独特和极具难度的挑战。如果在功率和硬件的限制范围内解决这些挑战，那么优势就不会被削弱；如果把功率放大器中节省下来的功率用于额外的DAC或FPGA，则对于功率放大器省电几乎没有任何价值。同样地，省电必须与硬件成本平衡。ADI通过结合高性能模拟信号处理与先进算法方案解决了该挑战。

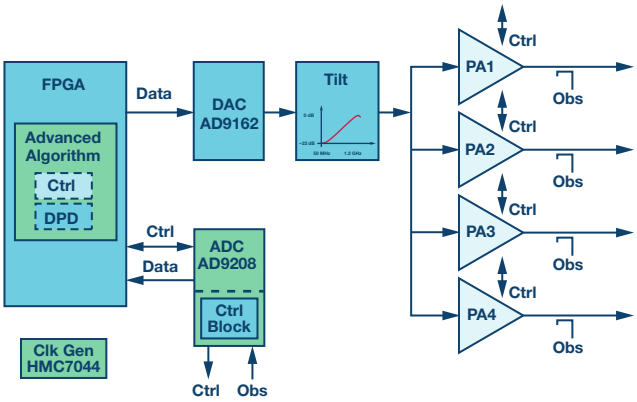


图13. 使用高级转换器和SMART算法的电缆数字预失真方案

ADI方案的高级概述如图13所示。该解决方案可以被认为具有三个关键要素：使用高级转换器和定时产品、采用支持全面信号链监控/控制的架构、运用可利用已有知识实现最佳性能的数字预失真先进算法。

该算法是该解决方案的核心。它使用其广泛的信号处理知识以及信号路径的传递功能来形成输出，同时调整信号路径某些方面的动态控制。动态系统解决方案不仅意味着系统设计人员能够大幅省电，而且这些节省的电能可以直接转化为性能提升。利用该算法，用户定义了系统必须运行的MER[1]性能级别后，就会实施系统调整，以便在所有输出端实现该性能。需要注意的是，该算法还确保在保持每个功率放大器的最佳用电效率的同时满足性能阈值，这一点非常重要。功率放大器的功耗都低于实现目标性能所需的功耗。

前面概述了该解决方案的实施。该算法本身的特性是ADI专有IP，这不在本文论述范围内。SMART算法具有学习系统路径的能力，然后改变通过路径传输的数据的性质以及路径本身的特性以提供最佳结果。我们将最佳结果定义为：维持MER质量的同时降低功率要求。

路径特性以及传输信号的性质都在不断变化。该算法具有处理动态适应性的自学习能力。更重要的是，适应发生在系统运行期间，不会使传输的流中断或失真。

结论

电缆环境仍旧是提供数据服务的重要基础设施。随着技术继续发展，对频谱和功效的要求也越来越高。新一代技术的发展使需求日益增长，并推动实现更高阶的调制方案以及更好的功效。这些增强功能的到来必须不影响系统性能(MER)，尽管数字预失真提供了一个可能的实现途径，但其在电缆应用中的实施构成了非常独特和极具难度的挑战。ADI已开发出一套全面的系统解决方案来应对这些挑战。该解决方案涵盖基于硅的芯片(DAC、ADC和时钟)、功率放大器控制以及先进算法。所有这三种技术的结合为用户提供了一个适应性强的解决方案，在这些解决方案中，他们可以轻松地以最小的妥协来达到功率与性能要求。该软件定义解决方案还支持原有电缆技术到新一代电缆技术的轻松过渡，新一代电缆技术中预计将包含全双工(FD)和包络跟踪(ET)。

注释1：调制误差率是对调制质量的度量。它表示目标符号向量与传输符号向量之间的差异。MER = 10Log (平均信号功率/平均误差功率)。它可以被认为是对补偿放大器内符号位置准确性的度量。

Patrick Pratt [patrick.pratt@analog.com] 是一名高级研究员，负责ADI公司电缆数字预失真算法的开发。他的职业生涯超过30年，其中包括在私人组织和学术机构从事的算法研究和开发活动。帕特里克拥有科克理工学院电子工程专业的博士学位。



Patrick Pratt

Frank Kearney [frank.kearney@analog.com] 担任ADI公司利默里克通信系统工程团队的算法开发经理。他自1988年毕业后即在ADI公司工作。他不久前从中国返回；在中国工作期间，他担任亚太地区系统工程团队的高级应用经理。他目前是都柏林大学的博士生。



Frank Kearney

该作者的其它文章：

基站中的无源交调(PIM)效应：了解挑战和解决方案

第51卷，第1期

非常见问题解答—第143期

低功耗会烧毁器件？低电流损耗也可能带来麻烦

作者：**Abhinay Patil**

共享



问题：

我更换了一个更新更好的器件，具有更低的电流损耗。结果发生故障，新器件甚至烧毁。请问您如何解释这一现象？

答案：

线性稳压器是相当简单的器件，并没有太多挑战。尽管如此，偶尔还是会遇到麻烦。

我当现场应用工程师时，有时客户会请我推荐替代其他供应商的器件。在许多情况下，器件的替换由客户的生产、采购团队决定，而原来的电路设计师可能并不知晓这个变更。决策过程相当简单：替换器件应当具有相同的功能、封装和引脚配置，以及与被替换器件同等甚至更好的电气规格。只要满足所有这些要求，就向元器件工程师提供必要的比较数据，将新元器件添加到材料清单中，作为第二供应商备选件。做完这些，应当大功告成。但事实上，使用旧器件正常工作的产品在替换为备选件后，在生产线上开始失效。哪里出错了呢？

我曾参与解决这样一个案例，我们遵循上述流程，在客户设计中，将一个隔离式RS-485收发器作为另一供应商器件的第二供应商。两个器件形状、尺寸和功能兼容，而我们的器件具有更好的电气规格。客户随后向我们下了大量此器件的订单，似乎没有任何理由出错。然而，客户报告说，新的RS-485收发器在生产测试台上开始失效。由于设计中没有任何别的改变，所以一定是图中的新器件出错了。

经过进一步调查，我们发现为收发器总线侧供电的线性稳压器未按预期稳压至5 V，而是上升到更高的电压。我们不得不仔细检查、比较旧收发器和替换件的数据手册，以及线性稳压器的数据手册，以确定哪里出错了。

“更好”是一个定性术语，具体取决于所讨论的参数。例如，当涉及到速度、CMRR、PSRR时，越高越好；当涉及到失调电压、漂移时，越低越好；而您不需要太多工程知识就知道功耗总是越低越好。真的是这样吗？在这个特殊案例中，并非如此。旧收发器闲置状态下在总线侧消耗15 mA (典型值)电流，而新器件仅消耗2 mA (最大值)。毫无疑问，新器件在数据上看起来更好。不幸的是，线性稳压器似乎失常了。

正如本文开头提到的，线性稳压器相当简单，并没有太多要求。然而，它的一个特殊要求是需要最小负载电流才能正常工作。如果这一需求没有被满足，稳压器将无法正常稳压，输出电压超出范围。如果稳压器的输入电压远高于期望的输出电压，情况将变得更差。阅读优秀文章，了解有关此主题的更多细节。[1]

许多现代线性稳压器在设计中特别注意了这个问题，因而不会产生故障。一些旧器件(如本案中客户设计所用的器件)没有考虑此点，因此在系统设计时需要额外的预防措施。某些情况下，可调输出LDO的反馈电阻网络负责最小负载电流。不幸的是，如果决定大幅提高电阻，同时保持相同比值，很可能无意中闯祸。还有另外一种情况，即由LDO供电的器件在正常工作期间满足负载要求，而在待机状态下则不行。这些都是需要注意的潜在缺陷，因此请务必仔细阅读LDO数据手册。如果有最小负载电流要求，通常以某种形式体现出来。下面是几个示例：

Load Regulation	10 mA ≤I_{OUT} ≤ I_{MAX}[1][3]	T_J = 25°C	0.1% 0.3%	
		Over Full Operating Temperature Range	0.3% 1%	
I_{MIN}	Minimum Load Current[3]	–40°C to +125°C	1	mA

图1. 数据手册中的最小负载电流实例

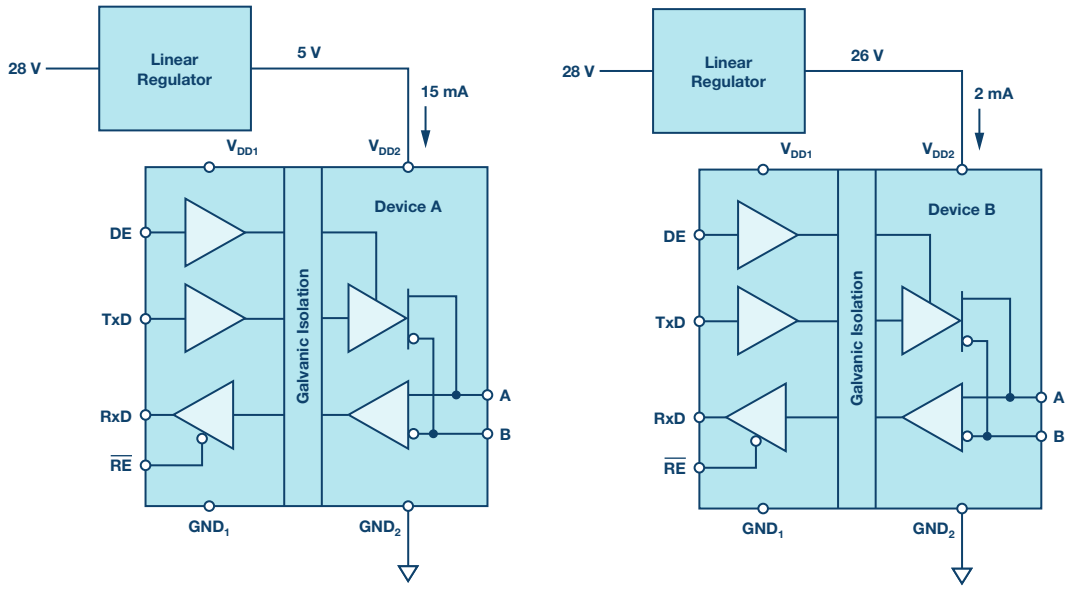


图2. 左边线路图：采用旧器件的稳压器正常工作(满足最小负载电流要求)右边线路图：采用新器件的稳压器不稳定(负载电流不足)

回到我们的故事——一旦了解了问题产生的根本原因，那么修复就相当简单。我们要做的就是在调节器输出端加一个泄放电阻，以消耗最小负载电流。虽然不理智的客户很容易将问题简单地归咎于我们的器件，但本例中的客户看到了积极的一面，很高兴能从这一案例中学习到新技术。

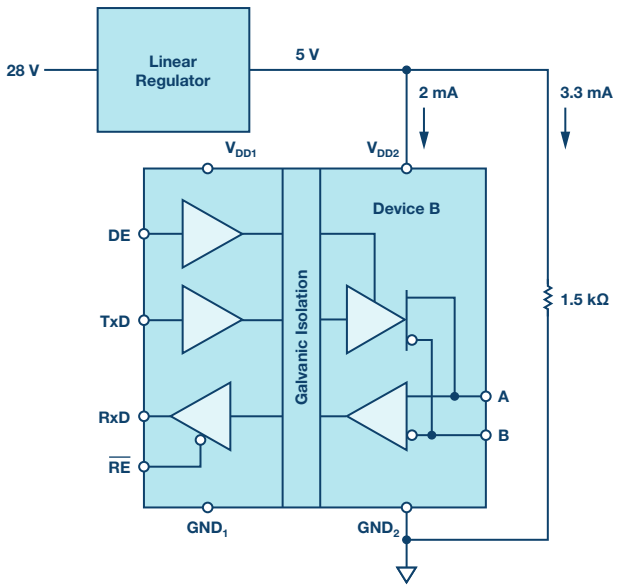


图3. 增加一个泄放电阻满足最小负载电流要求后，问题解决了

有如童话中的完美结局——虽然有牺牲，但最终每个人都过上了幸福快乐的生活。

参考文献

1. Luca Vassalli “最小负载电流工作模式—零负载工作模式” *模拟对话*，第48卷，2014年9月。

Abhinay Patil [Abhinay.patil@analog.com] 于2003年加入ADI公司，现在印度班加罗尔任大客户现场应用经理。他拥有电子通信工程学士学位。



Abhinay Patil

改进的DAC相位噪声测量以支持超低相位噪声DDS应用

作者：**Peter Delos**和**Jarrett Liner**

共享

简介

在雷达应用中，相位噪声是要求高杂波衰减的系统的关键性能指标。相位噪声是所有无线电系统都会关心的问题，但是雷达相比通信系统来说特别要求非常靠近载波频率的频偏位置的相位噪声性能。

这些高性能系统中的系统设计人员将选择超低相位噪声振荡器，并且从噪声角度来讲，信号链的目标就是使振荡器相位噪声曲线的恶化最小。这就要求对信号链上的各种元器件做残余或加性的相位噪声测量。

最近发布的高速数模转换器(DAC)产品对于频率转换阶段需要的任何LO的波形生成和频率创建都非常有吸引力。然而，雷达目标会挑战DAC相位噪声的性能。

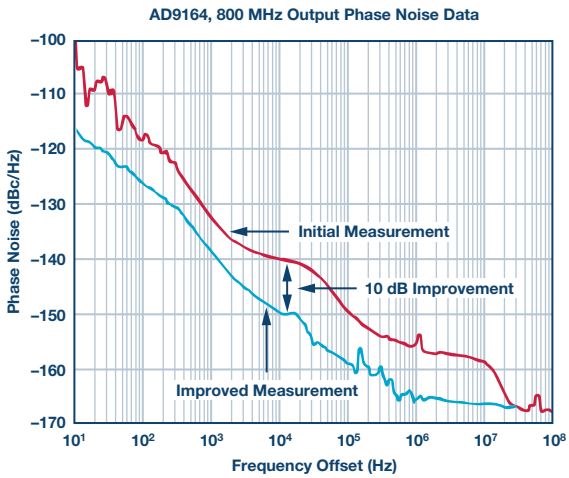


图1. AD9164相位噪声的改进

在本文中，我们将展示AD9164 DAC在10 KHz 频偏处超过10 dB的改进的测量结果。改进如图1所示，并且我们将会讨论如何通过结合电源稳压器选择和测试设置改进来达到这一结果。

相位噪声定义

相位噪声是周期信号过零点偏差的测量。考虑有相位波动的余弦波

$$x(t) = \cos(2\pi ft + \Phi(t))$$

f = 瞬时频率

$\Phi(t)$ = 随机波动相位(单位：弧度)

相位噪声可以通过相位变化的功率谱密度来确定

$$S(f) = \frac{\Phi(t)^2_{RMS}}{BW} \text{ 单位 } \frac{\text{rad}^2}{\text{Hz}}$$

就线性而言，单边相位噪声定义为

$$L(f) = \frac{S(f)}{2}$$

相位噪声通常以10log (L(f))的dBc/Hz为单位来表示。然后可以将相位噪声数据绘制到相对RF载波的偏移频率中。

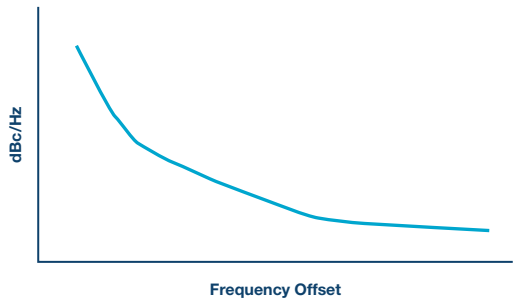


图2. 相位噪声绘图方法

相位噪声进一步的重要定义就是绝对相位噪声和残余相位噪声。绝对相位噪声是系统中测量的总相位噪声。残余相位噪声是测试设备的加性相位噪声。这种区别在测试设置和确定系统中元件级别相位噪声贡献的过程中至关重要。

DAC/DDS相位噪声测量方法

本部分图表显示DDS相位噪声测试设置。对于DAC相位噪声测量，可以设想将DAC作为直接数字频率合成器(DDS)子系统的一部分。DDS是通过将与DAC通信的单片IC或FPGA或ASIC中的数字正弦波模式送给DAC来实现。在现代DDS设计中，数字相位误差可以远低于DAC误差，而且DDS相位噪声测量通常受限于DAC的性能。

最简单和最常见的测试设置如图3所示。一个时钟源用于DDS并且DDS的输出馈入到一个互相关类型的相位噪声分析仪。由于只需要一个DDS，所以很容易实现。然而，在这样的测试设置下，没有办法提取振荡器的贡献以便仅仅显示DDS的相位噪声。

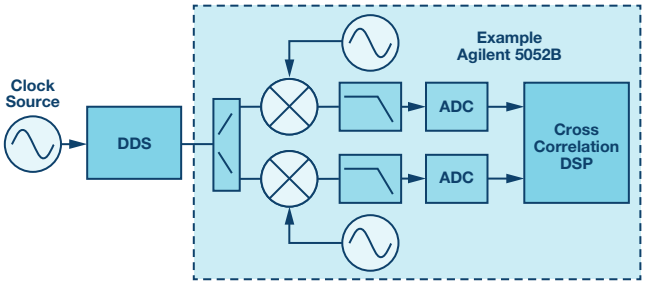


图3. 绝对相位噪声DDS测试设置包含DAC和振荡器噪声

图4显示了两种常用的方法用来从测量中去除振荡器的相位噪声，提供残余噪声测量。这些测量方法的缺点在于，在测试设置中需要额外的DAC。但是，在测试设置中需要额外的DAC。

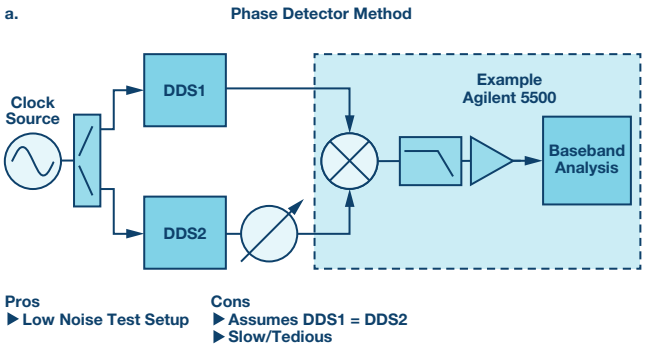


图4a. 使用鉴相器方法的DDS残余相位噪声测量

图4a显示的是鉴相器方法。这种情况下，使用两个DAC,将两个DUT都下变频至DC，可以减去振荡器的贡献。

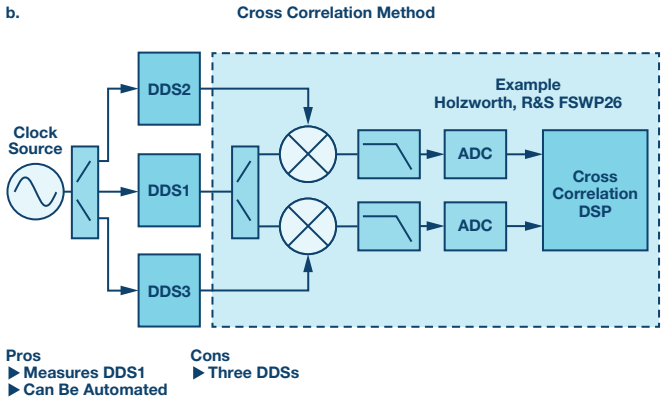


图4b. 使用互相关方法测量DDS残余相位噪声

图4b显示的是使用互相关相位噪声分析的方法。这种情况下，DDS2和DDS3可以用于将时钟贡献转换到测量的LO端口，在互相关算法中去除它们的贡献，并在测量中获取DDS1残余相位噪声。

电源噪声贡献

在低噪声模拟和RF设计中，电源噪声是公认需要考虑的因素。电源纹波会周期性的调制到RF载波并在RF载波的频偏等于纹波频率的地方产生杂散。稳压器1/f噪声也会调制到RF载波中，并体现在相位噪声曲线中。图5显示了这些原理。

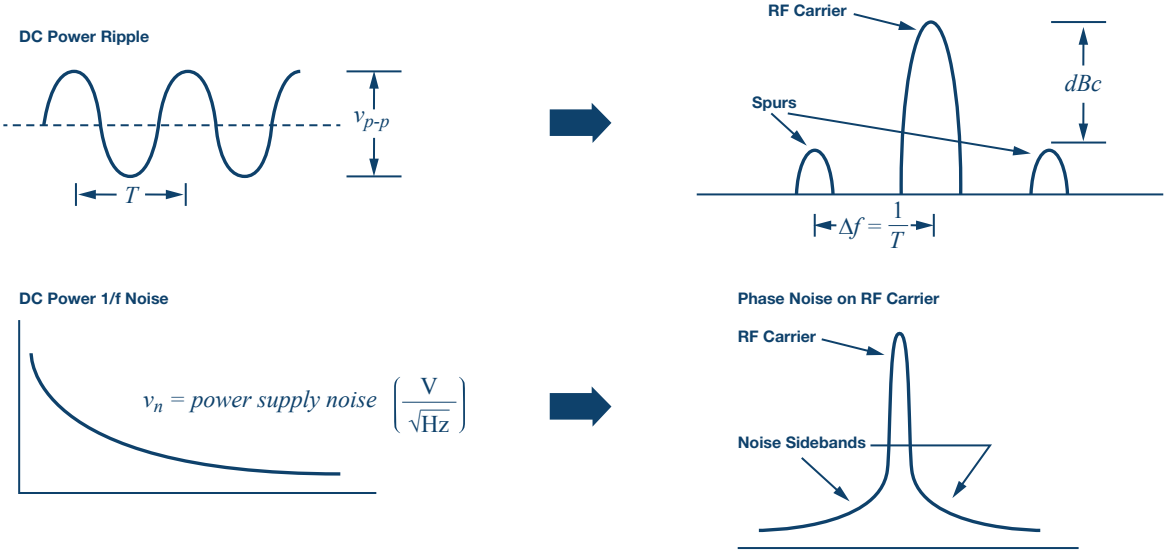


图5. 电源缺陷调制到RF载波上

测量结果

在研究DAC真正的相位噪声性能的过程中，需要同时考虑测试设置和稳压器的噪声性能。

在研究DAC真正的相位噪声性能的过程中。将噪声谱密度与最近发布的超低噪声稳压器和所选的ADM7155进行对比。图6如产品数据手册所示显示了这些噪声密度的对比情况。电源修改仅将ADM7155用于AD9164时钟(数据手册引脚VDD12_CLK)和模拟电压(数据手册引脚VDD12A)。

接下来，考虑残余相位噪声的测试设置选项。由于实用性和方便性，自带互相关方法的Rohde and Schwarz FSWP成为首选。使用的测试设置如图7所示。

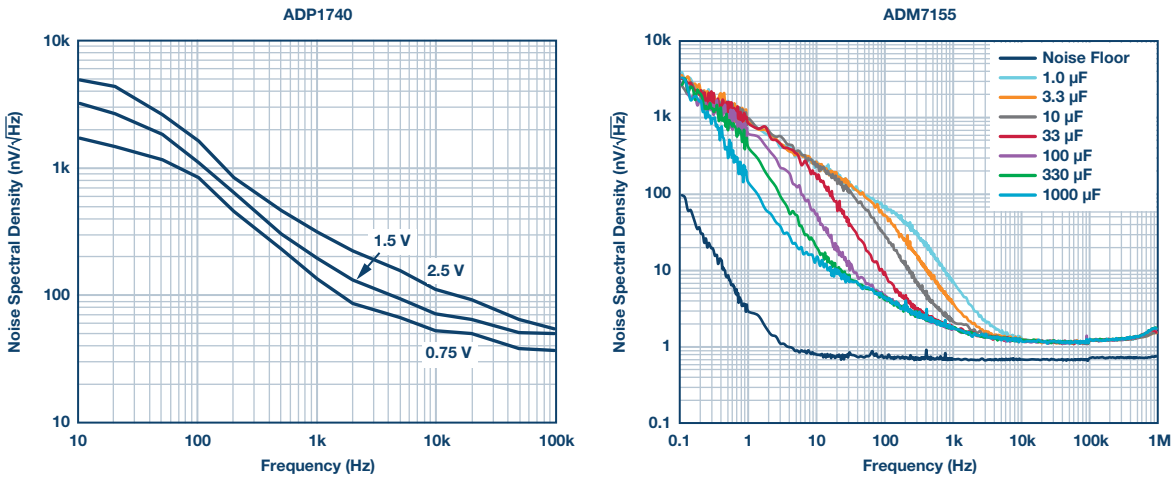


图6. 稳压器噪声密度比较。注意Y轴单位——ADM7155提高了一个数量级

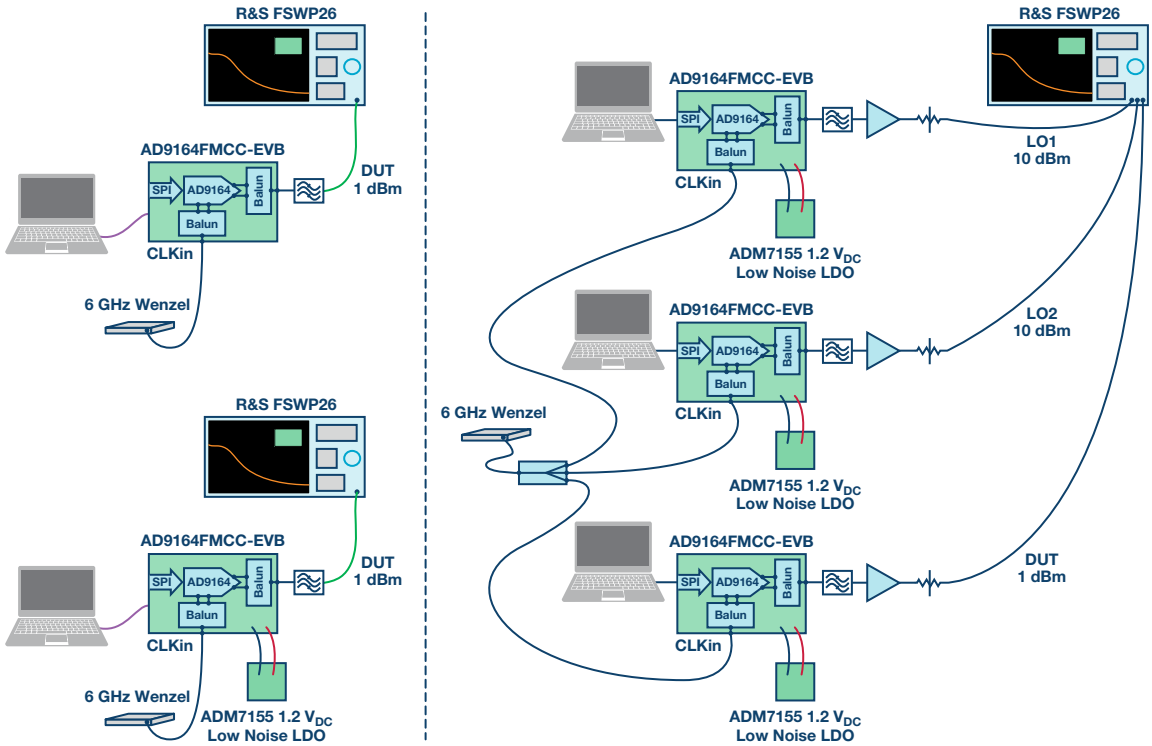


图7. AD9164相位噪声测量的测试设置

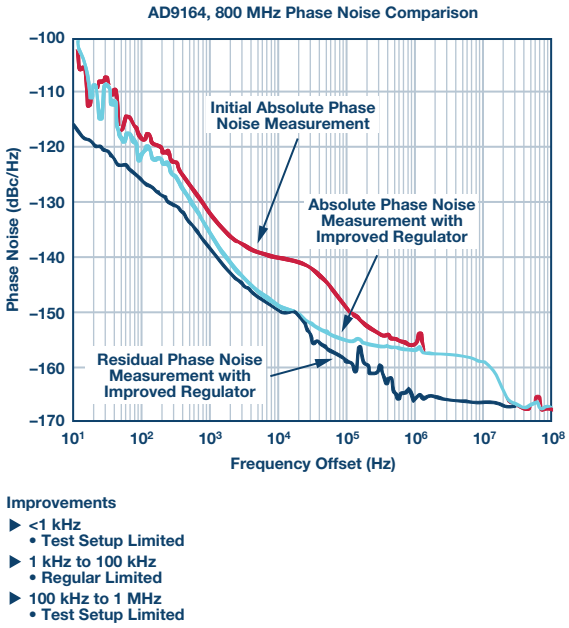


图8. AD9164 800 MHz输出相位噪声比较

图8显示了三种情况的测量结果。红色曲线显示了初始评估板的绝对相位噪声测量结果。浅蓝色曲线也是一种绝对测量结果，但提升了稳压器性能。深蓝色曲线是残余相位噪声测量结果，也提升了稳压器性能。

测量结果指出了在初始研究中并不明显的三种常规的限制区间。低于1 kHz的频率受限于时钟源近载波噪声。1 kHz至100 kHz的频率受限于稳压器选择。高于100 kHz的频率受限于时钟源。由于使用的时钟是用晶体振荡器倍频产生的6 GHz，滚降来自于倍频电路中的RF滤波器，因此高于10 MHz的急剧下降来自于时钟源。

其他的一些DAC频率也使用了提升稳压器性能的残余相位噪声方法进行了测量，图9中概述了部分。这些改进在几个评估板上都做了复现，所有的情况都显示了同样的改进后的结果。

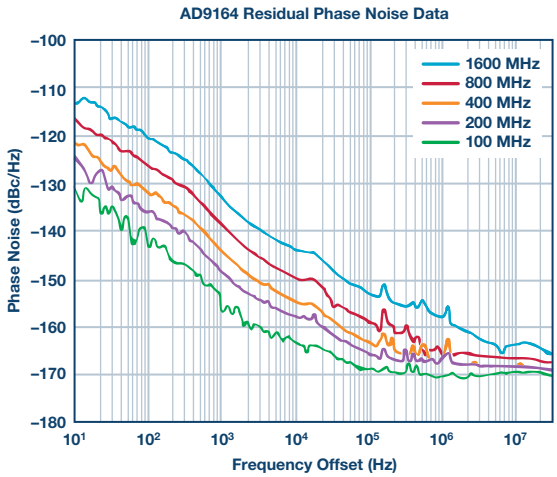


图9. 改进了低噪声稳压器性能的AD9164残余相位噪声测量

表1. 包含一流的噪声密度性能的稳压器系列

产品型号	V_{IN} 最小值(V)	V_{IN} 最大值(V)	V_{OUT}选项或调节范围(V)	I_{OUT} (mA)	PSRR @ 1 nkHz	PSRR @ 1 MHZ (μV rms)[1]	有效值噪声100 Hz至100 kHz (nV/√Hz)	噪声谱密度100 kHz (nV/√Hz)	额定I_{OUT}下的压差典型值(mV)	总精度最大值(±%)	封装
ADM7150	4.5	16	固定：1.5至5.0	800	94	62	1	2	600	2	3 mm x 3 mm、8引脚LFCSP、8引脚SOIC
ADM7151	4.5	16	可调：1.5至5.1	800	94	62	1	2	600	2	3 mm x 3 mm、8引脚LFCSP、8引脚SOIC
ADM7154 *新产品*	2.3	5.5	固定：1.2至3.3	600	90	58	1	1.2	120	2	3 mm x 3 mm、8引脚LFCSP、8引脚SOIC
ADM7155 *新产品*	2.3	5.5	可调：1.2至3.3	600	90	58	1	1.2	120	2	3 mm x 3 mm、8引脚LFCSP、8引脚SOIC

[1] 噪声与固定输出电压无关。

超低噪声稳压器系列的噪声密度相似，如表1所示。正如本文所展示的，稳压器对DAC的相位噪声影响是值得注意的，超低噪声稳压器系列推荐用于任何要求最佳的相位噪声性能的RF系统中。

结语

位噪声基础定义的复习、绝对和残余相位噪声、DAC相位噪声测量测试设置以及稳压器噪声贡献。

本文演示的DAC相位噪声性能改进包含残余相位噪声测量方法和最佳稳压器选择。最终结果是，通过ADI公司的低噪声稳压器系列对模拟电压和时钟电压供电时，AD9164现在可支持超低相位噪声、基于DDS的应用。

参考文献

Bergeron，Jarrah，“分析及管理电源噪声和时钟抖动对高速DAC相位噪声的影响”，*《模拟对话》*，第51卷，2017年。

Calosso，Claudio E.，Yannick Gruson和Enrico Rubiola，“DDS中的相位噪声和幅度噪声”，IEEE频率控制专题论文集，2012年。

Jayamohan，Umesh，“为GSPS或RF采样ADC供电；开关与LDO”。*《模拟对话》*，第50卷，2016年。

“11729B-1产品笔记，微波振荡器的相位噪声特性：鉴相器方法”，Agilent，2007年5月。

Reeder，Rob，“高速ADC的电源设计”，ADI公司，2012年。

Walls，Warren F.，“交叉相关相位噪声测量”，IEEE频率控制专题论文集，1992年。



Peter Delos

Peter Delos [peter.delos@analog.com] 是ADI公司航空航天和防务部的技术主管。他于1990年获得美国弗吉尼亚理工大学电气工程学士学位(BSEE)，并于2004年获得美国新泽西理工学院电气工程硕士学位(MSEE)。1990年至1997年，他为美国海军核电站计划工作。工作内容包括：完成海军核电站学校官员计划，担任海军潜艇基地教师，领导康涅狄格州格罗顿的海狼级潜艇的现场电气工程师。

1997年，他接受了洛克希德马丁公司在新泽西州穆尔斯顿的一个职位，开始了一段硕果累累的职业历程，为多个雷达和电子战计划开发接收机/激励器和频率合成器。这段经验包括架构定义、详细设计、快速原型开发、制造、现场安装和协调多个工程专业。他的工作引领了相控阵接收器/激励器从集中式架构到阵列上数字波束合成系统的转变。



Jarrett Liner

Jarrett Liner [jarrett.liner@analog.com] 是ADI公司航空航天和防务部(位于美国北卡罗来纳州格林斯博罗)的RF系统应用工程师，他在RF系统和元件设计方面经验丰富。

此前，他是军用和航空航天领域SiC衬底GaN放大器应用工程师。其先前的经历还包括从事13年的RF IC WLAN功率放大器和前端模块的设计与测试工作。他曾作为电子技师在美国海军服役6年。Jarrett于2004年获得美国北卡罗来纳州农业技术州立大学(位于北卡罗来纳州格林斯博罗)电气工程学士学位。

当Jarrett不在实验室仿真电路或测量数据时，他可能在山地上骑自行车、在健身房教授自行车课程、跑步或者在庭院与他的四个孩子追逐嬉戏。

魔镜魔镜告诉我—了解镜像抑制及其对有用信号的影响

作者：**Patrick Wiers**

共享

AD9361和AD9371 RadioVerse™宽带收发器系列均提供无与伦比的集成度、众多的功能和大量用户可选选项。这两个系列在几个主要方面表现出明显不同的性能水平，而且两者的功耗也有很大差异。镜像抑制是区分这两个系列的性能之一。本文探讨了镜像的来源、含义及其对整体系统性能的影响方式。掌握了这些信息，客户便可做出明智决策并选择适合应用的收发器。

镜像抑制基础知识

AD9361和AD9371系列均使用零中频(亦称为zero-IF或ZIF)架构实现极高的集成度并显著减少系统中频率相关组件的数量。如图1中的AD9371功能框图所示，主接收信号路径和主发送信号路径使用一个复数混频器级，在以本振(LO)频率为中心的射频(RF)和以直流为中心的基带之间进行转换。为了更好地了解ZIF收发器中使用的复数混频器，请参阅本文末尾引用的复数RF混频器相关文章。[1]

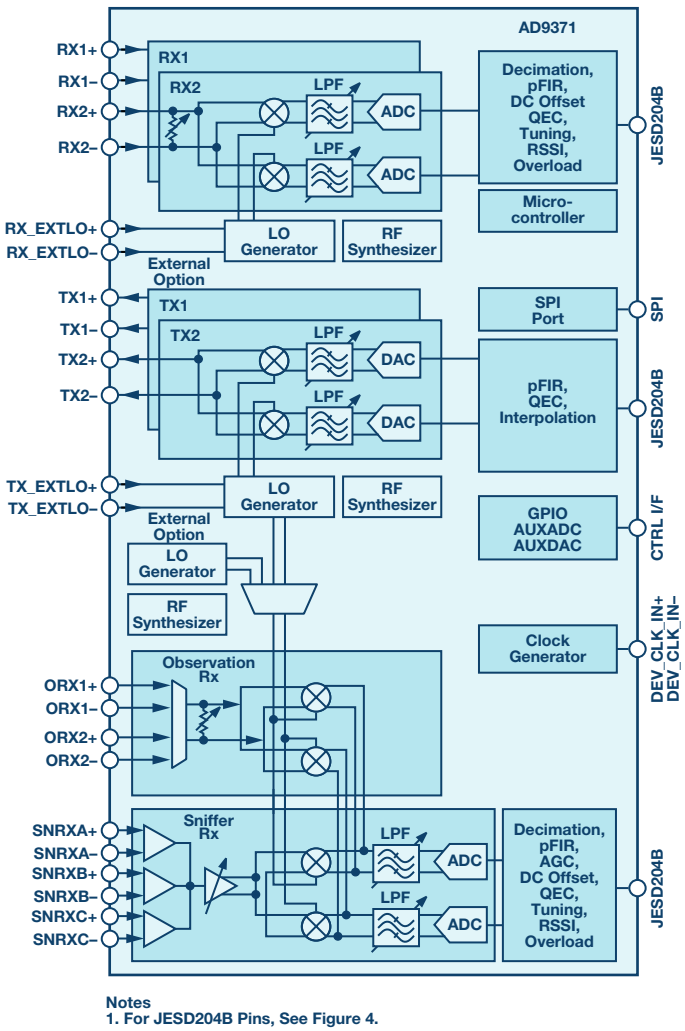


图1. RadioVerse AD9371收发器功能框图

尽管凭借这样的高集成度提供了许多优势，但ZIF无线电器件也带来了挑战。复数混频器具有同相(I)信号和正交相(Q)信号。一旦这些信号的相位或幅度出现任何不匹配，组合上变频的I信号和Q信号时会导致求和和消除性能下降。上面引用的文章中描述了这一点。当发送有用信号时，不完美的消除会导致在该信号本振(LO)频率的相反侧出现该信号的反相副本。这一信号副本被称为镜像，与其对应的有用信号相比，幅度更小。同样，当接收有用信号时，有用信号的反相副本会出现在该信号直流的相反侧。在其他架构(例如超外差架构)中，可以在中间级进行镜像滤波。ZIF架构的主要优势是去除了这些滤波器和中间混频器级，但这需要极佳的I和Q平衡才能将镜像幅度降低到可接受水平。

图2中经过简化的接收信号路径示意图显示了这些不匹配与ΔA、ΔfC和Δφ指定的不匹配发生的位置。只有一条路径显示失配的相位，因为它是形成镜像的信号路径之间的不平衡，而不是信号路径的绝对增益和相位。因此，在一条路径中显示所有不平衡因素，这在数学上是正确的。图2所示的复数混频器也称为正交混频器，因为提供给混频器的两个LO信号彼此正交。

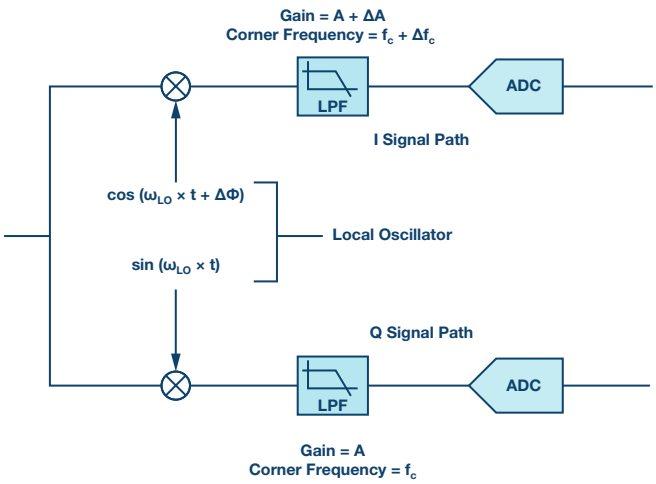


图2. 经过简化显示信号损伤的正交接收器信号路径

图3例示了使用单音或连续波(CW)的有用信号以及因此形成的无用CW镜像。有用信号被下变频到频率ωC。如果正交平衡不完美，镜像将在频率为-ωC时出现。镜像抑制比(IRR)是有用信号与无用镜像信号之差，用分贝(dB)表示。降低正交失配的方式被称为正交误差校正(QEC)。

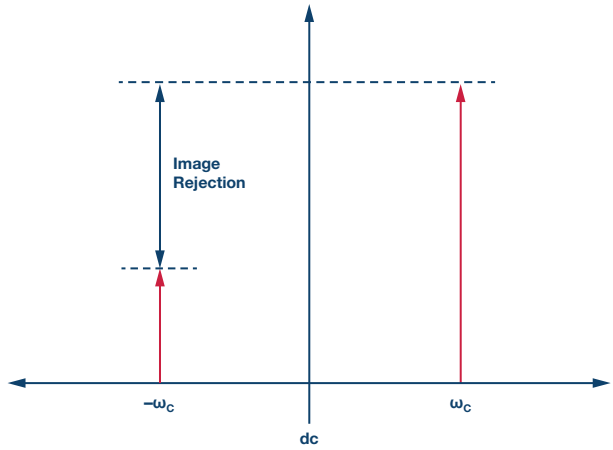


图3. 单音有用信号和干扰镜像

镜像幅度与增益和相位不匹配有关，关系式如下所示：

$$Image\ Rejection\ (dB) = 10 \times \log_{10} \frac{1 + 2 \times \sqrt{\Delta} \times cos\theta + \Delta}{1 - 2 \times \sqrt{\Delta} \times cos\theta + \Delta}$$

其中：

Δ = 幅度不平衡(用分贝(dB)表示，理想值为1)

θ = 相位误差(用度(°)表示，理想值为0)

等式1可得出二维矩阵，因为两个输入变量分别会导致镜像抑制性能下降。图4显示了该矩阵的一部分，其中穿过整个页面的轴是幅度不平衡，进入到页内的轴是相位不平衡，垂直的轴是镜像抑制(单位：dB)。例如，如果幅度误差为0.00195且系统需要实现76 dB的镜像抑制，则相位误差必须优于0.01286°。即使在单个集成电路器件中，也很难通过控制影响I和Q匹配的所有因素来达到优于50 dB的镜像抑制。使用AD9371通常可实现76 dB的镜像抑制，这需要运用数字算法来控制模拟路径变量并在数字域中应用校正。

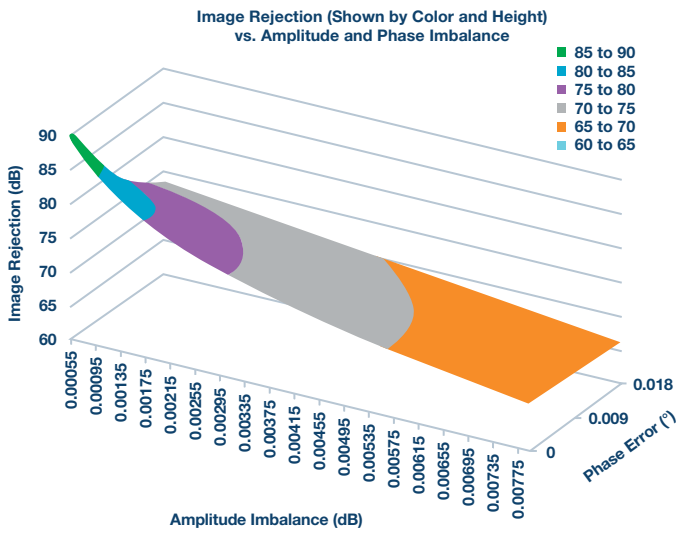


图4. 镜像抑制(单位：dB)与幅度不平衡(单位：dB)和相位不平衡(单位：°)之间的关系

镜像对有用信号的影响

图5是一张简化图，显示了下变频之后波形以直流为中心的单载波情形。该波形的示例将是20 MHz LTE下行链路OFDM信号的单一实例。如图5所示，负侧的一部分有用信号将在正侧具有镜像，反之亦然。在以直流为中心的单载波情形中，镜像在有用信号内(或其之上)并破坏了有用信号。

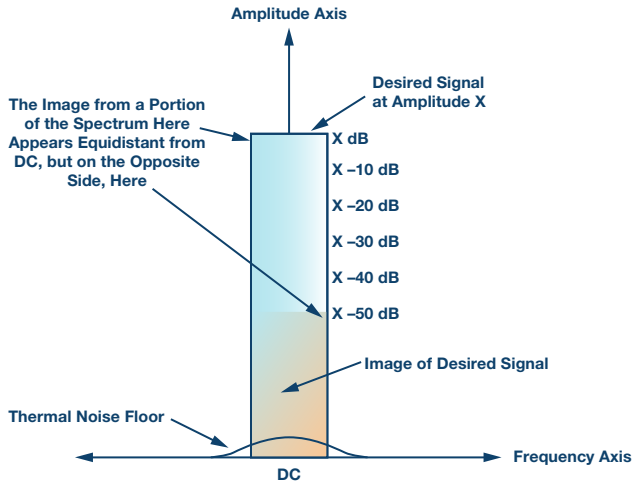


图5. 具有干扰镜像的单调制载波

当接收信号并随后解调该信号时，将存在若干信号损伤。增加接收信号路径本底噪声的热噪声就是一个例子。如果镜像在有用信号内，也会增加噪声。如果所有噪声源的总和过高，则无法对信号进行解调。单载波图和多载波图中所示的热噪底就是一个例子，它作为一个促成因素在这些讨论中被忽略了。

当使用AD9361的内部LO (适用于具有推荐性能的参考时钟源)时，AD9361将在无噪底限制时实现约–40 dB的EVM。通过RF PLL的相位噪声将EVM限制在–40 dB。AD9361约50 dBc的镜像抑制性能意味着在图5所示的单载波情形中，仅靠镜像只能将EVM降低约0.5 dB。这样低的EVM降低意味着收发器通常不是64-QAM (甚至更高)调制方案的限制因素。在这种单载波情形中，镜像总是比有用信号小50 dB左右，如图5所示。

图6显示了多载波的例子。图中的有用信号在下变频之后发生了直流失调。

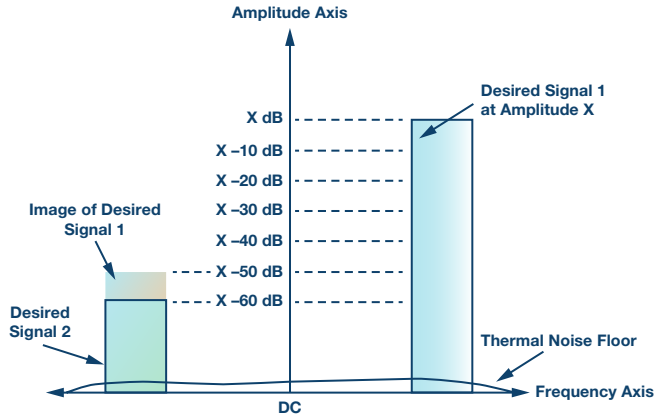


图6. 信号1破坏了信号2导致多载波调制信号具有干扰镜像

每个有用信号的镜像通过直流反射并显示在频谱的相反侧。在该示例中，两个有用信号已经被下变频到相同的直流失调，有用信号1在正侧，有用信号2在负侧。需要注意的是，有用信号2的幅度比有用信号1的幅度低60 dB。两个载波具有不同幅度在多载波情形下屡见不鲜，如果来自两个移动电台的信号行进到同一基站时遇到不同量的路径损耗，便会发生上述情况。如果这两个移动电台与基站的距离不同，或其中一个移动电台通过除另一个移动电台外的对象或在其周围发送信号时，可能发生这种情况。

有用信号2的幅度比有用信号1镜像的幅度低10 dB。这表示有用信号2的信噪比为–10 dB。即使使用的是最简单的调制技术，也很难实现解调。显然，需要更好的镜像抑制性能来应对这些情况。

图7显示相同的情况，但采用AD9371典型的接收镜像抑制性能。

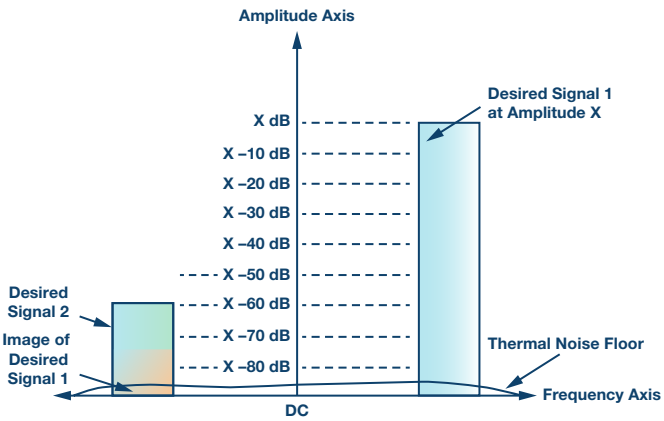


图7. 信号1幅度低于信号2幅度导致多载波调制信号具有干扰镜像

有用信号1镜像的幅度现在比有用信号2的幅度低15 dB。因此信噪比为15dB，足以使用各种调制方案来解调有用信号2。

可减少AD9361和AD9371中正交不平衡的技术

AD9361和AD9371都优化了模拟信号和LO路径，从本质上减少了正交不平衡。但如上所述，硅片能够带来的好处是有限的。数字校正可以将镜像抑制性能提高若干个数量级。

AD9361接收器正交校准使用一种算法来分析接收到的整个数据频谱，从而在整个带宽上创建平均校正。对于单载波用例和相对较窄的带宽(如20 MHz)，该校正在目标带宽上会产生良好的镜像抑制。这被称为非频率相关算法。该算法对接收到的数据执行操作并实时更新。

AD9371在通过注入测试音进行初始化期间以及使用实际接收到的数据进行操作期间运行接收镜像抑制校准。这些更先进的校准可根据频率相关不平衡以及非频率相关不平衡进行调整。该算法会实时更新。AD9371采用更先进的算法和电路实施校正，在占用的信号带宽上的性能优于AD9361，两者之差约为25 dB。

本文介绍了使用接收信号路径的正交不平衡的起源和影响，但ZIF收发器也必须克服发射信号路径中的相同问题。当信号路径或LO路径不平衡时，发射器的输出包括有用信号及其镜像。

对于发送信号路径，AD9361使用初始化校准来减少优化硬件设计提供的正交不平衡。初始化校准使用处于单一频率且采用单一衰减设置的CW信号音。该算法通常导致功耗比有用信号低50 dB左右的镜像。另一种写入方式是–50 dBc (低于载波的分贝值)。在过温、宽带宽或不同衰减设置条件下运行可能会影响镜像水平。

AD9371使用分布在有用信号带宽上的多个内部生成的信号音进行初始发送路径校准，并确定跨多个发送衰减设置的校正系数。运行期间，发送信号路径跟踪校准使用实际发送的数据并定期更新校正系数。AD9371的镜像抑制性能优于AD9361 (两者之差约为15 dB)，并且在过温和衰减条件下以及占用的信号带宽上可体现这一优势。

具体的简化示例

到目前为止，根据本文所涵盖的全部内容，让我们进行思考实验，假设我们正在构建一个系统，其中包含一个中心基站和多个客户端设备。为了简化示例，这一假设的系统在运行时会远离建筑物等可导致多路径的物体。基站将与覆盖区域半径可扩展到100米的客户端设备进行通信，如图8所示。

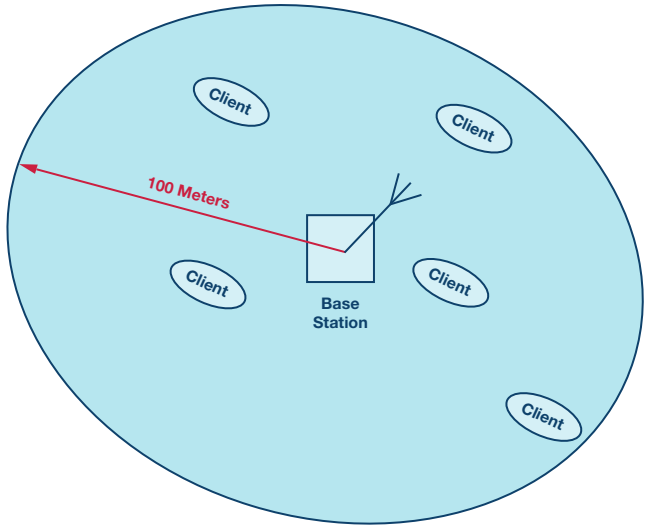


图8. 形象显示基站和客户端基站的蜂窝覆盖区域

该系统将在18 MHz的总带宽上使用多个同时发送的6 MHz宽载波。因此在这个系统中，一个客户端设备可能非常接近基站，比如0.3米，而最远的客户端设备与基站之间的距离当然就是100米。两者之间的自由空间路径损耗差约为50 dB。另外假定基站基带处理器可以测量接收功率，然后通知客户端将发射功率增加或减少高达10 dB。附近的客户端将减少10 dB的发射功率，而最远端的客户端将以全功率发射。基站的接收功率因此降低10 dB，形成40 dB的总体电位差，如图9所示。显示的两个载波表示上述最差情况。为了清楚起见，省略了可以驻留在两个有用信号之间的可选载波。

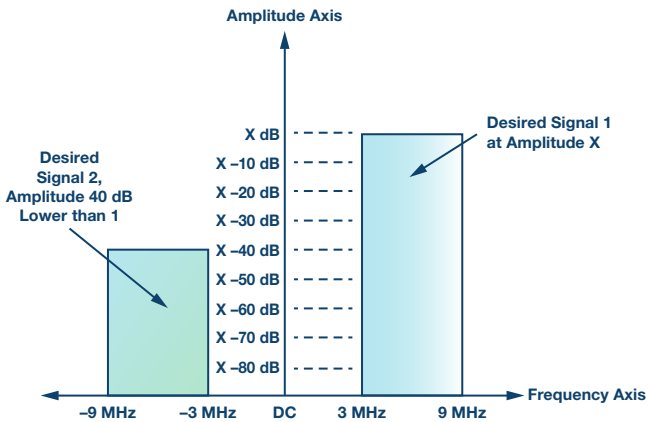


图9. 多载波调制信号示例

在这个系统中，假定基站和客户端使用相同的收发器。如果使用AD9361，发送镜像的幅度可能比有用信号的幅度低50 dB左右。接收器也将增加类似的镜像功率。两个正交不平衡组合起来形成比有用信号低47 dB左右的镜像。

如果AD9371用于链路的两端，则发送镜像的幅度通常会下降65 dB，并且接收器会使镜像比有用信号低75 dB。将这两者相加，可以得到比有用信号低64.5 dB左右的总镜像。图10显示了两种结果。

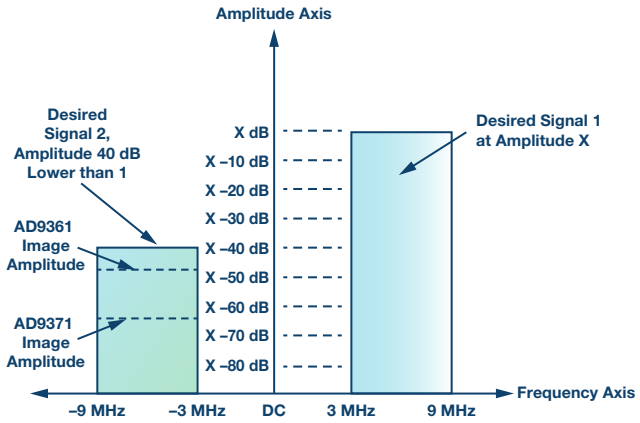


图10. 镜像幅度不同的AD9361和AD9371多载波调制信号示例

在这个简化的示例中，我们只考虑镜像的影响，而忽略对SNR的影响，如热噪声、相位噪声和非线性度。其中，AD9361可实现约7dB的SNR，而AD9371则可实现约24.5 dB的SNR。如果在该系统中使用64-QAM等复杂调制方案，AD9371可能由于总体系统SNR要求而成为最佳选择。如果使用QPSK等更简单的调制方案，那么选择AD9361即可，满足要求绰绰有余。在基带处理器中使用的技术将确定解调信号所需的实际系统SNR。当然，从这个思考实验转向一个真正的系统，必须考虑热噪声等以前忽略的影响。

结论

之前给出的两个收发器正交校正算法的图示和描述集中在接收信号路径上。由于相同的原因，干扰镜像的影响也适用于发送路径。位于较小载波之上的发送镜像对于接收信号的基站来说同样麻烦。

描述收发器用以降低镜像水平的技术的部分显示了两个不同器件系列实现的量化差异。随后我们根据上述具体示例进行系统设计，并将设计决策范围缩小到一些简短的与解调接收信号所需的SNR相关问题。虽然AD9371系列的镜像性能总是优于AD9361系列，但是AD9371系列的功耗更高并且使用高速串行接口，这就要求系统工程师能够查看设计的各个方面，并为其应用找到最佳解决方案。

参考文献

1. Frizelle、Dave和Frank Kearney“复数RF混频器、零中频架构及高级算法：下一代SDR收发器中的黑魔法”*《模拟对话》*，第51卷，2017年。

Patrick Wiers [patrick.wiers@analog.com] 是ADI公司(格林斯博罗)收发器产品部应用经理。他于2007年加入ADI公司，担任收发器应用工程师。在加入ADI公司之前，他从事用于防务和音频产品的板级电路设计工作，同时具有五年的软件定义无线电和WLAN产品FAE经验。



Patrick Wiers

无线电流检测电路检测电阻浮空

作者：**Kris Lokere**

共享

简介

测量流经检测电阻的电流似乎很简单。放大电压，用ADC读取，就可以知道电流是多少；但如果检测电阻上的电压与系统地电压相差很远，检测就会变得比较困难。典型解决方案是 在模拟域或数字域消弭该电压差。但这里介绍一种不同的方法——无线。

模拟电流检测IC是紧凑型解决方案，但其可承受的电压差受限于半导体工艺。很难找到额定电压超过100 V的器件。如果检测电阻共模电压迅速变化或在系统地电压上下摆动，这些电路便无法精确测量。

数字隔离技术(磁或光学)体积有点大，但能以高精度工作，并且通常可以承受数千伏电压。这些电路需要隔离电源，但有时可以将它集成在隔离器中。如果检测电阻与主系统在物理上隔开，那么可能还要使用长导线或电缆。

无线电流检测电路克服了上述诸多限制。让整个电路随同检测电阻的共模电压浮空，并在空中无线传输测量数据，电压限制也就无从谈起。检测电阻可以位于任何地方，无需布置电缆。如果电路功耗非常低，那么甚至不需要隔离电源，一个小电池便能让它运行多年。

设计概览

图1显示了设计的框图。该电流检测电路基于斩波稳定运算放大器LTC2063，其用来放大检测电阻上的压降。微功耗SAR ADC AD7988将值数字化，并通过一个SPI接口报告结果。LTP5901-IPM是无线电模块，不仅包含无线电，而且含有自动形成IP网格网络所需的组网固件。此外，LTP5901-IPM内置微处理器以读取AD7988 ADC SPI端口。LTC3335是一款低功耗DC-DC电源，其将电池电压转换为恒定输出电压。LTC3335还含有库仑计，用以报告从电池获取的累计电荷。

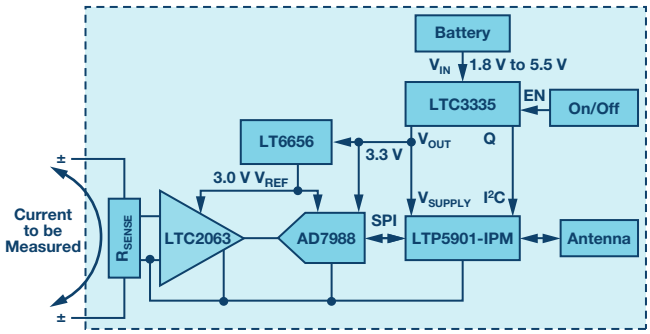


图1. 低功耗无线电流检测电路由一个低功耗斩波运算放大器(用以放大检测电压)组成，利用低功耗ADC和基准电压源进行数字化处理，连接到SmartMesh IP无线电模块。电池输出到低功耗DC-DC转换器得到恒定电源，同时记录从电池获取的电荷

信号链

LTC2063是一款超低功耗斩波稳定运算放大器，其最大电源电流为2 µA，特别适合电池供电应用。失调电压小于10 µV，因此它可以测量非常小的压降而不会丧失精度。图2显示LTC2063配置用来放大10 mΩ检测电阻上的电压并进行电平转换。选择适当的增益，使检测电阻的±10 mV满量程输入(对应于±1 A电流)映射到接近输出端的满量程范围，其以1.5 V为中心。这一放大信号被输入至16位SAR ADC。选择AD7988是因为其极低的待机电流和良好的直流精度。采样速率较低时，ADC在两次转换之间自动关断，1 kSPS时的平均功耗低至10 µA。LT6656用于偏置放大器、电平转换电阻和ADC基准输入。LT6656 基准电压源功耗小于1 µA，可驱动高达5 mA负载，压差很低，因此即使采用3.3 V系统电源供电，它也很容易输出精密3 V电压。

此信号链中有三个大致相等的失调误差源，相对于±10 mV满量程输入，它们共同贡献大约0.5%的误差。这包括LTC2063和AD7988的失调电压，以及电平转换电阻的不匹配(推荐使用0.1%电阻)。单点校准可在很大程度上消除该失调。增益误差一般以可用检测电阻的不精确性为主，它往往比LT6656基准电压源的0.05%、10 ppm/°C规格还要差。

电源管理

LTC3335是一款集成库仑计的纳安功耗降压-升压转换器。它配置用来从1.8 V到5.5 V的输入电源产生3.3 V稳压输出。这使得该电路可以利用两节碱性原电池的电源供电。对于占空比型无线应用，负

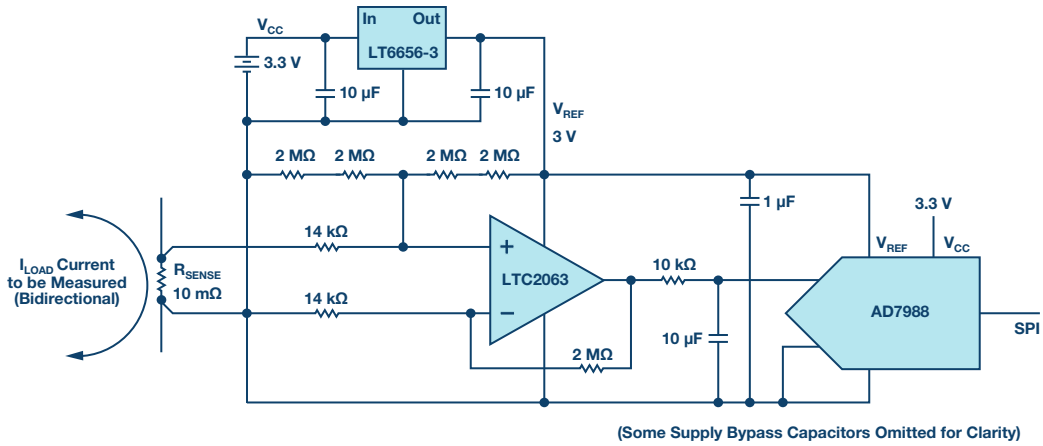


图2. 电流检测电路随同检测电阻电压浮空。斩波运算放大器LTC2063放大检测电压，把它偏置到AD7988 ADC的中间轨。LT6656-3提供精密3 V基准电压源

载电流的变化范围很容易达到1 µA至20 mA，取决于无线电是处于工作模式还是睡眠模式。LTC3335在空载时的静态功耗仅680 nA，因此当无线电和信号链处于睡眠模式时，整个电路的运行功耗非常低。另外，LTC3335可以输出多达50 mA的电流，在无线电发射/接收期间可轻松提供足够的功率，故适合各种信号链电路。

LTC3335还内置一个库仑计，非常方便。切换时，它会记录从电池获取的总电荷。此信息可通过I²C接口读出，用来预测何时需要更换电池。

无线组网

LTP5901-IPM是一个完整的无线电模块，包括无线电收发器、嵌入式微处理器和SmartMesh IP组网软件。LTP5901-IPM在本应用中执行两个功能：无线组网和管理(进程)。当网络管理器附近有多个SmartMesh IP终端上电时，这些终端会自动识别彼此，形成一个无线网格网络。整个网络自动进行时间同步，这意味着每台无线电仅在非常短的特定时间间隔内上电。因此，各节点不仅是传感器信息源，而且充当路由节点，用以将数据从其他节点传递到管理器。这样就形成一个高可靠性、低功耗网格网络，从各节点到管理器有多条路径可走，不过所有节点(包括路由节点)的工作功耗都非常低。

LTP5901-IPM包括一个运行组网软件的ARM® Cortex®-M3微处理器内核。此外，用户可以写入应用固件以完成特定于用户应用的任务。在本例中，LTP5901-IPM内部的微处理器读取电流测量ADC (AD7988)的SPI端口和库仑计(LTC3335)的I²C端口。微处理器还能将斩波运算放大器(LTC2063)置于关断模式，使其功耗从2 µA进一步降低至200 nA。在测量间隔时间极长的使用场合中，这可以节省更多功耗。

总功耗

完整应用电路的总功耗取决于多种因素，包括信号链多长时间获取一次读数、节点在网络中如何配置等等。对于一个每秒报告一次的终端，测量电路的典型功耗低于5 µA，无线电的典型功耗可能为40 µA，很小的电池即可让它工作数年。

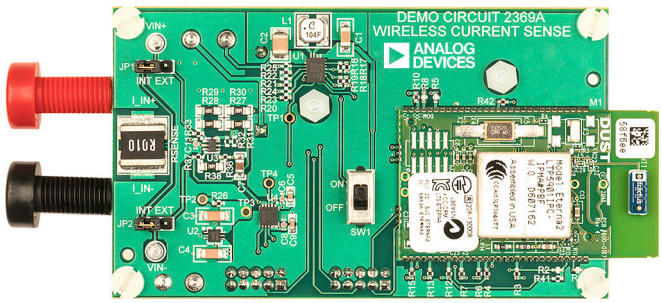


图3. 在小型PCB上实现的一个完整无线电流检测电路。唯一的物理连接是待测电流的香蕉插座。无线电模块如右图所示。电路由连接到板背面的两节AAA电池供电。

结论

Linear Technology和ADI公司信号链、电源管理、无线组网产品的结合，使得我们可以设计真正的无线电流检测电路。图3显示了一个实现示例。新型超低功耗斩波运算放大器LTC2063可以精确读取检测电阻上的小压降。包括微功耗ADC和基准电压源在内的整个电路随同检测电阻的共模电压浮空。只要一个小电池，纳安功耗LTC3335开关稳压器便可为该电路供电数年之久，同时利用内置库仑计报告电池累计使用率。LTP5901-IPM无线模块管理整个应用，自动连接到一个高可靠性SmartMesh IP网络。

Kris Lokere [kris.lokere@analog.com] 是信号链产品战略应用经理，其随着Linear Technology合并而加入ADI。Kris喜欢运用多条产品线技术进行系统架构设计。过去20年间，他一直负责设计运算放大器，组建工程团队以及管理产品线策略。他拥有多项专利，并获得鲁汶大学电子工程硕士学位和巴布森学院工商管理硕士学位。



Kris Lokere

非常见问题解答—第144期
温度变化及振动条件下使用加速度计测量倾斜

作者：**Chris Murphy**

共享



问题：

我的消费级加速度计理论上可以测量小于1°的倾斜。在温度变化及振动条件下是否仍然可以实现这样的测量精度？

答案：

答案很可能是否定的。关于明确倾斜精度值的问题总是很难回答，因为在MEMS传感器性能方面需要考虑许多环境因素。通常，消费级加速度计难以在动态环境中检测小于1°的倾斜。为了表明这一点，我们将通用消费级加速度计与新一代低噪声、低漂移和低功耗MEMS加速度计进行比较。这一比较着眼于倾斜应用中存在的许多误差源，以及可以补偿或消除哪些误差。

可以观察到0 *g*偏置精度、焊接引起的0 *g*偏置漂移、PCB外壳对准引起的0 *g*偏置漂移、0 *g*偏置温度系数、灵敏准确度和温度系数、非线性度以及横轴灵敏度等误差，并且可以通过装配后校准流程减少这些误差。滞后、使用寿命期间的0 *g*偏置漂移、使用寿命期间的灵敏度漂移、潮湿引起的0 *g*漂移以及温度随时间变化引起的PCB弯曲和扭转等等，这些误差项无法通过校准或其他方法解决，需要通过一定程度的原位维修才能减少。在这一比较中，假设横轴灵敏度、非线性度和灵敏度得到补偿，因为相比温度系数失调漂移和振动校正，尽量减少这些误差所需的工作量要少得多。

表1列出了消费级ADXL345加速度计理想性能规格及相应倾斜误差的估算值。试图达到最佳倾斜精度时，必须采用某种形式的温度稳定或补偿。在下面的例子中，假设恒温为25°C。无法完全补偿的最主要误差促成因素是温漂失调、偏置漂移和噪声。可以降低带宽来降低噪声，因为倾斜应用通常需要低于1 kHz的带宽。

表1. ADXL345误差源估算值

传感器参数	典型性能	条件/注释	典型*g*值	应用误差(倾斜度)
噪声	x/y轴 290 µ*g*/√Hz	6.25 Hz时的带宽	0.9 m*g*	0.05°
偏置漂移	Allan偏差	短期(例如：10天)	1 m*g*	0.057°
初始失调	35 m*g*	无补偿	35 m*g*	2°
		有补偿	0 m*g*	0°
误差	无补偿	6.25 Hz带宽	36.9 m*g*	2.1°
误差	有补偿	6.25 Hz带宽	1.9 m*g*	0.1°

表2列出了适用于ADXL355的同一标准。短期偏置值根据ADXL355数据手册中的Allan方差图估算。25°C时，通用ADXL345的补偿倾斜精度为0.1°，工业级ADXL355的补偿倾斜精度为0.005°。通过比较ADXL345和ADXL355可以看出，主要的误差促成因素引起的误差已显著降低，比如噪声引起的误差从0.05°降低到0.0045°，偏置漂移引起的误差从0.057°降低到0.00057°。这表明MEMS电容式加速度计在噪声、温度系数、失调以及偏置漂移等性能方面的巨大飞跃，在动态条件下能够提供更高水平的倾斜精度。

表2. ADXL355误差源估算值

传感器参数	典型性能	条件/注释	典型*g*值	应用误差(倾斜度)
噪声	25 μ*g*/√Hz	6.25 Hz时的带宽	78 μ*g*	0.0045°
偏置漂移	Allan偏差	X/Y轴短期(例如：10天)	<10 μ*g*	0.00057°
初始失调	25 m*g*	无补偿	25 m*g*	1.43°
		有补偿	0 m*g*	0°
总误差	无补偿	6.25 Hz带宽	25 m*g*	1.43°
总误差	有补偿	6.25 Hz带宽	88 μ*g*	0.005°

选择更高等级的加速度计对于实现所需性能至关重要，特别是应用需要小于1°的倾斜精度时。应用精度取决于应用条件(温度大幅波动，振动)和传感器选择(消费级与工业级或战术级)。在这种情况下，ADXL345将需要大量的补偿和校准工作才能实现小于1°的倾斜精度，增加整个系统的工作量和成本。根据最终环境和温度范围内的振动大小，根本不可能实现上述精度。25°C至85°C范围内的温度系数失调漂移为1.375°，已经超过倾斜精度小于1°的要求。

$$0.4\frac{\text{mg}}{C}\times\frac{1^{\circ}}{17.45\ \text{mg}}\times(85^{\circ}\text{C}-25^{\circ}\text{C})=1.375^{\circ}$$

25°C到85°C范围内ADXL355的温度系数失调漂移为：

$$0.15\frac{\text{mg}}{C}\times\frac{1^{\circ}}{17.45\ \text{mg}}\times(85^{\circ}\text{C}-25^{\circ}\text{C})=0.5^{\circ}$$

如表3所示，振动校正误差(VRE)是加速度计暴露于宽带振动时引入的失调误差。当加速度计暴露于振动环境时，相比温漂和噪声导致的0 *g*失调，VRE在倾斜测量中会导致明显误差。这是不再使用数据手册的主要原因之一，因为很容易掩盖其他主要规格。

表3. 以倾斜度表示的误差

	Maximum Tilt Error 0 *g* Offset vs. Temperature(°/°C)	Noise Density (°/√HZ)	Vibration Rectification (°/*g*² rms)
ADXL354	0.0085	0.0011	0.023[1]
ADXL355	0.0085	0.0014	0.023[1]

[1] *2.5 g rms振动导致的1 g方位失调的范围为±2 g*

在具有较高振幅的环境中，必须使用较高*g*范围的加速度计才能最大限度减少削波导致的失调。表4列出了ADXL35x系列加速度计及其相应的*g*范围和带宽。

表4. ADXL354/ADXL355/ADXL356/ADXL357的测量范围

产品	测量范围(*g*)	带宽(kHz)
ADXL354B	±2, ±4	1
ADXL354C	±2, ±8	1
ADXL355B	±2, ±4, ±8	1.5
ADXL356B	±10, ±20	1.5
ADXL356C	±10, ±40	1.5
ADXL357B	±10.24, ±20.48, ±40.96	1

选择适用于倾斜应用的ADXL35x系列加速度计将确保高稳定性和可重复性，可以耐受温度波动和宽带振动，并且相比较低成本的加速度计，所需的补偿和校准更少。该系列产品采用密封封装，可以确保最终产品出厂后重复性与稳定性始终符合规格参数。ADI公司的新一代加速度计可在所有环境下提供可重复的倾斜测量，它们在恶劣环境中无需进行大量校准即可实现最小倾斜误差。

Chris Murphy [christopher.murphy@analog.com] 是欧洲中央应用中心的应用工程师，工作地点在爱尔兰都柏林。他于2012年加入ADI公司，为电机控制和工业自动化产品提供设计支持。他拥有电气工程研究硕士学位和计算机工程学士学位。



Chris Murphy

GaN打破壁垒—RF功率放大器的带宽越来越宽、功率越来越高

作者：**Keith Benson**

共享

简介

电信行业不断需要更高的数据速率，工业系统不断需要更高的分辨率，这助推了满足这些需求的电子设备工作频率的不断上升。许多系统可以在较宽的频谱中工作，新设计通常也会有进一步增加带宽的要求。在许多这样的系统中，人们倾向于使用一个涵盖所有频带的信号链。半导体技术的进步使高功率宽带放大器功能突飞猛进。GaN革命席卷了整个行业，并且可以让MMIC在几十种带宽下生成1 W以上的功率，因此，这个过去由行波管主导的领域已经开始让步于半导体设备。更短栅极长度的GaAs和GaN晶体管的出现以及电路设计技术的升级，衍生了一些可以轻松操作毫米波频率的新设备，开启了几十年前难以想象的新应用。本文将简要描述支持这些发展的半导体技术的状态、实现最佳性能的电路设计考虑因素，还列举了展现当今技术的GaAs和GaN宽带功率放大器(PA)。

许多无线电子系统都可覆盖很宽的频率范围。在军事工业中，雷达频段可覆盖从几百MHz到GHz级频率。一些电子战和电子对抗系统需要在极宽的带宽下工作。各种不同频率，如MHz至20 GHz，甚至包括更高的频率，现在都面临着挑战。随着越来越多电子设备支持更高频率，对更高频率电子战系统的需求将会出现井喷。在电信行业，基站的工作频率为450 MHz至3.5 GHz左右，并且随着更高带宽的需求增长而持续增加。卫星通信系统的工作频率主要为C-波段至Ka-波段。用于测量这些不同电子设备的仪器仪表需要能在所有这些必要的频率下工作，才能得到国际认可。因此，系统工程师需要努力尝试设计一些能够覆盖整个频率范围的电子设备。想到可以使用单个信号链覆盖整个频率范围，大多数系统工程师和采购人员都会非常兴奋。用单个信号链覆盖整个频率范围将会带来许多优势，其中包括简化设计、加速上市时间、减少要管理的器件库存等。单信号链方案的挑战始终绕不开宽带解决方案相对窄带解决方案的性能衰减。挑战的核心在于功率放大器，对于窄带宽其具有一流的功率和效率性能。

半导体技术

过去几年，行波管(TWT)放大器一直将更高功率电子设备作为许多这类系统中的输出功率放大器级。TWT拥有一些不错的特性，包括千瓦级功率、倍频程带宽或者甚至多倍频程带宽操作、高效回退操作以及良好的温度稳定性。TWT也有一些缺陷，其中包括较差的长期可靠性、较低效率，并且需要非常高的电压(大约1 kV或以上)才能工作。关于半导体IC的长期稳定性，这些年电子设备一直向前发展，首当其冲的就是GaAs。在可能的情况下，许多系统工程师一直努力组合多个GaAs IC，生成大输出功率。整个公司都完全建立在技术组合和有效实施的基础之上。进而孕育了许多不同类型的组合技术，如空间组合、企业组合等。这些组合技术全都面临着相同的命运——组合造成了损耗，幸运的是，并不一定要使用这些组合技术。这激励我们使用高功率电子设备开始设计。提高功率放大器RF功率的最简单的方式就是增加电压，这让氮化镓晶体管技术极具吸引力。如果我们对比不同半导体工艺技术，就会发现功率通常会如何随着高工作电压IC技术而提高。硅锗(SiGe)技术采用相对较低的工作电压(2 V至3 V)，但其集成优势非常有吸引力。GaAs拥有微波频率和5 V至7 V的工作电压，多年来一直广泛应用于功率放大器。硅基LDMOS技术的工作电压为28 V，已经在电信领域使用了许多年，但其主要在4 GHz以下频率发挥作用，因此在宽带应用中的使用并不广泛。新兴GaN技术的工作电压为28 V至50 V，拥有低损耗、高热传导基板(如碳化硅，SiC)，开启了一系列全新的可能应用。如今，硅基GaN技术局限于6 GHz以下工作频率。硅基板相关的RF损耗及其相对SiC的较低热传导性能则抵消了增益、效率和随频率增加的功率优势。图1对比了不同半导体技术并显示了其相互比较情况。

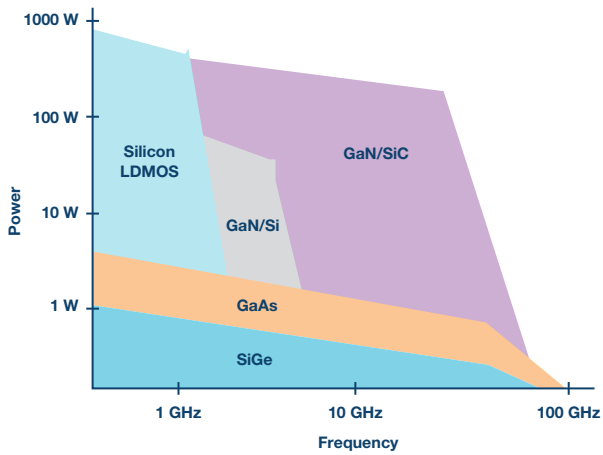


图1. 微波频率范围功率电子设备的工艺技术对比

GaN技术的出现让业界放弃TWT放大器，转而使用GaN放大器作为许多系统的输出级。这些系统中的驱动放大器仍然主要使用GaAs，这是因为这种技术已经大量部署并且始终在改进。下一步，我们将寻求如何使用电路设计，从这些宽带功率放大器中提取较大功率、带宽和效率。当然，相比基于GaAs的设计，基于GaN的设计能够提供更高的输出功率，并且其设计考虑因素在很大程度上是相同的。

设计考虑因素

选择如何开始设计以优化功率、效率及带宽时，IC设计师可以使用不同拓扑及设计考虑因素。最常见的单块放大器设计类型就是一种多级、共源、基于晶体管的设计，也称作级联放大器设计。这里，增益放大器会从每一级增加，从而实现高增益，并允许我们增加输出晶体管大小，以增加RF功率。GaN在这里提供了一些优势，因为我们能够大幅简化输出合成器、减少损耗，因而可以提高效率，减小芯片尺寸，如图2所示。因此，我们能够实现更宽带宽并提高性能。从GaAs转向GaN设备的一个不太明显的优势就是，能够实现给定RF功率水平，可能是4 W。晶体管尺寸将会更小，从而实现更高的每级增益。这将带来更少的设计级，最终实现更高效率。这些级联放大器技术的挑战在于，在不显著降低功率和效率，甚至在不借助GaN技术的情况下，很难实现倍频程带宽。

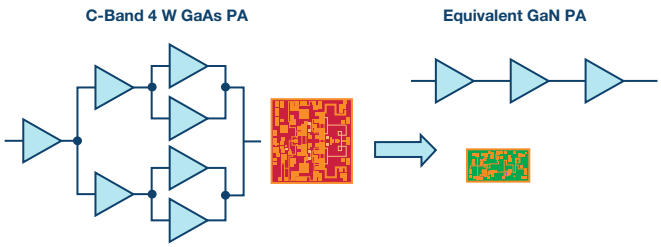


图2. 多级GaAs功率放大器和等效GaN功率放大器的比较

兰格耦合器

实现宽带宽设计的一种方法就是在RF输入和输出端使用兰格耦合器实现均衡设计，如图3所示。这里的回波损耗最终取决于耦合器设计，因为这将更容易优化增益和频率功率响应，并且无需优化回波损耗。即便是在使用兰格耦合器的情况下，也更难实现倍频程带宽，但却可以让设计实现不错的回波损耗。

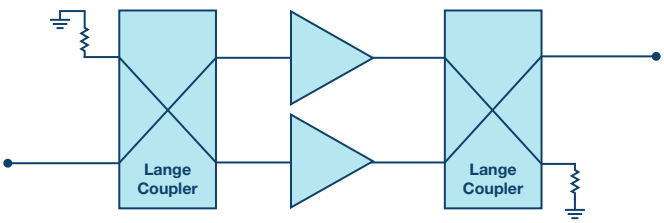


图3. 采用兰格耦合器的均衡放大器

分布式放大器

Th另一个要考虑的拓扑就是分布式功率放大器，如图4所示。分布式功率放大器的优势可通过在设备间的匹配网络中应用晶体管的寄生效应来实现。设备的输入和输出电容可以分别与栅极和漏极线路电感合并，让传输线路变得几乎透明，传输线路损耗除外。这样，放大器的增益应该仅受限于设备的跨导性，而非设备相关的电容寄生性能。仅当沿栅极线路向下传输的信号与沿漏极线路向下传输的信号同相时，才会发生这种情况。因此，每个晶体管的输出电压将与之前的晶体管输出同相。向输出端传输的信号将会积极干扰，因此，信号会随着漏极线路而增强。任何反向波都会肆意干扰信号，因为这些信号不会同相。其中包含栅极线路端电极，可吸收任何未耦合至晶体管栅极的信号。还包含漏极线路端电极，可吸收任何可能肆意干扰输出信号并改善低频率下回波损耗的反向行波。因此，在几十种带宽下都可实现从kHz到GHz级的频率。当需要多个倍频程带宽时，这种拓扑就会变得非常受欢迎，并且还带来了几个不错的优势，如平稳增益、良好的回波损耗、高功率等。图4显示了分布式放大器的一个例证。

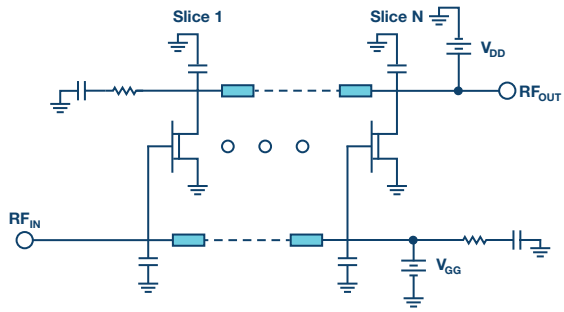


图4. 分布式放大器的简化框图

在这里，分布式放大器面临的一个挑战就是，功率功能由设备所使用的电压决定。由于不存在窄带调节功能，所以您可以实质上向晶体管提供50 Ω或接近于50 Ω的电阻。在等式1中，PA的平均功率、R_L或最佳负载电阻实质上将变成50 Ω。因此，可实现的输出功率由施加到放大器的电压设定，所以，如果我们想要增加输出功率，就需要增加施加到放大器的电压。

$$P_{OUT} = \frac{V_{DD}2}{2 \times R_L}$$

这就是GaN的作用所在，我们可以迅速将带GaAs的5 V电源电压转变成GaN中的28 V电源电压，并且只需将GaAs转变成GaN技术，即可将可实现的功率从0.25 W转变成8 W左右。还要考虑一些其他因素，如GaN中可用工艺的栅极长度，以及它们能否在高频率带端实现所需的增益。随着时间发展，将会出现更多的GaN工艺。

级联放大器需要通过匹配网络来优化放大器功率，以此改变晶体管电阻值，相比之下，分布式放大器的50 Ω固定R_L有所不同。利用级联放大器优化晶体管电阻值时存在一个优势，就是能提高RF功率。理论上，我们可以继续增加晶体管外设尺寸，从而继续提高RF功率，但这存在一些实际限制，如复杂性、芯片支持和合并损耗。匹配网络也会限制带宽，因为它们很难在广泛的频率范围中提供最佳阻抗。分布式功率放大器中只有传输线路，其目的是让信号积极干扰放大器，并没有匹配网络。还有一些技术可以进一步提高分布式放大器的功率，如使用共射共基放大器拓扑来进一步增加放大器的电源电压。

结果

关于提供最佳功率、效率和带宽的权衡，我们已经说明了各种不同的技巧和半导体技术。每一种不同拓扑和技术都有可能在半导体市场占据一席之地，这是因为它们每一个都有优势，这也是它们能够在当前生存的原因所在。这里，我们将关注几个值得信赖的结果，展现这些当前技术在实现高功率、效率和带宽时的可能性。

当前的产品功能

我们将了解ADI公司基于GaAs的分布式功率放大器产品HMC994A，工作频率范围为直流至30 GHz。该器件非常有意思，因为它覆盖了几十种带宽、许多不同应用，并且可实现高功率和效率。其性能如图5所示。在这里，我们看到它是覆盖MHz至30 GHz、功率附加效率(PAE)典型值为25%的饱和输出功率大于1瓦的器件。这款产品还拥有标准值为38 dBm的强大的三阶交调截点(TOI)性能。结果显示，利用基于GaAs的设计，我们能够实现接近于许多窄带功率放大器设计的效率。HMC994A拥有正向频率增益斜率、高PAE宽带功率性能和强大的回波损耗，是一款非常有趣的产品。

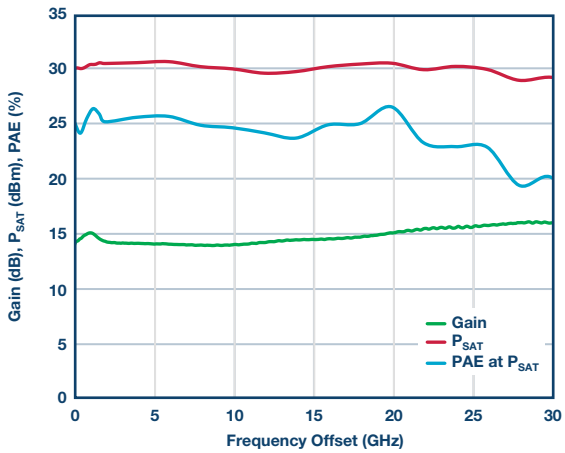


图5. HMC994A增益、功率以及PAE和频率的关系

我们再来了解一下基于GaN技术可以做些什么。ADI公司推出了一款标准产品HMC8205BF10，它基于GaN技术，具有高功率、高效率和宽带宽。该产品的工作电源电压为50 V，在35%的典型频率下可提供35 W RF功率，带20 dB左右的功率增益，覆盖几十种带宽。这种情况下，相比类似的GaAs方案，我们只需要一个IC就能提供高出约10倍的功率。在过去数年，这可能需要复杂的GaAs芯片组合方案，并且无法实现相同的效率。该产品展示了使用GaN技术的各种可能性，包括覆盖宽带宽，提供高功率和高效率，如图6所示。这还展现了高功率电子设备封装技术的发展历程，因为这个采用法兰封装的器件能够支持许多军事应用所需的连续波(CW)信号。

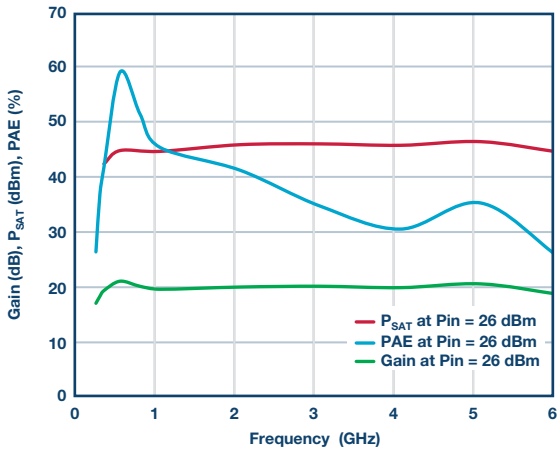


图6. HMC8205BF10功率增益、P_{SAT}以及PAE和频率的关系

结语

GaN等全新半导体材料的出现开启了实现覆盖宽带宽的更高功率水平的可能性。较短的栅极长度GaAs设备的频率范围已经从20 GHz扩展到了40 GHz及以上。这些器件的可靠性几乎已经超过了100万小时，普遍应用于当今的电子设备系统中。未来，我们预计会持续向更高频率和更宽带宽发展。

Keith Benson [keith.benson@analog.com] 于2002年毕业于马萨诸塞大学安姆斯特分校，获电气工程学士学位，2004年毕业于加州大学圣塔芭芭拉分校，获电气工程硕士学位。他之前就职于Hittite Microwave，主攻RF无线电子的IC设计。然后转向IC设计工程师团队管理，主要负责无线通信链路。2014年，ADI公司收购了Hittite Microwave，Keith成为ADI公司RF/MW放大器和相控阵IC的产品线总监。Keith目前拥有3项新颖放大器技术方面的美国专利。



Keith Benson

物联网边缘的智能视频分析技术

作者：**Tyler Jesiel**

共享

对数成像和节点分析组合

使用节点分析和对数成像器可改进物联网(IoT)中的视频分析应用。视频分析应用试图利用日常世界中丰富的信息资源，出于几个原因考量。包括日常监控的人脸识别，但大部分原因集中在预测分析和行为分析上。这些应用中收集到的信息可通过云计算进行更高端的广泛处理。然而，深度处理有其局限性，并且可以通过往组合中增加节点分析和对数成像器在很多方面加以改进。

通过往组合中增加节点分析，减轻与云之间的通信，可以改进数据分析。云计算的带宽需求比节点分析应用多出两个(如果不是三个)数量级。因此，节点分析的计算能力要求更低，并可减少延迟。人口稠密的市场、交通混乱的地区以及城市停车场都是一些环境错综复杂的地方，可使用节点分析进行检测，以进行预测和行为分析。在云中对这些环境进行高级处理有助于制定业务策略，疏导交通流量，并可提高政府管理的停车场的效率。然而，在传感器节点处采用低端软件，而不是执行云分析，可改进这些场景的延迟、带宽、安全和功耗。

除了节点处实现智能化，往组合中增加对数成像器对于传统成像器不符合要求的领域也具有优势，从而增强系统功能。除了减少对亮度变化的依赖性，对数成像器还提供更高的图像处理动态范围。例如：在阴影、反光、光线突变以及高对比度场景中，对数成像器的表现都优于传统成像器。在视频应用中，这些问题的解决有利于数据捕捉，从而加强节点的分析能力。通过提高数据捕捉能力，整个视频分析应用都可得到显著改进。

节点分析技术和对数成像器实现的改进有助于解决物联网中的视频分析应用问题。安全、决策制定延迟、数据带宽和计算能力是物联网应用中常见的一些工程难题。通过减少数据传输可大大减少这些工程问题，而这也是节点分析对物联网应用具有吸引力的原因。在视频分析应用中，有限的对比度和亮度依赖性是需要共同解决的难题。对数成像器是视频分析应用的关键，几乎可以解决这一难题。总的来说，使用节点分析技术和对数成像器可增强物联网中的视频分析应用。

边缘智能

通过处理基于预期视觉事件的数据，可迅速地将测量数据转换为适当的动作，不必向云服务器传输任何数据，或传输少量数据。对视频数据进行快速分析，而不是将其传至云，可在本地做出决策，从而改进系统的延迟性。通过减少传输具有拦截风险的数据，不仅能够明显减少决策延迟，而且安全性也得以提高。

只有最有价值的信息需要传输至节点之外的云中，以进行预测或行为处理。经过优化的数据划分可充分发挥云价值，因为通常不需要全带宽的视频分析帧。在固定安装的摄像机上，帧与帧之间的大部分可视数据为静态数据，并可在节点进行滤波处理。边缘节点视频分析可提供多种滤波解读来区分各种预期的对象类型：汽车、卡车、自行车、人类和动物等。这种抽取操作减少了云服务器上所需的数据带宽和相关的计算能力，而如果要分析下游发送的全帧速率视频数据，则会占用大量的数据带宽和计算能力。与云计算应用相比，这种带宽的减少可实现两个或三个数量级的改进，而这是节点分析技术实现的一个关键性能改进。

对数成像

通过替换为对数成像技术可解决与传统成像器相关的常见问题，从而进一步改进视频分析应用。大多数传统成像器都是线性成像器，其使用像素生成的电压作为光的线性函数，而此类像素则会导致有限的对比度。线性成像器还利用统一的曝光相位，限制了其相对于帧速率范围内像素曝光时间的动态范围。最后，传统成像器的对比度取决于亮度，从而可能导致反光相关的对比度问题。通过替换成对数成像器可消除这些常见的问题，对数成像器使用像素生成的电压作为光的对数函数。传统成像器与对数成像器之间的区别请参见图1、2和3。



图1. 传统的图像曝光



图2. ADIS17002对数图像曝光



图3. 使用内置边缘检测技术的ADIS17002对数图像曝光

一些传统的成像器在努力解决阻碍用户全面捕捉其目标环境数据的对比度相关问题。这些对比度问题源于每个像素中生成电压的线性特性。线性成像像素中生成的电压与照射的光子数成正比；因此，与对数成像相比，其动态范围是有限的。降低与这些线性成像器相关的对比度就意味着缩小动态范围。对比度降低会对物联网应用中传感器节点的分析产生不利影响，最终影响系统的整体性能。对数成像器提供更广泛的亮度级范围，从而增加因对数生成的像素电压产生的对比度。然而，对比度的增加导致更高的感光性，这在有些应用中可能并不是期望的效果。或者，感光性的提高也可能是一种优势，具体取决于应用。

阳光充足或明亮环境下产生的反光可能会进一步阻碍使用传统成像器进行视频捕捉。例如：当挡风玻璃上存在反光时，汽车内部的人脸识别就会变得益发困难。这种视频捕捉障碍会将错误引入系统或丢失重要数据，从而对视频分析产生不利影响。由于线性成像器像素之间的对比度取决于亮度，所以会产生反光；因此，线性成像器的反光更加突出。这种对亮度的依赖性见等式1。另外，对数成像器的对比度则由于其本身的对数特性而与亮度无关，从而有助于减少反光或光线的突变。对数成像器与亮度无关的特性见等式2。

$$线性图像对比度_{AB} = 像素_A I - 像素_B I = I(像素_A - 像素_B) \quad (1)$$

$$对数图像对比度_{AB} = \log(像素_A I) - \log(像素_B I) = \log\frac{(Pixel_A I)}{(Pixel_B I)} = \log\frac{(Pixel_A)}{(Pixel_B)} = \log(Pixel_A) - \log(Pixel_B) \quad (2)$$

超越单个组件的研发

为了提供平台级解决方案，ADI公司开始超越单个组件的研发；这些解决方案可帮助客户快速部署经过验证的智能解决方案，以更低的系统成本实现更高的性能。智能应用始于准确可靠的数据，通过ADI先进的检测和测量功能可获得此类数据。此外，ADI还与客户合作，共同开发能够解决所有问题的独特系统级解决方案。ADIS1700x是其中一种解决方案，它能够实现四分之一的视频图形阵列(QVGA)成像分析。

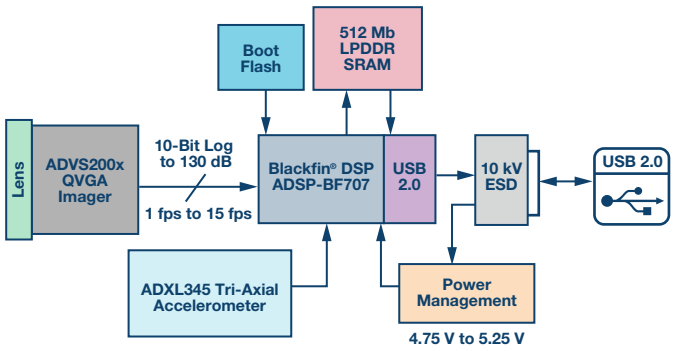


图4. 功能框图

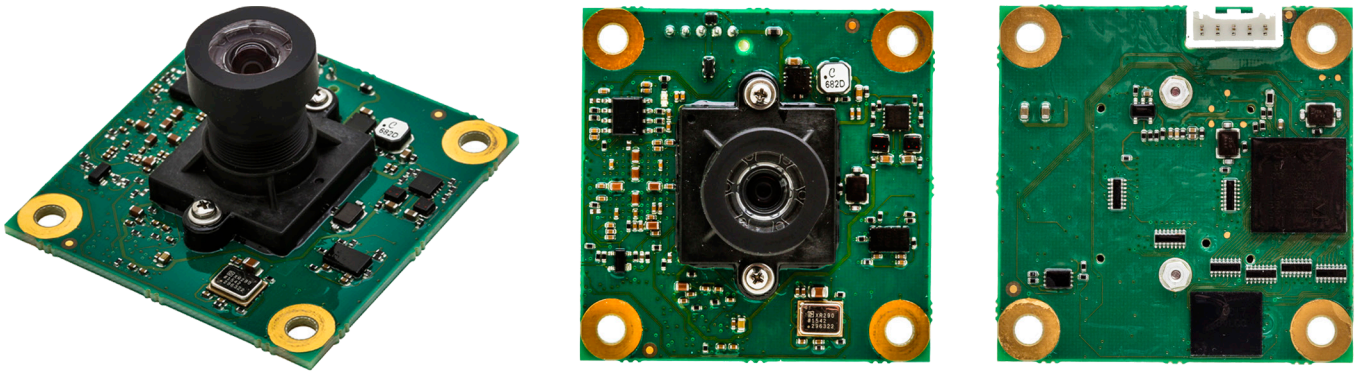


图5. ADIS17002：对角方向(左)、电路板镜头侧俯视(中)和背侧(右)

ADIS1700x是一个小尺寸且具有对数敏感性的QVGA分析成像器模块，具有能够优化视频性能的数字信号处理功能。除了用于图像稳定、倾斜和冲击检测的加速度计，该模块还采用低功耗Blackfin处理器进行节点分析。此外，它还采用内置边缘检测技术跟踪和计算对象运动。与传统成像器不同的是，对数成像器的每个14 µm × 14 µm像素都具有一个独一无二的曝光相位。针对室外操作的保形涂层使其非常适用于大规模部署，从而可创建新兴智能城市和建筑应用。ADIS17001配备110°视场(FOV)镜头，而ADIS17002则配备67°FOV镜头。这两个选项适用于各种目标应用，包括停车场监控、停车违章执法、车流长度检测和工业分析。

总的来说，使用节点分析技术和对数成像器可显著改进物联网领域的视频应用，这也是ADI公司与ADIS1700x模块产品一起推出的方法。节点分析而不是云计算有利于物联网应用的发展。对数成像器具有其竞争产品无法匹敌的优势，可更进一步改进物联网应用。总之，物联网领域的视频分析应用与节点分析技术和对数成像器相结合，共同构成一个鲁棒的系统级解决方案。

Tyler Jesiel [tyler.jesiel@analog.com] 是ADI公司自主惯性MEMS部的产品工程师，主要负责系统化封装(SiP)解决方案和惯性测量单元(IMU)。他拥有特性、设计验证和测试自动化方面的经验。Tyler获得密歇根大学安娜堡分校电气工程学士学位，目前正在努力攻读北卡罗来纳州立大学电气工程硕士学位。



Tyler Jesiel

LTC2185和ADA4927-1出色的线性度

作者：**Clarence Mayott**

共享

LTC2185是一款16位、125 MSPS ADC，具有出色的噪声性能和线性度，同时每通道所需功耗仅为185 mW。它非常适合要求严苛且需要出色交流性能的低功耗应用。LTC2185等高性能ADC需要配备高性能放大器，以保持其出色性能。ADA4927-1可满足LTC2185的线性度需求，同时功耗仅为215 mW。采用精心设计封装的ADA4927-1，可减少反馈路径中的寄生电容，从而实现简单布局，提高放大器的相位裕量。这种ADC和驱动器组合可在其他高速放大器无法满足的62.5 MHz至125 MHz区间提供出色的性能。

LTC2185是一款双通道同步采样并行ADC，可提供全速率CMOS和双倍数据速率(DDR) CMOS/LVDS数字输出端供您选择。引脚兼容的速度等级选项包括25 MSPS、40 MSPS、65 MSPS、80 MSPS和105 MSPS，同时近似功耗仅为每通道1.5 mW/MSPS。它具有数字输出随机数发生器和交替极性(ABP)模式等特性，采用并行CMOS输出时，可最大限度减少数字反馈。550 MHz的模拟全功耗带宽和0.07 ps rms的超低抖动允许进行IF频率的欠采样，同时可实现出色的噪声性能。为保持此性能水平，LTC2185需使用适当的放大器来驱动。

ADA4927是一款高速差动电流反馈型放大器。ADA4927-1采用AID公司的硅-锗工艺制造，具有出色的失真性能，输入电压噪声仅为1.3 nV/√Hz。因此，它可以驱动LTC2185之类的高速ADC。ADA4927-1的增益由输入引脚旁的外部反馈电阻设定。ADA4927-1的反馈引脚和输入引脚在封装上的位置非常近，可实现简洁布局，并可将反馈网络中的寄生电容降至最低。因此，ADA4927-1非常适合驱动DC至125 MHz的高性能ADC，例如：LTC2185。

图1显示ADA4927-1驱动LTC2185的原理图。相应的布局参见图2。ADA4927-1的反馈引脚紧挨着输入引脚，从而可将反馈节点的寄生电容降至最低，同时提高放大器的相位裕量。将反馈电阻直接跨接于两个引脚，并避免在反馈路径中额外增加走线，还可简化布局。放大器和ADC之间有一个简单的滤波器，用于降低放大器的宽带噪声，同时改善系统的SNR。该滤波器还可在ADC引起的采样毛刺抵达放大器之前，对其进行衰减。这有助于防止ADA4927的输出网络响应这些毛刺而发生振荡。该滤波网络可根据各种输入带宽要求进行修改。

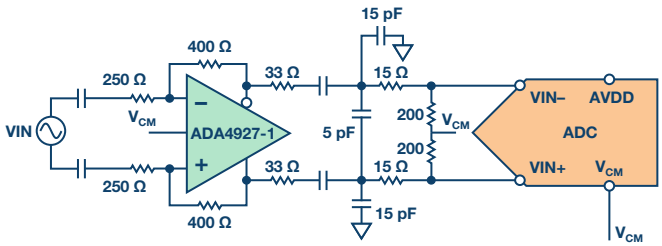


图1. ADA4927-1驱动LTC2185一个通道的原理图

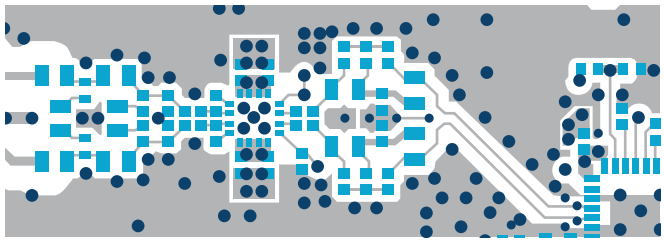


图2. ADA4927-1驱动LTC2185一个通道的布局图

图3和图4显示LTC2185和ADA4927-1组合的SNR和SFDR。频率为125 MHz时，SFDR保持在67 dB之上，而SNR则优于63 dB。该组合的功耗仅为250 mW。采样速率为125 MSPS的情况下，在整个第二奈奎斯特频率区域，该组合可提供良好的性能，而其他放大器的线性度开始变差。

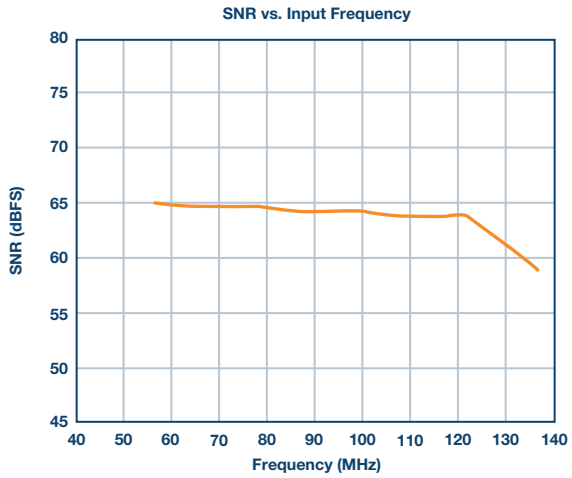


图3. 采用ADA4927-1驱动LTC2185的SNR

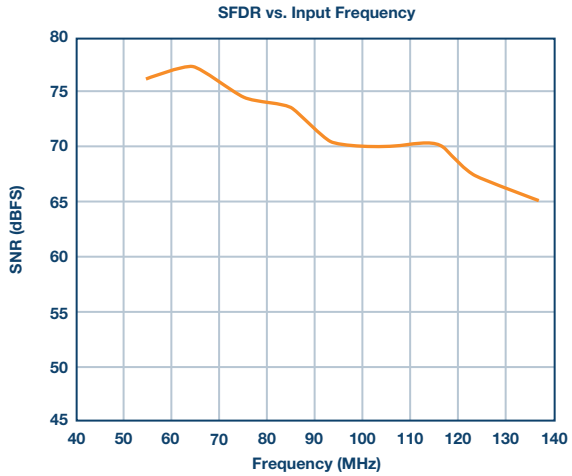


图4. 采用ADA4927-1驱动LTC2185的SFDR

使用ADA4927-1驱动LTC2185可提供出色的线性度，同时保持较低的功耗。ADA4927-1在频率为125 MHz时仍可保持非常出色的线性度，从而使该ADC放大器组合可用于要求苛刻且需要使用LTC2185第二奈奎斯特频率区域的通信和医疗应用。ADA4927-1的引脚和滤波器设计使布局得到极大简化，同时在符合低功率预算的基础上确保出色的性能。

Clarence Mayott [clarence.mayott@analog.com] 是混合信号应用部负责人，在凌力尔特有十多年工作经验。

Clarence负责完整信号链演示板以及放大器和ADC产品组合的设计，帮助最终用户更轻松地评估系统。他还参与配套板设计，包括时钟和信号源板，以便评估高速ADC演示板。Clarence管理PScope的持续开发，该软件用于各种流水线和SAR ADC。

随着LTC2000的发布，Clarence又开始涉足高速DAC和波形生成以及高速ADC领域。作为应用部门负责人，他监管LTDACGen——一款新型软件工具，用于生成高速DAC复杂波形的持续开发。

Clarence先生拥有圣塔克拉拉大学电气工程硕士学位和位于加利福尼亚州圣路易斯奥比斯波加利福尼亚州立工业大学电气工程学士学位。



Clarence Mayott

非常见问题解答—第145期
单端输出放大器的低功耗、低成本差分输入

作者：Chau Tran和Jordyn Rombola

共享



问：

如何在单端输出放大器中实现低功耗、低成本的差分输入？

答：

简介

许多应用都需要使用低功耗、高性能 的差分放大器，将小差分信号转换成可读的接地参考输出信号。两个输入端通常共用一个大共模电压。差分放大器会抑制共模电压，剩余电压经放大后，在放大器输出端表现为单端电压。抑制电压可以是交流或直流电压，此共模电压通常会大于差分输入电压。抑制效果随着共模电压频率增加而降低。相同封装内的放大器拥有更好的匹配性能、相同的寄生电容，并且不需要外部接线。因此，相比分立式放大器，高性能、高带宽的双通道放大器拥有更出色的频率表现。

一个简单的解决方案就是使用带阻性增益网络的双通道精密放大器，如图1所示。此电路显示了一种将差分输入转换为带可调增益的单端输出的简单方式。系统增益可通过公式1确定：

$$V_{OUT} = Gain \times (V_{IN}1 - V_{IN}2) \quad (1)$$

其中，增益= RF/1 kΩ，且(V_{IN}1 – V_{IN}2)是差分输入电压

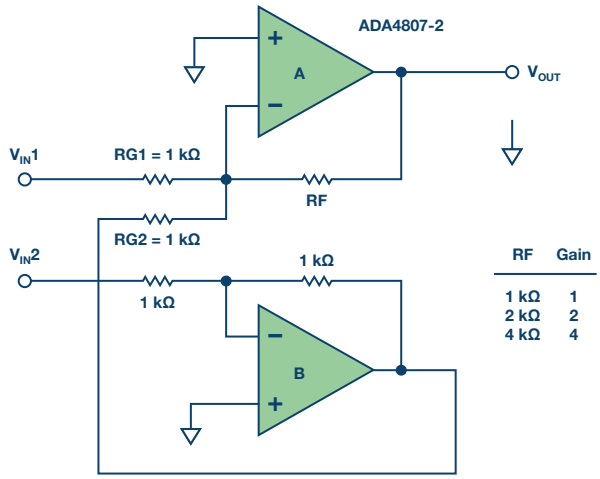


图1. 差分输入单端输出放大器

通常，这种方法可以在出现EMI或RFI时提供更加稳定的读取功能，因此，建议在存在噪声问题的情况下使用。在测量热电偶、应变片和电桥式压力传感器输入时尤其如此，因为它们可以在嘈杂的环境中提供极小的信号。

此电路不仅能测量传感器正负端的电压差，还能提供带部分系统增益的共模抑制功能，实现比单端输入更优越的性能改进。此外，此传感器地还可不同于模拟地。接地输出电压参考在许多应用中都非常重要。系统精度取决于网络电阻的容差。

电路可以将差分输入转换为带可调增益的单端输出。系统增益可以通过RF和RG1的比值来设定，假设RG2 = RG1且放大器B的增益为–1。

例如，180 MHz双通道放大器ADA4807-2可以构建为一个针对此应用的反相放大器，并且此电路的噪声较低。此电路拥有较低的静态电流(1000 µA/放大器)，适合低功耗、高分辨率的数据转换系统。

输入共模电压将会高于电源电压。采用轨到轨输出，这在大共模信号或大输出电压应用中非常有用。例如，数据采集板拥有可接受0 V至5 V单端输入的ADC。但是，信号源恰巧是传感器电桥产生

的差分电压，电桥一个端子为正，而另一个端子为负，以响应存在共模噪声情况下的压力。

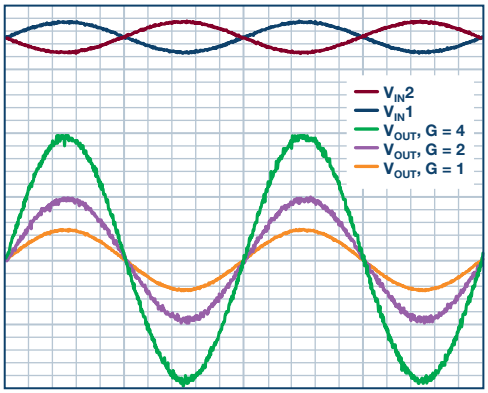


图2. 单端放大器的简单差分性能

图2显示的是施加差分输入电压和电路增益变动的情况。RF值可设置系统增益。可以看到，这张图显示的是系统增益1、2和4，且1 kHz时的差分输入电压为1 V p-p。

此电路对于测量两个大电压之间的小差异非常有用。例如，可以考虑一个解决方案，利用1%的简单精度来监控由3 V电池供电系统中的3 V/GND供电的典型Wheatstone电桥电路。使用1%电阻或更优电阻可实现所需的精度水平，并且此电路将会抑制任何共模并按照设置的电路增益放大衰减电桥信号。如果驱动ADC，则需要应用一些电平转换功能，获得0 V至5 V范围的输出信号。

该电路同时具有出色的失真和低静态电流的特点。双通道运算放大器解决方案可降低系统成本，而差分放大器的使用则可提高性能。



Chau Tran

Chau Tran [chau.tran@analog.com] 于1984年加入ADI公司，目前在位于美国马萨诸塞州威明顿市的集成放大器产品(IAP)部门工作。他于1990年毕业于塔夫斯大学，获得电气工程硕士学位。Chau拥有10多项专利，并撰写了十几篇技术文章。



Jordyn Rombola

Jordyn Rombola [jordyn.rombola@analog.com] 是ADI公司线性和精密技术部(LPT)的产品工程师。她获得伍斯特理工学院(WPI)电气和计算机工程学士学位后，于2014年1月加入ADI公司。

为应用选择最合适的MEMS加速度计—第一部分

作者：**Chris Murphy**

分享至

简介

加速度计能够测量加速度、倾斜、振动或冲击，因此适用于从可穿戴健身装置到工业平台稳定系统的广泛应用。市场上有成百上千的加速度计器件可供选择，其成本和性能各不相同。本文第一部分讨论设计人员需要知道的关键参数和特性，以及它们与倾斜和稳定应用的关系，从而帮助设计人员选择最合适的加速度计。第二部分将重点关注可穿戴设备、状态监控(CBM)和物联网应用。

最新MEMS电容式加速度计应用于传统上由压电加速度计和其他传感器主导的应用领域。新一代MEMS加速度计可为CBM、结构健康监控(SHM)、资产健康监控(AHM)、生命体征监测(VSM)和物联网无线传感器网络等应用提供解决方案。然而，在有如此多加速度计和如此多应用的情况下，选择合适的加速度计并非易事。

尚无行业标准界定加速度计属于何种类别。加速度计的一般分类及相应的应用如表1所示。所示的带宽和*g*值范围是加速度计用在所列终端应用中的典型值。

表1. 加速度计等级和典型应用领域

加速度计等级	主要应用	带宽	*g*值范围
消费电子	运动、静态加速度	0 Hz	1 *g*
汽车	碰撞/稳定性	100 Hz	<200 *g*/2 *g*
工业	平台稳定/倾斜	5 Hz至500 Hz	25 *g*
战术	武器/飞行器导航	<1 kHz	8 *g*
导航	潜艇/飞行器导航	>300 Hz	15 *g*

图1显示了各种MEMS加速度计的快照，并依据特定应用的主要性能指标和智能/集成水平将各传感器归类。本文的一个重要关注对象是基于增强型MEMS结构和信号处理的新一代加速度计以及世界一流的封装技术，其稳定性和噪声性能可与更昂贵的专门器件相媲美，而功耗更低。这些特性及加速度计的其他关键规格将在下文依据应用相关性加以详细讨论。

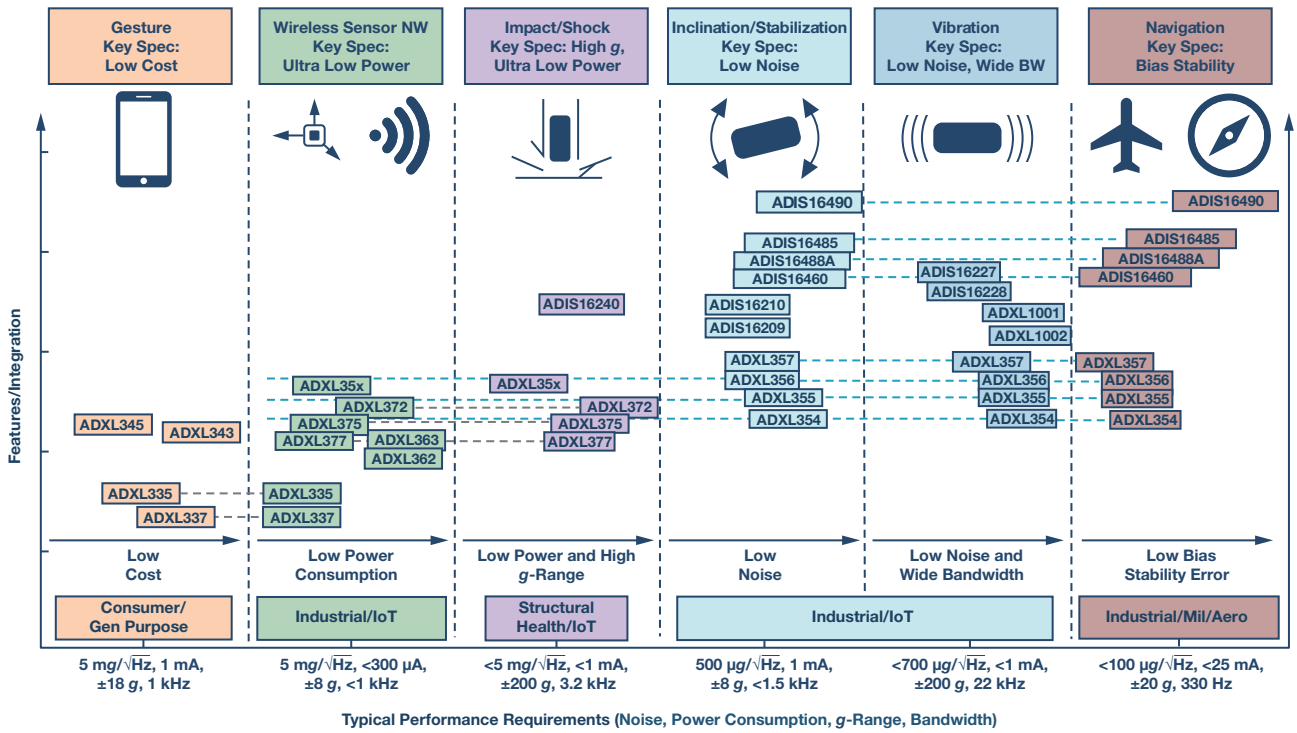


图1. ADI公司精选MEMS加速度计的应用版图

倾斜检测

主要标准：偏置稳定度、失调温漂、低噪声、可重复性、振动校正、跨轴灵敏度。

对MEMS电容式加速度计而言，精确的倾斜检测是一种要求颇高的应用，尤其是在有振动的情况下。在动态环境中利用MEMS电容式加速度计实现0.1°的倾斜精度非常困难——<1°很困难，>1°较易实现。为使加速度计有效测量倾斜度，必须对传感器性能和终端应用环境有很好的了解。相比于动态环境，静态环境对倾斜测量更加有利，因为振动或冲击可能会破坏倾斜数据，引起严重测量误差。倾斜测量的最重要特性有温度系数失调、迟滞、低噪声、短期/长期稳定性、可重复性和良好的振动校正。

0 *g*偏置精度、焊接引起的0 *g*偏置漂移、PCB外壳对准引起的0 *g*偏置漂移、0 *g*偏置温度系数、灵敏准确度和温度系数、非线性度以及跨轴灵敏度等误差，是可以观测到的，并且可以通过装配后校准流程加以降低。迟滞、使用寿命期间的0 *g*偏置漂移、使用寿命期间的灵敏度漂移、潮湿引起的0 *g*漂移，以及温度随时间变化引起的PCB弯曲和扭转等等，这些误差项无法通过校准或其他方法解决，需要通过一定程度的原位维修才能减少。

ADI公司的加速度计可分为MEMS (ADXLxxx)和*i*Sensor® (ADIS16xxx)特殊用途器件两类。*i*Sensor或智能传感器是高集成度(4到10个自由度)且可编程器件，适用于动态环境下的复杂应用。这些高集成度即插即用解决方案包括全面的工厂校准、嵌入式补偿和信号处理，解决了上述需要原位维修的很多误差，大大降低了设计和验证负担。这种全面的工厂校准为整个传感器信号链提供额定温度范围(通常是–40°C至+85°C)内的灵敏度和偏置特性。因此，每个*i*Sensor器件都有其独特的补偿公式，安装后可产生精确的测量结果。对于一些系统，工厂校准可免除系统级校准，大大简化操作。

*i*Sensor器件专门针对某些应用而开发。例如，图2所示的ADIS16210专门针对倾斜应用而设计并定制，因此，它能提供<1°的相对精度且开箱即用。这主要归功于集成信号处理和特定器件校准，以便实现最佳精度性能。*i*Sensor器件将在稳定性部分进一步讨论。

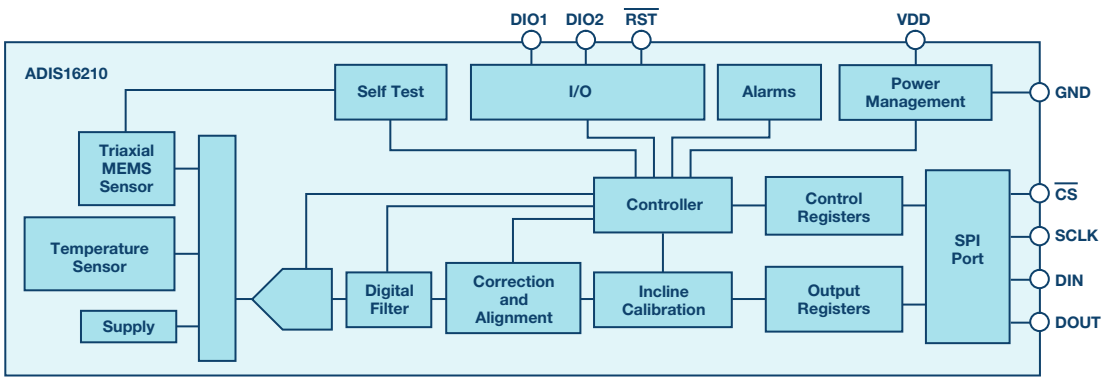


图2. ADIS16210精密三轴倾斜

最新一代加速度计架构(例如ADXL355)提供更多功能(倾斜、状态监控、结构健康、IMU/AHRS应用)，包含的集成模块更少针对特定应用，但功能丰富，如图3所示。

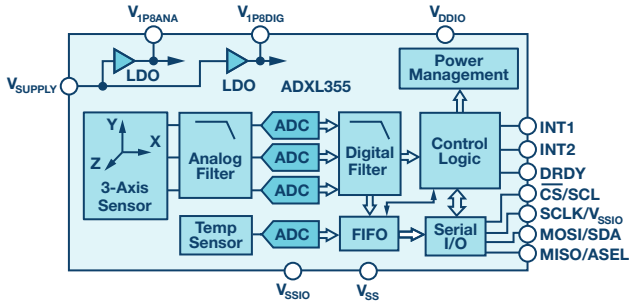


图3. 低噪声、低漂移、低功耗3轴MEMS加速度计ADXL355

下面比较通用加速度计ADXL345和新一代低噪声、低漂移、低功耗加速度计ADXL355，后者是广泛应用的理想之选，例如物联网传感器节点和倾角计。这一比较着眼于倾斜应用中的误差源，以及可以补偿或消除的误差。表2列出了消费级ADXL345加速度计理想性能规格及相应倾斜误差的估算值。试图达到最佳倾斜精度时，必须采用某种形式的温度稳定或补偿。在下面的例子中，假设恒温为25°C。无法完全补偿的最主要误差促成因素是温漂失调、偏置漂移和噪声。可以降低带宽来降低噪声，因为倾斜应用通常需要低于1 kHz的带宽。

表2. ADXL345误差源估算值

传感器参数	性能	条件/注释	典型应用误差*g*倾斜°	
噪声	X/Y轴 290 μ*g*/√(Hz)	带宽为6.25 Hz	0.9 m*g*	0.05°
偏置漂移	Allan偏差	X/Y轴短期(例如：10天)	1 m*g*	0.057°
初始失调	35 m*g*	无补偿	35 m*g*	2°
		有补偿	0 m*g*	0°
误差	无补偿	6.25 Hz 带宽	36.9 m*g*	2.1°
误差	有补偿	6.25 Hz 带宽	1.9 m*g*	0.1°

表3列出了适用于ADXL355的相同标准。短期偏置值根据ADXL355数据手册中的Allan方差图估算。25°C时，通用ADXL345补偿后的估计倾斜精度为0.1°。工业级ADXL355的估计倾斜精度为0.005°。通过比较ADXL345和ADXL355可以看出，重大误差贡献因素引起的误差已显著降低，比如噪声引起的误差从0.05°降低到0.0045°，偏置漂移引起的误差从0.057°降低到0.00057°。这表明MEMS电容式加速度计在噪声和偏置漂移等性能方面取得了巨大飞跃，在动态条件下能够提供更高水平的倾斜精度。

表3. ADXL355误差源估算值

传感器参数	性能	条件/注释	典型应用误差*g*倾斜°	
噪声	X/Y轴 290 μg/√(Hz)	带宽为6.25 Hz	78 μg	0.0045°
偏置漂移	Allan偏差	X/Y轴短期(例如：10天)	<10 μg	0.00057°
初始失调	25 m*g*	无补偿	25 m*g*	1.43°
		有补偿	0 m*g*	0°
总误差	无补偿	6.25 Hz 带宽	25 m*g*	1.43°
总误差	有补偿	6.25 Hz 带宽	88 μ*g*	0.005°

选择更高等级的加速度计对于实现所需性能至关重要，特别是应用需要小于1°的倾斜精度时。应用精度取决于应用条件(温度大幅波动，振动)和传感器选择(消费级与工业级或战术级)。在这种情况下，ADXL345将需要大量的补偿和校准工作才能实现小于1°的倾斜精度，增加整个系统的工作量和成本。根据最终环境和温度范围内的振动大小，甚至不可能实现上述精度。25°C至85°C范围内的温度系数失调漂移为1.375°，已经超过倾斜精度小于1°的要求。

$$0.4\ \frac{\text{mg}}{^\circ\text{C}} \times \frac{1^\circ}{17.45\ \text{mg}} \times (85^\circ\text{C} - 25^\circ\text{C}) = 1.375^\circ$$

25°C到85°C范围内ADXL355的最大温度系数失调漂移为0.5°。

$$0.15\ \frac{\text{mg}}{^\circ\text{C}} \times \frac{1^\circ}{17.45\ \text{mg}} \times (85^\circ\text{C} - 25^\circ\text{C}) = 0.5^\circ$$

ADXL354和ADXL355可重复性(X和Y轴为±3.5 m*g*/0.2°，Z轴为±9 m*g*/0.5°)为10年寿命预测值，包括高温工作寿命测试(HTOL)(TA = 150°C、V_{SUPPLY} = 3.6 V、1000小时)、温度循环(–55°C至+125°C且循环1000次)、速度随机游走、宽带噪声和温度迟滞引起的偏移。这些新型加速度计可在所有条件下提供可重复的倾斜测量，在恶劣环境中无需进行大量校准即可实现最小倾斜误差，而且能最大程度减少部署后的校准需要。ADXL354和ADXL355加速度计能以0.15 m*g*/°C(最大值)的零失调系数保证温度稳定性。这种稳定性最大程度地减少了校准和测试相关的资源和成本开销，帮助设备OEM制造商实现更高的吞吐速率。此外，产品采用密封封装，可以确保最终产品出厂后重复性与稳定性始终符合其规格参数。

通常，数据手册上不会显示可重复性和对振动校正误差(VRE)的抑制能力，因为这些参数可能暴露产品性能较低。例如，ADXL345是一款针对消费类应用的通用加速度计，VRE不是设计人员的重要关注参数。然而，在惯性导航等高要求应用、倾斜应用或振动频繁的特定环境中，对VRE的抑制能力可能是设计人员的重点关注对象，因此ADXL354/ADXL355和ADXL356/ADXL357数据手册会给出此类参数。

如表4所示，VRE是加速度计暴露于宽带振动时引入的失调误差。当加速度计暴露于振动环境时，相比温漂和噪声导致的0 *g*失调，VRE在倾斜测量中会导致明显误差。这是不再使用数据手册的主要原因之一，因为很容易掩盖其他主要规格。

VRE是加速度计对交流振动(被整流为直流)的响应。这些直流整流的振动可能会使加速度计失调发生偏移，引起严重误差，尤其是在目标信号为直流输出的倾斜应用中。直流失调的任何小变化都可能被解释为倾角变化，导致系统级误差。

表4. 以倾斜度表示的误差

器件	最大倾斜误差0 *g*失调与温度的关系(°/°C)	噪声密度 (°/√(Hz))	振动校正 (°/*g*² rms)
ADXL345	0.0085	0.0011	0.023[1]
ADXL355	0.0085	0.0014	0.023[1]

[1] 2.5*g* rms振动引起的1 *g*方位失调的范围为± 2*g*。

各种谐振和加速度计(本例为ADXL355)中的滤波器均可能引起VRE，因为VRE对频率有很强的依赖性。这些谐振会放大振动，放大倍数等于谐振的Q因数，而在较高频率时会抑制振动，原因是谐振器存在二阶偶极子响应。传感器的谐振品质因数越高，振动幅度越大，其VRE也就越大。较大测量带宽会将高频带内振动包含在内，引起较高的VRE，如图4所示。为加速度计选择合适的带宽以抑制高频振动，可以避免很多振动相关问题。[1]

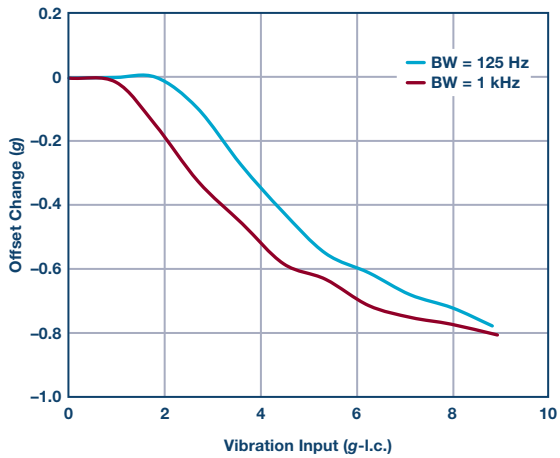


图4. 在不同带宽进行的ADXL355 VRE测试

静态倾斜测量通常需要±1 *g*到±2 *g*的低*g*加速度计，带宽小于1.5kHz。模拟输出ADXL354和数字输出ADXL355均为低噪声密度(分别为20 μ*g*√Hz和25 μ*g*√Hz）、低0 *g*失调漂移、低功耗三轴加速度计，集成温度传感器，测量范围可选，如表5所示。

表5. ADXL354/ADXL355/ADXL356/ADXL357测量范围

器件	测量范围(*g*)	带宽(kHz)
ADXL354B	±2, ±4	1.5
ADXL354C	±2, ±8	1.5
ADXL355B	±2, ±4, ±8	1
ADXL356B	±10, ±20	1.5
ADXL356C	±10, ±40	1.5
ADXL357B	±10.24, ±20.48, ±40.96	1

ADXL354/ADXL355和ADXL356/ADXL357采用密封封装，有助于实现出色的长期稳定性。性能提升与封装通常是正相关，如图5所示。封装常常被忽视，其实制造商可以利用封装来实现更好的稳定和漂移性能。这是ADI公司的一个重点关注方面，我们提供类型广泛的传感器封装以适应不同的应用领域。

高温和动态环境

在适合高温或恶劣环境的加速度计可用之前，一些设计人员曾不得不将标准温度IC用在远超出数据手册限值的情形中。这意味着最终用户须承担在高温下检验器件质量的责任和风险，成本高昂且颇费时间。密封封装能够耐受高温已是广为人知的事实，它通过一道能抵御湿气和污染的屏障来防止腐蚀。ADI公司提供各类密封器件，这些器件具有增强的温度稳定性和性能。ADI公司还大力研究了塑料封装在高温下的性能，尤其是引线框架和引脚适应高温焊接工艺的能力，使其在高冲击和振动环境中牢固可靠。因此，ADI公司提供18款额定温度范围为–40°C至+125°C的加速度计，包括ADXL206、ADXL354/ADXL355/ADXL356/ADXL357、ADXL1001/ADXL1002、ADIS16227/ADIS16228和ADIS16209。大部分竞争对手未提供能在–40°C至+125°C温度范围内或恶劣环境条件下(例如重工业机械和井下钻探)工作的MEMS电容式加速度计。

在温度超过125°C的恶劣环境中进行倾斜测量是极具挑战性的工作。ADXL206是一款高精度(倾斜精度<0.06°)、低功耗、完整的双轴MEMS加速度计，适用于高温和恶劣环境，例如井下钻探。该器件采用13 mm × 8 mm × 2 mm侧面钎焊、陶瓷、双列直插式封装，支持–40°C至+175°C的环境温度范围，超过175°C时性能会下降，但100%可恢复。

在有振动的动态环境中(例如农用设备或无人机)进行倾斜测量，需要*g*值范围较高的加速度计，比如ADXL356/ADXL357。有限*g*值范围的加速度计测量可能会削波，导致输出失调增加。引起削波的原因可能是灵敏轴在1 *g*重力场中，或者是发生上升时间快但衰减慢的冲击。较高的*g*值范围可减少加速度计削波，从而降低失调，在动态应用中提供更好的倾斜精度。

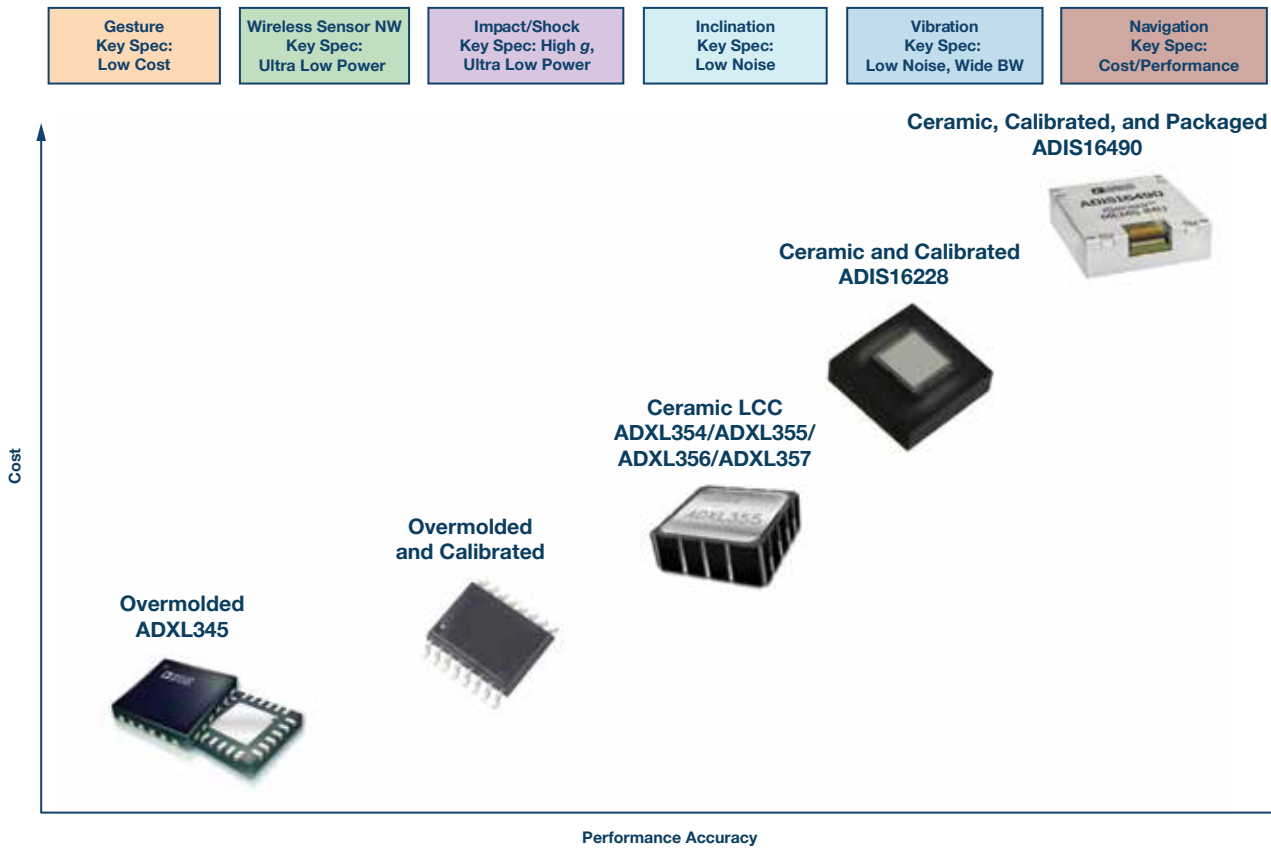


图5. 高级封装技术和校准带来性能提升的示例

图6所示为ADXL356Z轴的g值范围有限的测量，此测量范围中已经存在1 g。图7所示为同一测量，但g值范围从±10 g扩展到±40 g。可以清楚看到，加速度计的g值范围扩展显著降低了削波引起的失调。

ADXL354/ADXL355和ADXL356/ADXL357提供出色的振动校正、长期重复性和低噪声性能，而且尺寸很小，非常适合静态和动态环境中的倾斜检测应用。

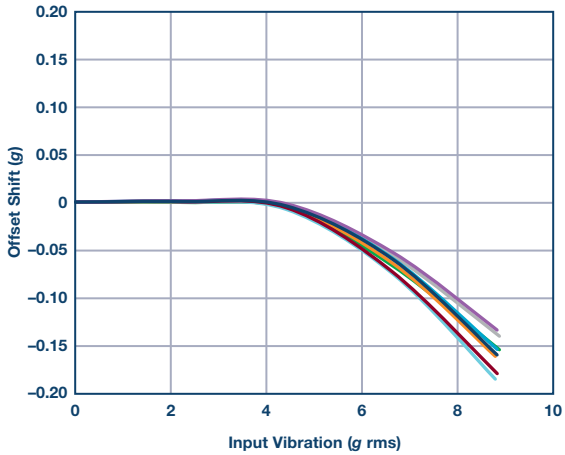


图6. ADXL356 VRE，Z轴相对于1 g的失调，±10 g范围，Z轴方向 = 1 g

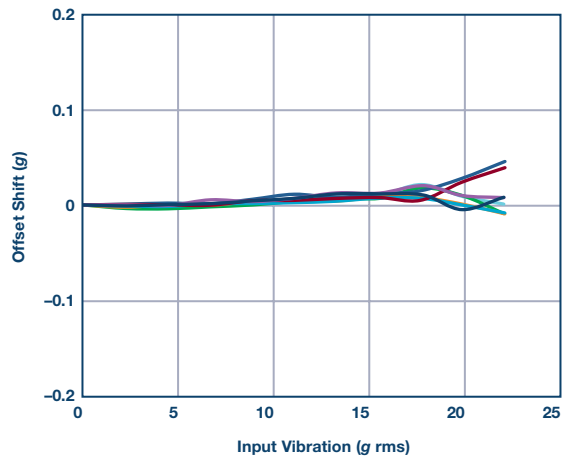


图7. ADXL356 VRE，Z轴相对于1 g的失调，±40 g范围，Z轴方向 = 1 g

稳定

主要标准：噪声密度、速度随机游走、运动中偏置稳定度、偏置重复性和带宽。

检测并了解运动可以给许多应用带来好处。掌控一个系统发生的运动，然后利用该信息提高性能(缩短响应时间、提高精度、加快运行速度)，增强安全性或可靠性(系统在危险情况下关机)，或者获得其他增值特性，是很有益的。由于运动的复杂性，有大量稳定性应用需要综合运用陀螺仪和加速度计(传感器融合，如图8所示)，例如UAV监控设备和船上天线指向系统等。[2]

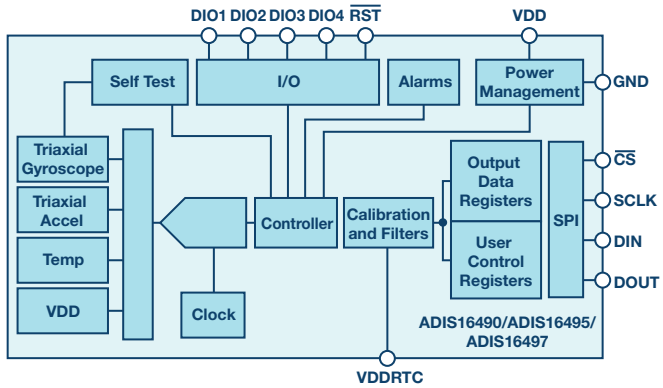


图8. 6自由度IMU

6自由度IMU使用多个传感器，以便弥补彼此的弱点。看起来像是一个或两个轴上的简单惯性运动，实际可能需要加速度计和陀螺仪传感器融合，目的是消除振动、重力和其他单凭加速度计或陀螺仪无法准确测量的影响因素。加速度计数据包括重力分量和运动加速度。二者无法区分，但可利用陀螺仪将重力分量从加速度计输出中去除。为了根据加速度确定位置，需要进行积分，在此过程之后，加速度计数据的重力分量引起的误差可能会快速变大。由于累积误差，仅凭陀螺仪不足以确定位置。陀螺仪不检测重力，因此可用作加速度计的辅助传感器。

在稳定性应用中，MEMS传感器必须精确测量平台方位，特别是在运动时。图9是一个采用伺服电机校正角向运动的典型平台稳定系统的框图。反馈/伺服电机控制器将方向传感器数据转换为伺服电机的校正控制信号。

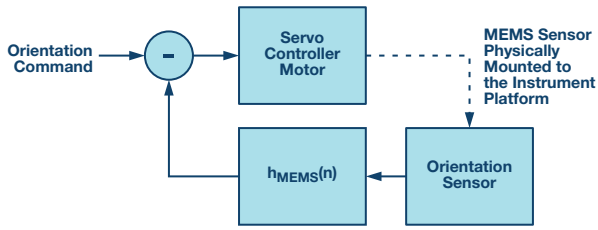


图9. 基本平台稳定系统[3]

最终应用将决定所需的精度水平，而所选的传感器质量(消费级还是工业级)将决定其能否实现。区分消费级器件和工业级器件很重要，有时候二者的区别很微妙，可能需要仔细考虑。表6显示了消费级加速度计和IMU中集成的中档工业级加速度计的主要区别。

表6. 工业MEMS器件对所有已知潜在误差源进行全面测定，精度水平比消费级器件高出一个数量级以上[2]

加速度计参数	典型工业规格	相对于典型消费级器件的改善
动态范围	最高40 *g*	3×
噪声密度	25 μ*g*/√Hz	10×
速度随机游动	0.03 m/s/√Hz	10×
运动中偏置稳定度	10 μ*g*	10×
偏置重复性	25 m*g*	100×
–3 dB带宽	500 Hz	2×

在某些条件有利且可接受较低精度数据的情况下，使用低精度器件便可满足性能需要。然而，对能在动态环境中工作的传感器需求迅速增长，较低精度器件由于不能降低实际测量中的振动效应或温度效应而大受影响，很难达到小于3°至5°的指向精度。多数低端消费级器件未提供诸如振动校正、角度随机游走之类的参数规格，而这些规格在工业应用中恰恰可能是最大的误差源。

为了在动态环境中达到1°甚至0.1°的指向精度，设计人员的器件选择必须聚焦于传感器抑制温漂误差和振动影响的能力。传感器滤波和算法(传感器融合)虽然是提升性能的关键要素，但无法消除消费级与工业级传感器的差距。ADI公司新型工业IMU的性能接近于上一代导弹制导系统所用的产品。诸如ADIS1646x和已宣布的ADIS1647x等器件以标准和迷你IMU外形尺寸提供精密运动检测，打进过去的特殊应用领域。

本文第二部分将继续探讨MEMS加速度计的重要工作特性，以及它们与可穿戴设备、状态监控、物联网、结构健康监控和资产健康监控等应用领域的关系。

参考文献

[1] Long Pham和Anthony DeSimone。“MEMS加速度计的振动校正”。ADI公司，2017年。

[2] Bob Scannell。“高性能惯性传感器助力运动物联网”。ADI公司，2017年。

[3] Mark Looney。“分析稳定系统中的惯性MEMS的频率响应”。*《模拟对话》*，第46卷，2012年。

图2.ADIS16210精密三轴倾斜

Chris Murphy [chris.murphy@analog.com]是欧洲中央应用中心的应用工程师，工作地点在爱尔兰都柏林。他于2012年加入ADI公司，为电机控制和工业自动化产品提供设计支持。他拥有电气工程研究硕士学位和计算机工程学士学位。



Chris Murphy

该作者的其它文章：

温度变化及振动条件下使用加速度计测量倾斜

第51卷，第4期

新ANSI/ESDA/JEDEC JS-002 CDM测试标准概览

作者：**Alan Righter、Brett Carn及EOS/ESD协会**

分享至

充电器件模型(CDM) ESD被认为是代表ESD充电和快速放电的首要实际ESD模型，能够恰如其分地表示当今集成电路(IC)制造和装配中使用的自动处理设备所发生的情况。到目前为止，在制造环境下的器件处理过程中，IC的ESD损害的最大原因是来自充电器件事件，这一点已广为人知。[1]

充电器件模型路线图

对IC中更高速IO的不断增长的需求，以及单个封装中集成更多功能的需要，推动封装尺寸变大，因而维持JEP157[2, 3]中讨论的推荐目标CDM级别将是一个挑战。还应注意，虽然技术扩展对目标级别可能没有直接影响(至少低至14 nm)，但这些高级技术改进了晶体管性能，进而也能支持更高IO性能(传输速率)，因此对IO设计人员而言，实现当前目标级别同样变得很困难。由于不同测试仪的充电电阻不一致，已公布的ESD协会(ESDA)截止20204年路线图建议，CDM目标级别将需要再次降低，如图1所示。

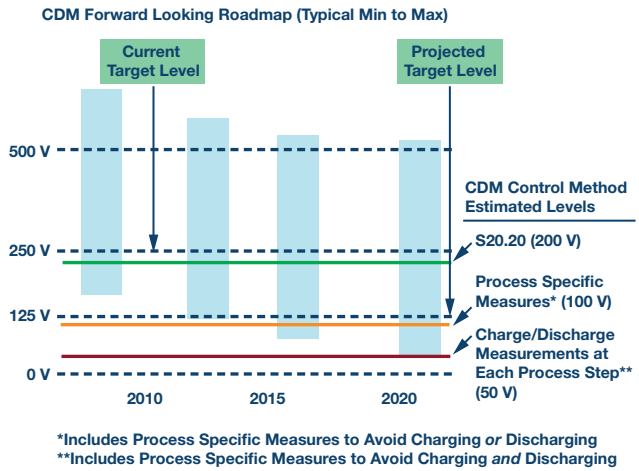


图1. 2010年及以后的充电器件模型灵敏度限值预测(版权所有©2016 EOS/ESD协会)

快速浏览图1不会发现CDM目标级别有明显变化，但进一步查阅ESDA提供的数据(如图2所示)可知，CDM ESD目标级别的分布预期会有重大变化。

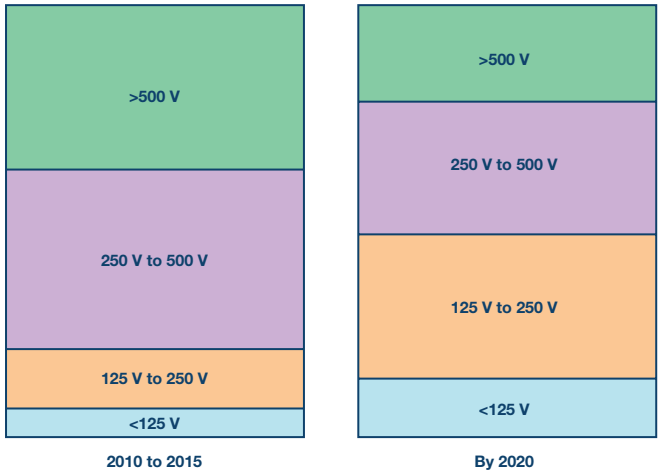


图2. 充电器件模型灵敏度分布组别前瞻 (版权所有©2016 EOS/ESD协会)

为何讨论此变化很重要？它指出了需要采用一致的方法来测试整个电子行业的CDM，应排除多种测试标准所带来的一些不一致性。现在，确保制造业针对ESDA讨论的CDM路线图做好适当准备比以往任何时候都更重要。这种准备的一个关键方面是确保制造业从各半导体制造商收到的关于器件CDM鲁棒性水平的数据是一致的。对一个协调一致的CDM标准的需求从来没有像现在这样强烈。再加上持续不断的技术进步，IO性能也会得到提高。这种对更高IO性能的需要(以及降低引脚电容的需要)，迫使IC设计人员别无选择，只能降低目标级别，进而需要更精密的测量(在ANSI/ESDA/JEDEC JS-002中有说明)。

新联合标准

在ANSI/ESDA/JEDEC JS-002之前有四种现存标准：传统的JEDEC (JESD22-C101)[5]、ESDA S5.3.1[6]、AEC Q100-011[7]和EIAJ ED-4701/300-2标准[8]。ANSI/ESDA/JEDEC JS-002(充电器件模型、器件级别)[9]代表了将这四种现有标准统一为单一标准的一次重大努力。虽然所有这些标准都产生了有价值的信息，但多种标准的存在对行业不是好事。不同方法常常产生不同的通过级别，多种标准的存在要求制造商支持不同的测试方法，而有意义的信息并无增加。因此，以下两点非常重要：IC充电器件抑制能力的单一测量水平是广为人知的，以确保CDM ESD设计策略得到正确实施；IC的充电器件抑制能力同它将接触到的制造环境中的ESD控制水平一致。

为了解决这个问题，2009年成立的ESDA和JEDEC CDM联合工作小组(JWG)开发了JS-002。此外，JWG希望根据引入场感应CDM (FICDM)以来所获得的经验教训对FICDM进行技术改进[10]。最后，JWG希望尽量减少对电子行业的冲击。为了减少行业冲击，工作小组决定，联合标准不应要求购买全新场感应CDM测试仪，并且通过/失败水平应尽可能与JEDEC CDM标准一致。JEDEC标准是使用最广泛的CDM标准，因此JS-002与当前制造业对CDM的理解保持一致。

虽然JEDEC和ESDA的测试方法非常相似，但两种标准之间有一些不同之处需要化解。JS-002还试图解决一些技术问题。一些最重要问题列示如下。

标准之间的差异

- 场板电介质厚度
- 用于验证系统的验证模块
- 示波器带宽要求
- 波形验证参数

标准的技术问题

- 测量带宽要求对CDM而言太慢
- 人为地让JEDEC标准中的脉冲宽度很宽
- 波形和设备几何要求迫使需要进行隐藏电压调整

为了达成目标并实现统一，作出了如下硬件和测量选择。在为期五年的文件编制过程中，工作小组进行了大量测量才作出这些决定。

硬件选择

- 使用JEDEC电介质厚度
- 使用JEDEC“硬币”进行波形验证
- 禁止在放电路径中使用铁氧体

测量选择

- 系统验证/验收需要最低6 GHz带宽的示波器
- 例行系统验证允许使用1 GHz示波器

尽量减少数据损坏并讨论隐藏电压调整

- 让目标峰值电流与现有JEDEC标准一致
- 指定与JEDEC压力级别匹配的测试条件；对于JS-002测试结果，指的是测试条件(TC)；对于JEDEC和AEC，指的是伏特(V)
- 对于JS-002，调整场板电压以提供与传统JEDEC峰值电流要求对应的正确峰值电流

确保较大封装完全充电

- 为确保较大封装完全充电，引入了一个新的程序

下面说明这些改进。

JS-002硬件选择

JS-002 CDM硬件平台代表了ESDA S5.3.1探针组件或测试头放电探针同JEDEC JESD22-C101验证模块和场板电介质的结合。图3所示为硬件对比。ESDA探针组件的放电路径中没有特定铁氧体。FICDM测试仪制造商认为，铁氧体是必要的，增加铁氧体可提高500 ps的半峰全宽(FWHH)额定最小值，并将I_{p2}(第二波峰)降至第一波峰I_{p1}的50%以下，从而满足传统JEDEC要求。JS-002去掉了此铁氧体，从而消除了放电中的这种限制因素，使得放电波形更准确，高带宽示波器在I_{p1}时看到的振铃现象不再存在。

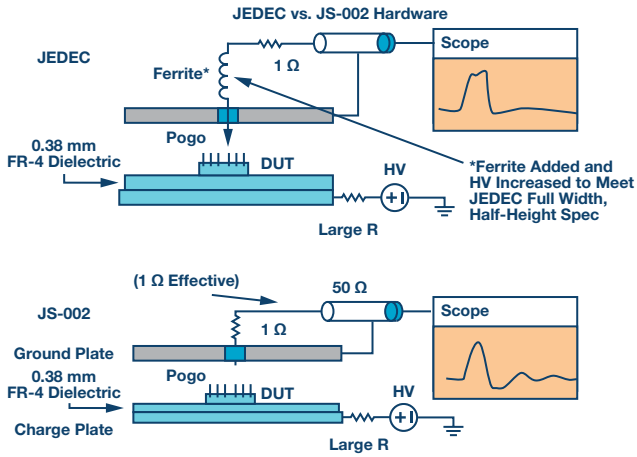


图3. JEDEC和JS-002平台硬件原理图

图4显示了ESDA和JEDEC CDM标准验证模块的区别。ESDA标准提供两个电介质厚度选项，并结合验证模块(第二个选项是模块和场板之间有一层最多130 µm的额外塑料薄膜，用于测试带金属封装盖的器件)。JEDEC验证模块/FR4电介质代表一个单一小/大验证模块和电介质选项，支持它的JEDEC标准用户要多得多。

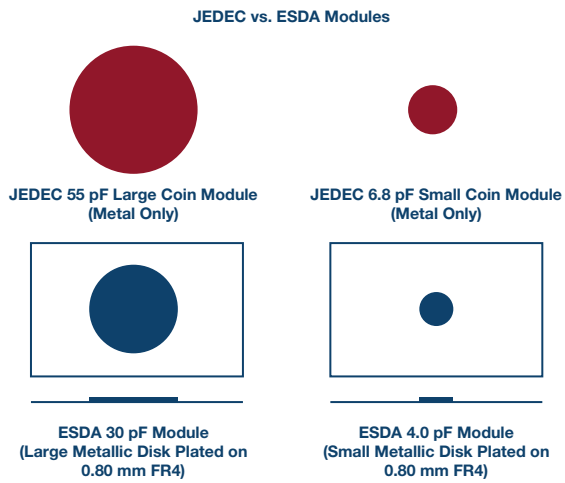


图4. ESDA和JEDEC验证模块比较JS-002使用JEDEC模块。

JS-002测量选择

在JS-002标准制定的数据收集阶段，CDM JWG发现需要更高带宽的示波器才能精确测量CDM波形。1 GHz带宽示波器未能捕捉到真正的第一峰值。图5和图6说明了这一点。

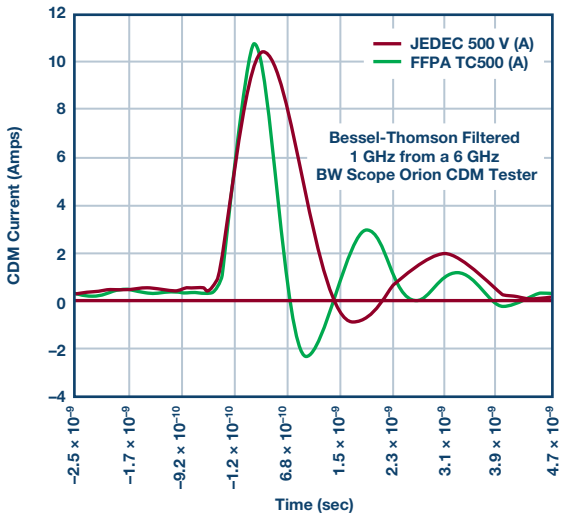


图5. 大JEDEC验证模块在500 V JEDEC时与JS-002 TC500在1 GHz时的CDM波形

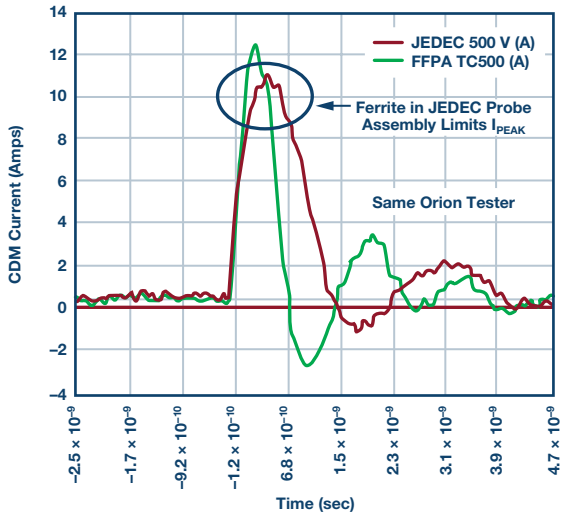


图6. 大JEDEC验证模块在500 V JEDEC时与JS-002 TC500在6 GHz时的CDM波形

例行波形检查，例如每日或每周的检查，仍可利用1 GHz带宽示波器进行。然而，对不同实验室测试站点的分析表明，高带宽示波器能提供更好的站点间相关性。[11]例行检查和季度检查推荐使用高带宽示波器。年度验证或更换/修理测试仪硬件之后的验证需要高带宽示波器。

表1. JS-002波形数据记录表示例，显示了造成TC（测试条件）电压的因素9

测试仪—系统#1									
极性 = 正		示波器带宽 = 8 GHz				因子/失调最终设置 = 0.82			
模块大小	日期	%RH	测试条件	软件电压	$I_{P\ AVG}$ (A)	$T_{R\ AVG}$	$T_{D\ AVG}$	$I_{P2\ AVG}$	I_{P2} (% I_{P1})
大	日/月/年	X%	TC 500	500	12.1	275	610	4.3	36%
小	日/月/年	X%	TC 500	500	7.30	185	400	3.7	51%
大	日/月/年	X%	TC 125	125	2.90	283	611	1.1	38%
小	日/月/年	X%	TC 125	125	1.90	201	395	1.1	58%
大	日/月/年	X%	TC 250	250	6.00	276	609	2.2	37%
小	日/月/年	X%	TC 250	250	3.70	186	397	2.1	57%
大	日/月/年	X%	TC 750	750	18.30	274	611	7.2	39%
小	日/月/年	X%	TC 750	750	11.0	190	398	6.1	55%
大	日/月/年	X%	TC 1000	1000	24.40	276	612	9.2	38%
小	日/月/年	X%	TC 1000	1000	14.60	187	399	7.4	51%

测试仪CDM电压设置

CDM JWG同时发现，对于不同测试仪平台，为了获得符合先前ESDA和JEDEC标准的标准测试波形，实际板电压设置需要有相当大的差异(例如，特定电压设置为100 V或更大)。这在任何标准中都没有说明。JS-002唯一地确定了将第一峰值电流(以及测试条件所代表的电压)缩放到JEDEC峰值电流水平所需的偏移或因数。JS-002附录G对此有详细说明。表1显示了一个包含此特性的验证数据实例。

在设定测试条件下确保超大器件完全充电

在JS-002开发的数据收集阶段还发现了一个与测试仪相关的问题：放电之前，某些测试系统未将大验证模块或器件完全充电到设定电压。不同测试系统的大值场板充电电阻(位于充电电源和场板之间的串联电阻)不一致，影响到场板电压完全充电所需的延迟时间。结果，不同测试仪的第一峰值放电电流可能不同，影响CDM的通过/失败分类，尤其是大器件。

因此，工作小组撰写了详实的附录H(“确定适当的充电延迟时间以确保大模块或器件完全充电”)，描述了用于确定器件完全充电所需延迟时间的程序。当出现峰值电流饱和点(I_p基本保持稳定，设置更长的延迟时间也不会使它改变)时，说明达到了适当的充电延迟时间，如图7所示。确定此延迟时间，确保放电之前，超大器件能够完全充电到设定的测试条件。

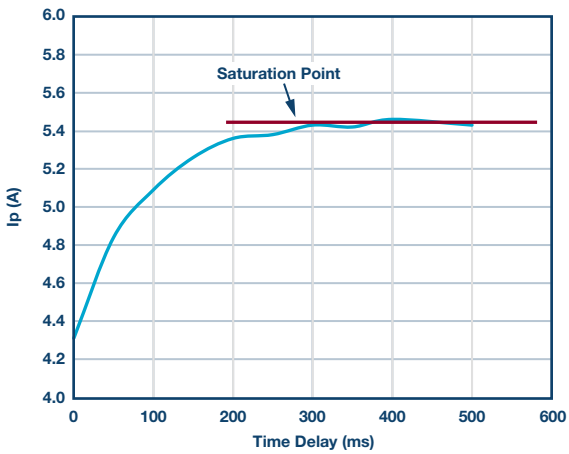


图7. 峰值电流与充电时间延迟关系图示例，显示了饱和点/充电时间延迟[9]

电子行业逐步采用JS-002

对于采用ESDA S5.3.1 CDM标准的公司，JS-002标准取代了S5.3.1，应将S5.3.1废弃。对于先前使用JESD22-C101的公司，JEDEC可靠性测试规范文件JESD47(规定JEDEC电子元件的所有可靠性测试方法)最近进行了更新，要求用JS-002代替JESD22-C101(2016年末)。JEDEC会员公司转换到JS-002的过渡时期现已开始。很多公司(包括ADI和Intel)已经对所有新产品利用JS-002标准进行测试。

国际电工委员会(IEC)最近批准并更新了其CDM测试标准IS 60749-28。[12]此标准全盘纳入JS-002作为其指定测试标准。

汽车电子理事会(AEC)目前有一个CDM小组委员会，其正在更新Q100-011(集成电路)和Q101-005(无源器件)车用器件CDM标准文件以纳入JS-002，并结合AEC规定的测试使用条件。这些工作预计会在2017年底完成并获批准。

结语

观察ESDA提供的CDM ESD路线图，可知在更高IO性能的驱动下，CDM目标级别会继续降低。制造业对器件级CDM ESD耐受电压的认知比以往任何时候都更重要，而来自不同CDM ESD标准的不一致产品CDM结果是无法传达这一讯息的。ANSI/ESDA/JEDEC JS-002有机会成为第一个真正的适用于全行业的CDM测试标准。消除CDM测试头放电路径中的电容，可显著改善放电波形的质量。引入高带宽示波器用于验证，提高到五个测试条件波形验证级别，以及保证适当的充电延迟时间——所有这些措施显著降低了不同实验室的测试结果差异，改善了站点间的可重复性。这对确保向制造业提供一致的数据至关重要。电子行业接受JS-002标准之后，将有能力更好地应对前方的ESD控制挑战。

参考文献

1 RRoger J. Peirce。“ESD损害的最常见原因”。*Evaluation Engineering*，2002年11月。

2 IESD目标级别工业理事会。“工业理事会白皮书2：降低器件级CDM ESD规格和要求的一个案例”。EOS/ESD协会，2010年4月。

3 “JEP157：推荐ESD-CDM目标级别”。JEDEC，2009年10月。

4 EOS/ESD协会路线图。

5 “JESD22-C101F：微电子器件静电放电耐受阈值的场感应充电器件模型测试方法”。JEDEC，2013年10月。

6 “ANSI/ESD S5.3.1：静电放电灵敏度测试——充电器件模型(CDM)器件级别”。EOS/ESD协会，2009年12月。

7 “AEC-Q100-011：充电器件模型(CDM)静电放电测试”。汽车电子理事会，2012年7月。

8 “EIAJ ED-4701/300-2，测试方法305：充电器件模型静电放电(CDM-ESD)”。日本电子与信息技术行业协会，2004年6月。

9 “ANSI/ESDA/JEDEC JS-002-2014：充电器件模型(CDM)器件级别”。EOS/ESD协会，2015年4月。

10 Alan W. Righter、Terry Welsher和Marti Ferris。“迈向联合ESDA/JEDEC CDM标准：方法、实验和结果”。EOS/ESD论文集，2012年9月。

11 Theo Smedes、Michal Polweski、Arjan van IJzerloo、Jean-Luc Lefebvre和Marcel Dekker。“CDM校准程序的隐患”。EOS/ESD论文集，2010年10月。

12 “IEC IS 60749-28，静电放电(ESD)灵敏度测试——充电器件模型(CDM) - 器件级别”。国际电工委员会，2017年。



Alan Righter

Alan [alan.righter@analog.com]是ADI公司位于美国加州圣何塞的企业ESD部的高级ESD工程师。他与ADI公司全球设计/产品工程团队一起负责整个芯片的ESD规划/设计、ESD测试、ESD故障分析以及内部和外部客户存在的EOS问题。加入ADI之前，Alan在Sandia National Laboratories(位于美国新墨西哥州阿尔伯克基市)工作了13年，参与了IC设计、测试、产品工程、可靠性测试和故障分析。Alan于1982年和1984年分别获得亚利桑那州立大学电气工程学士学位和电气工程硕士学位，并于1996年获得新墨西哥大学博士学位。2007年，Alan加入了所有的标准设备测试工作组(WG5.x)，同时也是系统和仿真器WG 14的成员。他于2008年被任命为WG 5.3.1(充电装置模型)的主席，目前担任扩展联合(ESDA/JEDEC) CDM工作组的ESDA主席，最近完成了新的ESDA/JEDEC联合标准JS-002。Alan目前也是ESD协会的副主席。作为10篇文章的作者/合著者，Alan一直积极参加EOS/ESD研讨会，他目前也是ESDA事件总监。Alan在ESD目标级别行业理事会中也很活跃。



Brett Carn

Brett Carn [brett.w.carn@intel.com]于1999年加入英特尔公司，现在是企业质量网络的首席工程师。他一直关注英特尔器件级别ESD领域。作为首席工程师，Brett主持英特尔ESD理事会，负责全球所有英特尔网站的元件级别ESD和闩锁测试，定义所有内部测试规范，审查所有英特尔ESD设计规则，监督/定义全球所有英特尔产品的ESD目标级别并领导许多产品的后晶片ESD调试。最近几年，Brett还一直积极致力于解决EOS挑战。加入英特尔之前，他在Lattice Semiconductor工作了13年，在20世纪90年代早期便开始从事ESD相关工作。从2007年开始，Brett一直是ESD目标级别行业理事会的成员，协助撰写了数本白皮书，同时担任四本白皮书的责任编辑。Brett是ESDA的积极成员，目前也是ESDA董事会的成员之一。Brett也是ESDA教育委员会的成员，负责监督所有在线培训，目前是技术和咨询支持(TAS)委员会的主席以及几个ESDA工作组的成员。Brett于1986年获得波特兰州立大学电气工程学士学位。

EOS/ESD协会

EOS/ESD协会是最大的行业组织，致力于实施ESD保护理论和实践，在全球拥有2000多名成员。读者可通过以下网址了解有关该协会及其工作的更多信息：http://www.esda.org.

高精密电压源

作者：**Michael Lynch**

分享至

在今天的“组合参考电路”系列文章中，我们将介绍一款同时运用ADI/LTC产品的超高精度可编程电压源。AD5791同LTZ1000、ADA4077、AD8675/AD8676一起，可用来实现一种1 ppm分辨率、1 ppm INL、长期漂移优于1 ppm FSR的可编程电压源。这一强大组合有助于向放射科医生提供其需要的出色图像清晰度、分辨率和对比度，使他们能看见更小的解剖结构。想想将其应用于MRI(磁共振成像)会有何等重要意义。通过更清晰的器官和软组织图像，医疗专业人员将能更准确地探知心脏问题、肿瘤、囊肿和身体各部分中的异常。这只是该可编程电压源的诸多应用之一。

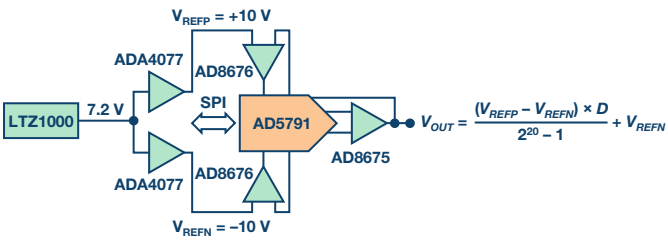


图1. 可编程电压源

其他要求1 ppm精度的应用：

科研、医疗和航空航天仪器仪表

- 医疗成像系统
- 激光定位器
- 振动系统

测试与测量

- 自动测试设备(ATE)
- 质谱测定
- 信号源测量单元(SMU)
- 数据采集/分析仪

工业自动化

- 半导体制造
- 过程自动化
- 电源控制
- 高级机器人

对于测试和测量系统，1 ppm分辨率和精度可改善测试设备的整体精度和粒度，从而更精密地控制和激励外部信号源及纳米执行器。在工业自动化中，1 ppm分辨率和精度可提供执行器移动、转向或定位所需的纳米级精度水平。

AD5791

AD5791是一款20位、无缓冲电压输出型数模转换器，具有1 ppm相对精度(1 LSB INL)和1 LSB DNL(保证单调性)。它提供引入注目的0.05 ppm/°C温度漂移、0.1 ppm p-p噪声和优于1 ppm的长期稳定性。AD5791包含一个精密R-2R结构，其利用最先进的薄膜电阻匹配技术。该器件采用最高33 V的双极性电源供电，可由5 V至VDD –2.5 V的正基准电压和VSS +2.5 V至0 V的负基准电压驱动。AD5791使用多功能3线串行接口，工作时钟速率最高可达35 MHz，兼容标准SPI、QSPI™、MICROWIRE™和DSP接口标准。AD5791提供20引脚TSSOP封装。

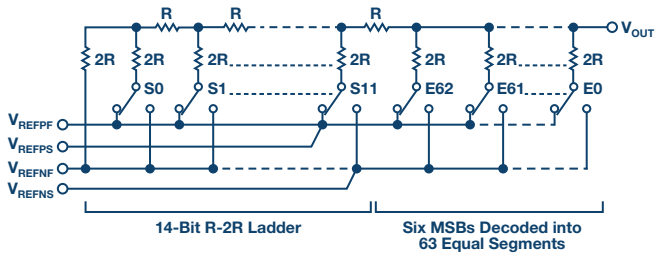


图2. AD95791 DAC梯形结构

LTZ1000

LTZ1000是一款超稳定的温度可控基准电压源，提供7.2 V输出，具有出色的1.2 μV p-p噪声、2 μV/√kHr长期稳定性和0.05 ppm/°C温度漂移。该器件内置嵌入式齐纳基准电压源、用于提高温度稳定性的加热电阻以及温度检测电阻。利用外部元件设置工作电流并稳定基准电压源温度，从而实现最大灵活性、最佳长期稳定性和噪声性能。

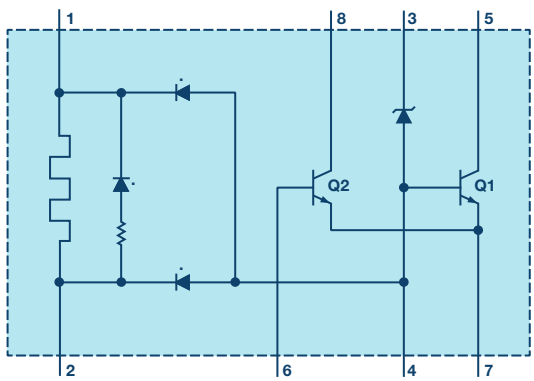


图3. LTZ1000原理示意图

ADA4077

ADA4077是一款高精度低噪声运算放大器，具有超低的失调电压和极低的输入偏置电流。与结型场效应管放大器不同，其低偏置和失调电流对环境温度相对不敏感，即使环境温度达到125°C，该特性仍然保持稳定。使用1000 pF以上容性负载时输出稳定，无需外部补偿。

AD8675/AD8676

AD8675/AD8676是精密轨到轨运算放大器，具有超低失调、漂移和电压噪声，而且输入偏置电流在整个工作温度范围内均非常低。

一些电路考虑事项

噪声

低频噪声必须保持最小，以免影响电路的直流性能。在0.1 Hz至10 Hz带宽，AD5791产生大约0.6 μV p-p噪声，每个ADA4077产生0.25 μV p-p噪声，AD8675产生0.1 μV p-p噪声，LTZ1000产生1.2 μV p-p噪声。选择适当的电阻值，确保其约翰逊噪声不会大幅提高总噪声水平。

AD5791基准电压缓冲器配置

用于驱动AD5791的REFP和REFN引脚的基准电压缓冲器必须配置为单位增益。任何经过增益设置电阻流入基准电压检测引脚的额外电流，都会降低DAC精度。

AD5791 INL灵敏度

AD5791 INL性能对用作基准电压缓冲器的放大器的输入偏置电流有轻微的敏感性。因此，所选的放大器应具有低输入偏置电流。

$$ExtraINLError = \frac{0.2 \times I_{BIAS}}{(V_{REFP} - V_{REFN})^2} \quad \begin{matrix} INL - ppm \\ I_{BIAS} - nA \\ V_{REF} - Volts \end{matrix}$$

温度漂移

为使整个系统保持较低的温度漂移系数，选择的各元件必须具有低温漂(TC)。AD5791的TC为0.05 ppm FSR/°C，LTZ1000的TC为0.05 ppm/°C，ADA4077和AD8675分别贡献0.005 ppm FSR/°C和0.01ppm FSR/°C。

长期漂移

长期漂移是另一个可能给系统精度造成显著影响的重要参数。125°C时，AD5791的长期稳定性典型值优于0.1 ppm/1000小时。LTZ1000可以实现每月大约1 μV的长期稳定性。

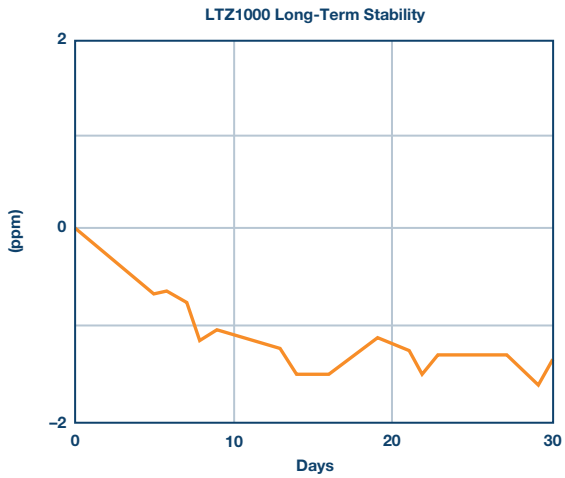


图4. 典型器件的长期稳定性，从时间 = 0开始，无预调理或老化

实验结果

INL误差在室温下于实验室中测量，以代码步进 = 5将AD5791的输入码从零电平改变到满量程。利用一个8.5位DVM记录输出缓冲器(AD8675)在每个码的输出电压。结果完全在±1 LSB额定值范围内。

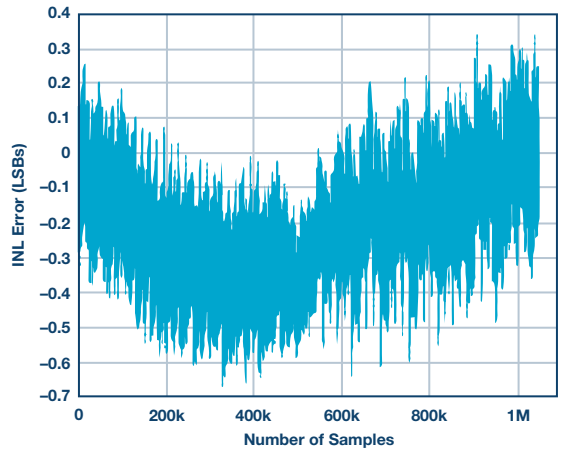


图5. 高精密电压源在室温下的INL误差

噪声

中间电平时测得的噪声为1.1 μV p-p，满量程时测得的噪声为3.7 μV p-p。选择中间电平代码时，DAC会衰减来自各基准电压路径的噪声贡献，因此中间电平代码对应的噪声指数较低。

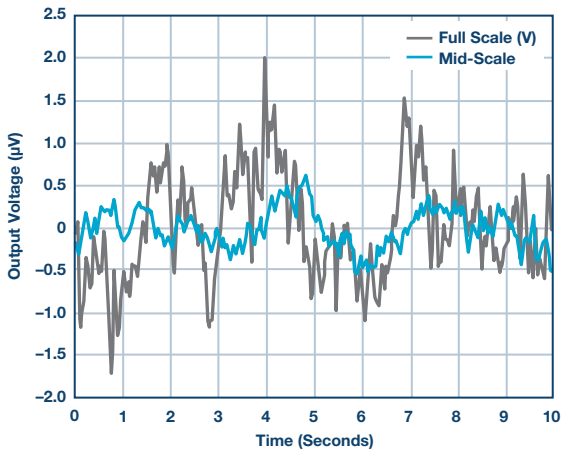


图6. 0.1 Hz至10 Hz带宽中的电压噪声

长期漂移

系统长期漂移在25°C时测量。AD5791设置为5 V(¾量程)，在1000小时内每隔30分钟测量一次输出电压。观测到的漂移值小于1 ppm FSR。

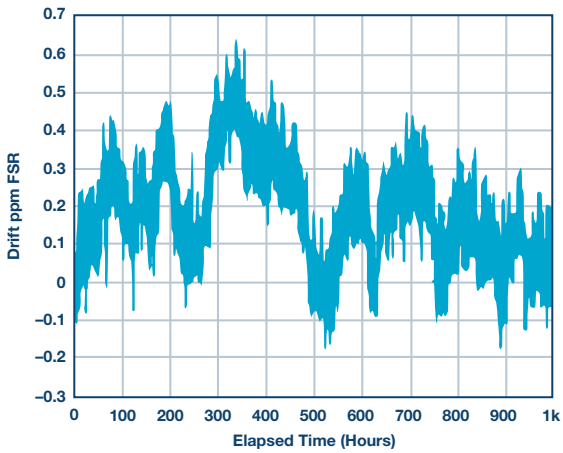


图7. V_{OUT}漂移(ppm FSR)

结论

除了简单易用以外，AD5791还提供1 ppm的保证精度。但是，选择正确的元件和基准电压源对充分利用AD5791的精度特性至关重要。LTZ1000、ADA4077、AD8676和AD8675的低噪声、低温度漂移、低长期漂移和高精度特性，可改善系统随温度和时间的精度、稳定性及可重复性。



图8. 带LTZ1000基准电压板的EVAL-AD5791SDZ

Michael Lynch

Michael Lynch [michael.lynch@analog.com]是ADI公司线性与精密技术部的应用工程师。他于2003年获得利默里克大学电子工程学士学位。他于2009年加入ADI公司。加入ADI公司前，他曾担任英特尔的实施工程师。

非常见问题解答—第146期
为什么我的处理器漏电？这听起来像一个开放式问题

作者：**Abhinay Patil**

分享至



问：

为什么我的处理器功耗大于数据手册给出的值？

答：

在我的上一篇文章中，我谈到了一个功耗过小的器件——是的，的确有这种情况——带来麻烦的事情。但这种情况很罕见。我处理的更常见情况是客户抱怨器件功耗大于数据手册所宣称的值。

记得有一次，客户拿着处理器板走进我的办公室，说它的功耗太大，耗尽了电池电量。由于我们曾骄傲地宣称该处理器属于超低功耗器件，因此举证责任在我们这边。我准备按照惯例，一个一个地切断电路板上不同器件的电源，直至找到真正肇事者，这时我想起不久之前的一个类似案例，那个案例的“元凶”是一个独自挂在供电轨和地之间的LED，没有限流电阻与之为伍。LED最终失效是因为过流，还是纯粹因为它觉得无聊了，我不能完全肯定，不过这是题外话，我们暂且不谈。从经验出发，我做的第一件事是检查电路板上有无闪闪发光的LED。但遗憾的是，这次没有类似的、昭示问题的希望曙光。另外，我发现处理器是板上的唯一器件，没有其他器件可以让我归咎责任。客户接下来抛出的一条信息让我的心情更加低落：通过实验室测试，他发现功耗和电池寿命处于预期水平，但把系统部署到现场之后，电池电量快速耗尽。此类问题是最难解决的问题，因为这些问题非常难以再现“第一案发现场”。这就给数字世界的问题增加了模拟性的无法预测性和挑战，而数字世界通常只是可预测的、简单的1和0的世界。

在最简单意义上，处理器功耗主要有两方面：内核和I/O。当涉及到抑制内核功耗时，我会检查诸如以下的事情：PLL配置/时钟速度、内核供电轨、内核的运算量。有多种办法可以使内核功耗降低，例如：降低内核时钟速度，或执行某些指令迫使内核停止运行或进入睡眠/休眠状态。如果怀疑I/O吞噬了所有功耗，我会关注I/O电源、I/O开关频率及其驱动的负载。

我能探究的只有这两个方面。结果是，问题同内核方面没有任何关系，因此必然与I/O有关。这时，客户表示他使用该处理器纯粹是为了计算，I/O活动极少。事实上，器件上的大部分可用I/O接口都没有得到使用。

“等等！有些I/O您没有使用。您的意思是这些I/O引脚未使用。您是如何连接它们的？”

“理所当然，我没有把它们连接到任何地方！”

“原来如此！”

这是一个令人狂喜的时刻，我终于找到了问题所在。虽然没有沿路尖叫，但我着实花了一会工夫才按捺住兴奋之情，然后坐

典型CMOS数字输入类似下图：

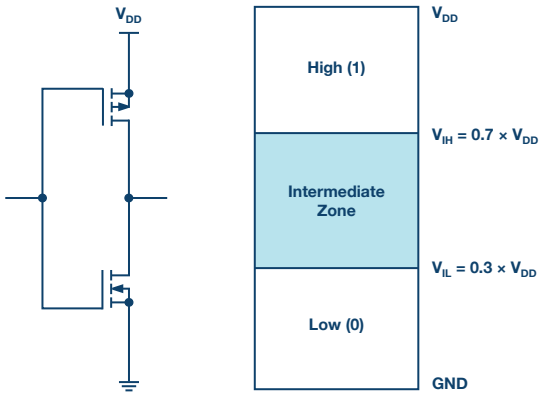


图1. 典型CMOS输入电路(左)和CMOS电平逻辑(右)

当以推荐的高(1)或低(0)电平驱动该输入时，PMOS和NMOS FET一次导通一个，绝不会同时导通。输入驱动电压有一个不确定区，称为“阈值区域”，其中PMOS和NMOS可能同时部分导通，从而在供电轨和地之间产生一个泄漏路径。当输入浮空并遇到杂散噪声时，可能会发生这种情况。这既解释了客户电路板上功耗很高的事实，又解释了高功耗为什么是随机发生的。

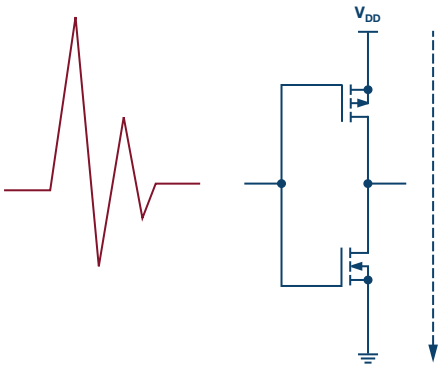


图2. PMOS和NMOS均部分导通，在电源和地之间产生一个泄漏路径

某些情况下，这可能引起*闩锁*之类的状况，即器件持续汲取过大电流，最终烧毁。可以说，这个问题较容易发现和解决，因为眼前的器件正在冒烟，证据确凿。我的客户报告的问题则更难对付，因为当您在实验室的凉爽环境下进行测试时，它没什么问题，但送到现场时，就会引起很大麻烦。

现在我们知道了问题的根源，显而易见的解决办法是将所有未使用输入驱动到有效逻辑电平(高或低)。然而，有一些细微事项需要注意。我们再看几个CMOS输入处理不当引起麻烦的情形。我们需要扩大范围，不仅考虑彻底断开/浮空的输入，而且要考虑似乎连接到适当逻辑电平的输入。

如果只是通过电阻将引脚连接到供电轨或地，应注意所用上拉或下拉电阻的大小。它与引脚的拉/灌电流一起，可能使引脚的实际电压偏移到非期望电平。换言之，您需要确保上拉或下拉电阻足够强。

如果选择以有源方式驱动引脚，务必确保驱动强度对所用的CMOS负载足够好。若非如此，电路周围的噪声可能强到足以超过驱动信号，迫使引脚进入非预期的状态。

我们来研究几种情形：

1. 在实验室正常工作的处理器，在现场可能莫名重启，因为噪声耦合到没有足够强上拉电阻的RESET(复位)线中。

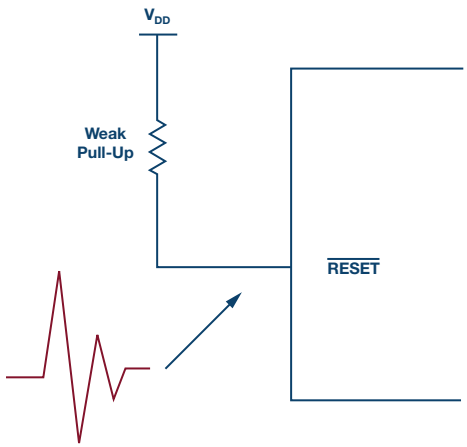


图3. 噪声耦合到带弱上拉电阻的$\overline{RESET}$引脚中，可能引起处理器重启

2. 想象CMOS输入属于一个栅极驱动器的情况，该栅极驱动器控制一个高功率MOSFET/IGBT，后者在应当断开的时候意外导通！简直糟糕透了。

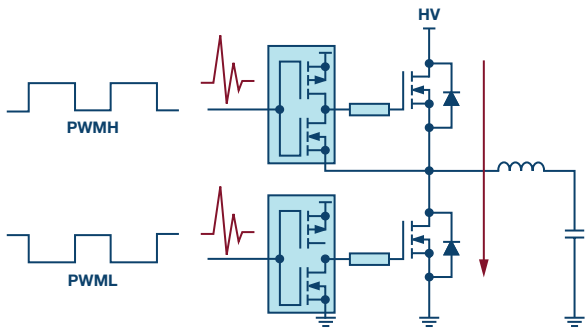


图4. 噪声过驱一个弱驱动的CMOS输入栅极驱动器，引起高压总线短路

ADSP-SC582/SC583/SC584/SC587/SC589/ADSP-21583/21584/21587

Table 27. ADSP-SC58x/ADSP-2158x Designer Quick Reference

Signal Name	Type	Driver Type	Int Term	Reset Term	Reset Drive	Power Domain	Description and Notes
JTG_TCK	Input		PullUp	none	none	VDD_EXT	Desc: JTAG Clock Notes: No notes
$\overline{\text{JTG_TRST}}$	Input		PullDown	none	none	VDD_EXT	Desc: JTAG Serial Data In Notes: No notes
MLB0_CLKN	Input	NA	Internal logic ensures that input signal does not float	none	none	VDD_EXT	Desc: MLB0 Differential Clock (-) Notes: No notes

图6. ADSP-SC58x/ADSP-2158x数据手册快速参考

另一种相关但不那么明显的问题情形是当驱动信号的上升/下降非常慢时。这种情况下，输入可能会在中间电平停留一定的时间，进而引起各种问题。

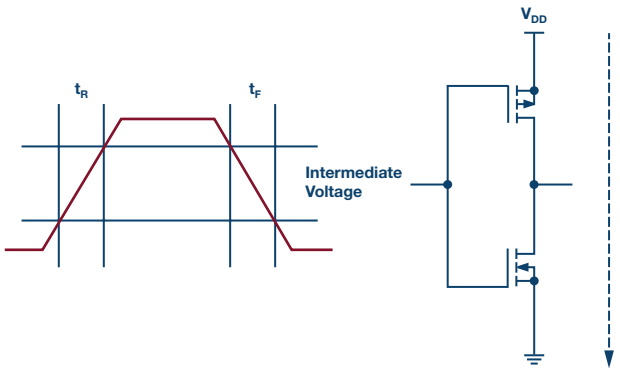


图5. CMOS输入的上升/下降很慢，导致过渡期间暂时短路

我们已经在一般意义上讨论了CMOS输入可能发生的一些问题，值得注意的是，就设计而言，有些器件比其他器件更擅长处理这些问题。例如，采用施密特触发器输入的器件能够更好地处理具有高噪声或慢边沿的信号。

我们的一些最新处理器也注意到这种问题，并在设计中采取了特殊预防措施，或发布了明确的指南，以确保运行顺利。例如，ADSP-SC58x/ADSP-2158x数据手册清楚说明了有些管脚具有内部端接电阻或其他逻辑电路以确保这些管脚不会浮空。

最后，正如大家常说的，正确完成所有收尾工作很重要，尤其是CMOS数字输入。

参考文献：

ADSP-SC58X/ADSP-2158X：带ARM Cortex-A5的SHARC+双核DSP数据手册。ADI公司，2017年。

Patil，Abhinay。“低功耗会烧毁器件？低电流损耗也可能带来麻烦。”*《模拟对话》*，第51卷，2017年。

Abhinay Patil [abhinay.patil@analog.com]于2003年加入ADI公司，现在印度班加罗尔任现场应用工程师。他拥有电子通信工程学士学位。



Abhinay Patil

该作者的其它文章：

低功耗会烧毁器件？低电流损耗也可能带来麻烦

第51卷，第3期

如何选择散热性能良好的高功率可扩展式POL调节器并节省电路板空间

作者：**Afshin Odabaee**

分享至

从事高效、紧凑式DC-DC转换器设计艺术的是一群精英工程师，他们对转换设计相关物理学原理和相关数学知识有着深入的理解，还拥有丰富的实践工作经验。凭借对波特图、麦克斯韦方程组以及极点和零点的深入理解，他们可以打造出优雅的DC-DC转换器设计。然而，IC设计师通常会回避棘手的散热问题——这项工作通常属于封装工程师的职责范围。

在负载点(POL)转换器中，专用IC之间的空间有限，因此散热是个大问题。POL调节器会产生热量，因为(目前)还没有电压转换的效率能达到100%。受结构、布局和热阻影响，封装会变得多热？封装的热阻不仅会提高POL调节器的温度，还会增加PCB及周围组件的温度，因而会增加系统散热机制的复杂性、尺寸和成本。

PCB上的DC-DC转换器封装主要有两种散热方式：

通过PCB散热：

如果转换器IC采用表贴封装，则PCB上的导热性铜通孔和隔层会从封装底部散热。如果封装对PCB的热阻很低，采用这种散热方式足矣。

增加气流：

利用冷气流去除封装的热量(更准确地说，热量被转移到与封装表面接触的快速运动的较冷空气分子中)。

当然还有被动式散热法和主动式散热方法，但为简化讨论，我们将它们视为第二类的子集。

面对上升的组件温度，PCB设计师可以从标准散热工具箱里去找常用的工具，比如增加铜，加装散热器，使用更大、更快的风扇，也可以简单地增加空间——使用更多PCB空间，增加PCB上组件之间的距离，或者增加PCB层的厚度。

任何这些工具都可以用在PCB上，使系统温度维持在安全限值以内，但是使用这些补救措施会降低最终产品在市场上的竞争优势。产品(如路由器)可能需要使用更大的外壳，才能在PCB上为组件留出必要的间隔空间；如果加装速度更快的风扇以增加气流，结果可能会增加噪声。这可能会使最终产品在市场上失去优势，因为企业的竞争优势体现在紧凑性、计算能力、数据速率、效率和成本等方面。

要在高功耗POL调节器周围成功实现散热管理，就需要选择正确的调节器，而这又要求进行仔细的研究。本文将展示如何通过选择正确的调节器简化电路板设计师的工作。

切勿仅凭功率密度来判断POL调节器

市场上有多种因素要求我们完善电子设备的散热性能。最为明显的是，即使产品尺寸不断缩小，性能也会持续提升。例如，28 nm至20 nm和亚20 nm级的数字器件需要较大功耗才能达到性能要求，因为创新设备设计师要用这些小型工艺生产更快、更小、更安静、更高效的器件。从这一趋势可以得出的明显结论是POL调节器必须提高功率密度：(功率)/(体积)或(功率)/(面积)。

不足为奇的是，在有关调节器的文献中，功率密度一般被当作一项重要指标。较大的功率密度可使调节器脱颖而出——当设计师从众多调节器中进行选择时可以作为参考指标。40 W/cm^2 POL的调节器必然优于30 W/cm^{2}的调节器。

产品设计师想把更高的功率塞进更紧凑的空间中——乍一看，超高的功率密度数值似乎是实现最快、最小、最安静、最高效的产品的最佳途径，就如用马力比较汽车性能一样。但是，功率密度在实现成功的最终设计方面到底有多重要？可能不如你想像的重要。

POL调节器必须符合其应用的要求。选择POL调节器时，必须确保其具备在PCB上完成任务的能力，因为热量处理既可能成就应用，也可能毁掉应用。以下是针对POL调节器的逐步选择流程建议，其中突出了热性能的重要性：

忽略功率密度数值：

功率密度指标忽略了热衰减问题，但该问题对真实有效功率密度的影响要大得多。

检查调节器的热衰减曲线：

配有完整文档并且技术指标齐全的POL调节器应该配有对应的图形，其中标示了不同输入电压、输出电压和气流风速下的输出电流。数据手册应该展示POL调节器在真实工作条件下的输出电流能力，以便从热性能和负载电流性能的角度判断调节器的适用性。是否符合系统的典型和最大环境温度和气流风速要求？记住，输出电流热衰减与器件的热性能相关。二者密切相关，同等重要。

效率考虑：

是的，效率不是第一考虑因素。独立使用时，效率结果可能无法准确体现DC-DC调节器的热特性。当然，效率值对于计算输入电流和负载电流、输入功耗、功率损耗和结温是必不可少的。效率值必须与输出电流衰减和与器件及其封装相关的其他热数据结合使用。

例如，效率为98%的DC-DC降压转换器是非常不错的；如果它的功率密度值也非常出色，无异于锦上添花。与效率更低、功率密度更低的调节器相比，你会买它吗？精明的工程师应该问问看似不重要的2%效率损失有什么影响。在运行过程中，这些功耗会对封装温度的升高产生什么样的影响？在60°C环境温度以及200 LFM(线性英尺/分)的风速下，高功率密度型高效调节器的结温有多高？不要只看25°C室温下的典型值。极温下的最大值和最小值是多少：–40°C、+85°C或+125°C？高功率密度下，封装热阻会升高到非常高的水平使结温快速超过安全工作温度吗？效率很高但价格昂贵的调节器要求多少衰减？衰减输出电流值会不会削弱输出功率性能，从而使器件的额外成本失去意义？

考虑POL调节器冷却的便利性：

数据手册中的封装热阻值是模拟和计算器件结温、环境温度和外壳温度的关键。由于表贴式封装中会有大量热量从封装底部流到PCB电路板，所以，必须在数据手册中标明有关热量测量的布局指引和讨论结果，以减少系统原型开发过程出现的突发情况。

设计精良的封装应该通过表面高效、均匀地散热，从而消除可能导致POL调节器性能出现衰减的热点。如上所述，PCB负责吸收和路由来自表贴式POL调节器的大部分热量。随着强制气流散热方式在当今的高密度和高复杂度的系统中日渐流行，设计精良的POL调节器也应该利用这一免费的冷却机会，为MOSFET、电感等发热部件散热。

把热量从封装顶部引至空气中

高功率开关POL调节器用电感或变压器把输入电源电压转换成稳压输出电压。在非隔离式降压POL调节器中，器件采用电感。电感和相关开关元件(如MOSFET)在DC-DC转换过程中会产生热量。

大约十年前，封装技术取得显著进步，使得包括磁体在内的整个DC-DC调节器电路均可被设计和安装在称为模块或SiP的超模压塑封装中。在该超模压塑封装中，产生的大部分热量都被通过封装底部路由至PCB。试图改善封装散热能力的任何常规做法(比如在表贴封装顶部加装一个散热器)都会增大封装尺寸。

几年前，一种新型模块封装技术被开发出来，利用气流辅助冷却。在该封装设计中，一个散热器被集成到模块封装当中并经嵌件注塑处理。在封装内部，散热器底部直接连接MOSFET和电感，散热器的顶面则是一个平面，裸露在封装顶部。借助这种新型封装内散热技术，用气流即可使器件快速冷却下来(有关示例，请点击此处，观看LTM4620 TechClip视频)。

采用垂直模式：以堆叠式电感作为散热器的POL模块调节器

POL调节器中的电感的大小取决于电压、开关频率、电流处理性能及其结构。在模块化设计中，DC-DC电路(包括电感)被超模压塑并密封在塑料封装中，与IC类似；电感而非任何其他组件决定封装的厚度、体积和重量。电感也是一个重要的热源。

把散热器集成到封装中有助于将来自MOSFET和电感的热量传导至封装顶部，从而散发到空气、冷板或无源散热器中。在可以轻松将较小的低电流电感装进封装塑料模具材料的情况下，这种技术非常有效；但在POL调节器需要采用大型高电流电感的情况下，由于要把磁体装进封装就必须扩大其他电路组件的间距，会大幅增大封装PCB占位面积，所以其有效性会大打折扣。为了既保持较小的占位面积又改进散热性能，封装工程师开发了另一种技术——垂直、堆栈或称3D(图1)。

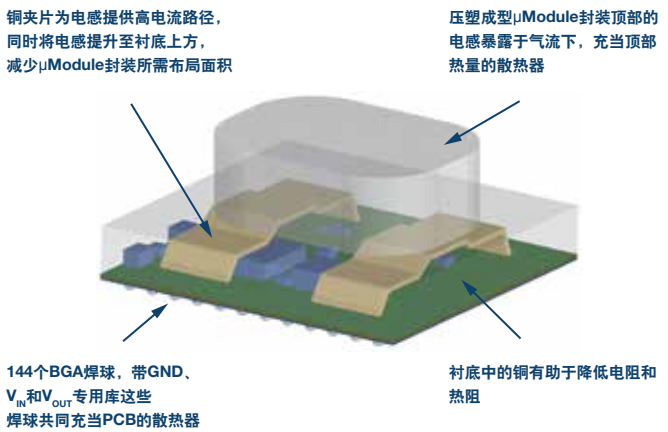


图1. 高功率POL调节器模块运用3D(垂直)封装技术升高电感位置并使电感作为散热器暴露在气流下。剩下的DC-DC电路装配在电感下方的衬底上，既能减少需要的PCB面积，又能改善热性能。

采用裸露堆叠式电感的3D封装：保持较小的占位面积，提高功率，完善散热

较小的PCB占位面积、更高的功率和更好的散热性能——有了3D封装(一种新型POL调节器构造方法，见图1)，可以同时实现这三个目标。LTM4636是一款µModule®调节器，板载DC-DC调节器IC、MOSFET、支持电路和一个大型电感，可减少输出纹波，提供最高40 A的负载电流，输入电压为12 V，精密调节输出电压范围为0.6 V至3.3 V。4个LTM4636器件并联可以通过电流共享方式提供160 A的负载电流。封装的占位面积仅为16 mm × 16 mm。该系列另有一款调节器LTM4636-1，可以检测过温和输入/输出过压条件，并且能断开上行电源或断路器以保护自己及其负载。

功率至上者可以计算LTM4636的功率密度，并对计算得到的数值感到满意——但如前所述，功率密度数值并非全部。这款µModule调节器还能给系统设计师的工具箱带来其他显著优势：卓越的DC-DC转换效率和无与伦比的散热能力成就出色的散热性能。

为了尽量减小调节器的占位面积(16 mm × 16 mm BGA)，将电感抬高并固定在两个铜引线框架上，以便把其他电路组件(二极管、电阻、MOSFET、电容、DC-DC IC)装在其下方的衬底上。如果将电感装在衬底上，µModule调节器可以轻松占用超过1225 mm²而非256 mm²的PCB面积(图2)。

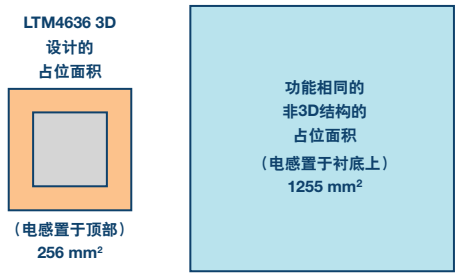


图2. 作为一款完整的POL解决方案，LTM4636堆叠式电感兼任散热器之职，可实现卓越的散热性能，具有占位面积小巧的特点。

借助堆叠式电感结构，系统设计师既可打造出紧凑的POL调节器，同时还可享有卓越的散热性能。与其他组件不同，LTM4636中的堆叠式电感未采用超模压塑(密封)封装，而是直接暴露在气流下。电感外壳的形状采用圆角设计，以提高空气动态性能(减少对气流的阻碍)。

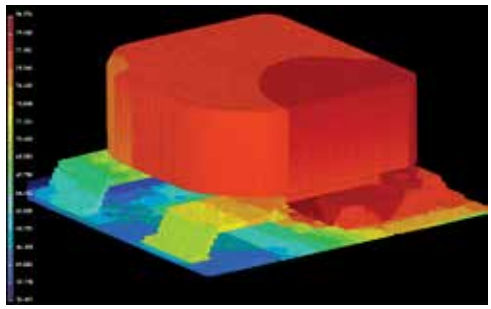


图3. LTM4636的模拟散热行为显示，热量可以被轻松转移到暴露在气流下的电感封装上。

散热性能和效率

LTM4636是一款支持40 A输出电流的µModule调节器，采用3D封装技术或组件封装(CoP)技术，如图1所示。封装主体是16 mm × 16 mm × 1.91 mm超模BGA封装。LTM4636的电感堆叠于超模成型部分的顶部，从BGA焊球(共144个)底部到电感顶部的封装总高度为7.16 mm。

除了从顶部散热以外，LTM4636还采用了专门设计，可以高效地把来自封装底部的热量散发到PCB。这款器件有144个BGA焊球，高电流在GND、V_{IN}和V_{OUT}专用库中流动。这些焊球共同充当PCB的散热器。LTM4636经过优化，可以同时散发来自封装顶部和底部的热量，如图3所示。

即使在较大转换比、12 V输入/1 V输出、40 A (40 W)的全负载电流和200 LFM的标准气流条件下，LTM4636封装的温度也只会比环境温度(25°C至26.5°C)高40°C。图4所示为LTM4636在这些条件下的热图。

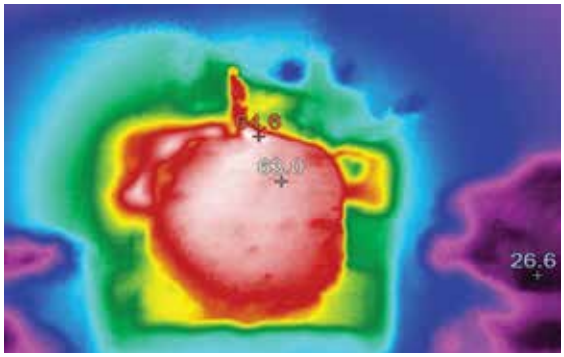


图4. 调节器在40 W下的热性能结果表明，温度只会提高40°C。

图5所示为输出电流热衰减结果。在200 LFM下，LTM4636的性能非常出色，可输出40 A的全电流，环境温度最高为83°C。20 A半电流衰减只会出现在环境温度达到110°C时。这样，只要有气流，LTM4636都能在高容量下运行。

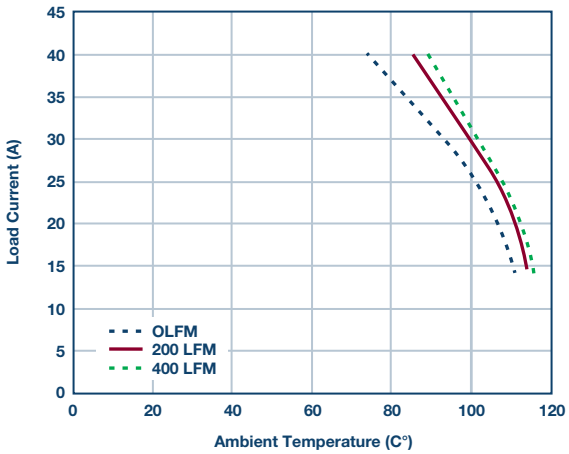


图5. 热衰减表明在83°C最高环境温度、200 LFM下，全电流可达40 A。

图6所示高转换效率主要归功于高性能MOSFET和LTM4636超强的性能。例如，12 V输入电源降压DC-DC转换器可以实现：

- 95%，12 V输入电压转换为3.3 V，25 A
- 93%，12 V输入电压转换为1.8 V，40 A
- 88%，12 V输入电压转换为1 V，40 A

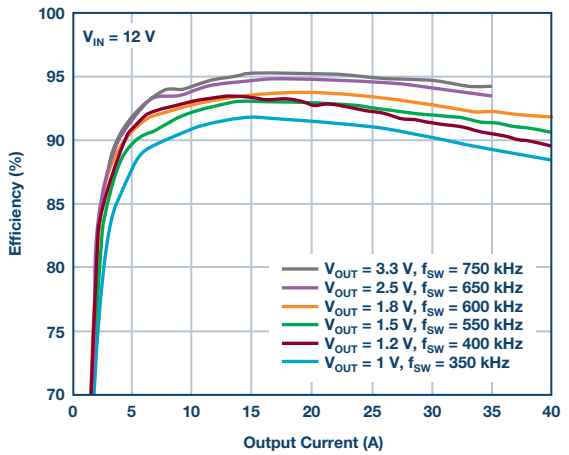


图6. 多种输出电压下的高DC-DC转换效率。

带热平衡的140 W可扩展式4 A × 40 A µModule POL调节器

一个LTM4636的额定输出负载电流为40 A。在电流共享模式(或并联)下，2个LTM4636可以支持80 A，4个可以支持160 A。通过并联LTM4636的方式提高电源电流非常简单；只需复制和粘贴单个调节器的占位面积即可，如图7所示(提供符合和占位面积)。

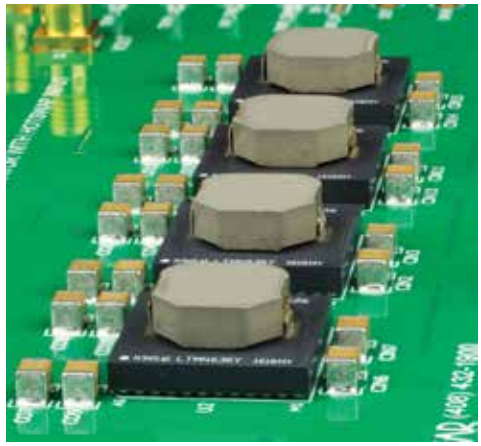


图7. 并联LTM4636设计起来非常简单。只需复制一个通道的布局即可。

借助LTM4636的电流模式结构，可以在多个40 A模块之间实现精确电流共享。在精密电流共享模式下，电流会把热量均匀地分布在各个器件上。图8所示160 A调节器有4个µModule模块。在满足这些指标下，所有器件的工作温度都能相互平衡，确保任何单个器件都会过载或过热。这就极大地简化了散热机制的设计。

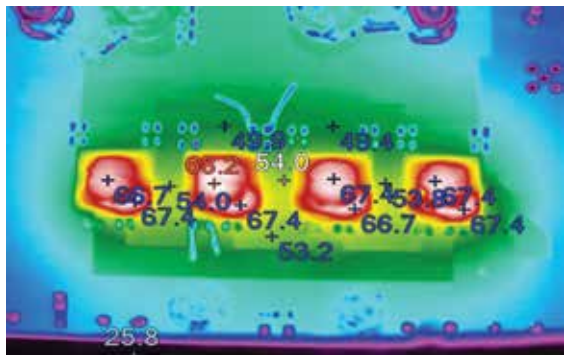


图8. 并行运行的4个LTM4636之间的精确电流共享，在160 A应用中，温度仅升高40°C。

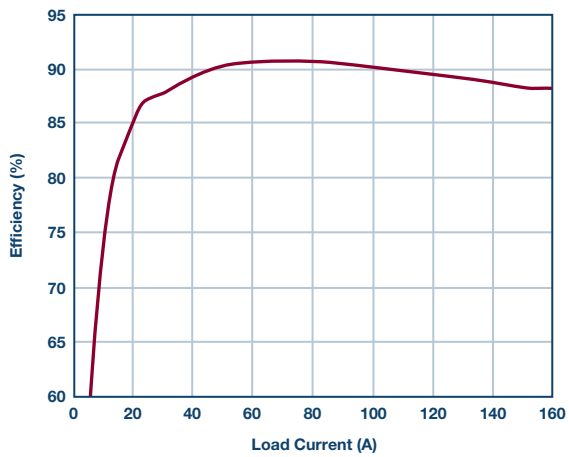


图9. 带4个µModule模块的140 W调节器的效率。

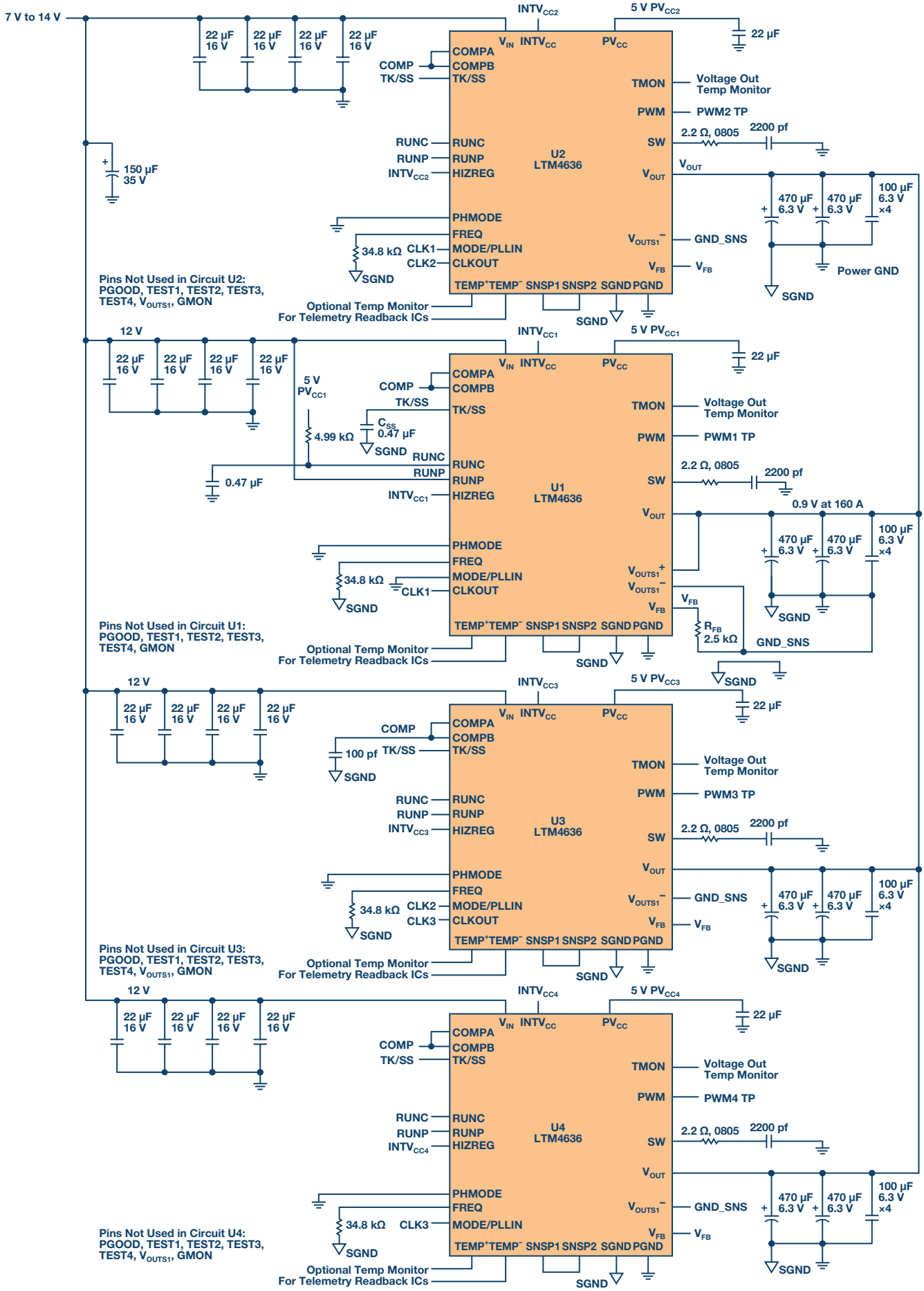


图10. 这款140 W的调节器搭载4个并行运行的LTM4636，采用精精确电流共享模式，在160 A应用中，12 V输入电压转换为0.9 V输出电压的效率非常出色。

图10所示为完整的160 A设计。注意，LTM4636无需时钟器件即可相互反相工作——包括时钟和相位控制。多相工作模式下可以减少输出和输入纹波电流，从而减少所需输入和输出电容的数量。在图10中，4个LTM4636相互反相90°。

结论

为密集型系统选择POL调节器，仅仅检查器件的额定电压和额定电流是不够的。必须评估器件封装的热特性，因为此项指标决定着冷却成本、PCB的成本以及最终产品的尺寸。使用3D(也称为堆叠、垂直技术)CoP封装，可以将高功率POL模块调节器放在较小的PCB空间中，但更重要的是，可以实现效率冷却。LTM4636是从这种堆叠式封装技术受益的第一个µModule调节器系列。作为一款以堆叠式电感作为散热器的40 A POL µModule调节器，其效率高达95%至88%，全负载下温度最多升高40°C，PCB占用面积只有16 mm × 16 mm。请前往linear.com/LTM4636观看有关LTM4636的视频。

Afshin Odabaee [afshin.odabaee@analog.com]是µModule功率产品与DC-DC控制器IC部门的业务开发总监。他于1994年获得美国加州圣塔克拉拉大学电气工程学士学位，研究重点为模拟器件。他已在ADI公司工作21年，从事过的工作涉及运算放大器、基准电压源和DC-DC调节器，后来受命负责发起和支持µModule功率产品开发项目。



Afshin Odabaee

为应用选择最合适的MEMS加速度计—第二部分

作者：**Chris Murphy**

分享至

简介

为应用选择最合适的加速度计可能并不容易，因为来自不同制造商的数据手册可能大相径庭，让人难以确定最为重要的技术指标是什么。在本文第二部分，我们将从可穿戴设备、状态监控和物联网应用的角度重点讨论各项关键技术指标和特性。

可穿戴设备

关键指标：低功耗、小尺寸、旨在增强节能性能的集成特性以及可用性。

用于电池供电型可穿戴应用的加速度计的关键指标是超低功耗(通常为μA级)，以确保尽量延长电池寿命。其他关键指标是尺寸和集成的特性，比如备用ADC通道和深度FIFO，其作用是增进终端应用的电源管理和功能性。由于这些原因，可穿戴应用中通常采用MEMS加速度计。表1所示为部分生命体征监测(VSM)应用及其在具体应用中的对应设置。用于可穿戴应用的加速度计通常可以对运动分类；检测自由落体；测量运动是否存在以确定是使系统上电、关断还是休眠；辅助实现数据融合，供ECG和其他VSM测量使用。同样的加速度计也用在无线传感器网络和物联网应用中，因为它们具有超低功耗的特性。

在为超低功耗应用选择加速度计时，必须在数据手册中标称的功耗水平下观察传感器的功能。要观察的一项关键指标是带宽和采样速率是否会降至无法测量可用加速度数据的水平。有些竞争产品通过每秒关断并唤醒的方式达到维持低功耗的目的，但这样做会错过关键的加速度数据，因为有效采样速率下降了。为了测量实时人体运动的范围，需要大幅提高功耗。ADXL362和ADXL363不会通过欠采样混叠输入信号；它们采用全数据速率对传感器的整个带宽进行采样。功耗随采样速率动态变化，如图1所示。需要注意的是，这些器件可在功耗仅为3 μA的状态下，以最高400 Hz的速率进行采样。在可穿戴设备中，这些较高的数据速率可实现额外的功能，如单击/双击检测。采样速率可降至6 Hz，以便在被拾起时或者检测到运动时设备能启动，此时的平均功耗为270 nA。这也使ADXL362和ADXL363非常适合植入式应用，因为在这种应用中电池更换非常困难。

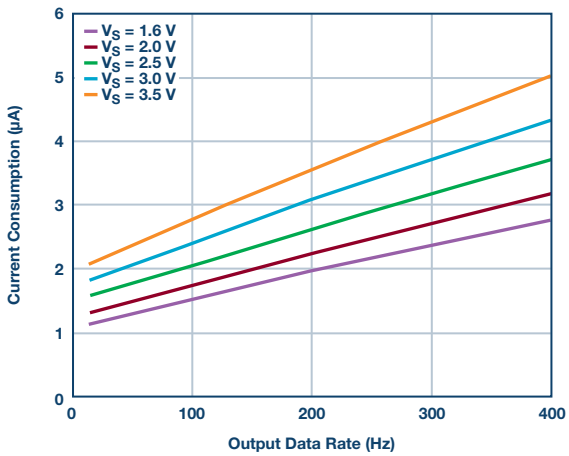


图1. ADXL362电源电流与输出数据速率的关系。

表1. VSM可穿戴应用的运动检测要求

	计步器	跌落	光学心率	单击(SW)	休睡	运动开关	ECG	ADXL362/ ADXL363
*g*设置	2 *g*	8 *g*	4 *g*或 8 *g*	8 *g*	2 *g*	2 *g*	4 *g*至 8 *g*	2 *g*至 8 *g*
ODR (Hz)	100	400	<50	400	12.5	6	<100	400
功耗	1.8 μA	3 μA		3 μA	1.5 μA	0.3 μA		10 nA 至 3 μA
FIFO(样本集或时间)	150	越深越好	1秒	越深越好	20	否	1秒	512秒或13秒
ADC	否	否	是	否	否	否	是	否/是
噪声($mg/\sqrt{Hz}$)	<1	<1	<1	<1	<1	<1	<1	175 μ*g*至 500 μ*g*
数据采集	24/7	24/7	随机	24/7	检测到运动时		练习过程中连续	全部
必要特性	RSS、8位	触发模式FIFO		触发模式FIFO	低噪声	MCU关		全部(RSS除外)

在部分应用中，加速度计每秒只需轮询一次或几次加速度即可。对于此类应用，ADXL362和ADXL363提供了一种唤醒模式，功耗仅为270 nA。ADXL363集成了一个三轴MEMS加速度计、一个温度传感器(典型比例因子为0.065°C)和一个板载ADC输入(用于同步转换外部信号)，采用小尺寸、薄型(3 mm x 3.25 mm x 1.06 mm)封装。加速度和温度数据可存储在512样本多模FIFO缓冲器中，允许保存的数据时长高达13秒。

ADI公司开发了一款仅供演示使用的VSM手表(如图2所示)，旨在展示ADXL362等超低功耗器件在电池供电和空间受限应用中的潜力。

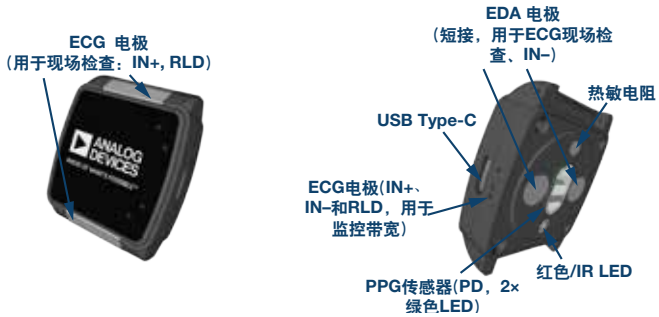


图2. VSM手表(集成多款ADI器件，旨在凸显超低功耗、小尺寸轻型产品)。

ADXL362用于追踪运动和记录运动，帮助从其他测量结果中消除干扰伪像。

状态监控(CBM)

关键指标：低噪声、宽带宽、信号处理、*g*范围和低功耗。

CBM需要监控多项参数，比如机器振动，其目的是发现和指示可能发生的故障。CBM是预防性维护的一个重要组成部分，其技术通常用于驱动涡轮机、风扇、泵、电机等机械。CBM加速度计的关键指标是低噪声和宽带宽。在撰写本文之时，提供3.3 kHz以上带宽的MEMS加速度计的竞争公司非常少，有些专业制造商提供的最高带宽为7 kHz。

随着工业物联网的发展，业界越来越重视减少布线和利用无线、超低功耗技术。这使得MEMS加速度计在尺寸、重量、功耗等方面领先于压电加速度计，并且有可能实现集成智能特性。CBM中最常用的传感器是压电加速度计，因为这类传感器具有良好的线性度、SNR、高温工作性能和宽带宽(典型范围为3 Hz至30 kHz，有些情况下可能高达数百kHz)。然而，压电加速度计在DC范围下的性能欠佳(如图3所示)，因此在较低频率至DC范围内可能会出现大量故障，尤其是在风力涡轮机和类似的低RPM应用中。压电传感器的机械性质使其难以像MEMS一样实现大批量生产，并且成本更高，在接口和电源方面的灵活性也比较低。

MEMS电容式加速度计具有更高的集成度，功能也更为丰富，支持自检、峰值加速、频谱报警、FFT和数据存储，抗冲击性能高达10000 *g*，具有直流响应能力，并且尺寸更小、重量更轻。ADXL354/ADXL355和ADXL356/ADXL357具有超低的噪声和出色的温度稳定性，非常适合状态监控应用，但其带宽限制使其无法进行更加深入的诊断分析。然而，即便带宽范围有限，这些加速度计也能提供重要的测量值；例如，在设备转速超低的风力涡轮机状态监控中。这种情况下，需要低至直流的响应。

ADXL100x系列单轴加速度计针对工业状态监控应用而优化，测量带宽高达50 kHz，*g*值范围高达±100 *g*，并且拥有超低的噪声性能——因而在性能方面可与压电加速度计不相上下。

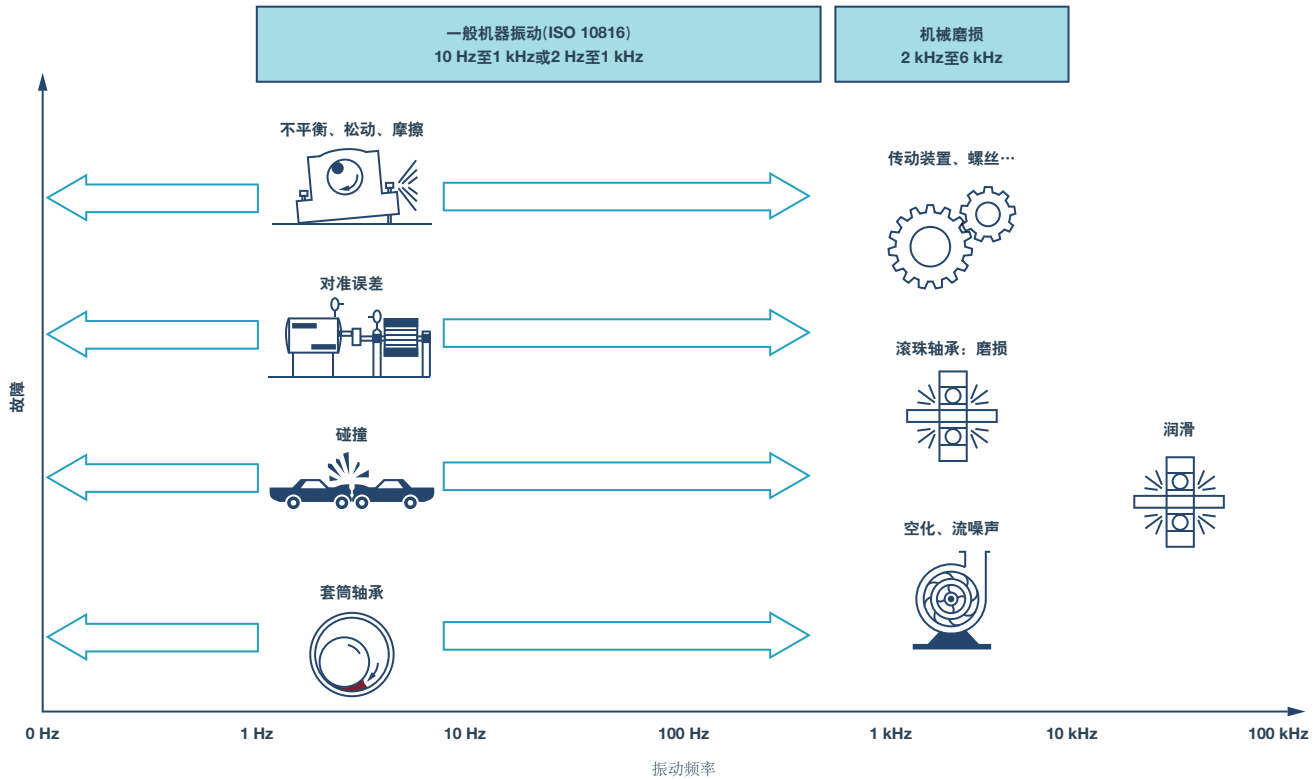


图3. 转动设备故障振动伪像。

有关ADI MEMS电容式加速度计与压电加速度计的详细讨论请参阅以下文章：MEMS加速度计性能已臻成熟。

ADXL1001/ADXL1002的频率响应如图4所示。旋转机械中发生的主要故障(如套筒轴承损坏、对准误差、不平衡、摩擦、松动、传动装置故障、轴承磨损和空化)都在ADXL100x系列状态监控加速度计的测量范围以内。

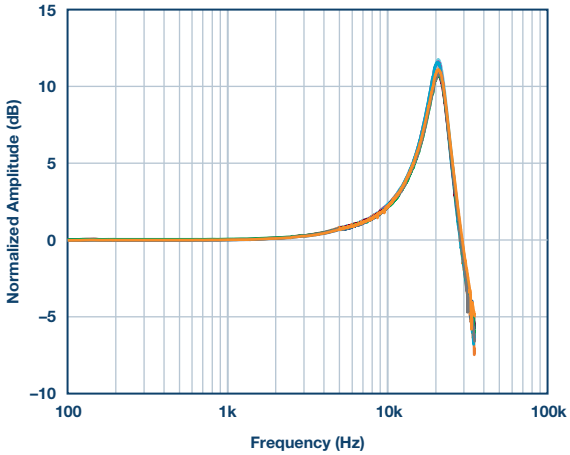


图4. ADXL1001/ADXL1002的频率响应、高频(>5 kHz)振动响应；激光振动计控制器以ADXL1002封装为基准以提高准确性。

压电加速度计通常不集成智能特性，而MEMS电容式加速度计(如ADXL100x系列)则集成了超量程检测电路，当发生超过指定*g*值范围约2倍的严重超量程事件时，该电路可报警。在智能测量和监控系统的开发中，这项功能非常关键。ADXL100x运用某种内部时钟智能禁用机制来在持续发生超量程事件时保护传感器元件，比如，电机发生故障时就会出现情况。这种方式可以减轻主机处理器的负担，并能增加一个传感器节点的智能化程度——这两项都是状态监控和工业物联网解决方案的关键指标。

MEMS电容式加速度计在性能上已经取得巨大飞跃，因此，新的ADXL100x系列已经开始强力竞争并夺得以前由压电传感器主导的阵地。ADXL35x系列具有行业最佳的超低噪声性能，还能取代CBM应用中的传感器。新型CBM解决方案和模式已经开始与物联网架构相融合，形成更好的检测、连接及存储与分析系统。ADI公司的最新加速度计将为边缘节点带来更加智能的监控，帮助工厂管理方实现完全集成的振动监控和分析系统。

对这些MEMS加速度计形成进一步补充的是第一代CBM子系统，即ADIS16227及ADIS16228半自主型全集成式宽带宽振动分析系统(如图5所示)；这两款产品具有众多特性，比如六频段可编程报警、2级报警和故障定义设置、旨在减少误报的可调响应延迟、带状态标志的内部自检等。频域处理包括针对各轴的512点、实数值FFT和FFT均值功能，后一功能可降低本底噪声变化，从而提高分辨率。ADIS16227和ADIS16228全集成式振动分析系统可以缩短设计时间，降低成本，降低处理器要求，减少空间限制，使其成为CBM应用的理想选择。

物联网/无线传感器网络

关键指标：功耗、支持智能节能和测量的集成特性、小尺寸、深度FIFO和合适的带宽。

整个行业对物联网的前景都心知肚明。为了实现这种前景，将来几年需要部署数百万计的传感器。绝大多数这些传感器都会被安装在操作不便或空间受限的位置(如屋顶、街灯顶部、塔桅、桥梁、重型机械内等)，以实现智能城市、智能农业、智能楼宇等概念。由于存在诸如此类限制，很可能一大部分这些传感器需要采用无线通信和电池供电方式，也可能需要某种形式的能量采集方式。

物联网应用的趋势是尽量减少以无线方式传输至云端或本地服务器进行存储和分析的数据，因为现有方法需要很高的带宽并且成本较高。通过在传感器节点进行智能处理，可以把无用数据与有用数据区分开，减少传输大量数据的必要性，从而降低带宽和成本要求。这就要求传感器具备智能特性，同时还要维持超低的功耗水平。标准物联网信号链如图6所示。在网关以外，ADI公司可为各个模块提供解决方案。请注意，并非所有解决方案都需要无线连接，对于众多应用来说，有线解决方案仍有必要，无论是RS-485接口，4 mA至20 mA，还是工业以太网等。

使节点具备一定的智能之后，就可以通过信号链只传输有用的数据——节省电能和带宽。在CBM中，在传感器节点局部完成的处理量取决于多个因素，如机器的成本和复杂性与状态监控系统的成本。传输的数据从简单的超范围报警到数据流不尽相同。ISO 10816等标准规定了相应的报警条件，当给定尺寸的机器以特定RPM转速运行时，如果振动速度超过预设阈值，机器就会输出报警信号。ISO 10816的目的是优化被测系统及其滚动轴承的有效寿命，因此需要减少传输的数据量，从而为在WSN架构中的部署提供更好的支持。

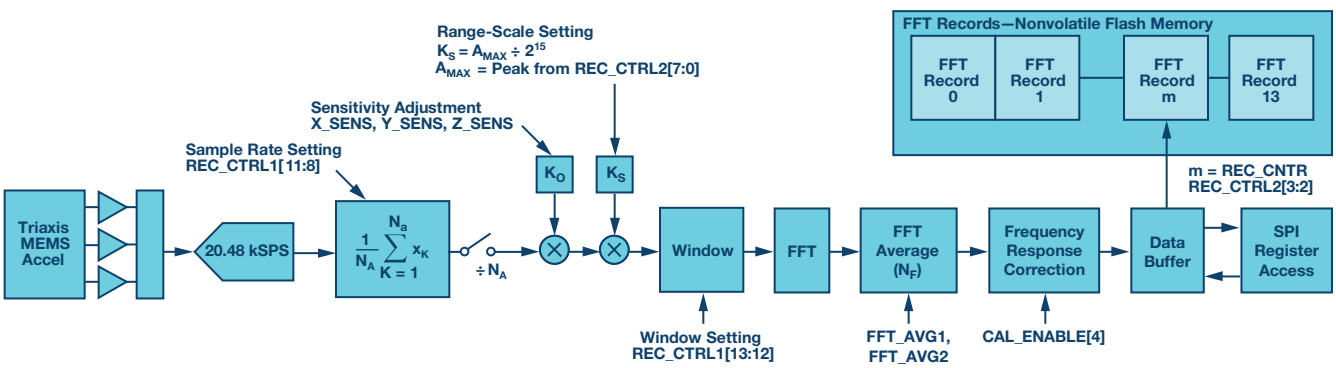


图5. 数字三轴振动传感器，集成FFT分析和存储系统。.

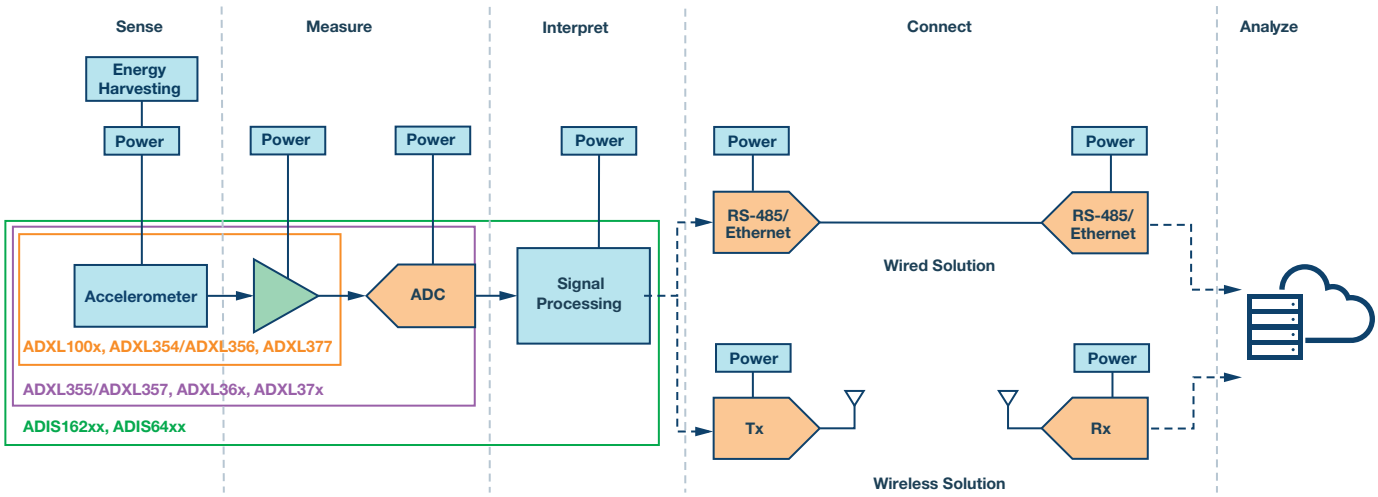


图6. ADI公司的边缘传感器节点解决方案。

对于用在ISO 10816应用中的加速度计，要求其*g*值范围为50 *g*或以下并在低频下保持低噪声，因为系统会周期性地把加速度数据整合起来，以形成以mm/sec rms为单位的单一速度点。当整合含有低频噪声的加速度计数据时，速度输出中的误差可能会线性增大。ISO标准规定的测量范围为1 Hz至1 kHz，但用户都希望整合低至0.1 Hz的数据。传统上，在电荷耦合压电加速度计中，这受到了低频高噪声水平的限制，但ADI下一代加速度计能使本底噪声最低保持在直流水平，只受信号调理电子器件1/f的噪声转折频率的限制，通过细心的设计可使该值降至0.01 Hz。MEMS加速度计既可以用在面向低成本设备的经济型CBM应用中，也可以整合到嵌入式解决方案之中，因为与压电传感器相比，它们的尺寸更小、成本更低。

ADI公司广泛的加速度计产品是要求超低功耗的智能传感器节点的理想选择，其中集成多种特性，有助于延长电池寿命、减少带宽用量并因此降低成本。物联网传感器节点的部分关键指标有低功耗(ADXL362、ADXL363)和丰富的特性集合，以实现能量管理和特定数据检测，如过阈值活动、谱线轮廓报警、峰值加速值和超长活动或非活动(ADXL372、ADXL375)。

在把加速数据存储在FIFO中并检查是否存在活动事件时，所有这些加速度计都能使整个系统处于关断状态。发生冲击事件时，事件发生前收集的数据被冻结在FIFO中。如果没有FIFO，如果要在事件发生之前捕捉样本，就要求处理器连续采样并处理加速信号，结果会大幅缩短电池寿命。ADXL362和ADXL363 FIFO可以存储超过13秒的数据，因而能清楚展示活动触发之前发生的事件。不使用功率占空比，而是在所有数据速率下均采用全带宽架构，由此防止输入信号混叠，从而维持超低功耗。

资产状况监控

关键指标：功耗、支持智能节能和测量的集成特性、小尺寸、深度FIFO和合适的带宽。

资产状况监控(AHM)一般指在一定时间内对高价值资产进行监控，无论是在静止状态或还是在运输途中。这些资产可能是船运集装箱里的货物、远程管道、平民、战士、高密度电池等，此类资产容易受到撞击或冲击事件的影响。对于可能影响资产功能性或安全性的此类事件，物联网提供了一种理想的报告基础设施。对于AHM中使用的传感器，关键指标是能测量与资产相关的高*g*冲击及冲击事件并同时保持超低功耗。当把这类传感器嵌入电池供电或便携式应用中时，要考虑的其他关键传感器指标包括尺寸、过采样和旨在精确处理高频成分的抗混叠特性，还有各种智能特性，以通过增加主机处理器休眠时间并允许用中断驱动算法检测和捕获冲击特性延长电池寿命。

ADXL372微功耗型±200 *g* MEMS加速度计可满足新兴资产状况监控市场对智能物联网边缘节点的需求。该器件含有专门针对资产状况监控市场开发的多项独有特性，可简化系统设计，并在系统层次实现节能目的。高*g*事件(如冲击或撞击)通常与较宽频率下的加速度成分密切相关。要准确捕获这些事件，需要宽带宽，因为在带宽不足的条件下进行测量会显著降低记录事件的幅度，导致错误。在数据手册中这是要特别注意的一项关键参数。有些器件达不到奈奎斯特采样速率标准的要求。ADXL375和ADXL372提供捕获整个冲击特性的选项，可用于进一步分析而无需主机处理器干预。使用冲击中断寄存器并结合加速度计的内部FIFO，可实现该功能。如图7所示，为了在触发事件之前确定冲击特性，有充足FIFO非常重要。如果FIFO不足，就无法记录和维持冲击事件以供进一步分析。

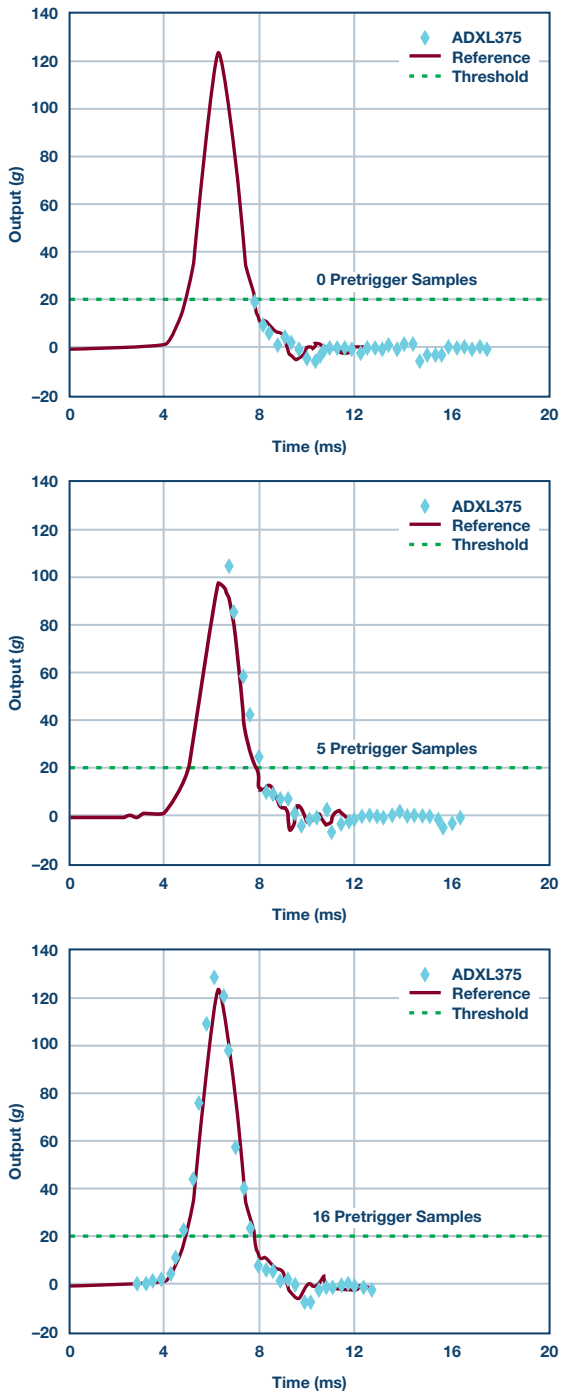


图7. 准确捕获冲击特性。

ADXL372的工作带宽可在超低功耗水平下达到3200 Hz。陡峭的滤波器滚降也有利于有效抑制带外成分，为此，ADXL372集成了一个四极低通抗混叠滤波器。如果没有抗混叠滤波，凡是频率超过输出数据速率一半的输入信号都会混叠进目标测量带宽，导致测量误差。该四极低通滤波器提供用户可选滤波器带宽，因而可为用户应用带来极大的灵活性。

借助即时导通冲击检测特性，用户可以对ADXL372进行配置，使其能在超低功耗模式下捕获高于特定阈值的冲击事件。如图8所示，在发生冲击事件之后，加速度计会进入全测量模式，以便准确地捕获冲击特性。

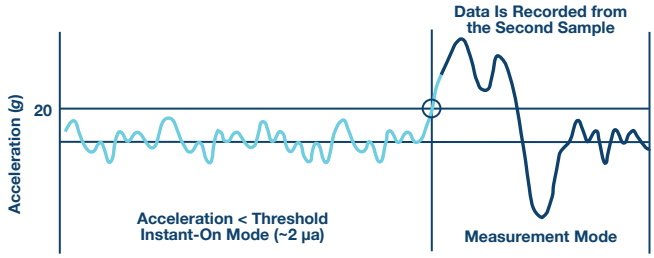


图8. 默认阈值下的即时导通模式。

有些应用要求只记录来自冲击事件的峰值加速样本，因为此类样本本身就能提供充足的信息。ADXL372 FIFO可以为每个轴存储峰值加速样本。FIFO中可以存储的最长时长为1.28秒(400 Hz ODR条件下，512个单轴样本)。3200 Hz ODR条件下的170个3轴样本相当于一个50 ms的时间窗口，足以捕获到典型的冲击波形。对于不要求完整事件特性的应用，通过只存储峰值加速信息，可以大幅增加FIFO读取操作之间的时间，从而实现进一步节能。512个FIFO样本可以通过多种方式分配，包括下列方式：

- 并行3轴数据的170个样本集
- 并行2轴数据的256个样本集(用户可选)
- 单轴数据的512个样本集
- 170个冲击事件峰值集(x, y, z)

适当使用FIFO，使主机处理器能在加速度计自主收集数据时长时间保持休眠，可以降低系统级功耗。或者，使用FIFO收集数据可以减轻主机处理器的负荷，使它能处理其他任务。

市场上还有其他几款具有类似高*g*性能的加速度计，但它们不适合AHM/SHM物联网边缘节点应用，因为它们的带宽较窄，功耗较高。在提供低功耗模式的情况下，无法进行准确测量的一般都是低带宽。ADXL372真正实现了即用即忘的AHM/SHM实施模式，促使最终客户在可行的情况下重新考虑潜在资产类别。

结论

ADI公司提供面向多种应用的广泛加速度计产品，其中有些产品未在本文中重点讨论，比如航位推算、AHRS、惯性测量、汽车稳定和安全、医疗对准等。我们的新一代MEMS电容式加速度计非常适合要求低噪声、低功耗、高稳定性和温度稳定性的应用；具有低补偿的特性，并且集成众多智能特性，可提升系统整体性能并降低设计复杂度。ADI公司提供所有相关数据手册信息，旨在帮助您为您的应用选择最合适的器件。以上列出的所有器件以及其他器件均可供评估和原型制作使用。更多信息，请访问：analog.com/cn/MEMS。

参考文献

Broeders, Jan-Hein. “从可穿戴设备过渡到医疗设备，”ADI公司，2017年。

Scannel, Bob. “嵌入式智能和通信可实现可靠且连续的振动监控，”ADI公司，2015年。

Spence, Ed. “关于状态监控的MEMS加速度计您需要知道哪些，”ADI公司，2016年。

Chris Murphy [chris.murphy@analog.com]是欧洲中央应用中心的应用工程师，工作地点在爱尔兰都柏林。他于2012年加入ADI公司，为电机控制和工业自动化产品提供设计支持。他拥有电气工程研究硕士学位和计算机工程学士学位。



Chris Murphy

该作者的其他文章：

为应用选择最合适的MEMS加速度计——第一部分

第51卷，第4期

引脚兼容的高输入阻抗ADC系列简化驱动并拓宽ADC驱动器选择范围

作者：**Maithil Pachchigar**

分享至

简介

自动测试设备、机器自动化、工业和医疗仪器仪表等应用需要精密数据采集系统，以便准确分析并数字化物理或模拟信息。系统设计师为了实现高分辨率精密逐次逼近型(SAR) ADC数据手册中列示的最高性能，常常不得不使用专用高功率、高速放大器来驱动其精密应用中的传统型开关电容SAR ADC输入。这是设计精密数据采集信号链时遇到的常见难点，本文介绍的引脚兼容AD4000 ADC系列可解决此问题。该系列16/18/20位精密SAR ADC采用ADI公司高级技术和先进架构设计而成，集成了多种简单易用的特性，提供很多系统级优势，有助于降低信号链功耗和复杂性，提高通道密度，而性能并无明显下降。高阻态模式、低输入电流和长采集阶段的独特结合，降低了ADC驱动挑战难度和对ADC驱动器的建立要求。因此，驱动ADC的放大器选择可以拓宽到较低功率/带宽的精密放大器，包括直流或低频(<10 kHz)应用所用的JFET和仪表放大器。本文是*模拟对话*[1]之前发表的文章的后续改写版本，将介绍各种具有较低RC滤波器截止频率的精密放大器，它们能直接驱动该ADC，同时实现最优性能，而且无需专用ADC驱动器级，大幅减少系统功耗、电路板面积和BOM成本。

驱动传统SAR ADC输入

图1显示了构建精密数据采集系统时使用的典型信号链。受开关电容输入结构影响，高分辨率精密SAR ADC的驱动一直是系统设计人员的主要痛点和棘手问题。

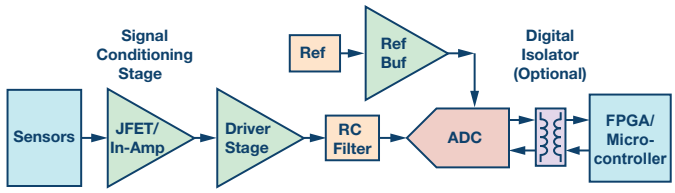


图1. 典型的精密数据采集信号链。

系统设计师需要密切关注ADC驱动器数据手册，了解噪声、失真、输入/输出电压上裕量/下裕量、带宽和建立时间等技术规格。一般地，采用的高速ADC驱动器需要具备宽带宽、低噪声和高功率等特征，以便在可用采集时间内建立SAR ADC输入的开关电容反冲。这项要求会大幅减少可用于驱动ADC的放大器选择，不得不在性能/功率/面积方面进行大幅妥协。另外，选择一款合适的RC滤波器置于驱动器与ADC输入之间，这项要求又对放大器选择和性能构成了进一步的限制。ADC驱动器输出与SAR ADC输入之间需要用RC滤波器来限制宽带噪声，减少电荷反冲的影响。一般情况下，系统设计师需要花费大量时间去评估信号链，确保所选ADC驱动器和RC滤波器能切实驱动ADC，以实现所需性能。

如图2中的时序图所示，SAR ADC吞吐速率(1/周期时间)包括转换和采集两个阶段，ADC产生的数据可利用串行SPI接口在采集阶段输出。在传统SAR架构中，转换阶段通常较长而采集阶段较短。在转换阶段，ADC电容DAC与ADC输入断开，以执行SAR转换。输入在采集阶段重新连接，ADC驱动器必须在下一个转换阶段开始之前将非线性输入反冲建立至正确的电压。由于较低截止频率的RC滤波器，ADC驱动器无法在可用采集时间内消除传统SAR ADC反冲，ADC失真/线性度性能因而下降。

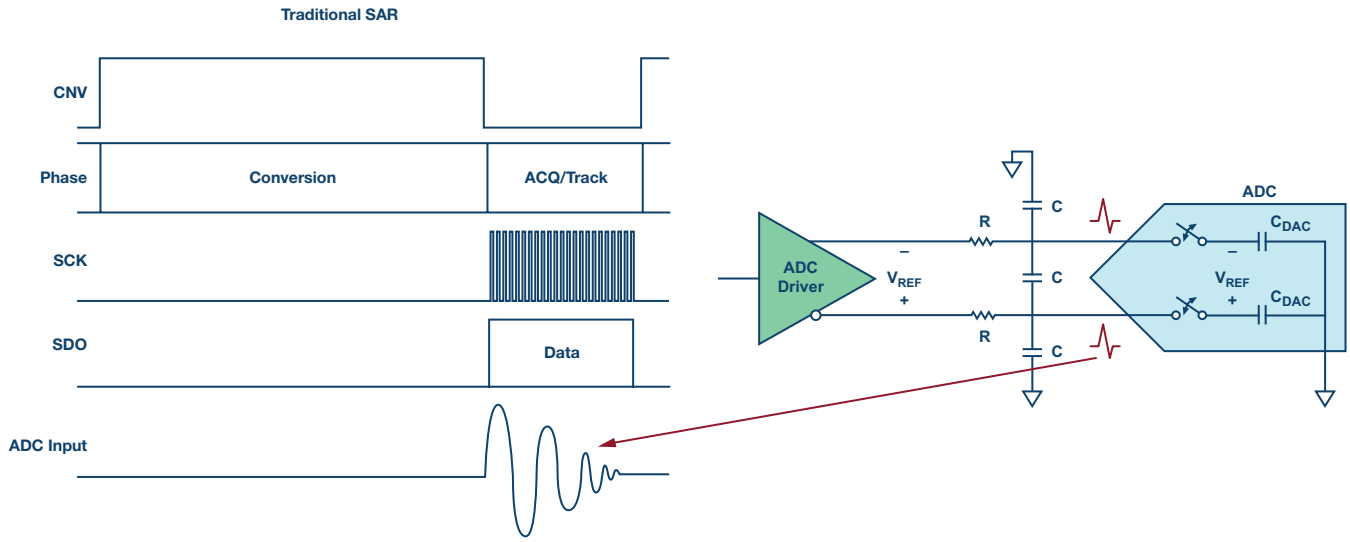


图2.传统SAR ADC时序图。

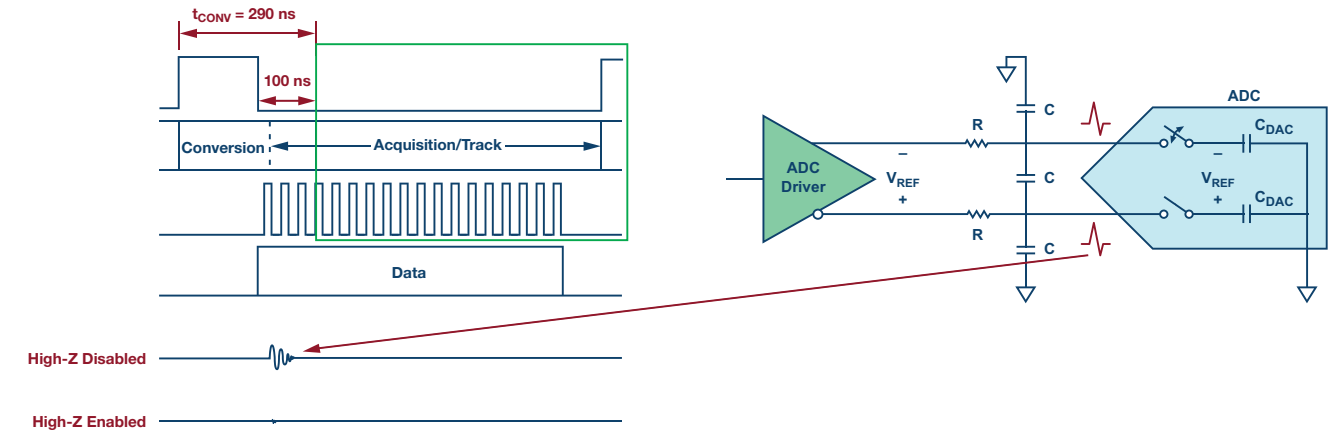


图3. AD4000 ADC系列时序图，包括输入反冲。

较长采集阶段

AD4000 ADC系列的转换时间非常短(290 ns)，ADC会在当前转换过程结束前100 ns返回采集阶段，因而采集阶段较长，如图3所示。即使高输入阻抗(Z)模式禁用，从该ADC系列输入端看到的非线性反冲也显著降低；当高阻态模式使能时，非线性反冲降至几乎可忽略不计的程度。这可以降低ADC驱动器的建立时间负担，并且支持较低的RC截止频率和较大R值，因此噪声较高且/或功耗/带宽较低的放大器也可以使用。这样便可基于目标信号带宽，而非基于开关电容输入的建立要求来选择ADC之前的放大器和RC滤波器。RC滤波器可以使用较大的R值和较小的对应C值，减少放大器稳定性问题，同时也不会大幅影响失真性能。较大的R值有助于在过压情况下保护ADC输入，并降低放大器的动态功耗。较长采集阶段的另一个好处是它支持低SPI时钟速率，从而可以降低输入/输出功耗，拓宽处理器/FPGA选择范围，简化数字隔离要求，而ADC吞吐速率不受影响。

高阻态模式

AD4000 ADC系列集成了一个高阻态模式，在采集开始时，该模式可以在电容DAC切换回输入时减少非线性电荷反冲。使能高阻态模式时，电容DAC在转换结束时充电，以保持上次采样的电压。这一过程可以减少转换过程的任何非线性电荷效应，该效应会影响到下次采样前在ADC输入端采集的电压。高阻态模式的好处是无需专用高速ADC驱动器，可以选择较低功率/带宽的精密放大器，包括针对低频(<10 kHz)或直流信号的JFET和仪表放大器。

图4所示为AD4003/AD4007/AD4011在高阻态模式使能/禁用时的输入电流。低输入电流使ADC比市场上现有的传统SAR ADC更易驱动，即便是在高阻态模式禁用的情况下。如果将图4中高阻态模式禁用时的输入电流与上一代AD7982 ADC的输入电流进行比较，会发现AD4007在1 MSPS条件下的输入电流降低了4倍。高阻态模式使能时，输入电流进一步降至亚微安级。

此ADC系列较低的输入电流，使得我们能以比传统SAR高得多的源阻抗来驱动它。这意味着，RC滤波器中的电阻值可以比传统SAR设计大10倍。

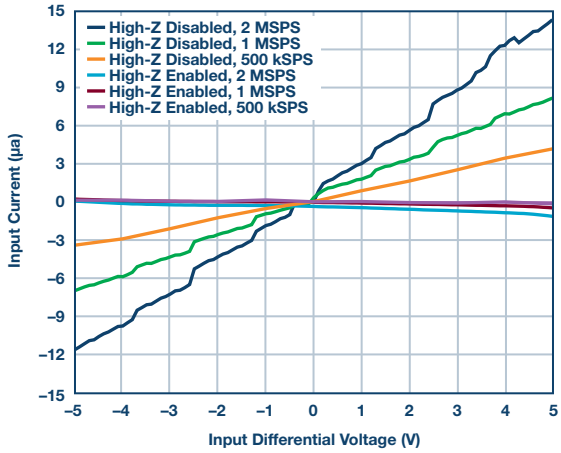


图4. 高阻态使能/禁用条件下AD4003/AD4007/AD4011 ADC输入电流与输入差分电压的关系。

精密放大器直接驱动AD4000ADC系列

对于多数系统，前端(非ADC本身)通常会限制信号链可以实现的整体交流/直流性能。从图5和图6所选的精密放大器数据手册中可以看出，精密放大器自身的噪声和失真性在某个输入频率下决定了SNR和THD规格。然而，这种带高阻态模式的ADC系列极大地拓宽了驱动放大器的选择范围，包括信号调理级中使用的精密放大器，同时提高了RC滤波器选择的灵活性，而且对于选定放大器，仍能实现最优性能。

图5和图6显示了AD4003/AD4020 ADC的SNR和THD性能，采用低功耗ADA4692-2 ($I_{QUIESCENT}$ = 180 µA/放大器)、低输入偏置JFET ADA4610-1 ($I_{QUIESCENT}$ = 1.5 mA/放大器)和零交越失真ADA4500-2 ($I_{QUIESCENT}$ = 1.55 mA/放大器)精密放大器，使用1 kHz输入音驱动ADC输入，基准电压为5 V，以最高吞吐速率运行，高阻态模式使能和禁用两种情况，并使用不同的RC滤波器值。使能高阻态模式时，对于260 kHz和498 kHz的较低RC带宽，ADA4692-2和ADA4610-1放大器可实现98 dB以上的典型SNR，这有助于在目标信号宽带较低时，消除来自上游信号链组件的宽带噪声。根据应用要求，设计人员可以选择合适的精密放大器来驱动ADC输入。例如，ADA4692-2轨到轨放大器更适合便携式、功耗敏感型应用，能够直接驱动该ADC系列，同时仍能实现最优性能。

在高阻态模式使能的情况下使用此类放大器时，即便RC带宽低于1.3 MHz，R值大于390 Ω，AD4003/AD4020 SNR也会提高至少10 dB；RC滤波器截止频率为4.42 MHz时，THD保持在−104 dB以上。注意，该ADC系列可利用最高吞吐速率来进行过采样，从而以较低RC滤波器截止频率实现更好的SNR性能。

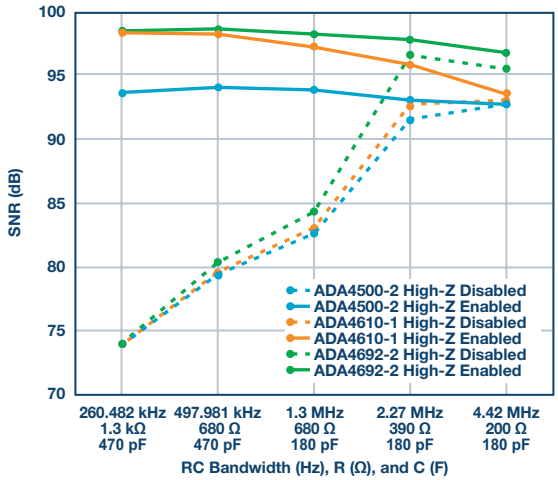


图5. AD4003/AD4020 SNR与RC带宽的关系，使用ADA4692-2、ADA4610-1和ADA4500-2精密放大器，f_{IN} = 1 kHz，REF = 5 V。

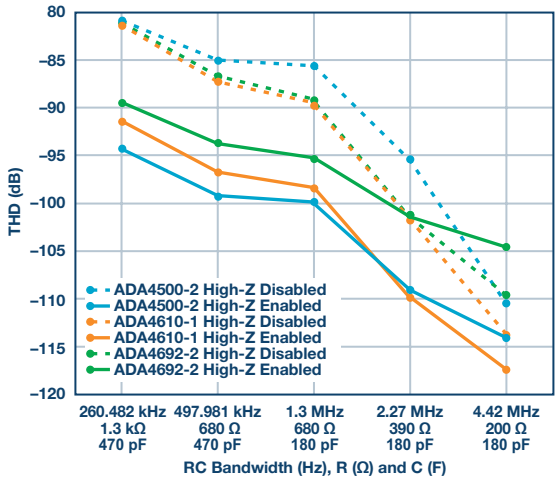


图6. AD4003/AD4020 THD与RC带宽的关系，使用ADA4692-2、ADA4610-1和ADA4500-2精密放大器，f_{IN} = 1 kHz，REF = 5 V。

使能高阻态模式时，AD4003/AD4020通常会消耗2 mW/MSPS至2.5 mW/MSPS的额外功耗，但这仍然显著低于使用ADA4807-1之类专用ADC驱动器时的功耗，而且这还能节省PCB面积和物料成本。系统设计师可以使用功耗低5.5倍的ADC驱动器ADA4692-2(相比ADA4807)；当高阻态模式禁用时，对于2.27 MHz和4.47 MHz RC带宽，此ADC仍能实现约96 dB的典型SINAD。高阻态模式使能时，使用ADC驱动器驱动ADC，SNR/THD性能更好；高阻态模式禁用时，需要权衡ADC SNR/THD性能与RC滤波器截止频率。

仪表放大器直接驱动AD4000 ADC系列

仪表放大器提供出色的精密性能、共模抑制和高输入阻抗，可与传感器直接接口，但小信号带宽一般较低(<10 MHz)。利用SAR ADC和仪表放大器设计精密信号链(如ATE和医疗设备)的客户，在将信号送至ADC输入端之前，通常会使用信号调理或驱动器级，以便转换电平和消除反冲。

图 7 所示为图 7 所示为图 7 所示

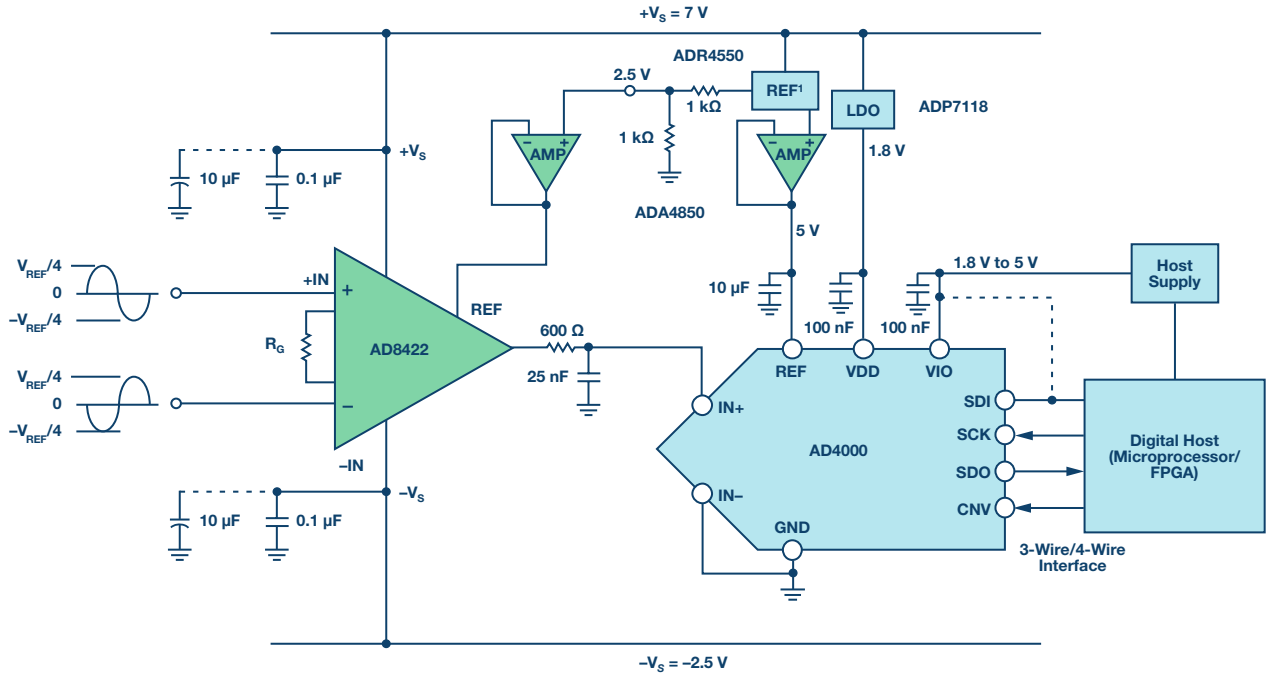


图7. 仪表放大器AD8422 (G = 1)直接驱动AD4000精密SAR ADC的简化框图。

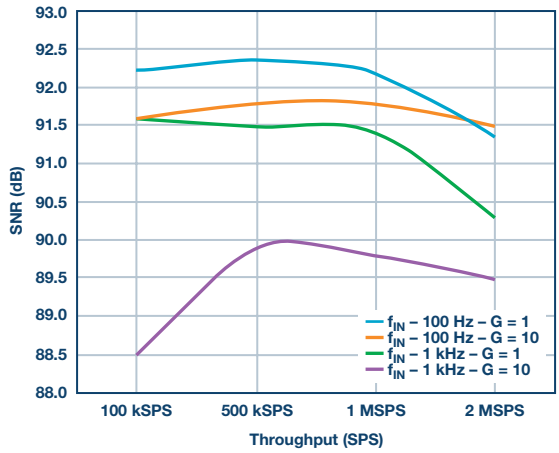


图8. AD4000 SNR与吞吐速率的关系，AD8422配置增益为1和10，高阻态模式使能。

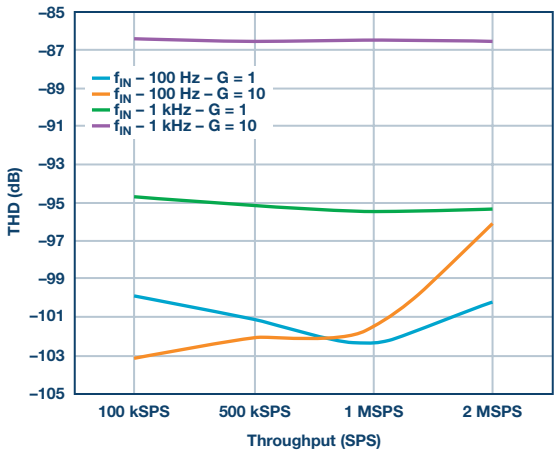


图9. AD4000 THD与吞吐速率的关系，AD8422配置增益为1和10，高阻态模式使能。

图7所示为AD8422直接驱动AD4000的简化框图，高阻态模式使能，消除了驱动器级，节省了电路板空间。基于目标带宽选择优化的RC滤波器值600 Ω和25 nF，消除10 kHz以上的宽带噪声。AD8422的REF引脚偏置到$V_{REF}/2$，并利用ADA4805进行缓冲以实现最佳性能。对于100 Hz和1 kHz输入信号，在增益(通过RG设置)为1(无RG)和10 (RG = 2.2 kΩ)时，此信号链提供最优SNR和THD性能。图8和图9显示，当高阻态模式使能，增益为1和10，对于100 Hz输入信号和最高2 MSPS的每种吞吐速率，ADC实现了91 dB以上的SNR和–96 dB以上的THD。从图8和图9可看出，随着ADC吞吐速率降低，采集时间更长，有利于消除输入反冲，因此SNR和THD性能略有提高。

结语

表1显示了不同速度和输入类型的AD4000系列引脚兼容、低功耗16/18/20位精密SAR ADC，这些器件集易用特性和精密性能于一体，有助于设计人员解决系统级技术难题。

表1. AD4000系列引脚兼容精密SAR ADC

速度	16位，单端	16位，差分	18位，单端	18位，差分	20位，差分
2 MSPS	AD4000	AD4001	AD4002	AD4003	AD4020
1 MSPS	AD4004	AD4005	AD4006	AD4007	
500 kSPS	AD4008		AD4010	AD4011	

AD4000 ADC系列的高阻态模式、低输入电流和较长采集阶段的独特组合，简化了驱动要求，消除了专用高速ADC驱动器级，有助于节省PCB面积、功耗和BOM成本，同时拓宽了ADC驱动器选择范围。此外，这些特点使得设计人员可根据目标带宽优化RC滤波器值，减轻对宽带噪声、放大器稳定性、ADC输入保护和动态功耗的担心。本文说明了精密放大器的各种使用情形，包括仪表放大器直接驱动该ADC系列输入，并解释了该系列产品如何有助于解决常见系统级问题，而不会显著影响精密性能。

参考文献

Mathil Pachchigar和Alan Walsh。“新一代SAR ADC解决精密数据采集信号链设计的难点。”*模拟对话*，第50卷，2016年12月。

Maithil Pachchigar [maithil.pachchigar@analog.com]是ADI公司麻萨诸塞州威明顿市仪器仪表、航空航天与国防业务部门的应用工程师。2010年加入ADI公司以来，他致力于仪器仪表、工业、医疗健康和能源行业的精密ADC产品系列工作和客户支持。自2005年以来，Maithil一直在半导体行业工作，并已发表多篇技术文章。Maithil于2003年获印度S.V.国家技术学院电子工程学学士学位，2006年获圣何塞州立大学的电气工程硕士学位，2010年获硅谷大学MBA学位。



Maithil Pachchigar

该作者的其它文章：

新一代SAR ADC解决精密数据采集信号链设计的难点

第50卷，第4期

非常见问题解答—第147期副边同步整流

作者：**Frederik Dostal**

分享至



问：

如何提高隔离式电源的效率？

答：

在大多数降压调节器的典型应用中，使用有源开关而非肖特基二极管是标准做法。这样能大大提高转换效率，尤其是产生低输出电压时。在需要电流隔离的应用中，也可使用同步整流来提高转换效率。图1所示为副边同步整流的正激转换器。

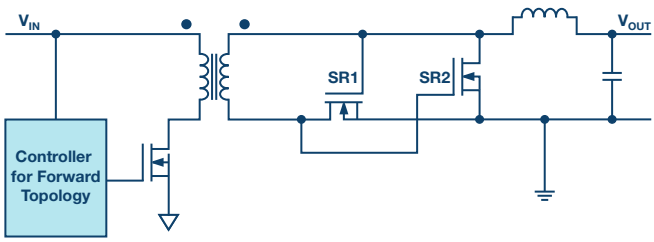


图1. 正激转换器的自驱动同步整流。

驱动开关进行同步整流可以通过不同方式实现。一种简单方法涉及到跨越变压器副边绕组来驱动。如图1所示。本例中，输入电压范围可能不是非常宽。使用最小输入电压时，SR1和SR2的栅极需要有足够的电压，以便开关能够可靠地导通。为确保MOSFET SR1和MOSFET SR2的栅极电压不超过其最大额定电压，最大输入电压不能过高。

在所有带同步整流的电源中，电路中可能会产生负电流。例如，若电路输出端电容在电路通电之前便已预充电，则电流可能会从输出侧流向输入侧。负电流可能会提高MOSFET SR1和MOSFET SR2的电压，致使其受损。务必小心保护开关，避免受此类事件影响。

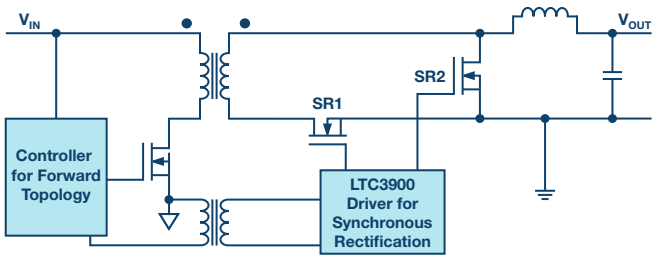


图2. 带专用驱动器IC的正激转换器的同步整流。

图2显示一种利用LTC3900实现同步整流的方法。此控制器驱动正激拓扑中的同步整流开关SR1和SR2。

这种设想很有效。但是，LTC3900需要防止负电流流过外部开关。首先，器件需要快速检测负电流；然后，SR1和SR2开关需要迅速断开。为防止在启动期间或可能的突发模式中发生电路受损，这样的做法很有必要。

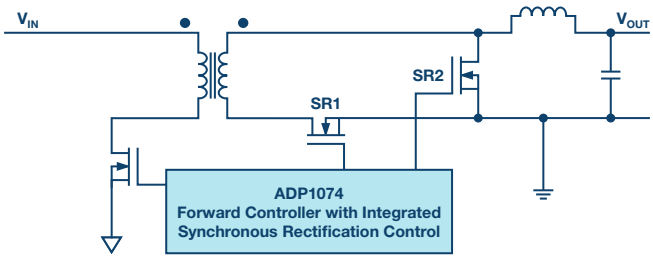


图3. 通过与ADP1074完全集成实现正激拓扑的同步整流。

图3显示了一种采用新型ADP1074的非常优雅的电路设计。输出电压信息通过反馈引脚检测。为防范某些情况下(例如输出电压已预充电时)负电流流过SR1和SR2开关的风险，同步整流未激活。两个开关的体二极管执行整流。这样便可防止开关受损。利用ADP1074内置的*i*Coupler®技术，可实现无负电流流动的安全操作。

Frederik Dostal [frederik.dostal@analog.com]就读于德国爱尔兰根大学微电子学专业。他于2001年加入电源管理业务部门，曾担任各种应用工程师职位，并在亚利桑那州凤凰城工作了4年，负责开关模式电源。他于2009年加入ADI公司，担任欧洲分公司的电源管理技术专家。



Frederik Dostal

该作者的其它文章：

负电压线性稳压器

第51卷，第3期

开发超低功耗系统时选择合适微控制器的策略

作者：**Monica Redon**

分享至

在物联网(IoT)的推动下，业界对各种电池供电设备产生了巨大需求。这反过来又使业界对微控制器和其他系统级器件的能源效率要求不断提高。因此，超低功耗(ULP)已成为一个过度使用的营销术语，特别是用于描述微控制器时。作为理解ULP背后真正意义的第一步，应考虑其各种含义。在某些情况下，当电源严重受限时(例如能量收集)，应用要求最低工作电流。或者，当系统大部分时间处于待机或睡眠模式，不常醒来(定期或异步)处理任务时，应用要求最低睡眠模式电流。此外，ULP也意味着能源效率，大多数工作是在有限时间内进行的。总体而言，电池供电设备基于一组权衡考虑，综合使用这些要求。

当然，ULP也是一个见仁见智并与功能相关的问题。例如，我们一般将工作模式电流在30 µA/MHz至40 µA/MHz范围、关断电流在50 nA到70 nA的微控制器单元(MCU)视为ULP。然而，能否将微控制器划归超低功耗类涉及到复杂的特性组合，包括架构、SoC设计、工艺技术、智能外设和深度睡眠模式。本文将考察ADI公司的两款微控制器，以帮助大家了解如何在此背景下解读超低功耗的真正意义。我们还会讨论EEMBC联盟的认证机制，它确保了得分的准确性，可帮助系统开发人员为其解决方案选择最合适的微控制器。

测量和优化超低功耗

作为了解ULP的出发点，我们首先解释如何测量它。开发人员通常会查看数据手册，在其中可以找到每MHz的电流值，以及不同睡眠模式下的电流值。第一个问题是，查看工作功耗时，数据手册通常不会解释获得该值的条件，例如代码、电压和闪存上的等待状态。有些供应商使用工作模式参考，例如EEMBC CoreMark，而有些供应商则使用像“while 1”语句一样简单的操作。如果闪存上有等待状态，则微控制器单元的性能会降低，增加执行时间，从而提高执行任务的能耗。有些供应商提供典型电压时的数值，有些提供最低电压时的数值，还有些供应商不指定任何电压。也许这些差异很微妙，但没有一个标准的话，比较只能是大致上的对比。

通常，深度睡眠模式在数据手册中有相当详细的解释，但同样，获得这些模式下的电流消耗的条件因供应商而异(例如保留的内存量或电压)。此外，在实际应用中，用户还必须考虑进入和退出这些模式所消耗的电能。这可能是一个微不足道的值，也可能事关重大，取决于器件是大部分时间处于睡眠模式还是频繁唤醒。这就引出了下一个问题——器件有多长时间处于睡眠状态？工作模式和睡眠模式之间的平衡对于确定ULP测量非常重要。为了简化该过程，EEMBC对其ULPMark-CoreProfile (ULPMark-CP)使用1秒钟时间；这是一项基准测试，许多微控制器厂商将其用作数据手册的标准。注意：使用1秒的决定被视为EEMBC工作组的共识。考虑到ULPMark-CoreProfile工作负载的工作时间，占空比将为98%左右。在该基准测试中，器件每秒唤醒一次，执行少量工作(工作周期)，然后回到睡眠状态。

通常，在工作模式下，模拟电路会导致电流消耗存在偏移；因此，使工作电流最小并有效使用深度睡眠模式对优化整个系统的电能使用是有意义的。请注意，降低频率会降低工作电流，但时间会增加，前面提到的模拟电路造成的偏移在微控制器处于工作状态时保持不变。但是，微控制器不同选择的利弊是什么？应用的占空比和深度睡眠电流对消耗的电能有何影响？

每周期的电能是占空比D(以睡眠模式时间占总时间的百分比给出)的函数，可由一个简化的公式来定义，假设开启和关闭转换的电能很小。

$$Energy = V \times t \times [(I_{ACTIVE} \times D_{ACTIVE}) + (I_{SLEEP} \times D_{INACTIVE})]$$

其中，斜率由I_{ON}定义，因为I_{SLEEP}远小于I_{ON}，y轴截距就是I_{SLEEP}。此公式可以帮助理解占空比，其中工作电流比睡眠电流更重要。

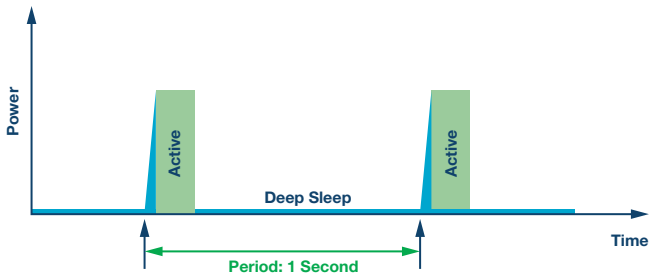


图1. ULPMark-CP的占空比为1秒。在此期间，器件从深度睡眠模式唤醒，执行固定的工作负载，然后返回深度睡眠模式。

超低功耗测试平台

如前所述，我们将比较ADI公司两款微控制器——ADuCM4050和ADuCM302x的超低功耗(电能)特性。在ULPMark结果表中，ADuCM4050和ADuCM302x的得分分别为203和245.5。请记住，该基准测试仅操作微控制器单元的核心(因此得名CoreProfile)。如何解释18%的差异？

ADuCM4050包含一个采用ARMv7E-M架构的ARM® Cortex®-M4F。ADuCM302x包含一个采用ARMv7-M架构的ARM Cortex-M3。虽然两个内核均有带分支推测的三级流水线，并且两者的指令集架构相似，但只有Cortex-M4F支持DSP和浮点指令。ULPMark-CoreProfile没有DSP指令，因此Cortex-M4F器件没能发挥FPU的优势。

对于基准分析，ADuCM4050和ADuCM302x分别工作在52 MHz和26 MHz。ADuCM4050需要大约11,284个周期来执行ULPMark工作负载，ADuCM302x需要10,920个周期，这意味着前者在1秒周期的217 µs内完成工作模式部分，而后者的工作时间为420 µs。ADuCM4050使用的周期数比ADuCM3029多的原因是所用频率不同(分别为52 MHz和26 MHz)，ADuCM4050的闪存需要一个等待状态，而ADuCM3029的闪存上没有等待状态。ADuCM4050具有高速缓存，因此在闪存上增加等待状态不会有太大影响，因为许多指令是从高速缓存执行，可以全速(52 MHz)存取而无需额外的等待状态。关于执行时间，同预期一样，ADuCM4050执行工作负载的速度比ADuCM3029更快，因为其运行频率是ADuM3029的两倍。

若要获得EEMBC基准代码，您必须是成员或工作组。您可以访问这里成为成员。Monica Redon是ADI公司在EEMBC委员会的代表，您可以联系她了解更多信息。

表1. 在流行的ARM内核上完成ULP-Mark-CoreProfile工作负载所需的大致周期数。周期数是近似值，因为周期数还与编译器有关。

ARM内核	完成ULPMark工作模式所需的大致周期数
Cortex-M0	15,174*
Cortex-M0+	14,253
Cortex-M3	10,920
Cortex-M4	11,852
Cortex-M4F	11,284

*这是基于Cortex-M0+和Cortex-M3数字的估计值。

但为什么ADuCM4050比ADuCM3029多消耗10 µA/MHz？这种增加背后的原因是，前者能以两倍于后者的频率工作，因而需要额外的缓冲器来实现对更高频率的时序约束。同ADuCM3029相比，ADuCM4050还有一些额外特性：

- 存储器大小加倍(SRAM和闪存均是如此)：128 kB和512 kB，而ADuCM3029只有64 kB和256 kB。根据应用需求，您可能需要额外的存储空间。
- 频率加倍：52 MHz，而ADuCM3029只有26 MHz，因此ADuCM4050性能更好。
- 增加了RGB定时器。
- 增加了新的安全特性：带密钥包裹-解包功能的保护密钥存储和带密钥解包功能的键控HMAC。
- 增加了三个额外的SensorStrobe输出。
- 增加了全部SRAM内容保留功能：ADuCM4050最多可保留124 kB，而ADuCM3029最多只能保留32 kB。

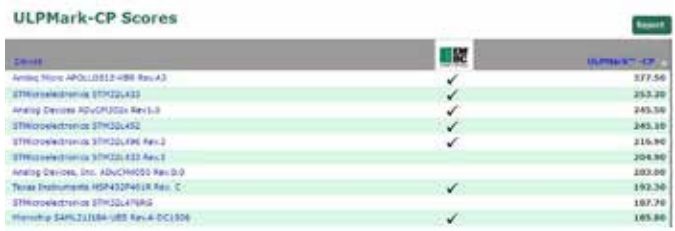


图2. ULPMark-CP结果前10名，位于EEMBC网站(2017年8月18日)。[1]

根据应用需求(功耗优化、额外存储、工作性能、内容保留等)，您可以决定使用ADuCM4050还是ADuCM302x产品。

关于深度睡眠模式，ADuCM4050在运行ULPMark-CoreProfile并保留比ADuCM3029多一倍的存储器内容时(前者为16 kB，而后者为8 kB)，实现了更低的休眠功耗。这种改善的原因是较新的ADuCM4050产品采用增强型架构。

编译器的作用

如上所述，ULPMark包括两种操作状态：工作状态和低功耗状态(器件处于睡眠模式)。这些状态均纳入恰好为1秒的占空比中。在工作状态下，每个器件执行相同的工作负载。但正如我们所看到的那样，工作效率受架构的影响。此外，它也受编译器的影响。编译器可能会选择更改和优化语句，致使指令组合发生变化。

根据应用的需要，您可以针对尺寸和速度进行优化，以平衡尺寸和速度等因素。循环展开是一个简单的例子，执行的分支数与循环体内代码的比例会发生变化。编译器在寻找更好的计算结果方式上仍能起到重要作用，但所做的工作是等价的。例如，ADuCM3029的ULPMark-CP结果可能会因优化程度不同而异：针对速度高度优化时为245.5，中等优化时为232，低度优化时为209。Texas Instruments MSP430FR5969的ULPMark结果是说明编译器重要性的另一个例子。通过应用更新版本的IAR Embedded Workbench编译器，结果提高了5%——尽管

不知道内部编译器做了什么改变来实现这一改进(eembc.org/ulpbench/)。同样，若不深入了解专有编译器技术，就无法知道为什么STMicroelectronics STM32L476RG从使用ARMCC编译器变为IAR编译器后，结果提高了16%。

ADI公司MCU的两个结果均是利用IAR编译器编译的代码生成的，但版本不同。ADuCM4050和ADuCM302x分别使用IAR EWARM 7.60.1.11216和7.50.2.10505。同样不知道做了哪些内部改变。提交的两个得分使用了与优化速度对应的no_size_constraints选项。

将ULPMark转换为电能值

ULPMark-CoreProfile使用一个取电能值倒数的公式(10个周期，5个每秒平均电能值的中位数)。

$$Energy\ (\mu J) = \frac{1000}{EEMarkCP}$$

电能为器件执行工作负载(处于工作模式)时消耗的电能与器件处于休眠状态时消耗的电能之和。

$$Energy = Active\ Energy + Sleep\ Energy$$

根据ADuCM3029数据手册，运行质数代码时，工作电流的典型值为980 µA。此代码装入缓存，以利用其功耗较低的优势。对于ULPMark-CoreProfile代码，由于它主要是线性代码，使能缓存没有什么太大好处，因此电流消耗与数据手册中针对禁用缓存所显示的电流消耗(1.28 mA)相似。关于休眠电流，ULPMark-CoreProfile要求使能LFXTAL和RTC，因此睡眠模式下的电流消耗为830 nA(根据数据手册)。如上所述，工作时间持续420 µs。

$$Energy = Voltage \times Current \times Time$$
$$Active\ Energy = 3\ V \times 1280\ \mu A \times 0.42\ ms = 1.61\ \mu J$$
$$Sleep\ Energy = 3\ V \times 0.83\ \mu A \times 999.58\ ms = 2.49\ \mu J$$

根据数据手册数字和执行时间，工作电流的电能为1.61 µJ，睡眠期间消耗的电能为2.49 µJ。根据这些值得到的分数与EEMBC EnergyMonitor软件测得的分数相符。

$$Energy\ (\mu J) = 1.61 + 2.49 = 4.10\ \mu J \cong \frac{1000}{245.5} = 4.07\ \mu J$$

第一代ULPMark的缺点之一是运行规则将工作电压限制在3 V(工作组这样做的目的是为所有器件建立一个通用电平)。大多数现代MCU在更低电压下运行的能效要好得多(尽管这可能受温度和工作频率的影响)。例如，利用DC-DC转换器将电压从3 V降至1.8 V，STMicroelectronics STM32L476RG的ULPMark结果提高了19%。

公布的结果受DC-DC转换器使用的影响，STMicroelectronics STM32L476RG并非不是唯一这样的器件，但有些器件将转换器集成到器件本身，如ADuCM302x和ADuCM4050，不需要外部IC来提高器件的功耗性能。尽管如此，使用DC-DC转换器有助于创造公平竞争环境，因为它允许器件以最佳能效运行。例如，仅工作在3 V的器件不会从DC-DC转换器受益，因为它已经处于最优(或者可能是次优)的效率水平。另一方面，一个可以工作在1.8 V但没有利用DC-DC转换器的器件，则会浪费64%的供应电能。此外，对于优先考虑能效的系统设计人员而言，如果系统使用3 V电池，则外部DC-DC转换器的附加成本可能并不重要。必须小心使用DC-DC转换器，避免测量转换器而非MCU的能效。尽管如此，必须考虑到在实际应用中，DC-DC工作模式可能有一些缺点，例如工作模式和睡眠模式的相互转换时间会延长。

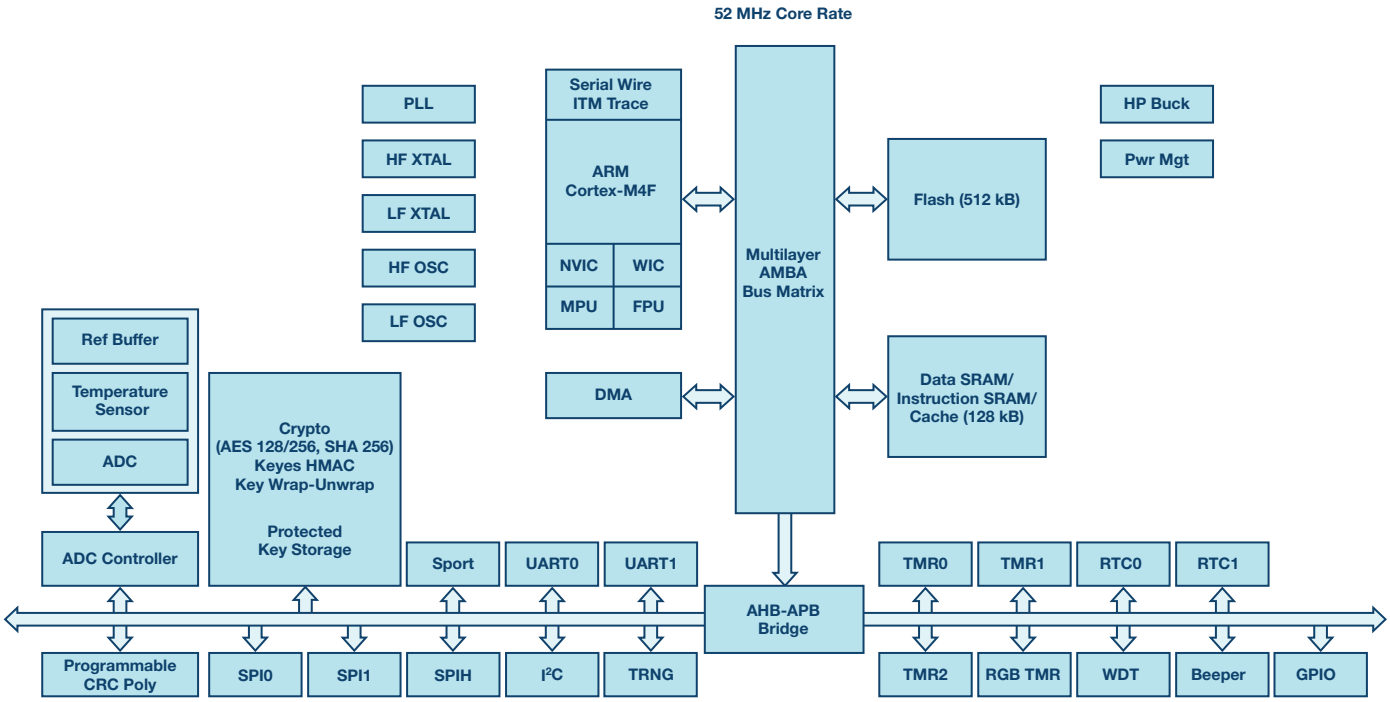


图3. ADuCM4050框图。其集成一个1.2 V低压差稳压器(LDO)和一个可选容性降压调节器。

使用DC-DC转换器时，还需要考虑转换器的类型。一些转换器是基于电感的，可能会带来更大面积、更高成本以及电磁干扰(EMI)之类的问题。ADuCM4050和ADuCM302x器件使用基于电容的转换器，避免了这些问题。如需了解更多信息，请参阅用户指南UG-1091“如何设置和使用ADuCM3027/ADuCM3029微控制器”。

分析ULPMark-CP结果或数据手册值时，重要的是要承认器件差异的存在。换句话说，测量器件的能效时，漏电流是一个重要因素，尤其是在睡眠模式下。虽然传统的性能基准一般不受影响，但温度和湿度等因素对器件的漏电流有一定程度的影响，进而会影响ULPMark-CP的结果。就制造而言，同一供应商在不同日期或从不同晶圆生产的器件会不相同。甚至同一器件的功耗也可能发生变化(根据测量的时间和地点，变化范围在5%到15%)。从根本上说，这意味着给出的ULPMark-CP得分应被用作能效指南。例如，一个器件的ULPMark结果为245，而来自不同晶圆的同款器件的得分可能在233到257之间(假设变化量为5%)。

认证机制 - 建立可信度

为了确保得分的真实性，愿意认证其器件的供应商将电路板和工具同平台特定的配置文件一起发送给EEMBC技术中心(ETC)。EEMBC将平台配置文件集成到其系统文件(包括工作负载)中，并在不同电路板上多次测量得分。认证的得分为所有测量的平均值。

通过这种方式，EEMBC确保所有得分的条件相同(相同工作负载、相同电能监测板、相似的温度等)。

图4显示了用于在ADuCM3029 EZ-Kit上测量ULPMark-CP的连接设置。

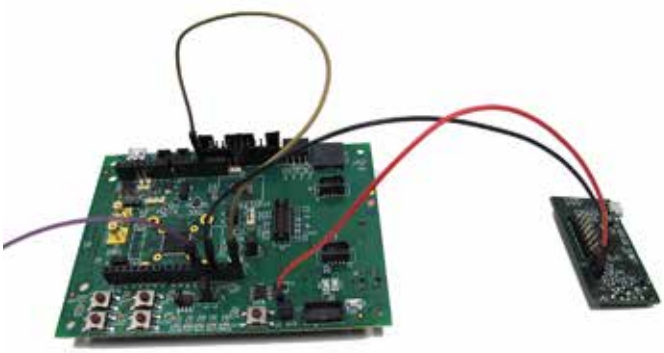


图4. 测量得分的电路板设置。

为了测量得分，EEMBC提供了EnergyMonitor软件。单击Run ULPBench(运行ULPBench)按钮后，EnergyMonitor硬件便向ADuCM3029 EZ-Kit板供电，并测量配置文件运行的能耗。执行结束时，软件计算得分并将其显示在屏幕上。软件还会在历史窗口中显示之前周期的平均能耗。

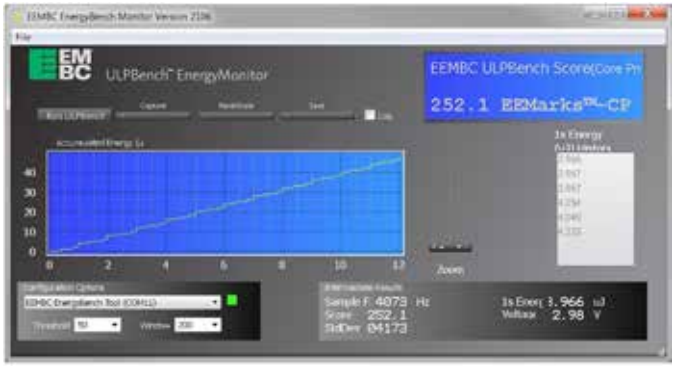


图5. EnergyMonitor软件—GUI。

下一步 - MCU效率分析

EEMBC的终极目标是提供多个基准测试套件，使用户能够全面评估MCU。除了关注MCU核心效率的ULP-Mark-CP之外，新发布的ULPMark-PeripheralProfile (ULPMark-PP)聚焦于操作各种MCU外设，如ADC、PWM、SPI和RTC。在ULPMark-PP中，由于器件在工作负载中执行多个外设事务，所以工作功耗和轻度睡眠功耗非常重要。ULPMark-PP的结果可从EEMBC网站获得；ULP-Mark-CP和ULPMark-PP组合可供EEMBC成员使用或授权使用。

接下来开发IoTMark-BLE和SecureMark套件。前者侧重于测量MCU和无线电通过蓝牙®发射和接收数据的效率；后者是一种复杂的安全套件，用于测量物联网器件实现各种加密机制的电能和性能开销。二者均会在2017年底提供给成员和被许可人使用。

基准测试如同汽车，需要人来运行。因此，我们鼓励大家敦促所有MCU供应商运行并发布器件结果。我们还需要更多供应商将ULPMark结果包括在其数据手册中(像Ambiq Micro、Analog Devices、STMicroelectronics和TI等厂商所做的一样)。这会显著增加数据手册中规格特性的可信度和实际可比性。如果MCU供应商未公布这些认证结果，那么您就要问：“为什么不公布，你们在隐藏什么？”

参考文献

[1] 最新得分参见www.eembc.org/ulpbench/index.php。

Monica Redon

Monica Redon [monica.redon@analog.com]于2010年加入ADI(西班牙)公司。目前，她担任消费者检测与处理技术(CSPT)部门的系统工程师。此前，她曾担任物联网平台技术小组的应用主管。加入ADI公司之前，她在一家电力线通信创业公司工作了5年，并在德国弗劳恩霍夫研究所的无线网络团队工作了5年。



利用采样保持放大器和RF ADC从根本上扩展带宽以突破X波段频率

作者：**Rob Reeder**

分享至

摘要

模拟带宽的重要性高于其他一切在越来越多的应用中得到体现。随着GSPS或RF ADC的出现，奈奎斯特域在短短几年内增长了10倍，达到多GHz范围。这帮助上述应用进一步拓宽了视野，但为了达到X波段(12 GHz频率)，仍然需要更多带宽。在信号链中运用采样保持放大器(THA)，可以从根本上扩展带宽，使其远远超出ADC采样带宽，满足苛刻高带宽的应用的需求。本文将证明，针对RF市场开发的最新转换器前增加一个THA，便可实现超过10 GHz带宽。

简介

GSPS转换器是当下热门，其优势在于既能缩短RF信号链，又能在FPGA中创建更多资源结构以供使用，例如：减少前端的下变频以及后级的数字下变频器(DDC)。但相当多的应用仍然需要高频率的原始模拟带宽(BW)，其远远超出了RF转换器所能实现的水平。在此类应用中，特别是在国防与仪器仪表行业(无线基础设施也一样)，仍然有将带宽完全扩展到10 GHz或以上的需求，覆盖范围超出C波段，越来越多的应用需要覆盖到X波段。随着高速ADC技术的进步，人们对GHz区域内高速精确地分辨超高中频(IF)的需求也在提高，基带奈奎斯特域已超过1 GHz并迅速攀升。这一说法到本文发表的时候可能即已过时，因为这方面的发展非常迅猛。

这带来了两大挑战：一个是转换器设计本身，另一个是将信号耦合到转换器的前端设计，例如放大器、巴伦和PCB设计。转换器性能越出色，就对前端信号质量要求更高。越来越多的应用要求使用分辨率在8到14位的高速GSPS转换器，然而前端的信号质量成为了瓶颈-系统的短板决定了整个项目的指标。

本文定义的宽带是指使用大于数百MHz的信号带宽，其频率范围为DC附近至5 GHz-10 GHz区域。本文将讨论宽带THA或有源采样网络的使用，目的是实现直至无穷大的带宽(抱歉，现在还没有玩具总动员表情符号可用)，并着重介绍其背景理论，该理论支持扩展RF ADC的带宽，而RF ADC单凭自身可能没有此能力。最后，本文将说明一些考虑因素和优化技术，以帮助设计人员实现超宽带应用切实可行的宽带解决方案。

打好基础

对于雷达、仪器仪表和通信应用，高GSPS转换器应用得非常广泛，因为它能提供更宽的频谱以扩展系统频率范围。然而，更宽的频谱对ADC本身的内部采样保持器提出了更多挑战，因为它通常未针对超宽带操作进行优化，而且ADC一般带宽有限，在这些更高模拟带宽区域中其高频线性度/SFDR会下降。

因此，在ADC前面使用单独的THA来拓展模拟带宽成为了一个理想的解决方案，如此便可在某一精确时刻对频率非常高的模拟/RF输入信号进行采样。该过程通过一个低抖动采样器实现信号采样，并在更宽带宽范围内降低了ADC的动态线性度要求，因为采样率RF模数转换过程中保持不变。

这种方案带来的好处显而易见：模拟输入带宽从根本上得以扩展，高频线性度显著改善，并且与单独的RF ADC性能相比，THA-ADC组件的高频SNR得到改进。

THA特性及概述

ADI的THA系列产品可以在18 GHz带宽范围内提供精密信号采样，在DC至超过10 GHz的输入频率范围内具有9到10位线性度、1.05 mV噪声和<70 fs的随机孔径抖动性能。该器件可以4 GSPS工作，动态范围损失极小，具体型号包括HMC661和HMC1061。这些跟踪保持放大器可用于扩展高速模数转换和信号采集系统的带宽和/或高频线性度。

以单级THA HMC661为例，产生的输出由两段组成。在输出波形(正差分时钟电压)的采样模式间隔中，器件成为一个单位增益放大器，在输入带宽和输出放大器带宽的约束下，它将输入信号复制到输出级。在正时钟到负时钟跃迁时，器件以非常窄的采样时间孔径对输入信号采样，并且在负时钟间隔内，将输出保持在一个相对恒定的代表采样时刻信号的值。配合ADC进行前端采样时，常常优先使用单级器件(ADI 同时法布里了两级THA 的型号HMC1061)，原因是多数高速ADC已经在内部集成一个THA，其带宽通常要小得多。因此，在ADC之前增加一个THA便构成一个复合双级组件(或一个三级组件，如果使用的是双级HMC1061)，THA在转换器前面。采用同等技术和设计时，单级器件的线性度和噪声性能通常优于双级器件，原因是单级器件的级数更少。所以，单级器件常常是配合高速ADC进行前端采样的最佳选择。

延迟映射THA和ADC

开发采样保持器和ADC信号链的最困难任务之一，是在THA捕获采样事件的时刻与应将其移到ADC上以对该事件重新采样的时刻之间设置适当的时序延迟。设置两个高效采样系统之间的理想时间

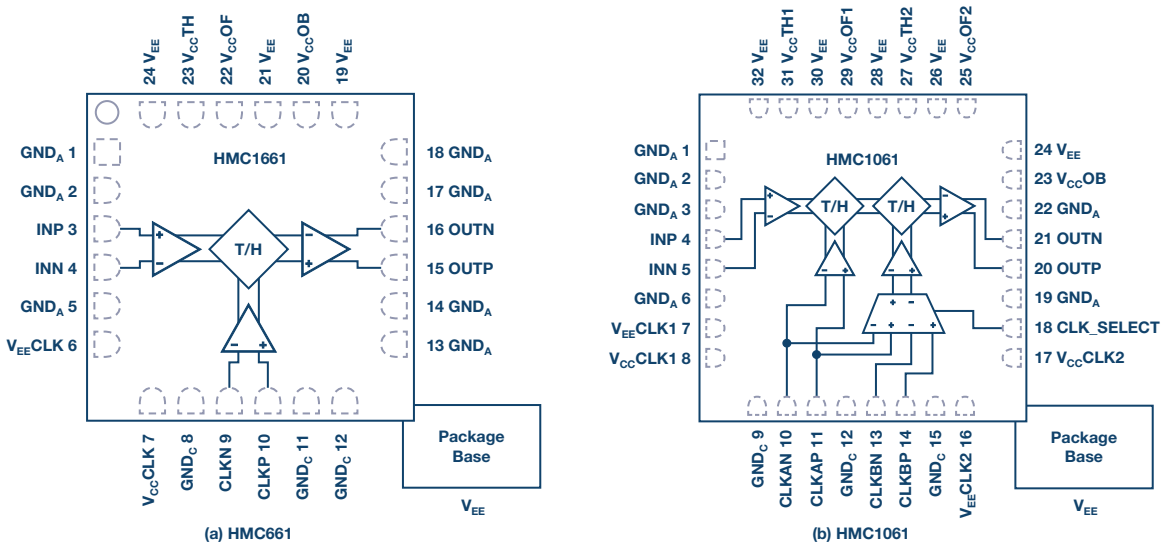


图1. 采样保持拓扑结构：(1a)单列，(1b)双列。

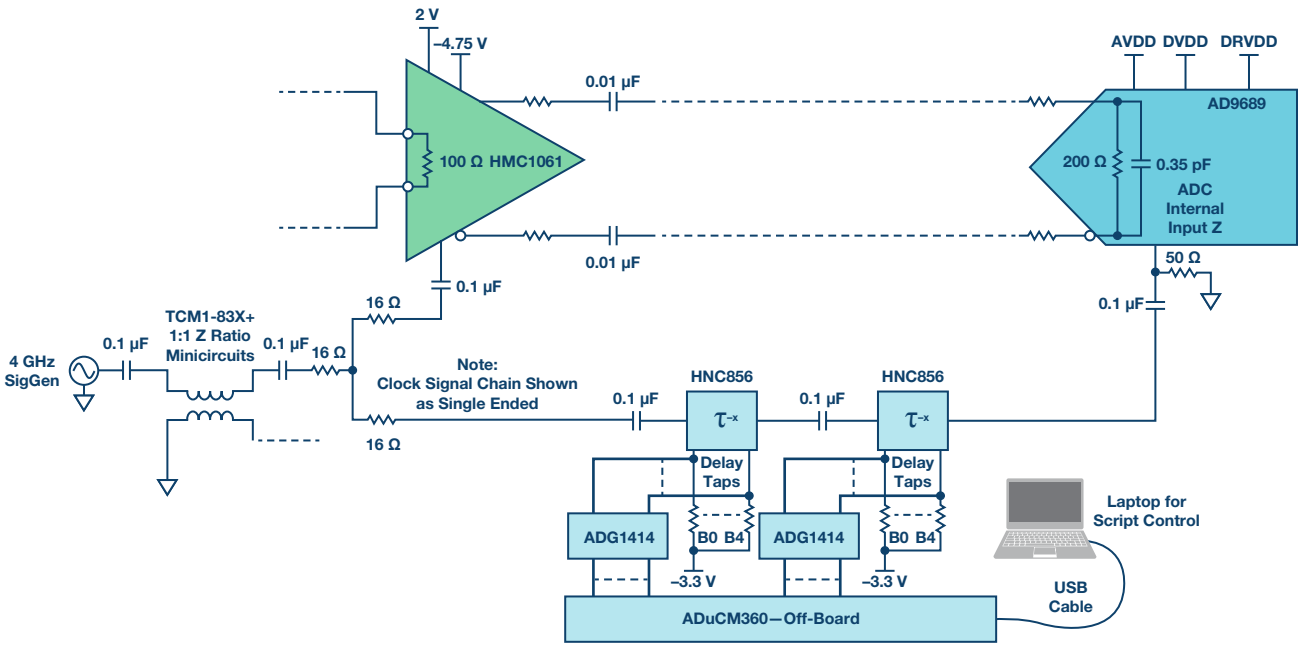


图2. 延迟映射电路。

差的过程被称为延迟映射。

在电路板上完成该过程可能冗长乏味，因为纸面分析可能不会考虑PCB板上时钟走线传播间隔造成的相应延迟，内部器件组延迟，ADC孔径延迟，以及将时钟分为两个不同段所涉及到的相关电路(一条时钟走线用于THA，另一条时钟走线用于ADC)。设置THA和ADC之间延迟的一种方法是使用可变延迟线。这些器件可以是有源或无源的，目的是正确对准THA采样过程的时间并将其交给ADC进行采样。这保证了ADC对THA输出波形的稳定保持模式部分进行采样，从而准确表示输入信号。

如图2所示，HMC856可用来启动该延迟。它是一款5位QFN封装，90 ps的固有延迟，步进为3 ps或25 ps ，32位的高速延时器。它的缺点是要设定/遍历每个延迟设置。要使能新的延迟设置，HMC856上的每个位/引脚都需要拉至负电压。因此，通过焊接下拉电阻在32种组合中找到最佳延迟设置会是一项繁琐的任务，为了解决这个问题，ADI使用串行控制的SPST开关和板外微处理器来帮助更快完成延迟设置过程。

为了获得最佳延迟设置，将一个信号施加于THA和ADC组合，该信号应在ADC带宽范围之外。本例中，我们选择一个约10 GHz的信号，并施加-6 dBFS的电平(在FFT显示屏上捕获)。延迟设置现在以二进制步进方式扫描，信号的电平和频率保持恒定。在扫描过程中显示并捕获FFT，收集每个延迟设置对应的基波功率和无杂散动态范围(SFDR)数值。

结果如图3a所示，基波功率、SFDR和SNR将随所应用的每个设置而变化。如图所示，当把采样位置放在更好的地方(THA将样本送至ADC的过程之中)时，基波功率将处于最高水平，而SFDR应处于最佳性能(即最低)。图3b为延迟映射扫描的放大视图，延迟设定点为671，即延迟应该保持固定于此窗口/位置。请记住，延迟映射程序仅对系统的相关采样频率有效，如果设计需要不同的采样时钟，则需要重新扫描。本例中，采样频率为4 GHz，这是该信号链中使用的THA器件的最高采样频率。

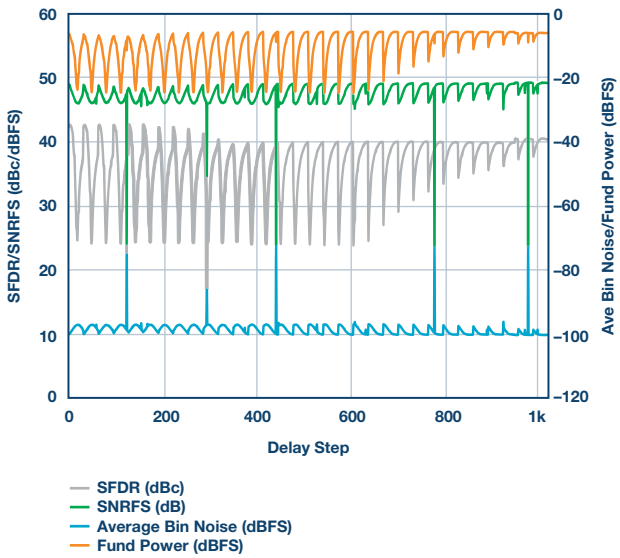


图3a. 每个延迟设置上信号幅度和SFDR性能的映射结果。

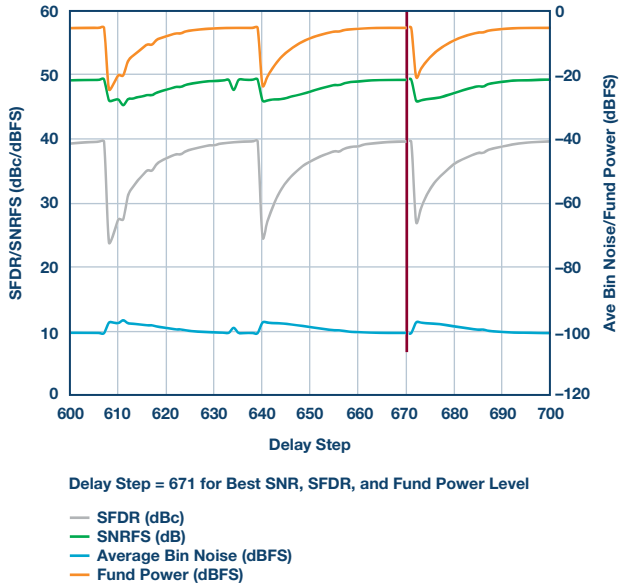


图3b. 每个延迟设置上信号幅度和SFDR性能的映射结果(放大)。

针对大量原始模拟带宽的前端设计

首先，如果应用的关键目标是处理10 GHz的带宽，我们显然应考虑RF方式。请注意，ADC仍然是电压型器件，不会考虑功率。这种情况下，“匹配”这个词应该谨慎使用。我们发现，让一个转换器前端在每个频率都与100 MSPS转换器匹配几乎是不可能的；高频率带宽的RF ADC不会有太大的不同，但挑战依旧。术语“匹配”应表示在前端设计中能产生最佳结果的优化。这是一个无所不包的术语，其中，输入阻抗、交流性能(SNR/SFDR)、信号驱动强度或输入驱动、带宽以及通带平坦度，这些指标都能产生该特定应用的最佳结果。

最终，这些参数共同定义了系统应用的匹配性能。开始宽带前端设计时，布局可能是关键，同时应当最大限度地减少器件数量，以降低两个相邻IC之间的损耗。为了达到最佳性能，这两方面均非常重要。将模拟输入网络连接在一起时务必小心。走线长度以及匹配是最重要的，还应尽量减少过孔数量，如图4所示。

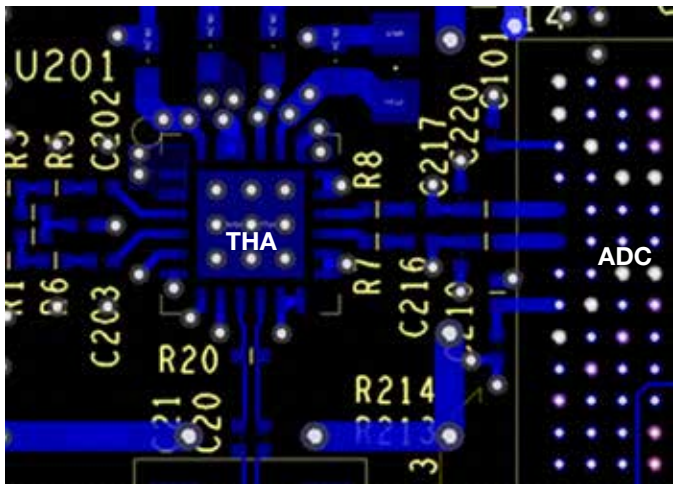


图4. THA和ADC布局。

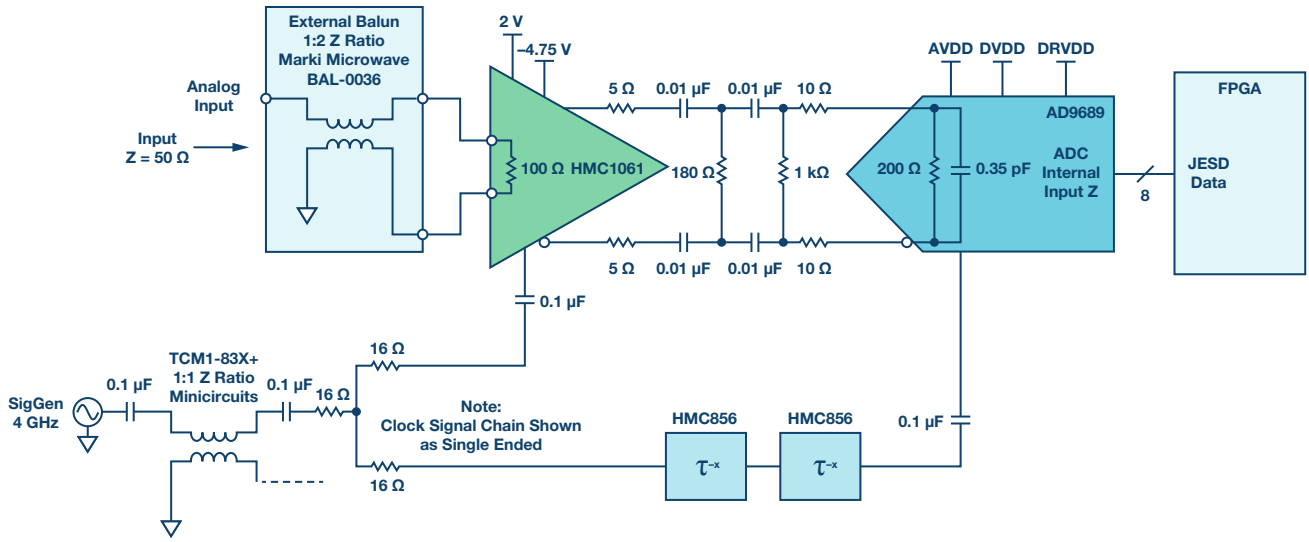


图5. THA和ADC前端网络及信号链。

信号通过差分模式连接到THA输入(我们同时是也提供单端射频信号输入的参考设计链路)，形成单一前端网络。为了最大限度地减少过孔数量和总长度，我们在这里特别小心，让过孔不经过这两条模拟输入路径，并且帮助抵消走线连接中的任何线脚。

最终的设计相当简单，只需要注意几点，如图5所示。所使用的0.01 µF电容是宽带类型，有助于在较宽频率范围内保持阻抗平坦。典型的成品型0.1 µF电容无法提供平坦的阻抗响应，通常会在通带平坦度响应中引起较多纹波。THA输出端和ADC输入端的5 Ω和10 Ω串联电阻，有助于减少THA输出的峰化，并最大限度地降低ADC自身内部采样电容网络的残余电荷注入造成的失真。然而，这些值需要谨慎地选择，否则会增加信号衰减并迫使THA提高驱动强度，或者设计可能无法利用ADC的全部量程。

最后讨论差分分流端接。当将两个或更多转换器连接在一起时，这点至关重要。通常，轻型负载(例如输入端有1 kΩ负载)有助于保持线性并牵制混响频率。分流器的120 Ω分流负载也有此作用，但会产生更多实际负载，本例中为50 Ω，这正是THA希望看到并进行优化的负载。

现在看结果！检查图6中的信噪比或SNR，可以看出在15 GHz范围上可以实现8位的ENOB(有效位数)。这是相当不错的，想想对于相同性能的13 GHz示波器，您可能支付了12万美元。当频率向L、S、C和X波段移动时，集成带宽(即噪声)和抖动限制开始变得显著，因此我们看到性能出现滚降。

还应注意，为了保持THA和ADC之间的电平恒定，ADC的满量程输入通过SPI寄存器内部更改为1.0 V p-p。这有助于将THA保持在线性区域内，因为其最大输出为1.0 V p-p差分。

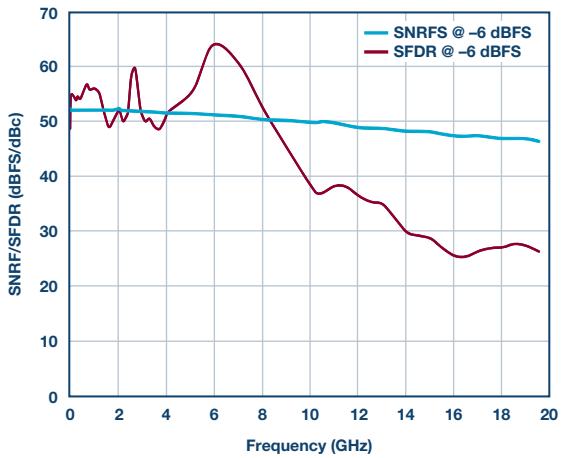


图6. –6 dBFS时的SNRFS/SFDR性能结果。

同时显示了线性度结果或SFRD。这里，到8 GHz为止的线性度超过50 dBc，到10 GHz为止的线性度超过40 dBc。为在如此宽的频率范围上达到最佳线性度，此处的设计利用AD9689模拟输入缓冲电流设置特性进行了优化(通过SPI控制寄存器)。

图7显示了通带平坦度，证明在RF ADC之前增加一个THA可以实现10 GHz的带宽，从而充分扩展AD9689的模拟带宽。

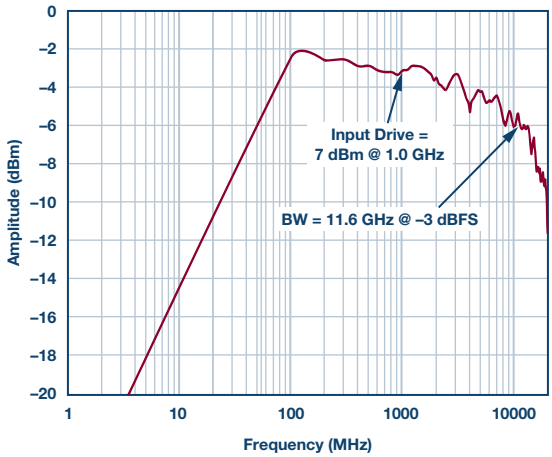


图7. THA和ADC网络及信号链——带宽结果。

结语

对于那些需要在多GHz模拟带宽上实现最佳性能的应用，THA几乎是必不可少的，至少目前是如此！RF ADC正在迅速赶上。很容易明白，在对较宽带宽进行采样以覆盖多个目标频带时，GSPS转换器在理论上具有易用性优势，可以消除前端RF带上的一个或多个向下混频级。但是，实现更高范围的带宽可能会带来设计挑战和维护问题。

在系统中使用THA时，应确保采样点的位置在THA和ADC之间进行了优化。使用本文所述的延迟映射程序将产生总体上最佳的性能结果。了解程序是乏味的，但是非常重要。最后应记住，匹配前端实际上意味在应用的给定一组性能需求下实现最佳性能。在X波段频率进行采样时，乐高式方法(简单地将50 Ω阻抗模块连接在一起)可能不是最好的方法。

参考文献

应用笔记。使用HMC661LC4B改善高速模数转换器的带宽和性能。ADI公司，2011年。

应用笔记。了解高速ADC测试与评估。ADI公司，2015年。

Jim Caserta和Rob Reeder。“宽带模数转换器前端设计考虑II：用放大器还是用变压器驱动ADC？”。*模拟对话*，第41卷，2007年2月。

HMC10611LC5数据手册。ADI公司。

HMC661LC4B数据手册。ADI公司。

Ramya Ramachadran和Rob Reeder。“宽带模数转换器前端设计考虑：何时使用双变压器配置”。*模拟对话*，第40卷，2006年7月。

Rob Reeder。“宽带模数转换器的变压器耦合前端”。*模拟对话*，第39卷，2005年4月。

致谢

作者要感谢HMC661和HMC1061 THA的设计者Mike Hoskins提供背景知识，以及Chas Frick和John Jefferson在实验室中编写和运行大部分数据。

Rob Reeder [rob.reeder@analog.com]是ADI公司高速转换器和射频应用集团(位于美国北卡罗来纳州格林斯博罗)的资深系统应用工程师。他发表了大量有关各种应用的转换器接口、转换器测试和模拟信号链设计的文章。Rob曾在航空航天和防务部担任应用工程师5年之久，专注于雷达、EW和仪器仪表等各种应用领域。此前，他还曾在高速转换器产品线工作9年时间。在此之前，Rob还从事过测试开发和模拟设计工作(效力于ADI多芯片产品集团)，拥有5年的太空、防务和高度可靠的应用模拟信号链模块设计经验。Rob于1996年和1998年分别获得北伊利诺斯州大学(伊利诺斯迪卡尔布市)的电子工程学士(BSEE)学位和电子工程硕士(MSEE)学位。Rob晚上不写文章或不在实验室研究电路时，他喜欢在健身房活动，听电子音乐，用旧木板制作家具，最重要的是和他的两个孩子一起放松自己。



Rob Reeder

该作者的其他文章：

终结高速转换器带宽术语

第51卷，第4期

即使电池单元老化，也能最大化汽车电池包的运行时间

作者：**Tony Armstrong and Samuel Nork**

分享至

由串联连接、高能量密度、高峰值功率的锂聚合物或磷酸铁锂(LiFePO4)电池单元组成的大电池包，广泛用于从纯电动车辆(EV或BEV)、油电混合动力车辆(HEV)、插电式混合动力车辆(PHEV)到能源存储系统(ESS)的各类应用中。特别是电动汽车市场，预计会对大型串联/并联电池单元阵列产生巨大需求。2016年全球PHEV汽车销量为77.5万辆，预计2017年销量为113万辆。尽管对大容量电池单元的需求不断增长，电池价格仍然相当高，构成EV或PHEV中价格最高的组件，支持续航小几百公里的电池价格通常在10,000美元左右。高成本可以通过使用低成本/翻新的电池单元来化解，但此类电池单元也将具有更大的容量不匹配性，进而减少单次充电后的可用运行时间或可行驶距离。即便是较高成本、较高质量的电池单元，重复使用后也会老化且不匹配。提高具有不匹配电池单元的电池包容量有两种办法：一种是从一开始就使用更大的电池，但这样做的性价比不高；另一种是使用主动均衡，这是一种新技术，可以恢复电池包中的电池容量，快速增强动力。

全串联电池单元需要均衡

当电池包中的每个电池单元具有相同的充电状态(SoC)时，我们说电池包中的电池单元是均衡的。SoC是指当电池充电和放电时，单个电池的当前剩余容量相对于其最大容量的比例。例如，一个10安时的电池单元若有5安时的剩余容量，则其SoC为50%。所有电池单元都必须保持在某一SoC范围内，以避免损坏电池或缩短寿命。SoC的允许最小和最大值因应用而异。在电池运行时间至关重要的应用中，所有电池单元可以在20%的最小SoC和100%的最大SoC(或满电状态)之间工作。需要最长电池寿命的应用可能会将SoC范围限制在最小30%到最大70%之间。这些是电动汽车和电网储存系统的典型SoC限制，它们使用非常大且昂贵的电池，更换成本极高。电池管理系统(BMS)的主要作用是严密监控电池包中的所有单元，确保没有任何电池单元充电或放电超出该应用的最小和最大SoC限值。

对于串联/并联电池单元阵列，一般可以认为并联连接的电池单元彼此之间会自动均衡。也就是说，随着时间推移，只要电池单元端子之间存在导电路径，并联连接的电池单元之间的充电状态就会自动均衡。同样可以认为，串联连接的电池单元的充电状态会随着时间推移而出现差异，原因有多方面。整个电池包中的温度梯度、阻抗、自放电速率或各电池单元负载之间的差异，可能导致SoC逐渐变化。尽管电池包充电和放电电流有助于使这些电池单元间差异变小，但除非周期性地均衡电池单元，否则累积的不匹配性将会有增无减。补偿电池单元的SoC渐变是均衡串联电池的最基本原因。通常情况下，被动或耗散均衡方案足以重新均衡电池包中容量接近的电池单元的SoC。

如图1a所示，被动均衡既简单又便宜。然而，被动均衡也非常缓慢，会在电池包内部产生有害的热量，均衡结果是将所有电池单元的剩余容量减少到与电池包中SoC最低的电池单元一致。此外，被动均衡缺乏能力有效解决另一种常见现象——容量不匹配引起的SoC误差。所有电池单元在老化时都会损失容量，损失速率往往不同，原因类似于串联电池单元的充电状态随着时间推移而出现差异。电池包电流均等地流入和流出所有串联电池单元，因此电池包的可用容量取决于电池包中容量最低的电池单元。只有图1b和图1c所示的主动均衡方法可以让电荷在整个电池包中重新分配，补偿电池单元间不匹配所造成的容量损失。

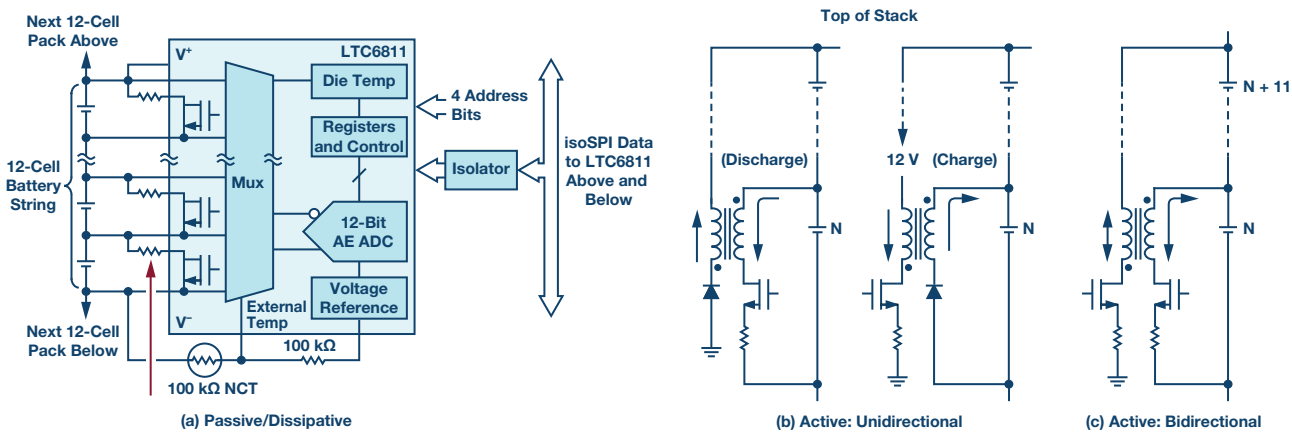


图1. 电池单元均衡典型拓扑结构。

电池单元间不匹配会显著缩短运行时间

电池单元间的容量或SoC不匹配可能会严重降低电池包可用容量，除非均衡电池单元。为使电池包容量最大化，要求在电池包充电和放电期间，电池单元是均衡的。在图2所示的例子中，一个10单元串联电池包由(标称)100 安时电池单元组成，最小容量单元与最大容量单元的容量误差为±10%，对该电池包充电和放电，直至达到预定SoC限值。如果SoC值限制在30%和70%之间，并且不进行均衡，则经过一次完全充电/放电循环之后，电池包可用容量相对于理论可用容量减少25%。被动均衡理论上可以在电池包充电阶段均衡各电池单元的SoC，但在放电期间，无法阻止第10个单元先于其他单元达到30%的SoC水平。即使在电池包充电期间进行被动均衡，在电池包放电期间也会损失可观的容量(不可用)。只有主动均衡解决方案才能恢复容量，在电池包放电期间将电荷从高SoC单元重新分配给低SoC单元。

No Active Balancing (30% to 70% SoC Limits)

Cell #	Initial Capacity (A/hr)	Initial SoC (%)	Post-Discharge Capacity (A/hr)	Post-Discharge SoC (%)	Post-Discharge Capacity (A/hr)	Post-Discharge SoC (%)
1	110	100	47	43	77	70
2	100	100	37	37	67	67
3	100	100	37	37	67	67
4	100	100	37	37	67	67
5	100	100	37	37	67	67
6	100	100	37	37	67	67
7	100	100	37	37	67	67
8	100	100	37	37	67	67
9	100	100	37	37	67	67
10	90	100	27	30	57	63
Stack Capacity	1000		No Balance 370	No Balance	670	

Usable Stack Capacity: 670 A/hr to 370 A/hr = 300 A/hr
(75% of 400 A/hr Theoretical Max Capacity → 100 A/hr lost)

图2. 电池单元间不匹配导致电池包容量损失的例子。

图3显示了使用理想主动均衡功能可以100%恢复因电池单元间不匹配而导致的容量损失。在稳态使用期间，当电池包从70% SoC的完全充电状态放电时，必须从第1个单元(最高容量电池单元)中取出存储的电荷并转移到第10个单元(最低容量电池单元)，否则第10个单元会先于其他单元达到最小30%的SoC点，导致电池包必须停止放电以防寿命进一步缩短。类似地，在充电阶段必须将电荷从第10个单元中移除，重新分配到第1个单元，否则第10个单元会率先达到70%的SoC上限，导致充电周期必须停止。在电池包使用寿命中的某个时间点，电池单元老化的差异将不可避免地造成电池单元之间的容量不匹配。只有主动均衡解决方案才能恢复容量，根据需要将电荷从高SoC单元重新分配给低SoC单元。为在电池包使用寿命期间实现最大容量，需要通过主动均衡解决方案来给单个电池单元有效充电和放电，以使整个电池包维持SoC均衡。

100% Efficient (30% to 70% SoC Limits)

Cell #	Initial Capacity (A/hr)	Initial SoC (%)	Post-Discharge Capacity (A/hr)	Post-Discharge SoC (%)	Post-Discharge Capacity (A/hr)	Post-Discharge SoC (%)
1	110	100	33	30	77	70
2	100	100	30	30	70	70
3	100	100	30	30	70	70
4	100	100	30	30	70	70
5	100	100	30	30	70	70
6	100	100	30	30	70	70
7	100	100	30	30	70	70
8	100	100	30	30	70	70
9	100	100	30	30	70	70
10	90	100	27	30	63	70
Stack Capacity	1000		Active Balance 370	Active Balance	700	

Usable Stack Capacity: 700 A/hr to 370 A/hr = 400 A/hr
(100% of 400 A/hr Theoretical Max Capacity)

图3. 理想主动均衡实现容量恢复。

高效率、双向均衡提供最高容量恢复

LTC3300-2(见图4)是专为满足高性能主动均衡需求而设计的新产品。高效率、双向、主动均衡控制IC LTC3300-2是高性能BMS系统的关键组成部分。每个IC可以同时均衡多达6个串联连接的锂离子或磷酸铁锂电池单元。

通过在选定电池单元和一个由多达12个或更多相邻电池单元组成

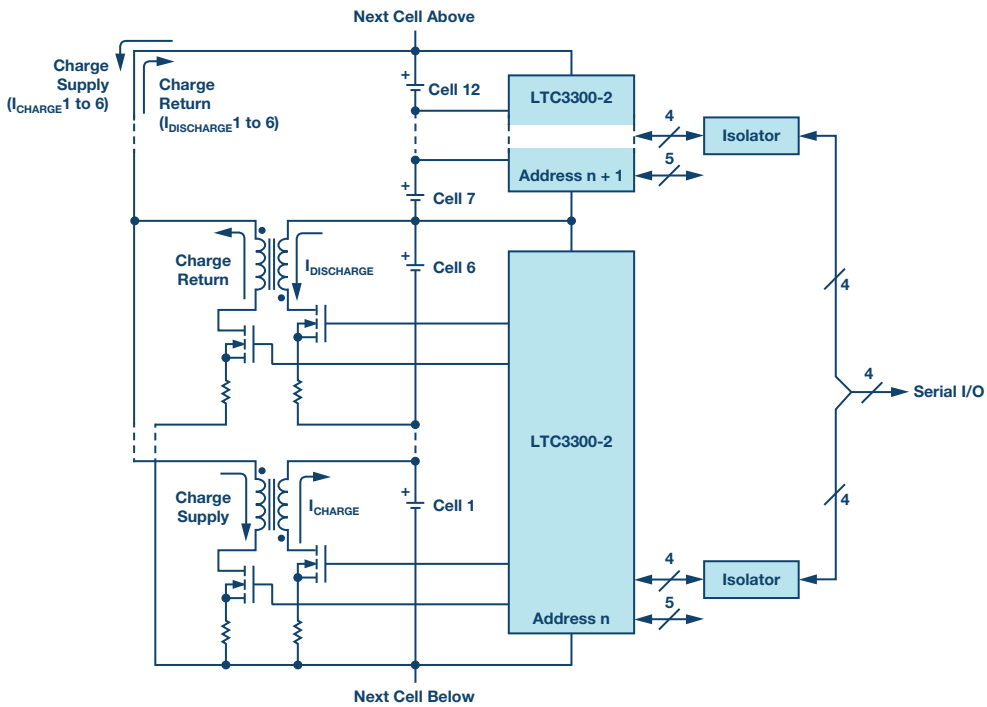


图4. LTC3300-2高效率、双向、多电池单元主动均衡器。

的子电池包之间重新分配电荷来实现SoC均衡。均衡决策和均衡算法必须由另外的电芯监控器件和控制LTC3300-2的系统处理器来处理。电池单元放电时，电荷从选定电池单元重新分配到整组相邻电池单元(12个或更多)。类似地，电池单元充电时，电荷从整组相邻电池单元(12个或更多)转移到选定电池单元。所有均衡器可以沿任一方向同时工作，以尽量缩短电池包均衡时间。LTC3300-2有一个兼容SPI总线的串行端口。器件可以利用数字隔离器并联连接。多个器件由A0到A4引脚来确定器件地址唯一标识。LTC3300-2的串行接口由4个引脚组成：CSBI、SCKI、SDI和SDO。如果需要，SDO和SDI引脚可以连接在一起，形成单个双向端口。5个地址引脚(A0到A4)设置器件地址。所有与串行通信相关的引脚都是电压模式，其电平以VREG和V-电源为基准。

LTC3300-2中的每个均衡器都使用非隔离边界模式同步反激式功率级，以实现每个电池单元的高效充电和放电。6个均衡器各自都需要自己的变压器。每个变压器的原边连接在要均衡的电池单元两端，副边连接在12个或更多的相邻电池单元上，包括要均衡的电池单元。副边的电池单元数量仅受外部器件的击穿电压限制。电池单元的充电和放电电流由外部检测电阻结合相应的外部开关和变压器调整来设置，最高达到10 A以上。高效率是通过同步操作和适当的器件选择来实现的。各均衡器通过BMS系统处理器使能，并且保持使能状态，直到BMS命令均衡停止或检测到故障状态。

均衡器效率问题

电池包面临的最大克星之一是热量。高环境温度会让电池寿命和性能迅速降低。遗憾的是，在大电流电池系统中，为了延长运行时间或实现电池包快速充电，均衡电流也必须很大。均衡器效率低下会导致电池系统内部产生有害的热量，必须通过减少给定时间内可运行的均衡器数量或昂贵的散热方法来解决。如图5所示，LTC3300-2在充电和放电方向均实现90%以上的效率，相对于均衡器功耗相同但效率为80%的解决方案，前者的均衡电流可以增加一倍以上。此外，更高的均衡器效率会产生更有效的电荷再分配，进而实现更有效的容量恢复和更快的充电。

结论

诸如EV、PHEV和ESS之类的新应用正在迅速增多。消费者始终期望电池使用寿命长，运行可靠，无性能损失。无论使用电池还是汽油作为动力，人们都要求汽车能运行五年以上没有任何明显的性能下降。对EV或PHEV而言，性能等同于电池动力支持的可行驶距离。EV和PHEV供应商不仅要提供高电池性能，还要提供数年的包括最短行驶距离的保修服务，以保持竞争力。随着电动汽车的数量和行驶时间的不断增长，电池包内无规律的电池单元老化正在成为一个长期问题，这也是运行时间缩短的主要原因。串联连接的电池运行时间总是受到电池包中最低容量电池单元的限制。一个较弱的电池单元就能拖累整个电池包。对于车辆供应商，由于行驶距离不足而更换或翻新保修期内的电池是非常不划算的。为防止此类代价巨大的事件发生，可以为每个单元使用更大、更昂贵的电池，或者采用LTC3300-2等高性能主动均衡器来补偿电池单元不均匀老化引起的单元间容量不匹配问题。LTC3300-2可以让严重不匹配的电池包拥有与电池单元完全匹配且平均容量相同的电池包不相上下的运行时间。

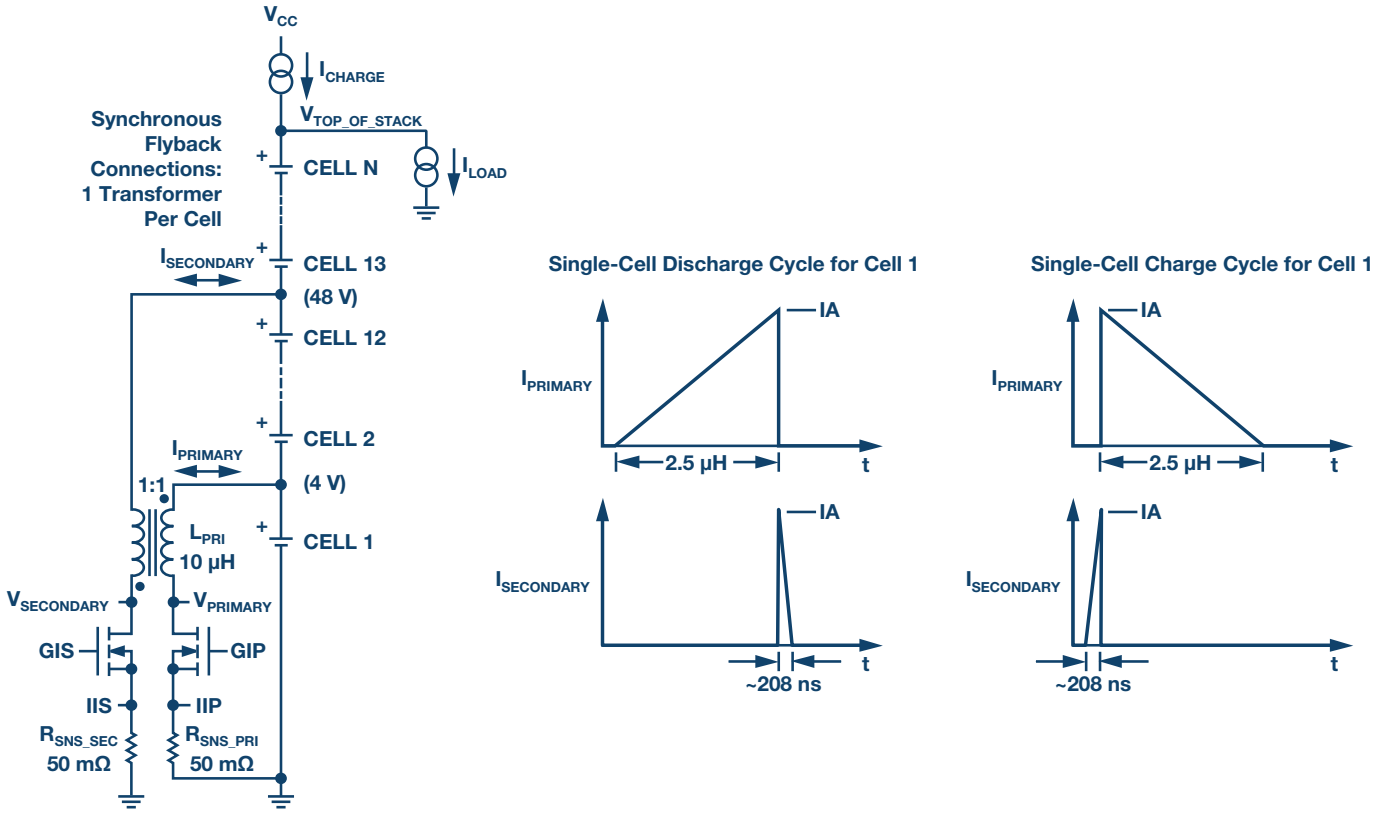


图5. LTC3300-2功率级性能。



Tony Armstrong

Tony Armstrong [tony.armstrong @analog.com]是电源产品营销总监，2000年5月加入公司。他负责电源转换和管理类产品的所有方面事情——从概念到停产。加入ADI公司之前，Tony在Siciliconix Inc.、Semtech Corp.、Fairchild Semiconductors和Intel Corp.欧洲公司担任过营销、销售和运营方面的不同职位。他于1981年在英国曼彻斯特大学获得应用数学学士学位(荣誉)。



Samuel Nork

Sam Nork [sam.nork @analog.com]于1988年加入凌力尔特公司(现隶属ADI公司)，担任公司在加州米尔皮塔斯总部的高级产品工程师。1994年，他被调往波士顿地区，开办并管理一个模拟IC设计中心，在此地他一直工作到现在。Sam亲自设计并发布了便携式电源管理领域的众多集成电路，而且是7项已授权专利的发明人/共同发明人。作为ADI公司波士顿设计中心总监，Sam领导着一支近100人的团队，管理各种模拟集成电路的日常开发活动，涉及便携式电源管理、高速运算放大器、工业ADC、系统监控和能量收集等领域。在任职设计中心之前，Sam曾在马萨诸塞州威明顿担任ADI公司的产品/测试开发工程师。他拥有达特茅斯学院文学学士和工学学士学位。

非常见问题解答—第148期
独特的栅极驱动应用支持高功率放大器快速开启/关闭

作者：**Peter Delos and Jarrett Liner**

分享至

问：

能否在200 ns内开启或关闭RF源？



答：

在脉冲雷达应用中，从发射到接收操作的过渡期间需要快速开启/关闭高功率放大器(HPA)。典型的转换时间目标可能小于1 µs。传统上，这是通过漏极控制来实现的。漏极控制需要在28 V至50 V的电压下切换大电流。已知开关功率技术可以胜任这一任务，但会涉及额外的物理尺寸和电路问题。在现代相控阵天线开发中，虽然要求尽可能低的SWaP(尺寸重量和功耗)，但希望消除与HPA漏极开关相关的复杂问题。

本文提出了一种独特但简单的栅极脉冲驱动电路，为快速开关HPA提供了另一种方法，同时消除了与漏极开关有关的电路。实测切换时间小于200 ns，相对于1 µs的目标还有一些裕量。其他特性包括：解决器件间差异的偏置编程能力，保护HPA免受栅极电压增加影响的栅极箝位，以及用于优化脉冲上升时间的过冲补偿。

典型漏极脉冲配置

通过漏极控制开关HPA的典型配置如图1所示。一个串联FET开启输入HPA的高电压。控制电路需要将逻辑电平脉冲转换为更高电压以使串联FET导通。

此配置的难点包括：

- 大电流的切换要求从大容量电容到HPA漏极引脚的路径是一条低电感路径。
- 关闭时，漏极电容保有电荷，需要额外的放电路径。这是通过额外的FET Q2来实现的，对控制电路的约束随之增加：Q1和Q2绝不能同时使能。
- 很多情况下，串联FET是N沟道器件。这要求控制电路产生一个高于HPA漏极电压的电压才能开启。

控制电路的设计方法已是众所周知且行之有效。然而，相控阵系统不断期望集成封装并降低SWaP，因此希望消除上述难点。实际上，人们的愿望是完全消除漏极控制电路。

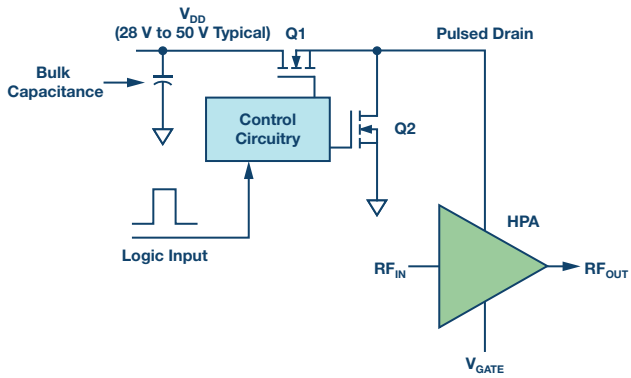


图1. 传统HPA脉冲漏极配置。

推荐栅极脉冲电路

栅极驱动电路的目标是将逻辑电平信号转换成合适的GaN HPA栅极控制信号。需要一个负电压来设置适当的偏置电流，以及一个更大的负电压来关闭器件。因此，电路应接受正逻辑电平输入并转换为两个负电压之间的脉冲。电路还需要克服栅极电容影响，提供急速上升时间，过冲应极小或没有。

对栅极偏置设置的担忧是，偏置电压的小幅增加可能导致HPA电流的显著增加。这就增加了一个目标，即栅极控制电路应非常稳定，并有一个箝位器来防止受损。另一个问题是，设置所需漏极电流时，不同器件的最佳偏置电压有差异。这种差异使得人们更希望有系统内可编程栅极偏置特性。

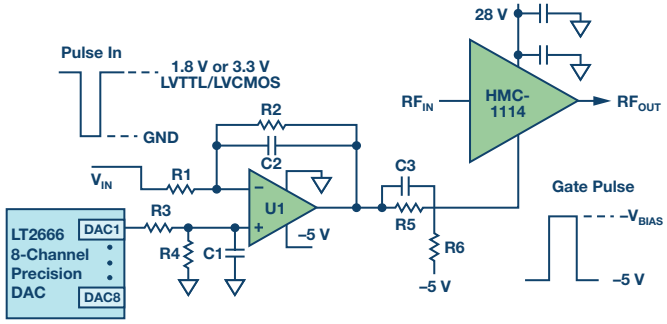


图2. 推荐HPA栅极驱动电路。

图2所示电路达成了所述的全部目标。运算放大器U1使用反相单负电源配置。利用一个精密DAC设置运算放大器基准电压，以实现V+引脚上的增益。当逻辑输入为高电平时，运算放大器箝位到负供电轨。当输入为低电平时，运算放大器输出接近一个小的负值，该值由电阻值和DAC设置决定。反相配置是故意选择的，目的是当逻辑输入为低电平或接地时开启HPA，因为逻辑低电平的电压差异小于逻辑高电平。采用轨到轨运算放大器，它具有较大压摆率和足够的输出电流驱动能力，适合该应用。

元件值选择如下：

- R1和R2设置运放增益。
- DAC设置连同R3和R4决定运算放大器V+引脚的基准电压。C1和R3针对低通滤波器噪声而选择。
- R5和R6用于实现重要的箝位功能。这是因为运放的V_{CC}引脚以地为基准，所以这是运放输出的最大值。R5和R6为–5 V电源提供一个电阻分压器。
- R5的不利影响是由于栅极电容，它会减慢脉冲响应。这要通过增加C3来补偿，以实现陡峭的脉冲。
- C2的值较小，用以限制运放输出脉冲上升沿的过冲。

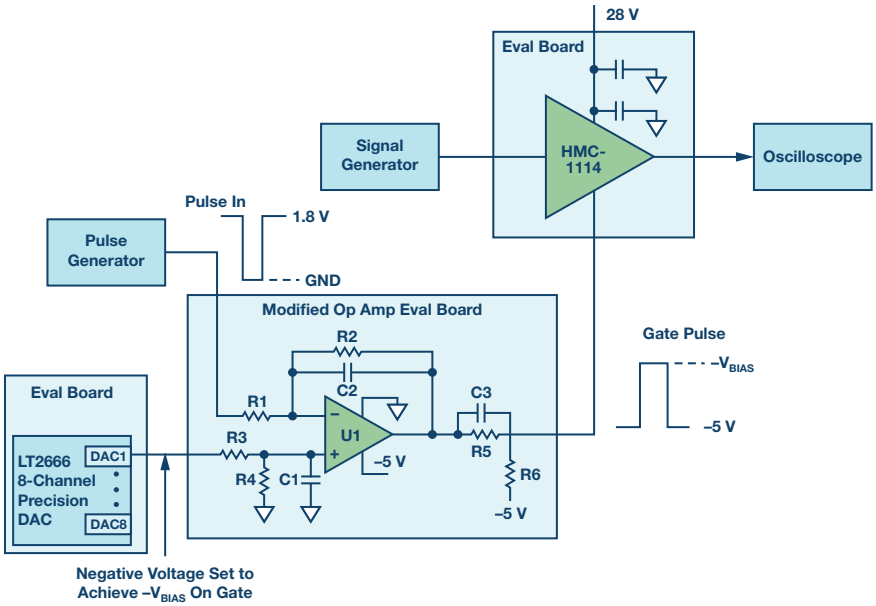


图3. 测试设置。

实测数据

用于验证电路的测试设置如图3所示。对精密DAC、运算放大器和HPA使用评估板。一个脉冲发生器用于模拟1.8 V逻辑信号。信号发生器连续工作，利用一个输入带宽高于RF频率的RF采样示波器测量HPA对RF信号的开启/关闭。

测试所用的元器件值参见表1。

表1. 所用元器件值

元器件	值或产品型号
U1	LT1803
R1	1
R2	2.7
R3	1
R4	5
R5	2.2
R6	3
C1	0.47 µF
C2	10 pF
C3	180 pF
DAC	LTC2666
HPA	HMC1114

实测开启时间如图4所示。时间标度为每格500 ns，RF信号的上升时间小于200 ns。对于测量从栅极脉冲开始到RF脉冲上升沿结束的时间的系统，可以看到开启时间约为300 ns，这说明系统分配1 µs用于发射到接收转换会有相当可观的裕量。



图4. 实测HPA开启时间。



图5. 实测HPA关闭时间。

实测关闭时间如图5所示。时间标度同样是每格500 ns，下降时间明显快于上升时间，同样远小于200 ns，说明系统分配1 µs用于发射到接收转换会有相当可观的裕量。

布局考虑

对一个代表性布局做了尺寸研究，如图6所示。栅极脉冲电路的运算放大器部分放置在通向HPA输入的RF路径附近。精密DAC未显示出来，假定其放置在控制部分中，为多个发射通道提供输入。布局研究表明，可将该电路添加到实际的低成本PWB实现方案中，发射RF电路所需的额外空间极小。

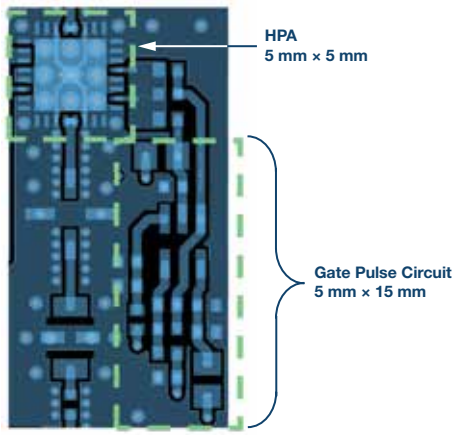


图6. 物理尺寸分配。

结语

本文提出了一种独特的栅极脉冲电路，并进行了HPA快速开/关评估。

其特性包括：

- 转换时间小于200 ns。
- 兼容任何逻辑输入。
- 通过可编程偏置消除器件间差异。
- 提供箝位保护以设置最大栅极电压。
- 上升时间/过冲补偿。
- 尺寸支持高密度相控阵应用。

先进电子系统集成度不断提高，要求缩小物理尺寸，因此可以想象，这种电路及其方法的其他变化，将开始在需要快速HPA转换时间的相控阵应用中激增。

Peter Delos [peter.delos@analog.com]是ADI公司航空航天和防务部的技术主管。他于1990年获得美国弗吉尼亚理工大学电气工程学士学位(BSEE)，并于2004年获得美国新泽西理工学院电气工程硕士学位(MSEE)。1990年至1997年，他为美国海军核电站计划工作。工作内容包括：完成海军核电站学校官员计划，担任海军潜艇基地教师，领导康涅狄格州格罗顿的海狼级潜艇的现场电气工程师。

1997年，他接受了洛克希德马丁公司在新泽西州穆尔斯顿的一个职位，开始了一段硕果累累的职业历程，为多个雷达和电子战计划开发接收机/激励器和频率合成器。这段经验包括架构定义、详细设计、快速原型开发、制造、现场安装和协调多个工程专业。他的工作引领了相控阵接收器/激励器从集中式架构到阵列上数字波束合成系统的转变。

2016年，他加入ADI公司，在美国北卡罗来纳州格林斯博罗工作。他拥有近20年的RF系统设计经验，涉及架构、PWB和IC等层面。



Peter Delos

该作者的其他文章：

改进的DAC相位噪声测量以支持超低相位噪声DDS应用

第51卷，第3期

Jarrett Liner [jarrett.liner@analog.com]是ADI公司航空航天和防务部(位于美国北卡罗来纳州格林斯博罗)的RF系统应用工程师，他在RF系统和元件设计方面经验丰富。

此前，他是军用和航空航天领域SiC衬底GaN放大器应用工程师。其先前的经历还包括从事13年的RF IC WLAN功率放大器和前端模块的设计与测试工作。他曾作为电子技师在美国海军服役6年。Jarrett于2004年获得美国北卡罗来纳州农业技术州立大学(位于北卡罗来纳州格林斯博罗)电气工程学士学位。

当Jarrett不在实验室仿真电路或测量数据时，他可能在山地上骑自行车、在健身房教授自行车课程、跑步或者在庭院与他的四个孩子追逐嬉戏。



Jarett Liner

该作者的其他文章：

改进的DAC相位噪声测量以支持超低相位噪声DDS应用

第51卷，第3期

防止开关转换器输出浪涌引发的启动问题

作者：Fil Paulo Balat, Jefferson Eco, 和James Macasaet

分享至

摘要

在要求降低输出噪声的应用中，由于输出浪涌过大，开关转换器可能会遇到延迟启动的问题，或者可能根本无法启动。输出滤波器设计不当引起的输出浪涌电流及其影响，可以通过增加软启动时间、提高开关频率或减小输出电容来降低。本文介绍一些实用设计考虑事项，以防止输出浪涌过大引发启动问题。

简介

许多开关转换器设计是由严苛的输出噪声要求驱动的。对低输出噪声的需求促使设计人员加大输出滤波，例如在输出端使用多个电容。随着输出轨上电容的增加，过大浪涌电流可能会给启动过程造成问题，导致电感饱和或损坏功率开关。

不同于开关控制器，单片开关稳压器的功率开关在芯片内部。这对于负载点开关转换器应用而言是一种理想方法，因为它具有更小的PCB尺寸和更好的栅极驱动电路设计等优点。这意味着，为了避免损坏开关和稳压器芯片本身，过流保护是必须的。双通道、高性能DC-DC单芯片开关稳压器ADP5070就是一个例子，如图1所示。

在输出过载情况下或启动时会有大电流流过内部开关的情况下，为防止电路受损，开关稳压器制造商在单芯片开关稳压器上会采用不同的限流技术。尽管存在限流保护，开关稳压器仍可能无法正常工作，尤其是在启动期间。例如，打嗝模式用作限流保护手段时，在初始上电期间，输出电容仍处于完全放电状态，开关稳压器可能进入打嗝模式，导致启动时间延长或可能根本不启动。除负载外，输出电容可能会引起过大的浪涌电流，导致电感电流升高并达到打嗝模式限流阈值。

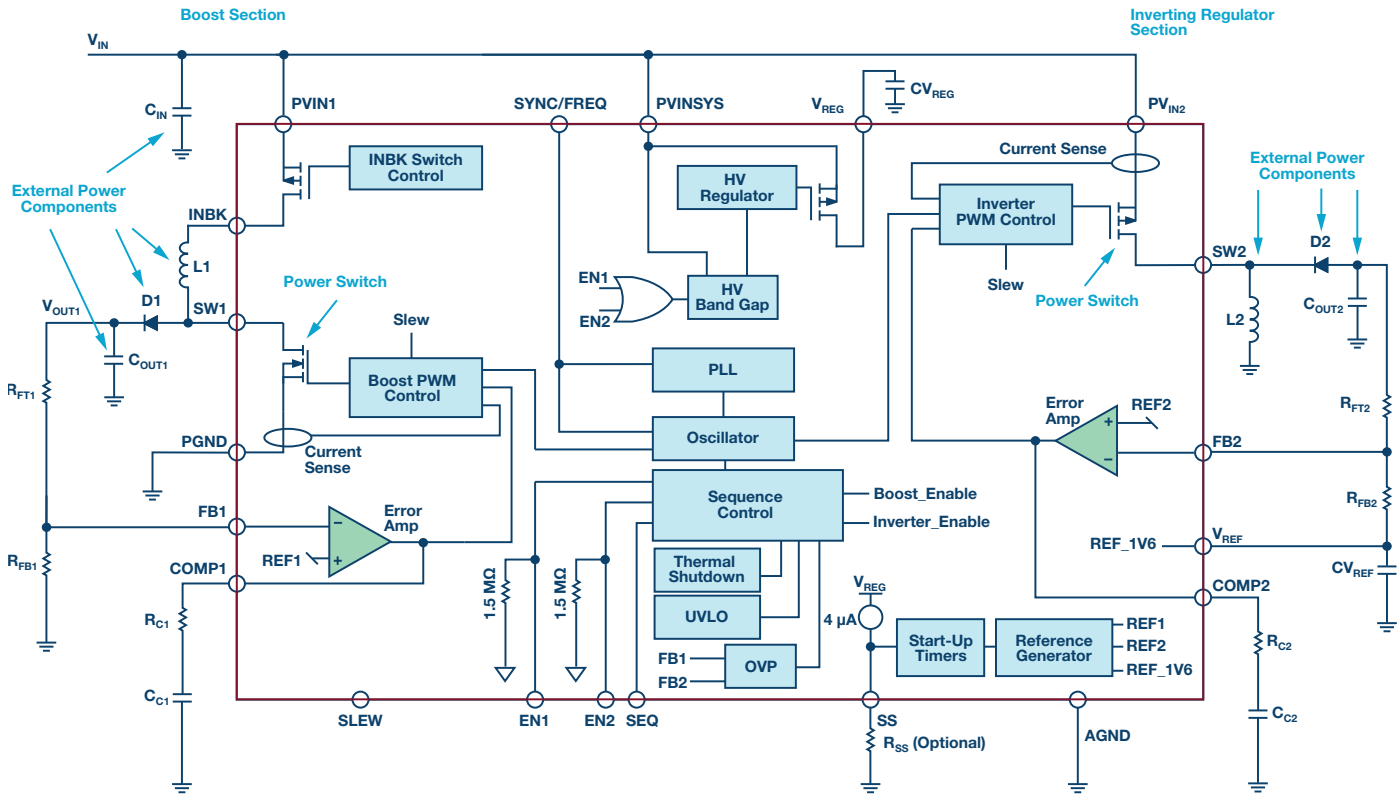


图1. 采用ADP5070稳压器的开关转换器

过流保护方案

开关转换器内部集成功率开关，使限流保护成为基本功能。常用限流方案有三种：恒流限流、折返限流和打嗝模式限流。

恒流限流

对于恒流限流方案，当发生过载情况时，输出电流保持恒定值(I_{LIMIT})。因此，输出电压会下降。这种方案通过逐周期限流实现，利用流经功率开关的峰值电感电流信息检测过载状况。

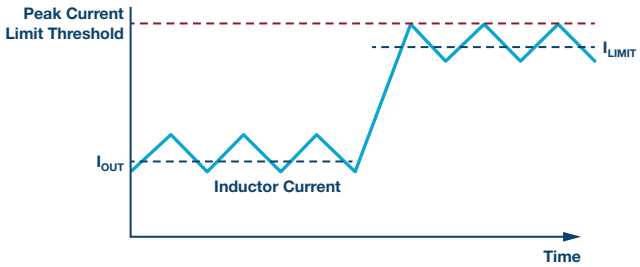


图2. 逐周期恒流限流

图2显示了在峰值限流方案中，一个降压转换器在正常和过载情况下的典型电感电流。在过载状况期间，如I_{LIMIT}所示，当检测到的峰值电流大于预定阈值时，开关周期终止。

在恒流限流方案中，输出电流保持在I_{LIMIT}，导致稳压器功耗很高。此功耗会导致结温升高，可能超过热限值。

折返限流

折返限流方案部分解决了恒流限流的问题，在故障或过载情况下有助于将晶体管保持在安全工作区域。图3比较了恒流和折返限流两种方案的V_{OUT}与I_{OUT}响应曲线。与恒流限流相反，输出电流(I_{OUT})的减小降低了功耗，从而降低了开关转换器的热应力。

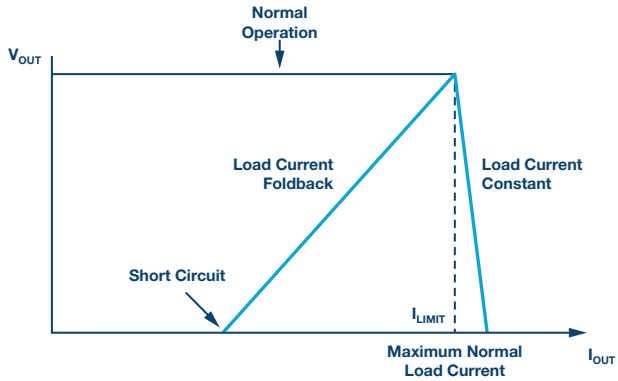


图3. 恒流和折返两种方案的V_{OUT}与I_{OUT}曲线

该方案的缺点是不能完全自恢复。由于其折返特性，并且取决于负载性质，一旦达到或超过限流阈值，工作点可能落入趋向短路工作点的折返区域。这将需要断电重启器件或重新使能器件，使其恢复正常工作状态。

打嗝模式限流

在打嗝模式限流方案中，转换器开关进入一系列突发短脉冲，然后是睡眠时间，“打嗝”名称正是由此而来。一旦发生过载状况，开关转换器即进入打嗝模式，其中的睡眠时间是指开关断开预定时间。睡眠时间结束时，开关转换器将尝试从软启动状态重新启动。如果限流故障已清除，器件将恢复正常工作，否则重新进入打嗝模式。

打嗝模式限流方案克服了上面讨论的两种过流保护的缺点。首先，它解决了散热问题，因为睡眠时间降低了平均负载电流，使转换器得以冷却。其次，一旦过载条件消除，器件便能平稳地自动恢复。

但是，如果启动过程中打嗝模式检测处于激活状态，则可能会出现一些问题。除负载电流外，过大浪涌电流可能会导致电感电流超出限流阈值，从而触发打嗝模式，阻止转换器启动。例如，ADP5071的反相稳压器的负输出配置为-15 V输出电压、100 mA输出电流和大约63 µF的总输出电容，由3.3V电源供电后不会启动。如图4所示，由于大输出浪涌电流触发限流阈值，负轨处于打嗝模式。电感电流峰值达到1.5A左右，超过了约1.32A的典型限流阈值。



图4. 打嗝模式下的ADP5071反相稳压器

另外，如果由于输出电容较大而引起浪涌过大，转换器的启动时间可能会意外变长，如图5所示。

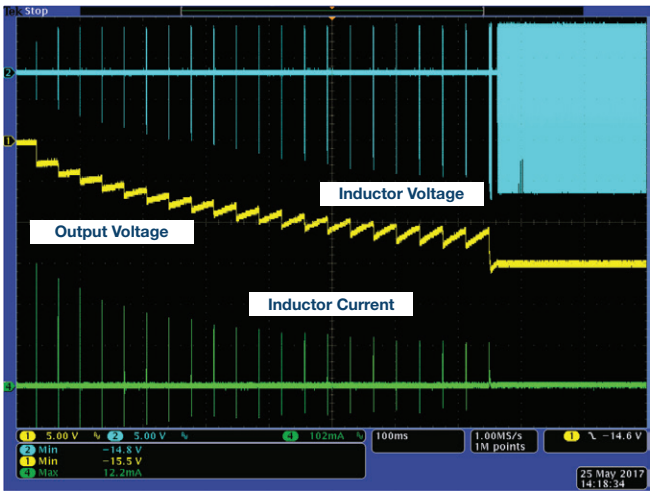


图5. ADP5070反相稳压器延迟启动

开关变换器中的电感电流

电感平均电流

在非隔离式开关转换器中，电感的位置决定转换器的拓扑结构。输入和输出之间有一个共用参考地，电感位置只有三个可能的不同轨：输入、输出和接地轨。

图6显示了这三种基本开关拓扑结构。当电感位于输出轨时，拓扑结构为降压型。当电感位于输入轨时，拓扑结构为升压型。当电感位于接地轨时，拓扑结构为反相升降压型。

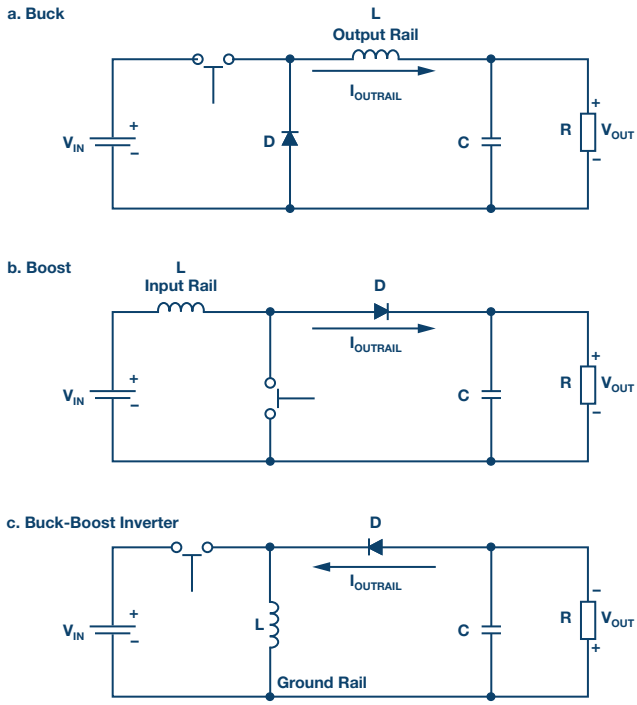


图6. 基本开关拓扑结构

在稳态条件下，由于电容上的平均电流为零，所以输出轨上的平均电流($I_{OUTRAIL}$)必定等于输出电流。对于降压拓扑，$I_{L\text{-}AVE} = I_{OUT}$。但对于升压和反相升降压型拓扑，$I_{D\text{-}AVE} = I_{OUT}$。

对于升压和反相升降压型拓扑，电流仅在开关关断期间流过二极管。因此在开关断开期间，$I_{D\text{-}AVE} = I_{L\text{-}AVE}$。要计算相对于输出电流的平均电感电流，请参考图7。关断时间内绿色矩形区域是平均二极管电流$I_{D\text{-}AVE}$，其高度等于$I_{L\text{-}AVE}$，宽度等于T_{OFF}。此电流全部到达输出端，因此可以转换成平均宽度为T、高度为I_{OUT}的矩形区域。

$$I_{L\text{-}AVE} \times (T - T_{ON}) = I_{OUT} \times T$$
$$I_{L\text{-}AVE} = \frac{I_{OUT}}{(1-D)} \text{ 其中, } D = \frac{T_{ON}}{T} \quad (1)$$

表1. 平均电感电流和占空比电感电流峰值

拓扑结构	电感电流	占空比
降压型	$I_{L\text{-}AVE} = I_{OUT}$	$D = \frac{V_{OUT}}{V_{IN}}$
升压型	$I_{L\text{-}AVE} = \frac{I_{OUT}}{(1-D)}$	$D = \frac{V_{OUT} - V_{IN}}{V_{OUT}}$
反相升降压型		$D = \frac{\lvert V_{OUT}\rvert}{\lvert V_{OUT}\rvert + V_{IN}}$

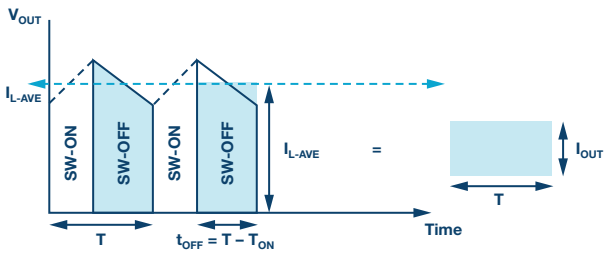


图7. 升压型或反相升降压型的二极管电流

表1是对平均电感电流$I_{L\text{-}AVE}$和开关占空比D的总结。基于这些公式，当输入电压处于最小值以提供最大占空比时，并且当输出电流处于最大值时，电感电流将处于最大值。

电感电流峰值

图8显示了升降压逆变器在稳态条件和连续导通工作模式下的电感电压和电流波形。对于任何开关拓扑结构，电感电流纹波量(ΔI_L)都可以根据理想电感公式2得出。

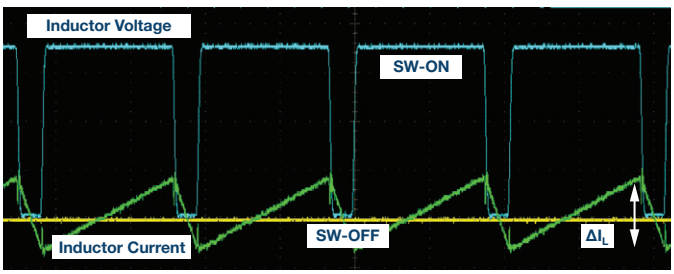


图8. 电感电流的“摆幅”

$$V_L = L \times \frac{dI_L}{dt} \quad (2)$$

在电感电流为三角形且呈现恒定变化率(因此有恒定感应电压)的开关转换器应用中，($\Delta I_L/\Delta t$)可以用在电感公式中，重新整理的公式3中就这一项。电感电流纹波由施加到电感的伏秒和电感值决定。

$$\Delta I_L = \frac{V_L \times \Delta t}{L} \quad (3)$$

开关导通时间很容易与占空比和开关频率相联系，如公式4所示。因此，在后面的公式中在开关导通期间使用伏秒乘积要比开关关断期间更方便。

$$t_{ON} = \frac{t_{ON}}{T} \div \frac{1}{T} = \frac{D}{f_{SW}} \quad (4)$$

表2总结了三种不同拓扑结构中的电感电流纹波。公式3中的伏秒乘积项t_{ON}被公式4代替，$V_{L\text{-}ON}$项被电感上的感应电压(取决于拓扑结构)代替。

表2. 电感电流纹波

拓扑结构	电感电流纹波
降压型	$\Delta I_L = \frac{(V_{IN} - V_{OUT}) \times D}{L \times fsw}$
升压型	$\Delta I_L = \frac{V_{IN} \times D}{L \times fsw}$
升降压型	

回顾图8中的稳态电感电流，可观察到，电感电流平均值恰好位于斜坡的几何中心，或波形摆幅的$\Delta I_L/2$点处。因此，电感电流峰值等于电感电流均值与电感电流纹波的一半之和，如公式5所示。

$$I_{L\text{-}PK} = I_{L\text{-}AVE} + \frac{\Delta I_L}{2} \quad (5)$$

电容浪涌电流

公式6定义了电容的充电电流或位移电流。它指出，流经一个电容的电流对应于该电容上的电压变化率。

$$I_C = C \times \frac{dV_C}{dt} \quad (6)$$

选择开关转换器的输出电容值时，应考虑电容充电电流。启动时，假定电容电压等于零或没有电荷，输出电容开始充电，汲取的电流取决于总电容和电容电压变化率，直至电容电压达到稳定状态。

开关转换器中输出电压的上升是一个斜率恒定的受控斜坡，因此变化率方程可以简化，如公式7所示。输出电压(ΔV)的变化对应于稳态输出电压，Δt对应于启动期间输出达到最终值所需的时间，或通常称为软启动时间。

$$I_{CAP} = C_{OUT} \times \frac{\Delta V}{\Delta t} = C_{OUT} \times \frac{V_{OUT}}{t_{SS}} \quad (7)$$

如果输出电容(C_{OUT})过大或软启动时间较短，则稳压器需要的电流I_{CAP}可能太高，导致转换器操作出现问题。这种大电流脉冲量称为浪涌电流。图9显示了输出为15 V、输出电容为10 µF、软启动时间为4 ms的反相降压-升压转换器启动期间的电容浪涌电流和输出电压。

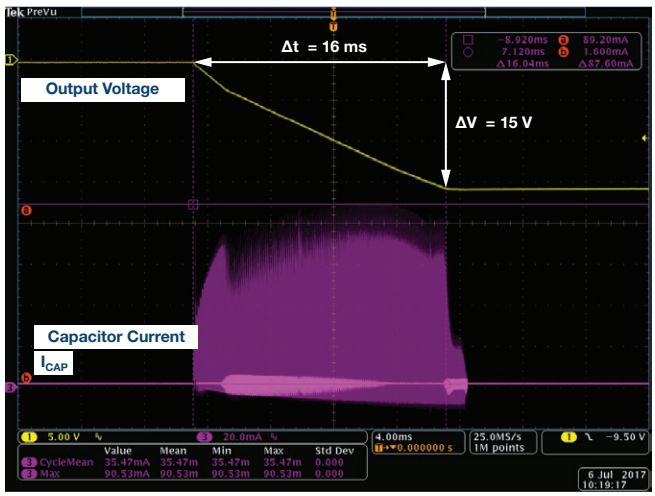


图9. 输出电容浪涌电流

启动时的电感电流峰值

图10显示了一个典型升压转换器电路。当晶体管开关闭合时，电流流过电感，但没有电流流过输出轨。在C_{OUT}放电阶段，放电电流(I_{CAP})流向输出端，但没有电流流经反向偏置二极管。当晶体管开关断开时，电流I_D流过二极管。

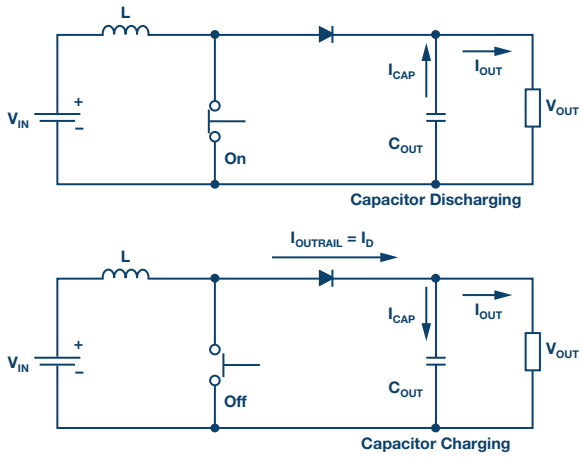


图10. 升压DC-DC转换器电路

根据基尔霍夫电流定律，通过输出轨的电流(I_D)必须等于流过输出电容(I_{CAP})和输出负载(I_{OUT})的电流之和。这可以通过公式8表示。

$$I_{OUTRAIL} = I_D = I_{CAP} + I_{OUT} \quad (8)$$

此公式适用于每个充电阶段或电容两端的电压上升时。因此，它也适用于开关转换器的启动过程，当输出电容的初始状态为放电时，或当输出电压尚未处于稳态值时。

启动期间的电感电流峰值可使用公式5进行定义，其中包括输出电容引起的浪涌电流影响。公式8将被应用于表1中的$I_{L\text{-}AVE}$公式，用$I_{OUT} + I_{CAP}$代替I_{OUT}。表3总结了启动过程中的电感电流峰值公式。

表3. 启动时的电感电流峰值

拓扑结构	电感电流纹波
降压型	$I_{L-PK} = \left(C_{OUT} \times \frac{V_{OUT}}{t_{ss}}\right) + I_{OUT} + \frac{(V_{IN} - V_{OUT}) \times D}{2 \times L \times fsw}$
升压型	$I_{L-PK} = \frac{\left(C_{OUT} \times \frac{V_{OUT}}{t_{ss}}\right) + I_{OUT}}{(1-D)} + \frac{V_{IN} \times D}{2 \times L \times fsw}$
升降压型	

对于三种拓扑结构中的任何一种，电感电流峰值都与I_{OUT}成正比。就输出电流而言，输出电容必须按照满载条件进行设计。

大多数应用要求在一定输入电压范围内工作。因此，针对输入电压，就电感电流的直流和交流分量电压的大小而言，降压拓扑结构与其他两种拓扑结构之间存在差异。通过图11可以更好地明白这一点。对于降压拓扑，随着输入电压升高，交流分量电压升高。平均电流等于输出电流，所以直流分量电压保持不变。因此在最大输入电压下，电感电流峰值最大。

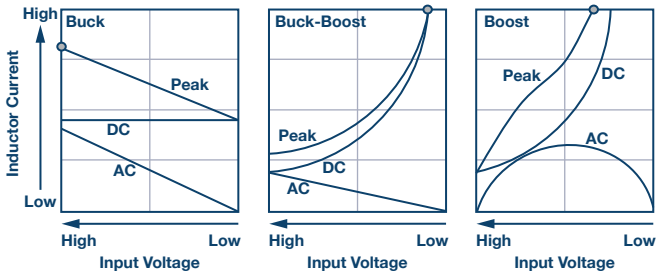


图11. 电感电流与输入电压的关系

对于升压型和升降压型，随着输入电压升高，交流分量电压升高，但由于占空比对平均电流的影响，直流分量电压下降，如表1所示。直流分量电压占主导地位，因此电感峰值电流在最小输入电压时处于额定最大值。就输入电压而言，对于降压拓扑，输出电容的设计必须在最大输入电压下完成，升降压型，则应使用最小输入电压进行设计。

降低浪涌影响

输出电容滤波器

如前面部分所述，输出端电容过大会引起高浪涌电流，导致电感电流峰值在启动期间达到限流阈值。因此，在保持良好的转换器启动性能的同时，必须使用合适的电容来实现最小输出电压纹波。

对于降压转换器，C_{OUT}和峰峰值电压纹波之间的关系由公式9定义。

$$C_{OUT} = \frac{\Delta I_L}{8 \times f_{SW} \times V_{OUT_{ripp_{pk-pk}}}} \quad (9)$$

其中：

$$\Delta I_L = \frac{(V_{IN} - V_{OUT}) \times D}{f_{SW} \times L}$$

对于升压和反相降压-升压转换器，C_{OUT}和峰峰值纹波之间的关系由公式10定义。

$$C_{OUT} = \frac{I_{OUT} \times D}{f_{SW} \times V_{OUT_{ripp_{pk-pk}}}} \quad (10)$$

请注意，这些公式忽略了寄生元件对电容和电感的影响。根据转换器的额定规格，这可以帮助设计者限制输出端增加的电容。关键考虑是让滤波水平和输出浪涌电流实现良好平衡。

二级LC滤波器

在某些情况下，输出电压上会出现开关瞬变，如图12所示。如果幅度显著，这对输出负载将是一个问题。开关尖峰主要由输出轨上的电流(对于升压型和升降压型是二极管电流)的开关转换引起。PCB铜线上的杂散电感可能会将其放大。由于尖峰频率比转换器开关频率高得多，所以仅通过输出滤波电容无法减小峰峰值纹波，需要进行额外的滤波。

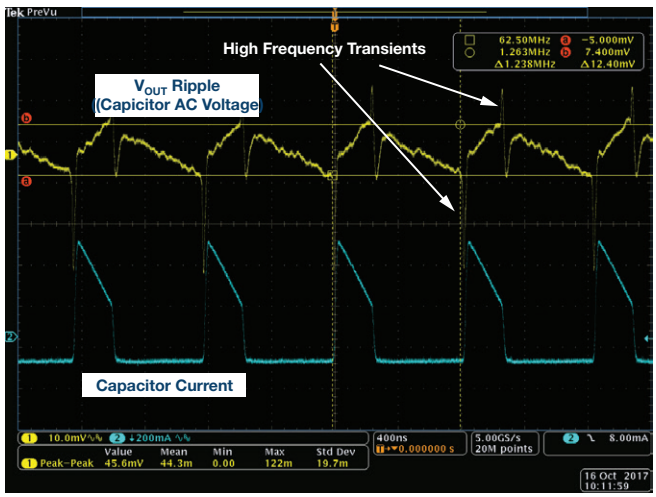


图12. 输出电压纹波和开关瞬变

图12中的蓝色线表示升压转换器中电感的周期性开关动作，黄线表示输出电压纹波。当电感电流开关转换时，纹波电压内可观察到高频瞬变。

analog.com上有一篇很好的文章介绍了如何通过二级LC滤波来降低高频瞬态，其标题为“为开关电源设计二级输出滤波器”，作者是Kevin Tompsett。

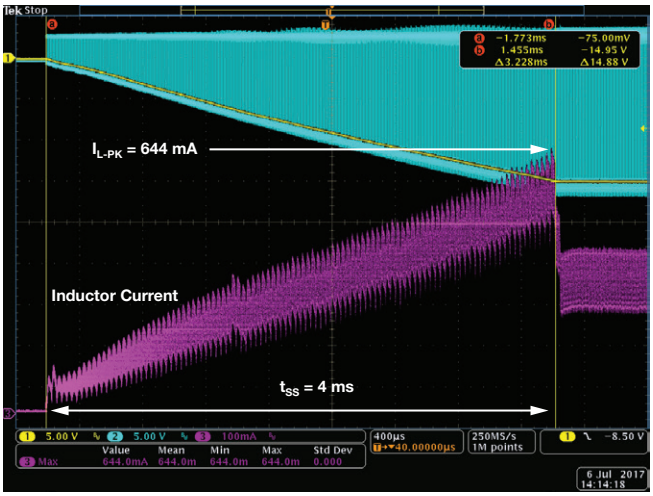
纹波测量

获取输出电压纹波时，正确的测量方法也很重要。不正确的测量设置可能导致高压纹波读数不准确，从而可能造成输出电容过度设计。很容易犯把过多电容放在输出端的错误，以期降低电压纹波，而没有意识到这样做的坏处。

Aldrick Limjoco撰写的题为“测量开关稳压器中的输出纹波和开关瞬变”的应用笔记对此应该有所帮助。详情参见参考文献。

软启动特性

对于升压型和反相降压-升压型，电感电流直流分量电压的增加产生的影响更大。在较低输入电压时，占空比的增加导致电感电流均值大幅增加，如表3公式中的(1-D)因子所示，图11也显示了这一现象。这意味着必须显著降低输出电容的浪涌电流。通过增加公式7中的软启动时间(t_{SS})可实现这一点。



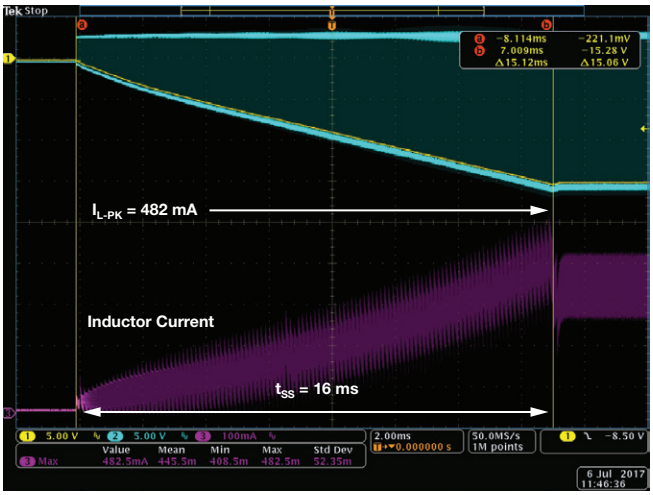


图13. 电感电流与软启动时间的关系

大多数开关稳压器(t_{SS})具有软启动特性，这是为了让设计人员能够调整启动期间的输出电压上升时间。改变单个电阻的值常常是调整软启动时间的便利方法。图13显示了升降压型变器的启动波形。软启动时间从4 ms变到16 ms时，可以看到电感电流峰值显著下降25%。

提高开关频率

图14显示了改变开关频率(f_{SW})对电感电流的影响。假定占空比D和输出电流保持不变，则电感电流的交流分量电压或$\Delta I_L/2$受f_{SW}变化的影响，而直流分量电压不受影响。因此，当开关频率较高时，与之成反比的电感电流峰值会较低。

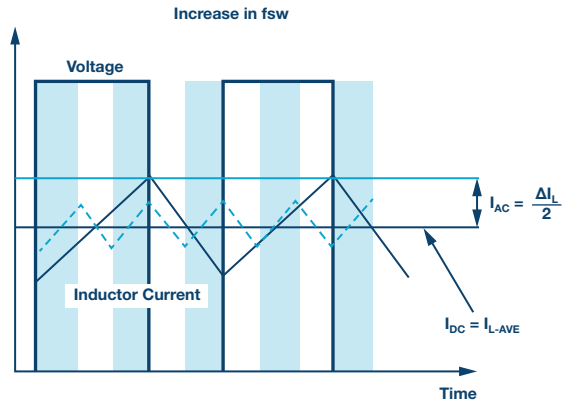


图14. 影响电感电流峰值的因素

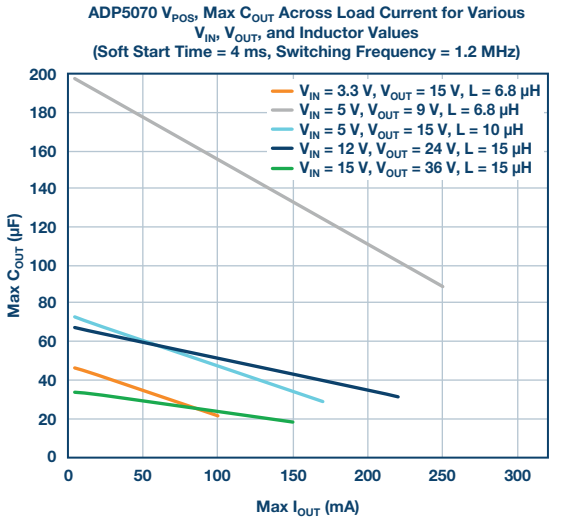
ADP5070：示例

输出电容可以有多大?

ADP5070是一款单芯片、双通道、升压和反相升降压型稳压器，通过打嗝模式限流方案提供过流保护。有些客户忘记考虑在输出端放置太多电容的弊端，特别是在高占空比工作条件下或在最小输入电压下。这通常会导致反相输出端发生启动问题，因为反相降压-升压调节器设计的限流阈值低于升压调节器。

图15可用来帮助应用工程师确定ADP5070输出端允许多大的电容，以避免启动问题。它使用电感峰值电流与输出电流的直接关系(包括表3公式中的浪涌)，显示了不同输入和输出电压组合下的最大C_{OUT}与最大I_{OUT}的关系曲线。利用公式9或公式10考虑最佳V_{OUT}纹波性能，将有助于设计输出电容限值。

两张图均基于调节器的最短t_{SS}和限流阈值计算。所选外部元件的电流处理能力比调节器高得多。换言之，如果t_{SS}增加，这些图中的数值肯定会变大。



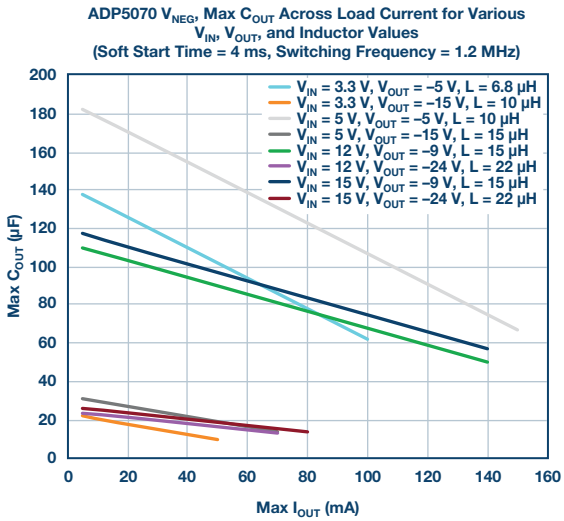


图15. 最大C_{OUT}与最大负载电流的关系

对于需要更高输出负载电流的应用，应考虑ADP5071。对于升压和反相降压-升压调节器，ADP5071设计的限流阈值均高于ADP5070。

计算结果与测量数据

图16显示了反相调节器的电感感应电压和电流的启动波形，而图17显示了利用表3中公式计算出的电感电流数据和实测基准数据。

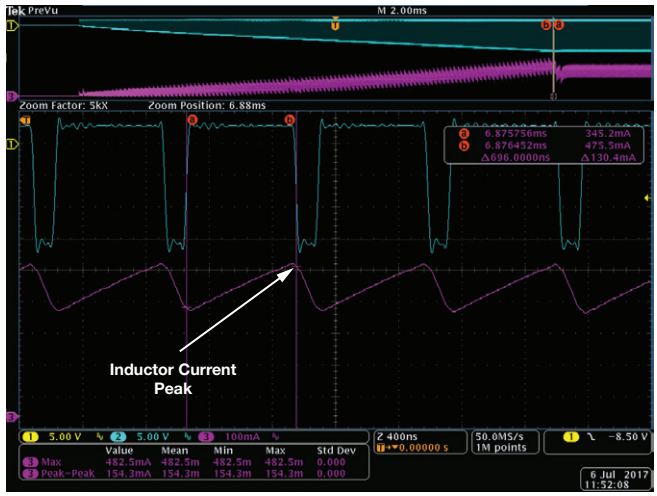


图16. 启动时的电感电流和感应电压

Input Parameters:

V_{IN} =	3.3 V	V_{OUT} =	–15 V
f_{SW} =	1.2 MHz	I_{OUT} =	50 mA
L =	15 µH	V_{DIODE} =	0.5 V
		C_{OUT} =	10 µF

t_{SS} = 3.22ms				
Data	DUTY (%)	I_{CAP} (mA)	I_{L-PK} (mA)	I_{L-PP} (mA)
Computed	82.4	46.6	625.8	151.2
Measured	84.1	46.8	644	161.4

t_{SS} = 15.14ms				
Data	DUTY (%)	I_{CAP} (mA)	I_{L-PK} (mA)	I_{L-PP} (mA)
Computed	82.4	9.9	416.9	151.2
Measured	83.5	7.6	481.6	149.7

t_{SS} = 30.32ms				
Data	DUTY (%)	I_{CAP} (mA)	I_{L-PK} (mA)	I_{L-PP} (mA)
Computed	82.4	4.9	388.6	151.2
Measured	84.3	5.2	465.6	147.4

图17. 电感电流：计算值与测量值

数据表明，如果t_{SS}增加，浪涌电流会大大降低，从而降低电感峰值电流。当t_{SS}为4 ms时，反相调节器已经达到0.6A的限流阈值，并有发生启动问题的趋势。补救办法是将t_{SS}增加到16 ms，以提供足够的电感峰值电流裕量。

结论

本文已阐明，仔细设计输出滤波电容对于开关转换器设计十分重要。深入了解影响启动期间电感峰值电流的因素有助于避免启动问题。升压和反相降压-升压转换器更容易出现这些问题，特别是那些使用打嗝模式限流方案的转换器。

电感峰值电流和输出浪涌电流之间的直接关系已给出。当设计输出电容时，对照限流阈值考虑电感峰值电流将很有帮助。对于相同的输出条件，通过增加软启动时间或转换器开关频率可以降低输出浪涌电流。

使用ADI公司的ADP5070/ADP5071/ADP5073/ADP5074/ADP5075系列单芯片开关稳压器设计DC-DC开关转换器时，本文可作为参考资料。

参考文献

R.B.Erickson和D.Maksimovic。*电源电子基础*，第二版。Springer，2001年。

Gustav Kirchhoff。“基尔霍夫电流定律”。*电子教程*。

Aldrick S. Limjoco。应用笔记AN-1144 *“测量开关稳压器的输出纹波和开关瞬变”*。ADI公司，2013年1月。

Kevin Tompsett。“设计开关电源中使用的二级输出滤波器”。ADI公司，2016年2月。

Fil Paulo S. Balat [fil.balat@analog.com]担任ADI应用工程师，负责电源管理、DC-DC产品，拥有17年的开关电源设计经验。他丰富的经验还涉及用于移动电话充电器的反激式准谐振交流直流转换器。Fil毕业于菲律宾卡加延德奥罗泽维尔大学，获电子工程学士学位。



Fil Paulo Balat

Jeferson Eco [jeferson.eco@analog.com]于2011年加入ADI菲律宾公司，目前担任应用开发工程师一职。他毕业于菲律宾纳加市卡马里内斯苏尔职业技术学院，获得电子工程学士学位。



Jefferson Eco

该作者的其他文章：

铁氧体磁珠揭秘
第50卷，第1期

James Jasper Macasaet [james.macasaet@analog.com]于2013年4月毕业于菲律宾马尼拉圣托马斯大学，获电子工程学士学位，目前在利默里克大学继续攻读工程硕士学位。他目前担任ADI公司菲律宾马尼拉地区系统应用开发工程师，专注于通过一系列混合信号产品(如DAC和ADC)对ADI高性能电源管理产品进行特性分析。他曾就单电源系统中的双电源精密DAC供电问题与他人合作撰写过应用笔记。



James Macasaet

基于MUSIC的算法利用腕上光电容积脉搏波(PPG)信号提供按需心率估算

作者：Foroohar Foroozan

分享至

想象未来几十年后的世界，您的孙子们可能不知道医院这个词，所有健康信息都是通过传感器远程记录和监测。想象您的家里配备了不同的传感器来测量空气质量、温度、噪声、光照和气压，并且根据您的个人健康信息，系统调整相关环境参数以优化您的家居环境。在实现美好未来的道路上，ADI公司处于一个独特的有利位置，通过提供相互补充的传感器、软件和算法来增加其在数字健康市场的份额。

心率(HR)监测是许多现有可穿戴产品和临床设备的关键特性。这些设备一般测量光电容积脉搏波(PPG)信号，为获得该信号，须利用LED照射人体皮肤，然后用光电二极管测量血流引起的反射光强度变化。PPG信号形态与动脉血压(ABP)波形相似，这使得该信号成为受科学界欢迎的非侵入性心率监测工具。PPG信号的周期性与心脏节律相对应。因此，可以根据PPG信号估算心率。然而，受血液灌流不良、环境光线以及最重要的运动伪像(MA)[1]的影响，心率估算性能会降低。业界已提出许多信号处理技术来消除MA噪声，包括ADI公司的运动抑制和频率跟踪算法，通过使用一个靠近PPG传感器放置的三轴加速度传感器来实现。当没有运动时，最好能有一个按需算法来向跟踪算法提供快速且更精确的心率估算。本文改造了多信号分类(MUSIC)频率估计算法，以利用ADI医疗健康手表平台，根据手腕上的PPG信号实现高精度按需心率估算，图1所示为其框图。该图的细节将在后面的内容中说明。

ADI医疗健康手表提供的PPG信号概述

当LED发光时，血液和组织会吸收不同数量的光子，导致光电检测器检测到不同的结果。光电检测器测量血液脉动的变化并输出一个电流，该电流随后经放大和滤波以供进一步分析。

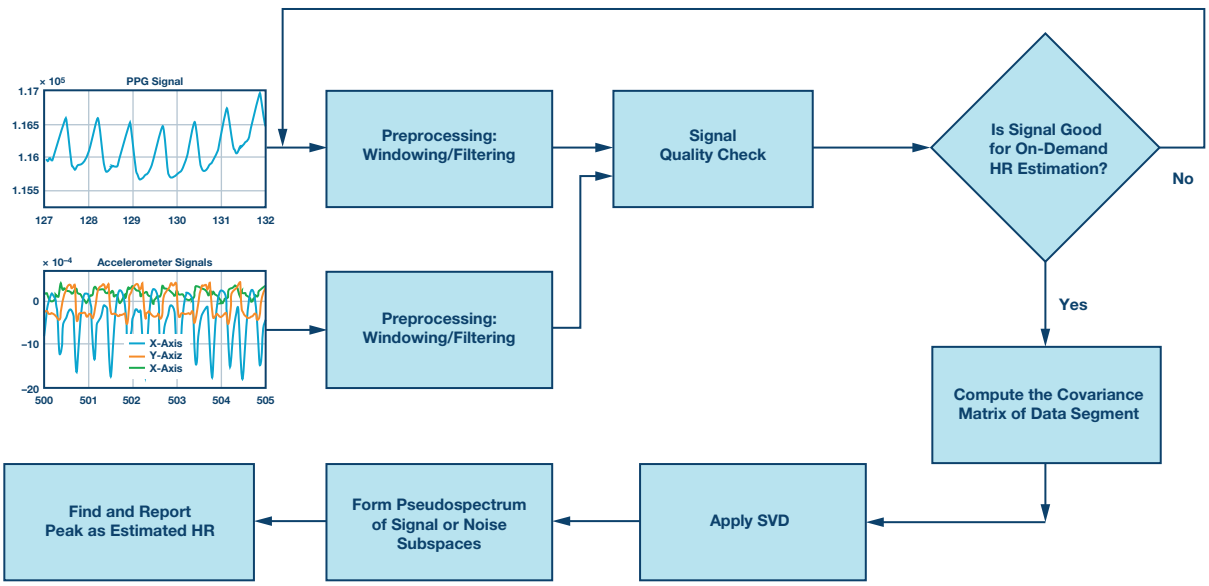


图1. 利用腕上PPG信号的基于MUSIC的按需心率估计算法。

图2a显示了一个由交流(ac)和直流(dc)分量组成的一般PPG信号。PPG波形的直流分量检测组织、骨骼和肌肉反射的光信号，以及动脉和静脉血液的平均血容量。交流分量则表示心动周期的收缩期和舒张期之间发生的血容量变化，交流分量的基频取决于心率。图2b是来自ADPD107手表的PPG信号，这在之前的《*模拟对话*》文章中已介绍过。ADI多感知手表的目标是测量人体手腕上的多项生命体征。ADI手表有PPG、心电图(ECG)、皮肤电活动(EDA)、加速度(ACC)和温度传感器。本文仅关注PPG和ACC传感器。

现在我们仔细看看PPG和ABP波形的相似之处。ABP波形是由于左心室射出血液造成的。主压力沿全身血管网流动并到达多个部位，动脉阻力和顺应性的显著变化引起反射。第一个部位是胸主动脉和腹主动脉之间的接合处，其引起第一次反射，通常称为收缩晚期波。第二个反射部位是腹主动脉和髂总动脉之间的接合处。主波被再次反射回来，产生一个很小的下降，称为重搏切迹，这可以在第一次和第二次反射之间观察到。还有其他较小的反射，这些反射在PPG信号中被平滑掉[2]。本文的重点是心率估计，其仅取决于PPG信号的周期性，此算法不考虑PPG的确切形态。

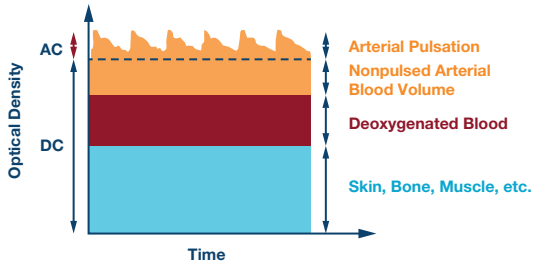


图2a. 含交流和直流部分的典型PPG信号

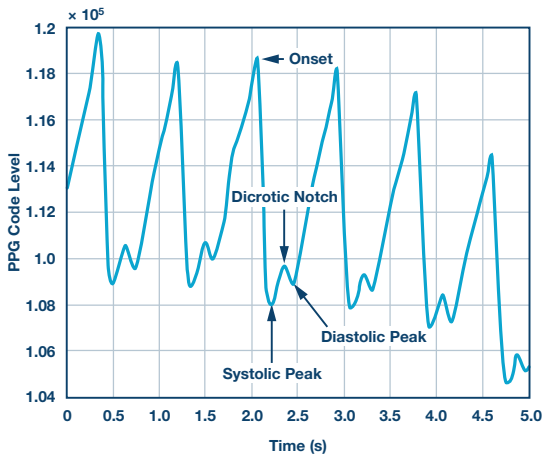


图2b. ADI医疗保健手表PPG信号

PPG信号预处理

PPG信号易受周边组织的不良血液灌流和运动伪像的影响是众所周知的[1]。为将这些因素的影响降至最小，以免干扰随后的PPG分析和心率估计，须有一个预处理阶段。需要一个带通滤波器来消除PPG信号的高频成分(如电源)和低频成分(如毛细血管密度和静脉血容量的变化、温度变化等等)。图3a显示了滤波之后的PPG信号。使用一组信号质量指标来找到适合于按需算法的PPG信号第一个窗口。第一次检查涉及ACC数据和PPG信号，以确定是否能检测到一段无运动的数据，然后衡量其他信号质量指标。如果三个方向上存在高于ACC数据绝对值的特定阈值的运动，则按需算法会拒绝根据这样的数据窗口进行估计。下一信号质量检查是基于数据段特征的某种自相关。图3b显示了经滤波的PPG信号的一个自相关例子。可接受信号段的自相关表现出如下特性：具有至少一个局部峰值，并且对应于最高可能心率的峰值不超过某一数量；局部峰值从高到低递减，间隔时间递增；以及其他一些特性。仅计算与有意义的心率(位于30 bpm到220 bpm范围内)相对应的间隔时间的自相关。

当有足够的数据段连续通过质量检查时，算法的第二阶段就会使用基于MUSIC的算法算出准确的心率。

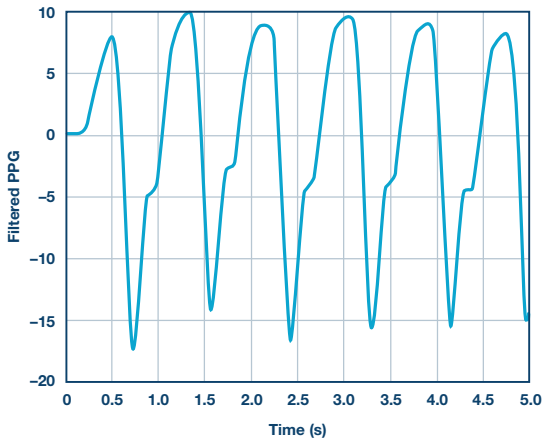


图3a. 经过带通滤波的图1b中PPG信号

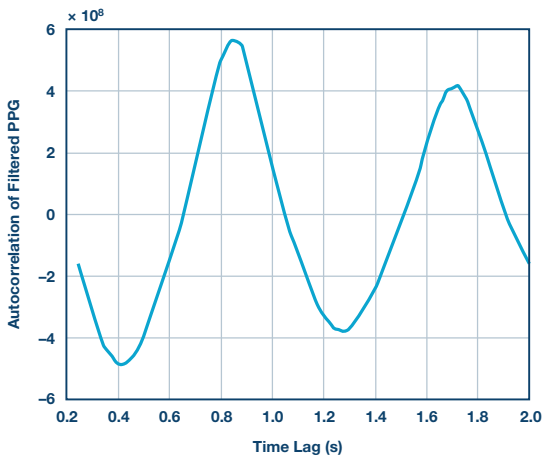


图3b. 图2a中信号图的自相关

基于MUSIC的按需心率估计算法

MUSIC是一种基于子空间的方法，使用谐波信号模型，可以高精度地估算频率[3]。对于受到噪声破坏的PPG信号，傅立叶变换(FT)可能表现不佳，因为我们需要的是高分辨率心率估计算法。此外，FT将时域噪声均匀分布到整个频域中，限制了估算的确定性。使用FT很难在较大峰值附近观察到较小峰值[4]。因此，在本研究中，我们使用基于MUSIC的算法进行心率的频率估计。MUSIC背后的关键思想是噪声子空间与信号子空间正交，所以噪声子空间的零点会指示信号频率。下面的步骤是这种心率估计算法的总结：

- 从数据中删除平均和线性趋势
- 计算数据的协方差矩阵
- 对协方差矩阵应用奇异值分解(SVD)
- 计算信号子空间阶数
- 形成信号或噪声子空间的伪谱
- 找出MUSIC伪谱的峰值作为心率估计值

MUSIC必须应用奇异值分解，并且必须在整个频率范围内搜索频谱峰值。我们来看一些数学算式，以使上述步骤更清晰。假设经滤波的PPG信号有一个长度为m的窗口，表示为x_m且$m \le L$(其中L为给定窗口中经滤波PPG信号的总样本数)。那么，第一步是形成样本协方差矩阵，如下所示：

$$\hat{R} = \frac{1}{L-M} \sum_{m=1}^{M} x_m x_m^T$$

然后对样本协方差矩阵应用SVD，如下所示：

$$\hat{R} = U \Lambda V = U_s \Lambda U_s^T + U_n \Lambda U_n^T$$

其中，U为协方差矩阵的左特征向量，Λ为特征值的对角矩阵，V为右特征向量。下标s和n分别代表信号和噪声子空间。正如之前提到的，使用信号已经通过信号质量检查阶段的先备知识，对基于MUSIC的算法进行修改以用于心率估计，因此预处理步骤之后，信号中唯一存在的频率成分是心率频率。接下来形成信号和噪声子空间，假设模型阶数只包含一个单音，如下所示：

$$U_s = U(1{:}\,p, :);\ U_n = U(p+1{:}\,end, :)$$

其中$p = 2$为模型数。仅考虑有意义心率限值内的频率。这会大大减少计算量，使嵌入式算法的实时实现成为可能。搜索频率向量定义为：

$$a(k) = [1, e^{-1 \times \frac{2\pi j(k-1)}{L}}, e^{-2 \times \frac{2\pi j(k-1)}{L}}, e^{-3 \times \frac{2\pi j(k-1)}{L}}, \ldots$$
$$e^{-(m-1) \times \frac{2\pi j(k-1)}{L}}]\hat{}T$$

其中，k为心率目标频率范围内的频点，L为$x_m(t)$中数据的窗口长度。然后，下面的伪谱使用噪声子空间特征向量找出MUSIC的峰值，如下所示。

$$\Phi(k) = \frac{1}{a^H U_n U_n^H a}$$

这里使用伪谱一词，是因为它表明所研究信号中存在正弦分量，但它不是一个真正的功率谱密度。图4显示了基于MUSIC的算法处理5秒数据窗口得到的示例结果，在1.96 Hz处有一个很陡的峰值，换算为心率是117.6 bpm。

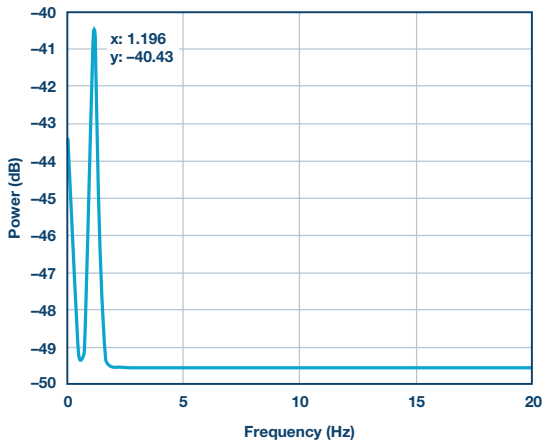


图4. 使用PPG数据的基于MUSIC估计的一个示例

基于MUSIC的按需心率估计算法的结果

我们已经在一个包含1289个测试案例(data1)的数据集上测试了该算法的性能，并且在数据开始时，测试对象被要求静止。表1给出了基于MUSIC算法的结果，并指出估计的心率是否在参考(ECG)的2 bpm和5 bpm精度范围内，以及估计时间的第50百分位数(中值)和第75百分位数。表1中的第二行显示了对于一个包含298个测试案例(data2)的数据集，存在周期性运动(如步行、慢跑、跑步)时该算法的性能。通过检测运动，如果任一数据被视为不可靠而遭到拒绝，或者是认为不受运动影响而精确估算得到心率，则认为该算法是成功的。在内存使用方面，假设缓冲区大小为500(即100 Hz时为5秒)，对于目标频率范围(30 bpm至220 bpm)，所需总内存约为3.4 kB，每次调用花费2.83周期。

表1. 基于MUSIC的按需心率估计算法的性能数值

指标	2 bpm精度	5 bpm精度	第50百分位数	第75百分位数
精度(data1)	93.7%	95.2%	5.00 sec	5.00 秒
精度(data2)	93.4%	94.1%	5.00 sec	5.00 秒

结语

基于MUSIC的按需算法是ADI公司医疗保健业务部门生命体征监测小组提出的众多算法之一。在我们医疗健康手表中使用的按需算法与这里讨论的基于MUSIC的方法不同，前者的计算成本较低。ADI公司为传感器(嵌入式)和边缘节点提供软件和算法功能，使其从数据中获取有价值的信息，仅将最重要的数据发送到云端，让我们的客户和合作伙伴可以在本地做出决策。我们选择应用的标准是，其成果对于我们的客户来说非常重要，并且我们拥有独特的测量专业技术。本文只是对ADI公司研发的算法的简单介绍。凭借我们在传感器设计方面的现有专业知识，以及我们在生物医学算法开发(包括嵌入式和云计算)方面的努力，ADI公司将拥有独特的优势来为全球医疗健康市场提供最先进的算法和软件。

参考文献

[1] Tamura、Toshiyo Tamura、Yuka Maeda、Masaki Sekine和Masaki Yoshida。“可穿戴光电容积脉搏波传感器——过去和现在”。*Electronics*，第3卷第2期，2014年。

[2] R. Couceiro、P. Carvalho、R.P.Paiya、J. Henriques、I. Quintal、M. Antunes、J. Muehlsteff、C. Eickholt、C. Brinkmeyer、M. Kelm和C. Meyer。“根据手指光电血管容积图的多高斯拟合评估心血管功能”。*Physiological Measurement*，第36卷第9期，2015年。

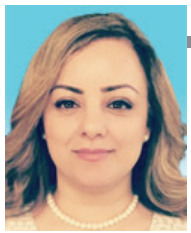
[3] Petre Stoica和Randolph L. Moses。*信号频谱分析*。Pearson Prentice Hall，2005年。

[4] Steven W. Smith。*面向科学家和工程师的数字信号处理指南*。California Technical Publishing，1997年。

致谢

作者感谢ADI公司的Sefa Demirtas、Bob Adams和Tony Akl对此算法的开发所提供的帮助和宝贵意见。

Foroohar Foroozan [foroohar.foroozan@analog.com]是信号处理科学家。Foroohar于2015年8月加入ADI公司，领导医疗健康业务部面向生命体征和家用监测系统的多伦多算法团队。同时，她就护理点超声成像系统与ADI成像团队展开合作。加入ADI之前，她担任加拿大Geotech Ltd.的研发科学家，致力于新一代机载电磁地球物理测量系统的智能滤波。她是Sunnybrook Research Institute博士后，在2012年至2013年期间致力于脑血管病图的3D、超高分辨率超声成像，正在申请PCT专利。她于2011年获得加拿大多伦多约克大学-拉松德工学院计算机科学博士学位。她对生物医学系统中的信号处理和算法感兴趣，主要致力于生命体征系统和生物医学成像。她是安大略省专业工程师协会(P.Eng.)成员和IEEE高级成员。



Foroohar Foroozan

低EMI/EMC开关转换器简化ADAS设计

作者：**Tony Armstrong**

分享至

背景知识

ADAS是高级驾驶员辅助系统的英文缩写，它在当今许多新型汽车和卡车中很常见。此类系统通常有助于安全驾驶；当检测到周围物体(例如不遵守交通规则的行人、骑车人，甚至有其他车辆位于不安全的行驶轨迹上)构成风险时，系统可以向驾驶员提供警报！此外，这些系统通常提供自适应巡航控制、盲点检测、车道偏离警告、驾驶员困倦监控、自动制动、牵引控制和夜视等动态特性。因此，消费者对安全性日益增强的重视、对驾驶舒适性的要求以及政府安全法规的不断增加，是未来十年后半时期汽车ADAS的主要增长动力。

这种增长对行业来说并不是没有挑战，包括价格压力、通货膨胀、复杂性和系统测试的困难性。此外，欧洲汽车行业是最具创新性的汽车市场之一，这点不足为奇，ADAS的市场渗透率和客户接受度均有重大突破。不过，美国和日本汽车制造商也不甘落后。最终目标是实现无需人类在方向盘后面干预的自动驾驶！

系统难题

一般来说，ADAS集成了一些微处理器来收集车内众多传感器提供的所有输入，然后进行处理，以便可以将其方便易懂地呈现给驾驶员。此外，这些系统通常由车辆主电池直接供电，其标称电压为9 V至18 V，但由于系统内部的电压瞬变，电压可能高达42 V，而在冷启动期间，电压可能低至3.4 V。因此，这些系统中的任何DC-DC转换器都必须至少能够处理3.4 V至42 V的宽输入电压范围。另外，许多双电池系统(例如卡车中常见的双电池系统)需要更宽的输入范围，上限推高至65 V。因此，一些ADAS制造商将其系统设计为覆盖3.4 V至65 V的输入范围，使其可用于汽车或卡车中，同时在制造过程中获得规模经济的好处。

大部分ADAS使用5 V和3.3 V电源轨为其各种模拟和数字IC器件供电。相应地，此类系统的制造商更喜欢使用单个转换器来同时解决单电瓶和双电瓶配置。此外，该系统通常安装在车辆中空间和散热均受限制的部分中，这会给用于散热目的的散热器带来限制。虽然采用高压DC-DC转换器直接从电池产生5V和3.3V电源轨是司空见惯的，但在如今的ADAS中，开关稳压器也必须达到2 MHz或更高的开关频率，而非以前的500 kHz以下开关频率。这一变化背后的关键驱动力是需要更小尺寸的解决方案，同时也要保持在AM频段之上，以避开任何潜在的干扰。

另外，好像设计人员的任务还不够复杂一样，他们还必须确保ADAS符合车内各种抗噪标准。在汽车环境中，开关稳压器正在取代那些重视低发热和高效率的区域中的线性稳压器。而且，开关稳压器通常是输入电源总线上的第一个有源部件，因此对整个转换器电路的EMI性能有着重要影响。

EMI发射有两类：传导和辐射。传导发射位于连接到产品的电线和走线上。由于该噪声局限于设计中的特定端子或连接器，因此在开发过程中借助良好的布局或滤波器设计，通常可以相对容易地保证符合传导辐射要求。

不过，辐射发射完全是另一回事。电路板上任何承载电流的东西都会辐射电磁场。电路板上的每一条走线都是一根天线，每个铜层都是一个谐振器。除了纯正弦波或直流电压以外，任何其他东西都会在整个信号频谱上产生噪声。即使精心设计，在系统进行测试之前，电源设计人员也并不真正知道辐射发射会有多糟糕——而辐射发射测试只有在设计基本完成之后才能正式进行。

常常使用滤波器来衰减特定频率或一定频率范围的信号强度，从而降低EMI。通过空间传播(辐射)的这部分能量可通过添加金属和磁屏蔽来衰减。位于PCB走线(传导)的能量部分可通过添加铁氧体

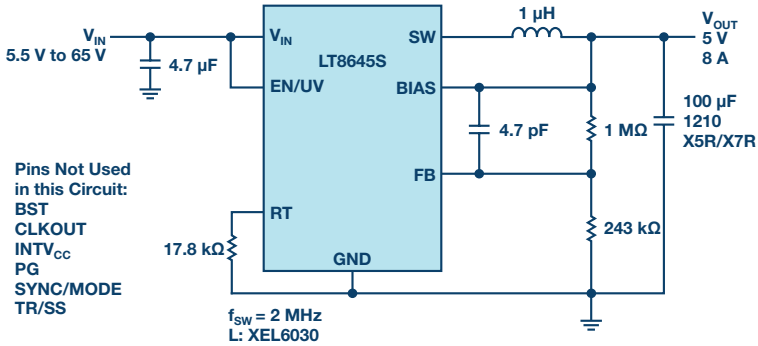


图1. 提供5 V、8 A、2 MHz输出的LT8645S原理图

磁珠和其他滤波器来抑制。EMI无法消除，但可以衰减到其他通信和数字器件能够接受的水平。此外，多家监管机构通过实施相关标准来确保产品合规。

现代输入滤波器采用表面安装技术拥有比通孔器件更好的性能。但是，这种改善跟不上开关稳压器工作频率增加的步伐。更高的效率、较短的开/关时间和更快的开关跃迁，导致谐波含量更高。所有其他参数(如开关容量和转换时间)保持不变时，开关频率每增加一倍，EMI就会恶化6 dB。如果开关频率增加10倍，宽带EMI就会像辐射增加20 dB的一阶高通滤波器一样。

有经验的PCB设计人员会将热环路变小，并让屏蔽接地层尽可能靠近有源层。尽管如此，器件引脚排列、封装结构、散热设计要求以及在去耦元件中储存充足能量所需的封装尺寸，都要求某一最小尺寸的热环路。更复杂的是，在典型平面印刷电路板中，走线之间高于30 MHz的磁性或变压器式耦合会削弱所有滤波器的作用，因为谐波频率越高，不良磁耦合就越显著。

低EMI辐射的高电压DC-DC转换器

鉴于上文所述的应用限制，ADI公司Power by Linear™部门开发出LT8645S——一款支持高输入电压、单芯片、低EMI辐射的同步降压转换器。其输入电压范围为3.4 V至65 V，因而既适合汽车应用，也适合卡车应用，包括ADAS，后者必须胜任冷启动和启停场景下的调节，最低输入电压低至3.4V，电源切断瞬变超过60V。如图1所示，该器件采用单通道设计，提供5V、8A输出。开关频率为2 MHz时，其同步整流拓扑可实现高达94%的效率，而在空载待机条件下，突发工作模式(Burst Mode®)保持静态电流低于2.5 µA，因此非常适合始终开启的系统使用。

LT8645S的开关频率可以在200 kHz到2.2 MHz范围内进行编程，并且在整个频率范围内都支持同步。其独特的Silent Switcher® 2架构集成了内部输入电容以及内部BST和$INTV_{CC}$电容，以缩小解决方案尺寸。结合严格受控的开关边沿和集成接地层的内部结构，并用铜柱代替键合线，LT8645S的设计大大降低了EMI辐射。此外，其Silent Switcher 2设计还能在任何印刷电路板(PCB，包括2层PCB)上提供鲁棒的EMI性能。而且，与其他类似转换器相比，它对PCB布局的敏感度要低得多。这是因为，LT8645S的内部双路输入、BST和$INTV_{CC}$电容将热环路面积减至最小，使性能达到新的水平。它仍然需要两个外部输入电容，但不再严格要求把这些电容放在尽可能靠近输入引脚的位置。结合内部电容(其使热环路面积最小)，BT衬底的集成接地层使EMI性能显著提高(见图2)。多层BT衬底还使I/O引脚能够使用与QFN封装完全相同的图案，同时支持实现大型接地焊盘。这种层压式QFN (LQFN)封装比标准QFN更柔韧且更灵活，其焊点可靠性在板级温度循环期间表现出好得多的性能，使得客户在以前只能使用含铅器件的情况下可以使用LQFN。

在整个负载范围内，LT8645S可以轻松符合汽车CISPR25、Class 5峰值EMI限制。还可以使用扩频频率调制进一步降低EMI水平(图2)。LT8645S内置高效率顶部和底部功率开关，并将必要的升压二极管、振荡器以及控制和逻辑电路集成到单个芯片中。低纹波突发工作模式可在低输出电流下保持高效率，同时使输出纹波低于10 mV p-p。最后，LT8645S采用小尺寸散热增强型4 mm×6 mm、32引脚LQFN封装。

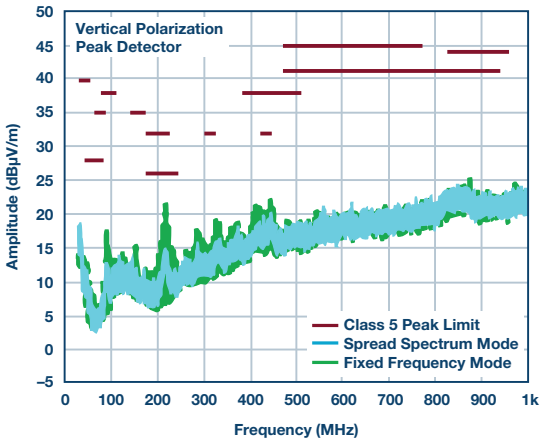


图2. LT8640S辐射EMI性能图

结论

ADAS在汽车和卡车市场中的推广不会很快结束。同样清楚的是，找到合适的功率转换器件以满足所有必要的性能指标，从而不干扰ADAS，不是一项简单的任务。幸运的是，此类汽车系统的设计人员现在可以获得ADI公司Silent Switcher 2 DC-DC转换器提供的强大性能和能力。这些器件不仅大大简化了电源设计人员的工作，同时还提供其所需要的全部性能，而不要求复杂的布局或设计技术。

Tony Armstrong [tony.armstrong@analog.com]是电源产品营销总监，于2000年5月加入公司。他负责电源转换和管理产品方面从概念到停产的所有事情。加入ADI公司之前，Tony在Siliconix Inc.、Semtech Corp.、Fairchild Semiconductors和Intel Corp.欧洲公司担任过营销、销售和运营方面的不同职位。他于1981年毕业于英格兰曼彻斯特大学，获得应用数学(荣誉)学士学位。



Tony Armstrong

该作者的其他文章：

即使电池单元老化，也能最大化汽车电池包的运行时间

第51卷，第4期

非常见问题解答—第149期：利用中间电压提高功率转换效率

作者：**Frederik Dostal**

分享至

问：

如何提高高电压输入、低电压输出的电源转换器的效率？



答：

对于需要从高输入电压转换到极低输出电压的应用，有不同的解决方案。一个有趣的例子是从48V转换到3.3V。这样的规格不仅在信息技术市场的服务器应用中很常见，在电信应用中同样常见。

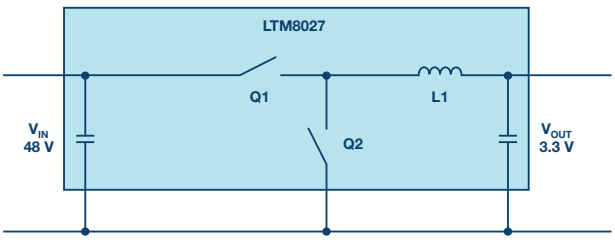


图1. 通过单一转换步骤将电压从48 V降至3.3 V。

如果将一个降压转换器(降压器)用于此单一转换步骤，如图1所示，会出现小占空比的问题。占空比反映导通时间(当主开关导通时)和断开时间(当主开关断开时)之间的关系。降压转换器的占空比由以下公式定义：

$$Duty\ Cycle = \frac{Output\ Voltage}{Input\ Voltage}$$

当输入电压为48 V而输出电压为3.3 V时，占空比约为7%。

这意味着在1 MHz(每个开关周期为1000 ns)的开关频率下，Q1开关的导通时间仅有70 ns。然后，Q1开关断开930 ns，Q2导通。对于这样的电路，必须选择允许最小导通时间为70 ns或更短的开关稳压器。如果选择这样一种器件，又会有另一个挑战。通常，当以非常小的占空比运行时，降压调节器的高功率转换效率会降低。这是因为可用来在电感中存储能量的时间非常短。电感器需要在较长的关断时间内供电。这通常会导致电路中的峰值电流非常高。为了降低这些电流，L1的电感需要相对较大。这是由于在导通时间内，一个大电压差会施加于图1中的L1两端。

在这个例子中，导通时间内电感两端的电压约为44.7 V，开关节点一侧的电压为48 V，输出端电压为3.3 V。电感电流通过以下公式计算：

$$i_L = \frac{1}{L}\int u_L dt$$

如果电感两端有高电压，则固定电感中的电流会在固定时间内上升。为了减小电感峰值电流，需要选择较高的电感值。然而，更高的电感值会增加功率损耗。在这些电压条件下，ADI公司的高效率LTM8027µModule®稳压器在4 A输出电流时仅实现80%的功率效率。

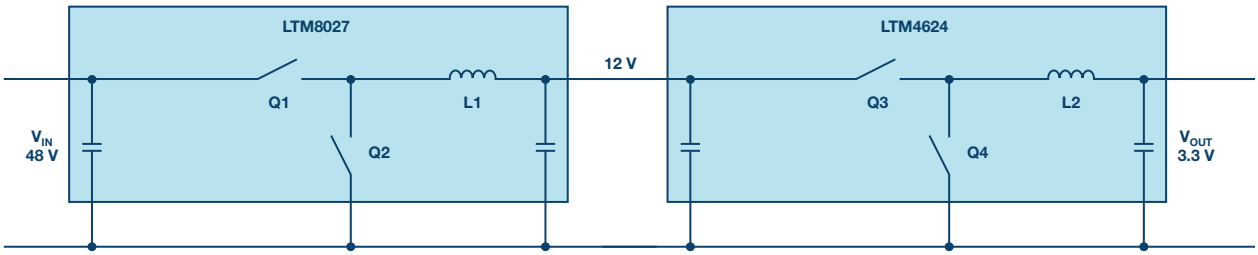


图2. 电压分两步从48 V降至3.3 V，包括一个12 V中间电压。

目前，非常常见且更高效的提高功率效率的电路解决方案是产生一个中间电压。图2显示了一个使用两个高效率降压调节器的级联设置。第一步是将48 V电压转换为12 V，然后在第二转换步骤中将该电压转换为3.3 V。当从48 V降至12 V时，LTM8027 µModule稳压器的总转换效率超过92%。第二转换步骤利用LTM4624将12 V降至3.3V，转换效率为90%。这种方案的总功率转换效率为83%，比图1中的直接转换效率高出3%。

这可能相当令人惊讶，因为3.3 V输出上的所有功率都需要通过两个独立的开关稳压器电路。图1所示电路的效率较低，原因是占空比较短，导致电感峰值电流较高。

比较单步降压架构与中间总线架构时，除功率效率外，还有很多其他方面需要考虑。但是，本文只打算讨论功率源转换效率的重要方面。这个基本问题的另一种解决方案是采用新型混合降压控制器LTC7821。它将电荷泵动作与降压调节结合在一起。这使得占空比达到$2 \times V_{IN}/V_{OUT}$，因此可以在非常高的功率转换效率下实现非常高的降压比。

中间电压的产生对于提高特定电源的总转换效率可能相当有用。为了提高图1中极小占空比下的转换效率，业界进行了大量开发工作。例如，可以使用非常快速的GaN开关来降低开关损耗，从而提高功率转换效率。然而，这种解决方案的成本目前还高于级联解决方案(例如图2所示)。

Frederik Dostal [frederik.dostal@analog.com]就读于德国爱尔兰根大学微电子学专业。他于2001年加入电源管理业务部门，曾担任各种应用工程师职位，并在亚利桑那州凤凰城工作了4年，负责开关模式电源。Frederik于2009年加入ADI公司，担任欧洲分公司的电源管理技术专家。



Frederik Dostal

Also by this Author:

Synchronous Rectification on the Secondary Side

Volume 51, Number 4

如何用加速度计提高倾角测量精度

作者：**Allen Fan**

分享至

倾角测量的典型应用

本文旨在探讨如何用组合器件一类的加速度计提高倾角测量的精度。在乘用车上，电动驻车制动器(EPB)被用于使汽车在平坦的分级道路上保持静止。这是通过用一个单轴或双轴加速度计测量倾角来实现的。一般做法是将一个X轴/Y轴或Z轴低*g*加速度计装在EPB控制单元中一个专门的模块中。现在，越来越多的汽车配有ESC(电子稳定控制)功能，在单个芯片中集成了组合式低*g*加速度计和陀螺仪。这样做是为了防止汽车侧滑和翻车；如今，ESC功能已经成为世界各国或地区法律的强制要求。如果通过组合器件(单芯片、组合式加速度计和陀螺仪)实现倾角测量，则不必在车上安装一个独立的EPB模块，结果可以大幅降低汽车的成本。由于组合器件通常用于ESC，所以并未针对倾角检测优化，并且通过组合器件测量倾角时，测量精度有时无法达到要求。由于组合器件是XY轴或XYZ轴，所以通常用X轴进行倾角测量，EPB模块中的部分传统型低-*g*加速度计使用的是Z轴，因为它是垂直安装在发动机舱里的。检测轴应该与重力垂直，才能取得更高的精度——我们稍后会讨论这一点。

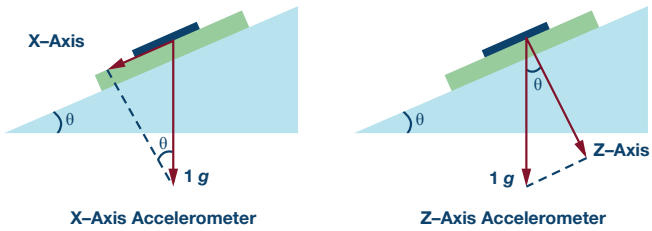


图1. X轴和Z轴加速度计的安装示意图。

对于汽车中的倾角测量，评估精度是非常重要的。不妨想像，您的车停在绝对平坦的地面，因此，加速度计计算的倾角应该是0°。如果您的车停在斜坡上，就应该精确地检测出倾角，以便正确地激活刹车系统。

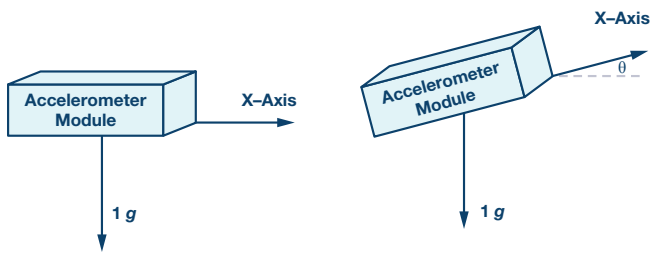


图2. X轴检测倾角测量示意图。

$$A_{OUT} = 1\ g \times \sin\theta$$

因此

$$\theta = \sin^{-1}(A_{OUT}/g)$$

其中：

A_{OUT}为加速度计的输出，单位为*g*。

θ 为斜坡的倾角，单位为度。

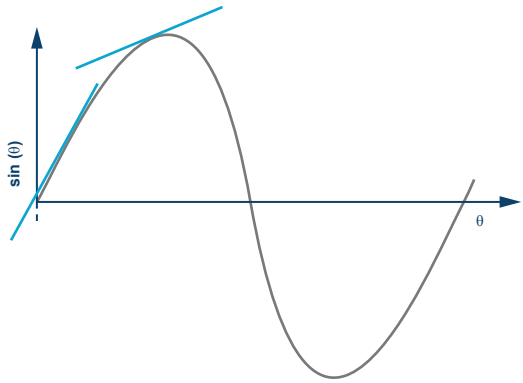


图3. sin θ对θ随θ增大而下降的灵敏度。

由于sin θ是一个非线性函数，所以，A_{OUT}与θ之间的关系是非线性的，在接近零时其线性度处于最佳状态，即其此时具有最佳的测量精度。随着θ的增大，测量精度下降。这正是检测轴应与重力垂直的原因，因为道路坡度将接近零。

对于汽车倾角测量，不必在全斜坡坡度的条件下考虑系统。现实世界中，道路上的绝大多数斜坡坡度不会超过30°。我们只需要分析在±30°的范围内分析贡献因素的精度即可。

影响系统级测量精度的贡献因素有多个：

- 灵敏度误差和初始绝对失调
- 非线性度
- 与初始绝对失调的总失调变化
- 噪声

灵敏度误差和初始绝对失调

灵敏度误差

灵敏度是对输入-输出测得的传递函数的斜率，通常为+1 *g*和–1 *g*。灵敏度误差为器件间的灵敏度偏差。例如，有些加速度计的最大灵敏度为3%。

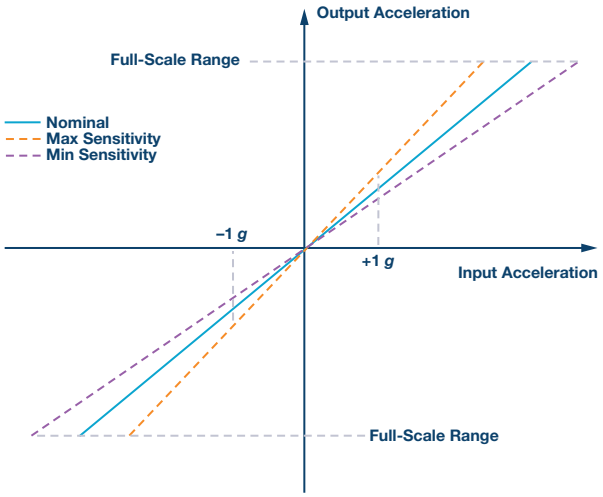


图4. 输入-输出加速度灵敏度误差。

初始绝对失调

范围内的失调约为25°C；例如，在模块制造完成后立即测量的值为25°C ± 5°C。初始绝对失调表示大量器件的实测偏移值的标准差。

两点校准

对于倾角测量应用，两个主要的误差来自失调误差和灵敏度误差。这两种误差会导致不可接受的检测结果，因此不得忽略。如果我们希望消除这些部分误差，则应对加速度输出进行校准。一般地，要对倾角测量的失调和灵敏度进行一次校准。若要考虑失调和灵敏度误差，则加速度计输入与输出的关系为：

$$A_{输出} = A_{失调} + 增益 \times A_{实际}$$

其中：

$A_{输出}$为失调误差，单位为*g*。

增益为加速度计的增益，理想值为1。

$A_{实际}$为施加于加速度计的实际加速度，单位为*g*。

有两种基本校准技术；其中一种是单点校准。这种校准的具体做法是在加速度计上施加一个0 *g*场，然后测量输出。这类校准只能用于校准失调误差，不能校准增益误差。然后，从实际输出值中减去0 *g*场里的输出结果，消除失调误差。这种校准方法非常简单，但精度不足，因为仍然存在灵敏度误差。另一种方法是1 *g*翻转校准，在+1 *g*和–1 *g*时采用两点校准，并在每个+1 *g*和–1 *g*场内按照以下公式测量加速度输出：

$$A_{+1\,g} = A_{失调} + 增益 \times A_{实际}$$
$$A_{-1\,g} = A_{失调} - 增益 \times A_{实际}$$

其中，失调$A_{失调}$的单位为*g*。

以这两点信息为基础，可以按照以下方法解出失调和增益：

$$A_{失调} = 0.5 \times (A_{+1\,g} + A_{-1\,g})$$

$$增益 = 0.5 \times \frac{A_{+1\,g} - A_{-1\,g}}{2}$$

其中，+1 *g*和 1 *g*测量值、$A_{+1\,g}$和$A_{-1\,g}$均以*g*为单位。

经过这一次校准以后，可以用该等式计算实际加速度，每次都会消除失调误差和灵敏度误差。

$$A_{ACTUAL} = \frac{A_{OUT} - A_{OFFSET}}{Gain}$$

A_{ACTUAL}	$A_{实际}$
$A_{OUT} - A_{OFFSET}$	$A_{输出} - A_{失调}$
Gain	*增益*

其中，$A_{失调}$和$A_{输出}$以*g*为单位。

非线性度

器件的非线性度为测得加速度(A_{MEA})与理想线性输出加速度(A_{FIT})之间的最大偏差。加速度测量数据集应包括加速度计的满量程范围。其测量方式为$Max(|A_{MEA} - A_{FIT}|)$。

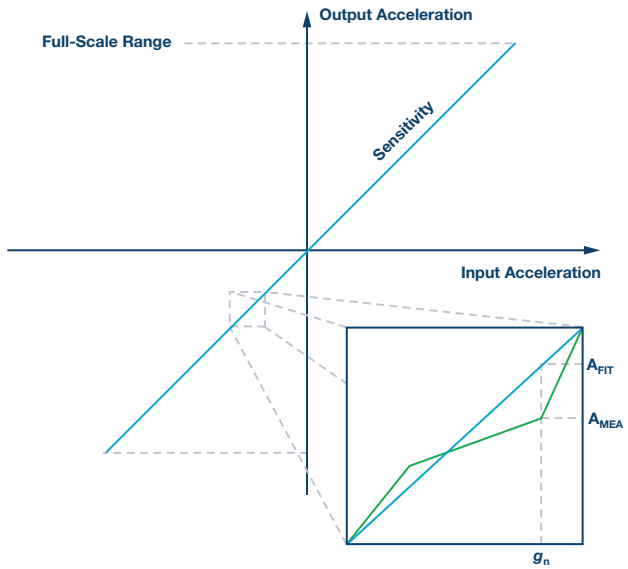


图5. 器件非线性度。

其中：

A_{MEA}为给定g_n下的测得加速度。
A_{FIT}为给定g_n下的预测加速度。

多数加速度计或组合器件在给定输入加速度计范围内均存在非线性——例如，30 mg ± 2 *g*的范围。对于倾角测量应用，输入坡道斜率在±30°以内，这意味着输出加速度范围在±500 mg(±1 *g*× sin 30°)以内，所以应重新评估该范围内的非线性度。由于非线性度在整个输入范围内是非线性的，所以，很难准确地量化评估这部分误差。然

而，由于该器件的数据手册通常都很保守，线性度为30 mg，输入范围为±2 g，用10 mg计算±500 mg范围内的误差更合理些。

与初始绝对失调的总失调变化

与初始绝对失调的总失调变化为温度、应力和老化效应导致的失调的最大偏差。该偏差是相对于给定器件的初始绝对失调进行测量的。这是精度总误差的主要贡献因素。

在温度、应力、老化等所有这些因素中，变化与温度在总失调变化中占比很大。一般地，变化与温度曲线是一种二阶曲线，通常为旋转抛物线。为了消除这部分误差，可以在系统级执行三点校准。对于给定器件，可按下列步骤校准输出失调随温度的变化值。

第1步：

使器件的输出响应以某个ΔN_0值偏移。温度校准流程的第一步是消除环境温度下的失调。

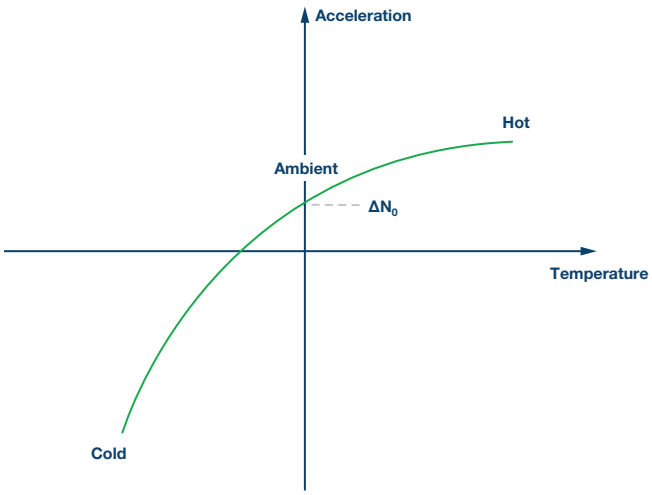


图6. 第1步：消除环境温度下的失调。

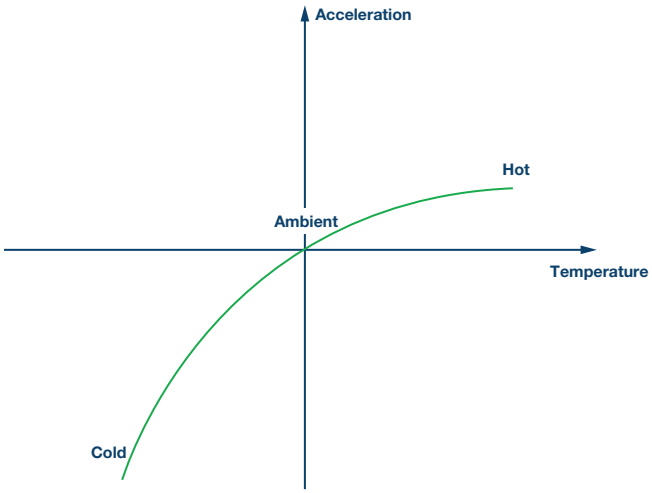


图7. 第2步：在消除环境温度下的失调之后。

第2步：

接下来，在高温下测试器件，用获得的新信息生成失调校正线性公式。

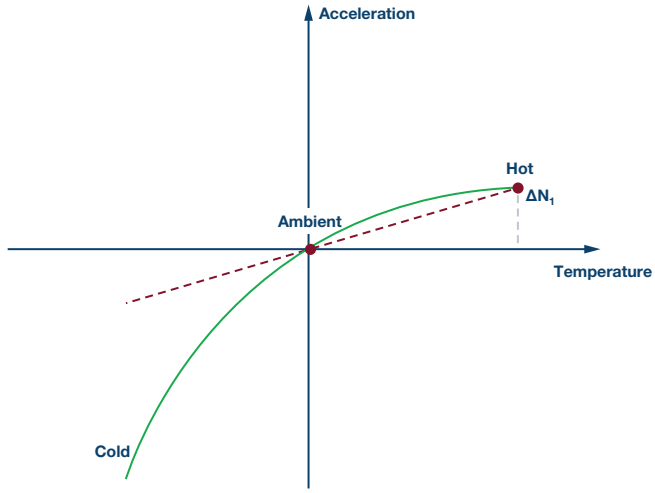


图8. 第3步：消除高温下的抛物线旋转分量。

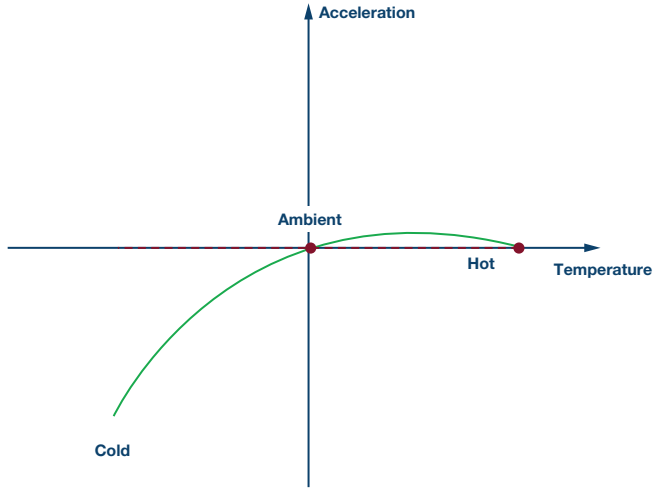


图9. 第4步：在消除高温下的抛物线旋转分量之后。

第3步：

给现有公式添加一个二阶分量，校正失调剩余部分。设二阶曲线遵循以下公式：

$$A_{温度} = at^2 + bt + c$$

这是二阶抛物线公式，已经通过第1步和第2步消除了旋转分量。

在该公式中，该二阶抛物线有三个解：

$$(温度_{低}, \Delta N_2), (温度_{环境}, 0), (温度_{高}, 0)$$

然后，我们可以得到温度系数a、b、c。

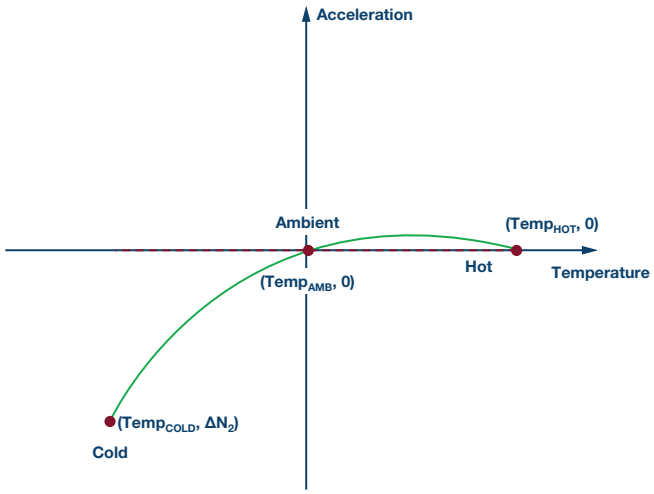


图10. 第5步：添加二阶分量，消除剩余失调。

有关ΔN_0、ΔN_1、ΔN_2、a、b、c的所有温度系数信息应该存储在系统非易失性存储器中，同时需要一个板载温度传感器。系统会在每次上电后例行校准加速度计，确保消除失调随温度的变化值。

噪声

基于单个数据样本测量倾角不一定可靠。即使加速度计的噪声为零，倾角测量也是在汽车启动时测量的，所以，需要减小发动机、过往车辆或乘客在车上来回移动导致的任何振动。最好的办法是在不降至最低数据速率要求的条件下，在尽量长的时间内做数据平均。数据平均算法会减少rms噪声。

假如我们对噪声采样，结果可得到每个样本的方差

$$\mathrm{Var}(z) = E[z^2] = \sigma^2$$

求一个随机变量的均值，获得以下方差，

$$\mathrm{Var}\left(\frac{1}{n}\sum_{i=1}^{n} z_i\right) = \frac{1}{n^2}\mathrm{Var}\left(\sum_{i=1}^{n} z_i\right) = \frac{1}{n^2}\sum_{i=1}^{n}\mathrm{Var}(z_i)$$

由于噪声方差保持于σ^2不变，

$$N_{AVG} = \mathrm{Var}\left(\frac{1}{n}\sum_{i=1}^{n} z_i\right) = \frac{1}{n^2} n\,\sigma^2 = \frac{1}{n}\sigma^2$$

以上推导显示，对同一未校正噪声的n次实现求均值可使噪声功率减少n倍，并使rms噪声减少$\sqrt{n}$。

由于随机噪声受高斯分布影响，所以，rms噪声等于高斯分布的标准差。6σ以内的最小分布为97%。

例如，如果以1 kSPS的采样率对每100 ms的数据求均值，则最大rms噪声 = 0.4 mg，即是说如果以6σ作为与平均值的距离，则此时的峰值噪声仅为2.4 mg。

用于与rms值相乘的因数取决于器件要执行的任务的统计需求。例如，如果选择6作为因数(峰峰值噪声为6 × RMS_Noise)，则算法在器件生命周期内要运行的次数会影响超过最差情况6 × RMS_Noise的概率。可总结如下：

$$E = M \times r$$

E 为在生命周期内超过最差情况的预期次数，M 为生命周期内的运行次数，r为超过最差情况的概率。基于此，我们可以通过乘以rms噪声评估出一个合理的因数。

小结

以ADI公司的ADXC1500/ADXC1501(组合式陀螺仪和2轴/3轴加速度计)为例，所有误差贡献项均列于表1中，包括校准和不校准两种情况。我们可以假设，总失调变化为二次曲线，并且其在温度范围内的变化占总失调变化的80%。另外，以6为因数乘以最大rms噪声。

一个陀螺仪和一个三轴加速度计的单芯片集成方案可以实现多种新型应用，尤其是在汽车安全系统和工业自动化应用领域。为了设计更加可靠、高精度的汽车安全系统，例如，稳定的电子控制系统(ESC)和侧翻检测系统，尽量减少系统误差至关重要。汽车中已安装这些传统型底盘控制系统，包括防抱死制动系统、牵引控制和偏航控制系统。

表1.校准前后的误差贡献

误差贡献	校准前	校准后	校准方法
灵敏度误差	30 mg	0 mg	两点校准
初始绝对失调	15 mg	0 mg	两点校准
非线性度	10 mg ±500 mg	10 mg ±500 mg	无
总失调变化	50 mg	10 mg	三点校准
噪声	24 mg	2.4 mg	100×均值
总误差	129 mg	22.4 mg	
精度	7.4° (最差情况)	1.28° (最差情况)	单位：度

致谢

借此机会向我的两位同事Matthew Hazel和Brian Larivee致谢，感谢他们在我撰写本文的过程中为我提供了诸多启发。

Allen Fan [allen.fan@analog.com]是ADI公司中国汽车销售团队的一名现场应用工程师。负责雷达、IMU、动力系统和信息娱乐产品在中国的支持和推广工作。他毕业于山东大学，获得数学学士学位。



Allen Fan

解决模拟输入IEC系统保护问题

作者：**David Forde**

分享至

简介

与系统模拟输入和输出节点交互作用的外置高压瞬变可能破坏系统中未采用充分保护措施的集成电路(IC)。现代IC的模拟输入和输出引脚通常采用了高压静电放电(ESD)瞬变保护措施。人体模型(HBM)、机器模型(MM)和充电器件模型(CDM)是用来测量器件承受ESD事件的能力的器件级标准。这些测试旨在确保器件能承受器件制造和PCB装配流程中的静电压力，通常在受控环境中实施。

工作于恶劣电磁环境中的系统在输入或输出节点上需要承受高压瞬变——并且在从器件级标准转向系统级标准以实现高压瞬变鲁棒性时，传输到IC引脚的能量水平存在显著差异。因此，直接与这些系统输入/输出节点连接的IC也必须采用充分的保护措施，以承受系统级高压瞬变。如果在系统设计中未能及早考虑这种保护机制，结果可能导致系统保护不足、产品发布推迟、系统性能下降等问题。本文旨在描述如何保护敏感的模拟输入和输出节点，使其免受这些IEC标准瞬变的影响。

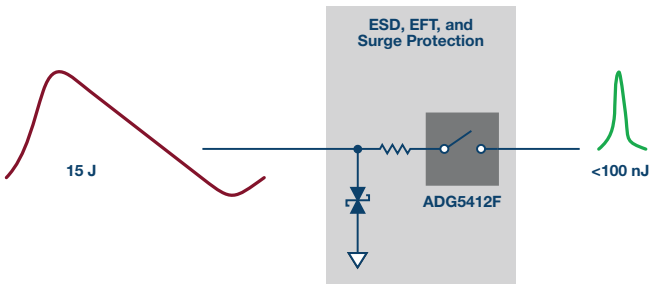


图1. 面向精密模拟输入的IEC系统保护。

IEC 61000

IEC 61000是有关EMC鲁棒性的系统级标准。该标准中涉及高压瞬变的三个部分为IEC 61000-4-2、IEC 61000-4-4和IEC 61000-4-5。这些是针对静电放电(ESD)、电快速瞬变(EFT)和浪涌的系统级标准。这些标准定义了在施加这些瞬变影响的情况下用于评估电子电气设备抗扰度的波形、测试方法和测试级别。

IEC 61000-4-2测试的主要目的是确定系统在运行过程中对系统外部的ESD事件的免疫能力——例如，如果系统输入/输出接触到带电人体、电缆、工具时。IEC 61000-4-2规定要使用两种耦合方法测试：接触放电和气隙放电。

IEC 61000-4-4 EFT测试涉及将快速的瞬变脉冲群耦合到信号线上，以表征与外部开关电路关联的瞬变干扰，这类电路能够以容性方式耦合至信号线。这种测试反映了开关触点抖动，或者因为感性或容性负载切换而产生的瞬变，而所有这些在工业环境中都很常见。

浪涌瞬变通常由开关操作造成的过压情况或雷击造成。开关瞬变的起因可能是电力系统切换、配电系统中的负载变化或各种系统故障(例如安装时与接地系统形成短路和电弧故障)。雷电瞬变的原因可以是附近的雷击将高电流和电压注入电路中。

瞬变电压抑制器

TVS的基本参数：

瞬变电压抑制器(TVS)可以用于抑制电压浪涌。用于箝位高压瞬变，使大电流绕过敏感电路。TVS的基本参数为：

- 工作峰值反向电压：低于该值时不会发生显著导电现象的电压
- 击穿电压：等于该值时会发生规定导电现象的电压
- 最大箝位电压：器件上传导规定的最大电流的最大电压

在系统输入或输出上使用TVS器件时要考虑多个因素。ESD或EFT事件会产生超快时间(1 ns至5 ns)的瞬变波形，在TVS器件箝位击穿电压之前，在系统输入上导致初始过冲电压。浪涌事件具有不同的瞬变波形，上升时间缓慢(1.2 µs)，脉冲持续时间长(50 µs)；并且在该事件下，将在击穿电压下开始箝位电压，但可能一直增大至TVS最大箝位电压。另外，TVS必须高于可能由接线错误、断电或用户错误导致的任何容许直流过压，以保护系统，使其免受该直流过压事件的影响。所有三种情况都有可能在下游电路的输入上导致具有潜在破坏作用的过压。

模拟输入保护电路

为了全面保护系统输入/输出节点，必须对系统进行直流过压和高压瞬变保护。在系统输入节点用一个鲁棒的精密型过压保护(OVP)开关，加上TVS，可以保护灵敏的下游电路(例如，模数转换器或放大器输入/输出)，因为这样可以阻断过压、抑制未被TVS分流到地的剩余电流。

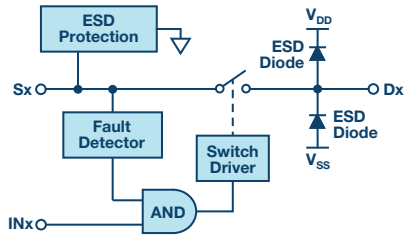


图2. OVP开关功能框图。

图2显示了一个典型过压保护开关的功能框图；注意，该开关的ESD保护二极管未以其输入节点上的电源电压为基准。相反，它有一个ESD保护单元，在超过器件最大承受电压时激活，使器件能承受并阻断超过其电源电压的电压。由于模拟系统通常只要求开关的外向引脚采用IEC保护，所以，ESD保护二极管依然保留在内向引脚上(标志为开关输出端或漏极端)。这些二极管能带来额外的好处，因为它们起到辅助保护器件的作用。在持续时间较短、上升时间快的高压瞬变(如ESD或EFT)过程中，由于瞬变电压会被箝位，所以电压不会到达下游电路。在持续时间较长、上升时间慢的高压瞬变(如浪涌)过程中，在开关过压保护功能被激活、开关断开、使故障完全与下游电路分离之前，内部保护二极管会箝位开关的输出电压。

图3显示了一个与外部接口的系统输入端的工作区域。最左边的区域(绿色)表示正常工作区间，输入电压位于电源电压范围以内。左起第二个区域(蓝色)表示输入端可能存在持续直流或长时间交流过压的范围，原因是断电、接线错误或短路。另外，图中最右侧(紫色)是过压开关内部ESD保护二极管的触发电压。选择的TVS击穿电压(橙色)必须小于过压保护开关的最大承受电压并且大于任何已知的可能持续直流或长时间交流过压，以免无意中触发TVS。

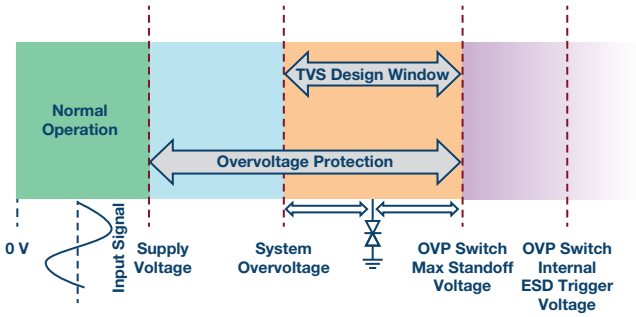


图3. 系统工作区域。

图4中的保护电路可以承受最高8 kV IEC ESD(接触放电)、16 kV IEC ESD(空气放电)、4 kV EFT和4 kV浪涌。ADG5412F(来自ADI公司的±55 V过压保护和检测、四通道单刀双掷开关)可以承受ESD、EFT和浪涌瞬变导致的过压，过压保护电路与漏极上的保护二极管共同保护和隔离下游电路。表1展示的是ADG5412F在TVS击穿电压与电阻的各种组合下可以承受的高压瞬变电平。

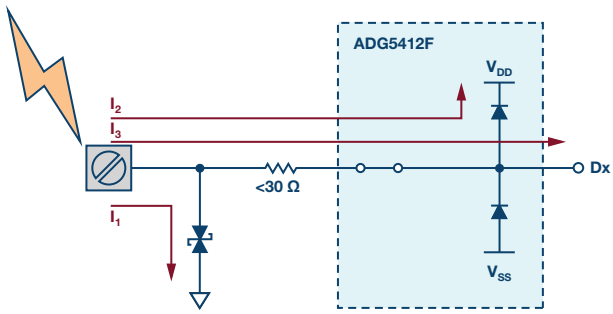


图4. 保护电路。

保护网络由一个TVS和一个可选的低值电阻构成。电阻用于实现高电平ESD和EFT保护，因为它可以防止过压开关的内部ESD保护单元在TVS箝位输入节点上的电压之前激活。

表1. 测试结果(未在0 Ω电阻与33 V TVS及45 V TVS组合条件下进行IEC空气放电测试)

保护	保护IEC 61000-4-2 ESD接触放电	IEC 61000-4-2 ESD接触放电IEC 61000-4-2 ESD空气放电	IEC 61000-4-4 EFT	IEC 61000-4-4 EFT IEC 61000-4-5浪涌
33 V TVS和0 Ω电阻	5 kV		3 kV	4 kV
33 V TVS和10 Ω电阻	8 kV	16 kV	4 kV	4 kV
45 V TVS和0 Ω电阻	4 kV		2 kV	4 kV
45 V TVS和15 Ω电阻	8 kV	16 kV	4 kV	4 kV
54 V TVS和30 Ω电阻	8 kV	16 kV	4 kV	4 kV

图4也展示了高压瞬变事件过程中的各种电流路径。大部分电流通过TVS器件分流到地(路径I1)。路径I2展示的是通过ADG5412F输出节点上的内部ESD消耗的电流，同时，输出电压被箝位于比电源电压高0.7 V的水平。最后，路径I3中的电流是下游器件必须承受的剩余电流水平。有关该保护电路的更多详情，请参阅ADI公司应用笔记AN-1436。

IEC ESD保护

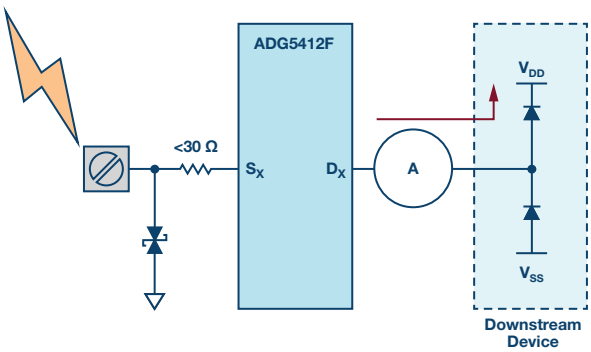


图5. 测试电路

图6和图7所示为在8 kV接触放电和16 kV空气放电IEC ESD事件在图5所示测试电路上的测试结果。如前所述，在TVS器件将电压箝位至54V左右之前，源引脚上有一个初始过压。在此过压过程中，开关漏极上的电压被箝位于比电源电压高0.7 V的水平。漏极电流测量结果展示的是流入下游器件二极管中的电流。脉冲峰值电流约为680 mA，电流持续时间约为60 ns。相比之下，1 kV HBM ESD电击的峰值电流为660 mA，持续时间为500 ns。我们因此可以得出结论认为，在采用这种保护电路的条件下，HBM ESD额定值为1 kV的下游器件应该能承受8 kV接触放电和16 kV空气放电IEC ESD事件。

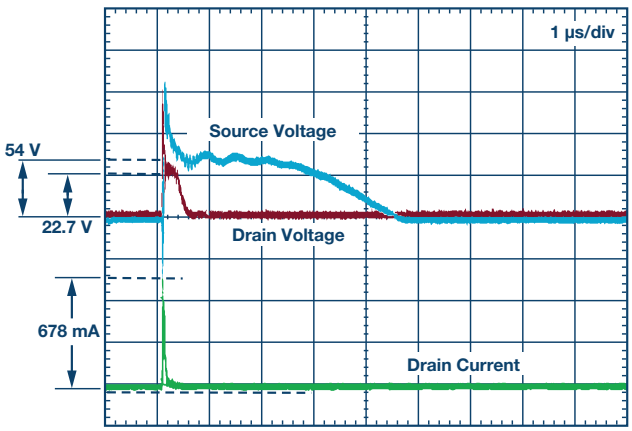


图6. 8 kV事件期间的漏极电压和漏极输出电流。

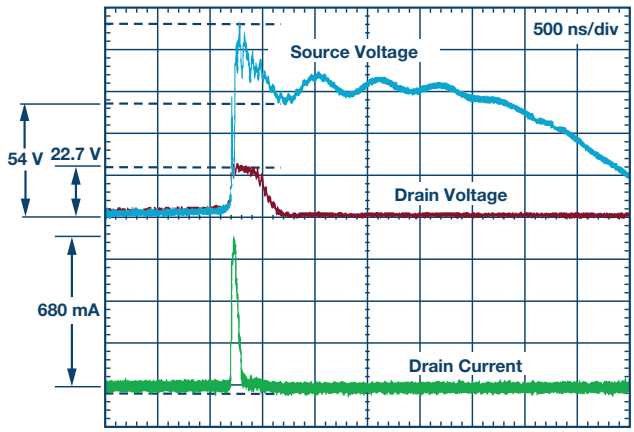


图7. 16 kV空气放电事件期间的漏极电压和漏极输出电流。

EFT保护

图8是在4 kV EFT事件的一个脉冲的测量结果。与ESD瞬变过程中发生的情况类似，在TVS器件将电压箝位至54 V左右之前，源引脚上有一个初始过压。在此过压过程中，开关漏极上的电压再次被箝位于比电源电压高0.7 V的水平。在这种情况下，流入下游器件中的脉冲峰值电流仅为420 mA，电流持续时间仅约为90 ns。同样与HBM ESD事件相比，750 kV HBM ESD的电压的峰值电流为500 mA，持续时间为500 ns。因此，在4 kV EFT事件期间，能量被传输至下游器件的引脚上，该能量少于750 kV HBM ESD事件下的能量。

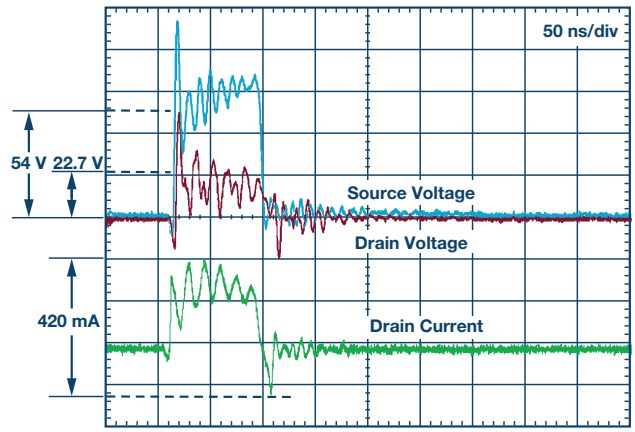


图8. 单次脉冲的EFT电流。

浪涌保护

图9中是将4 kV浪涌瞬变施加到保护电路输入节点上时的测量结果。如前所述，源电压可能增大并超过TVS击穿电压，一直达到

最大箝位电压。该电路中的过压保护开关的反应时间约为500 ns，并且在这前500 ns的时间内，器件漏极上的电压被箝位于比电源电压高0.7 V的水平。在此期间以及约500 ns后，流至下游器件的峰值电流仅为608 mA，开关关闭并使下游电路与故障隔离。同样，这里的能量少于1 kV HBM ESD事件期间传输的能量。

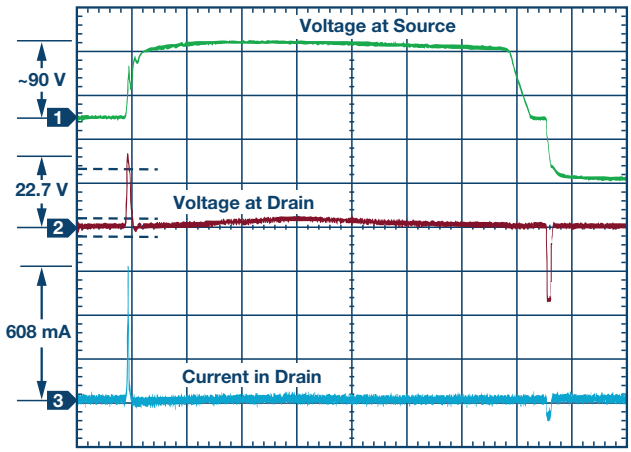


图9. 浪涌事件期间OVP工作原理。

结论

本文描述了如何依据IEC 61000-4-2、IEC 61000-4-4和IEC 61000-4-5标准的规定，对集成电路模拟输入和输出进行高压瞬变保护。

本文说明了如何设计系统输入输出保护电路，同时为用户带来如下好处：

- 简化保护设计
- 加速产品上市
- 提高保护电路性能，减少分立元件数量
- 减小信号路径中的串联电阻阻值
- 由于TVS设计窗口很宽，TVS选择更方便
- 达到下列标准的系统-级保护
  - IEC 61000-4-2 16 kV空气放电
  - IEC 61000-4-2 8 kV接触放电
  - IEC 61000-4-4 4 kV
  - IEC 61000-4-5 4 kV
- 交流和持续直流过压保护高达±55 V
- 掉电保护可达±55V

附录

ADI过压保护和检测产品：±55 V OVP

产品型号	配置	HBM ESD电平(kV)	技术规格					电压特性(V_{NOM})				封装	
			R_{ON}典型值(Ω)	R_{ON}平坦度(Ω)	泄露电流典型值(nA)	QINJ典型值(pC)	带宽(MHz)	单通道		双通道			
								12	36	±15	±20	TSSOP	LFCSP
ADG5412F/ ADG5413F	SPST 4	5.5	10	0.6	0.3	680	270					EP	
ADG5412BF/ ADG5413BF	SPST 4	3	10	0.6	0.3	680	270						
ADG5436F	SPDT 2	6	10	0.6	0.3	654	108						
ADG5243F	SPDT 3	3.5	270	7	0.3	0.8	350						
ADG5404F	4:1/多路复用	5	10	0.6	0.3	680	108						
ADG5208F/ ADG5209F	8:1/差分 4:1/多路复用	3.5	250	6.5	0.3	0.4	190/290						
ADG5248F/ ADG5249F	8:1/差分 4:1/多路复用	3.5	250	6.5	0.3	0.8	190/320						
ADG5462F	通道保护器×4	4	10	0.6	0.3	N/A	318						

David Forde [david.forde@analog.com]于2006年毕业于卡罗理工学院，获集成电路设计专业理学学士学位，毕业后即加盟ADI公司，任布局工程师。2011年，他毕业于利默里克大学，获VLSI系统专业工程硕士学位；2015年，他加盟仪器仪表与精密技术事业部，任应用工程师，为模拟开关和多路复用产品系列提供支持。



David Forde

72 V混合式DC-DC转换器使中间总线转换器的尺寸减小达50%

作者：**Bruce Haug**

分享至

背景知识

多数中间总线转换器(IBC)通过大型变压器实现从输入端到输出端的隔离。它们一般还需要一个电感用于输出滤波。这类转换器通常用于数据通信、电信以及医疗分布式供电架构。这些IBC的供应商数量众多，通常采用行业标准1/16、1/8和¼砖墙式封装。对于一个典型的IBC，其额定输入电压为48 V或54 V，输出中间电压范围为5 V至12 V，输出功率为几百瓦特到数千瓦特不等。中间总线电压用作负载点调节器的输入，负载点调节器则用于驱动FPGA、微处理器、ASIC、I/O和其他低压下游器件。

然而，在许多新型应用中，比如48 V直接转换应用，IBC中没有必要进行隔离，因为上游48 V或54 V输入已经与危险的市电隔离。在许多应用中，要使用非隔离IBC，就需要采用一个热插拔前端器件。结果，许多新型应用在设计时即集成了非隔离IBC，这样不但可以大幅降低解决方案的尺寸和成本，同时还能提高转换效率和设计灵活性。典型的分布式供电架构如图1所示。

既然有些分布式供电架构支持非隔离转换，我们就可以考虑在这种应用中采用单级降压转换器。该转换器的输入电压范围为36V至72 V，输出电压范围为5 V至12 V。来自ADI公司的LTC3891可以用于这种场合，当工作于150 kHz的较低开关频率时，其效率可达97%左右。当LTC3891工作于较高频率时，其效率会下降，因为当输入电压为较高的48 V时MOSFET开关损耗将增加。

新方法

新的创新型控制器设计方法将一个开关电容转换器与一个同步降压转换器结合起来。开关电容电路将输入电压降低2倍，然后馈入同步降压转换器。这种技术先将输入电压减小一半，然后降至目标输出电压，支持高得多的开关频率，因而能提高效率或大幅减小解决方案的尺寸。其他优势包括更低的开关损耗、更低的MOSFET电压应力，因为开关电容前端转换器具有内在的软开关特性，可降低EMI。图2所示为该组合是如何形成混合降压同步控制器的。

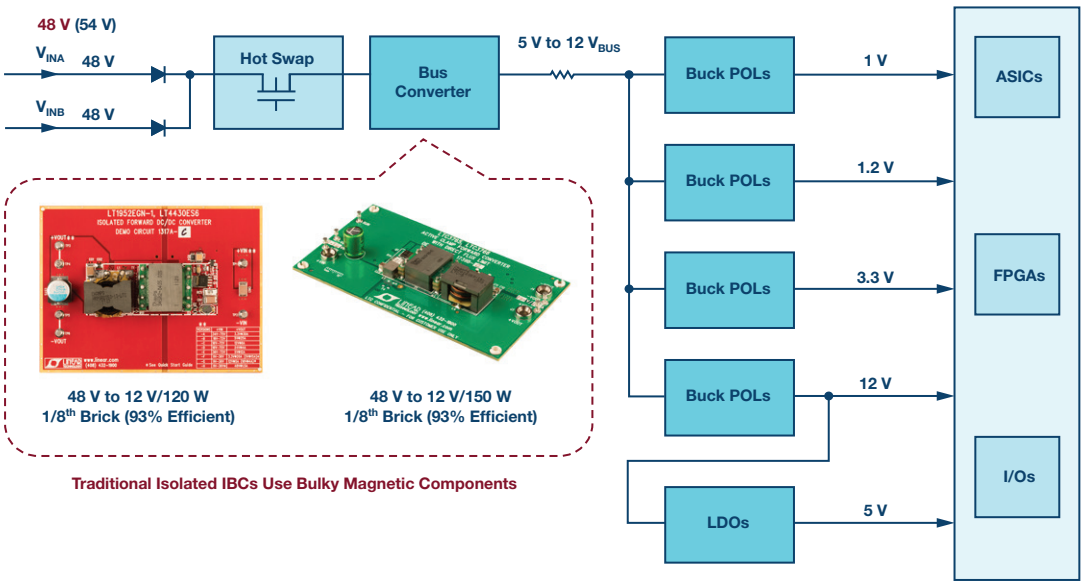


图1. 典型分布式供电架构。

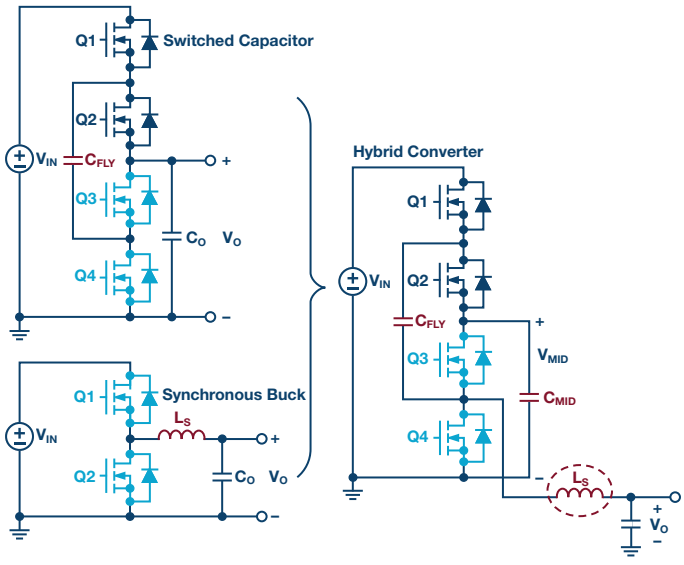


图2. 一个开关电容和一个同步降压转换器组合成一个LTC7821混合转换器。

新型高效率转换器

LTC7821将一个开关电容电路与一个同步降压转换器结合起来，与传统降压转换器替代方案相比，最高可使DC-DC转换器解决方案的尺寸减小50%。这一性能提升得益于其能够在不影响效率的前提下将开关频率提高至3倍。换句话说，在相同频率下工作时，基于LTC7821的解决方案效率可提高3%。此外，该器件采用软开关前端，具备低电磁干扰(EMI)优势，非常适合配电、数据通信和电信以及新兴48 V汽车系统中的新一代非隔离式中间总线应用。

LTC7821在10V至72V(绝对最大值为80 V)输入电压范围内工作，可产生数十安培的输出电流，具体取决于外部元件的选择。外部MOSFET的开关频率是固定的，可在200 kHz至1.5 MHz范围内设定。在典型的48 V至12 V/20 A应用中，LTC7821在500kHz开关频率下的效率可达97%。若要在传统的同步降压转换器中达到这一效率，唯一的办法就是将工作频率降低至三分之一，而这样做就必须使用更大的磁性元件和输出滤波元件。LTC7821配有强大的1 Ω N沟道MOSFET栅极驱动器，最大限度提高效率的同时可以并行驱动多个MOSFET以实现更高功率的应用。此外，该器件采用电流模式控制架构，因此可将多个LTC7821以并行、多相配置运行，从而在无热点的情况下，凭借出色的均流控制和低输出电压纹波支持高功率的应用。

LTC7821实现了多项保护功能，在广泛的各类应用中均能保持强劲性能。基于LTC7821的设计还可在启动时对电容进行预平衡，从而消除开关电容电路中经常出现的浪涌电流。LTC7821还能监视系统

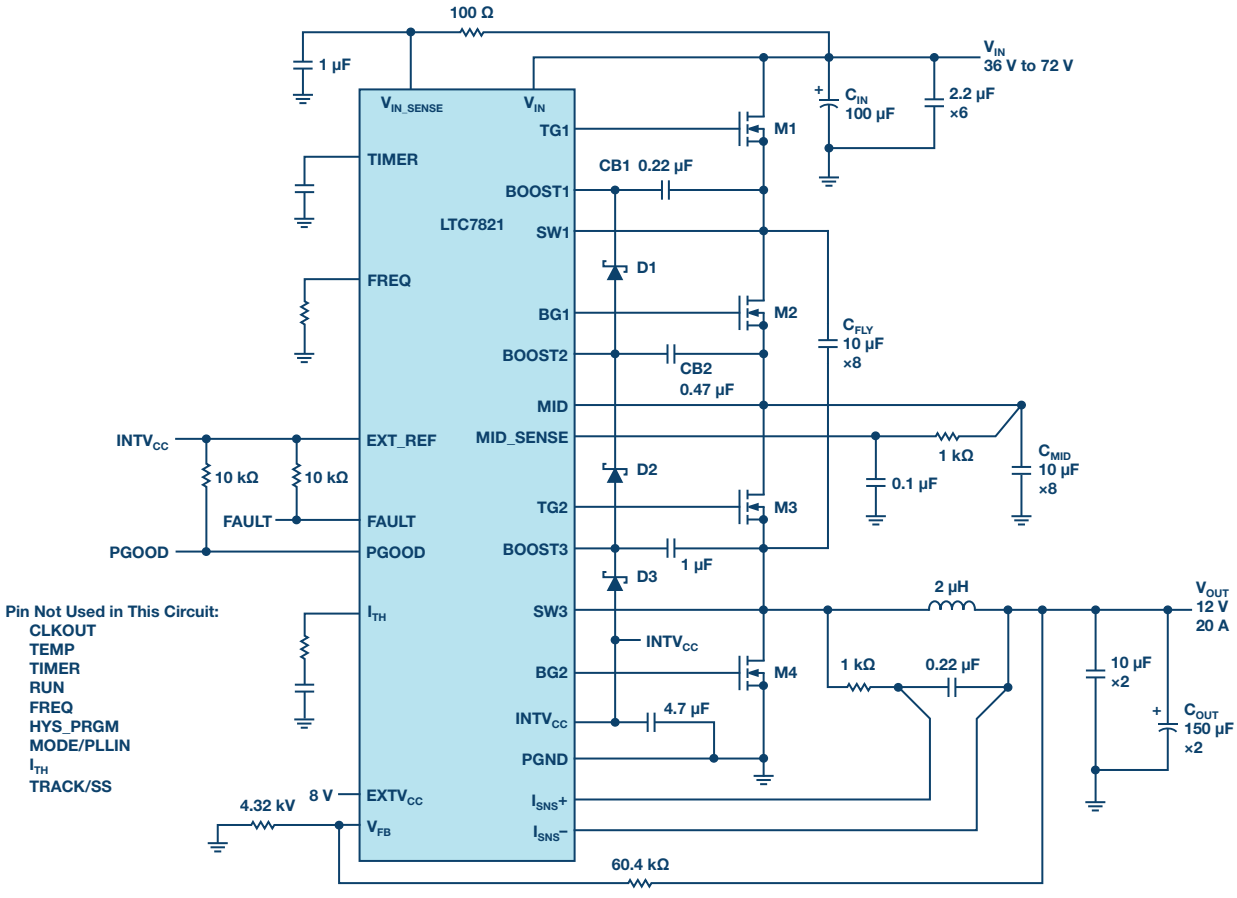


图3. LTC7821原理图(36 V_{IN}至72 V_{IN}/12 V/20 A输出)。

电压、电流，和温度故障并使用检测电阻实现过流保护。发生故障时，它会停止开关操作并将FAULT引脚拉低。此外，可以使用板载定时器设置适当的重启/重试时间。LTC7821的$EXTV_{CC}$引脚可接入转换器的较低电压输出或其他可用电源(最高40 V)进行供电，从而降低功耗并提高效率。其他特性包括：整个温度范围内±1%的输出电压精度；用于多相工作模式的时钟输出；电源良好输出指示；短路保护；输出电压单调启动；可选外部基准电压源；欠压闭锁；以及内部电荷平衡电路。图3为LTC7821在将36 V至72 V输入转换为12 V/20 A输出时的原理图。

图4所示效率曲线是三类不同转换器在同一应用中的表现对比，该应用的作用是将48 V_{IN}转换为12 V_{OUT}/20 A，具体如下：

- 工作频率为125 kHz的单级降压，采用6 V栅极驱动电压(蓝色曲线)
- 工作频率为200 kHz的单级降压，采用9 V栅极驱动电压(红色曲线)
- 工作频率为500 kHz的LTC7821混合式降压同步控制器，采用6 V栅极驱动电压(绿色曲线)

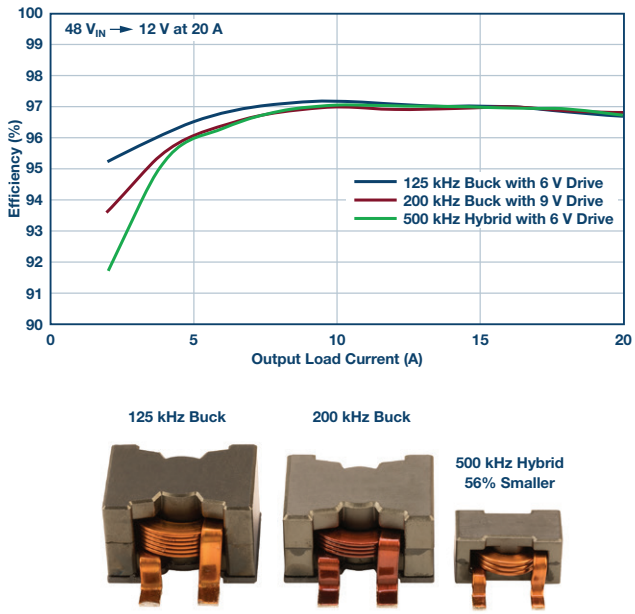


图4. 效率对比与变压器尺寸缩减情况。

基于LTC7821的电路工作于最高为其他转换器三倍的频率时，其效率与其他解决方案相同。在此较高工作频率下，电感尺寸可减小56%，整个解决方案的尺寸最多可减小50%。

电容预平衡

在施加输入电压时或者转换器被使能时，开关电容转换器通常会承受很高的浪涌电流，可能使电源损坏。LTC7821集成了一种专有机制，可在转换器PWM信号被使能之前对所有开关电容进行预充电。从而将上电过程中的浪涌电流降至最低。另外，LTC7821还有一个可编程的故障保护窗口，可进一步确保功率转换器的可靠工作。这些特性使输出电压实现平滑软启动，就如任何其他常规型电流模式降压转换器一样。详情请参考LTC7821数据手册。

主控制环路

电容平衡阶段一结束，正常工作立即开始。MOSFET的M1和M3在时钟将RS锁存器置位时开启，在主电流比较器ICMP复位RS锁存器复位时关闭。然后，MOSFET的M2和M4开启。负责复位RS的ICMP处的电感峰值电流由I_{TH}引脚上的电压控制，该电压是误差放大器EA的输出。V_{FB}引脚接收电压反馈信号，EA将该信号与内部基准电压源进行比较。当负载电流增加时，结果会导致V_{FB}相对于0.8 V的基准电压源略微下降，结果又会导致ITH电压增加，直到电感的平均电流与新的负载电流匹配为止。MOSFET的M1和M3关闭后，MOSFET的M2和M4开启，直到下一个周期开始。在M1/M3和M2/M4切换过程中，电容C_{FLY}将交替与C_{MID}串联或并联。MID处的电压约等于V_{IN}/2。可见，这种转换器的工作方式与常规型电流模式降压转换器一样，只是逐周期限流较快、较准确且支持均流选项。

结论

在一个用于将输入电压减半的开关电容电路之后装一个同步降压转换器(混合型转换器)，与传统降压转换器替代方案相比，最高可使DC-DC转换器解决方案的尺寸减小50%。这一性能提升得益于其能够在不影响效率的前提下将开关频率提高至3倍。也可以将转换器的工作效率提高3%，此时其尺寸与现有解决方案相当。这种新型混合式转换器架构还具有其他优势，包括有利于降低EMI和MOSFET应力的软开关特性。需要高功率时，可以轻松将多个转换器并联起来，实现有源精准均流。

Bruce Haug [bruce.haug@analog.com]于1980年毕业于圣何塞州立大学，获电气工程学士学位。2006年4月，加盟Linear Technology(现为ADI公司的一部分)，担任产品营销工程师。此前，Bruce曾在Cherokee International、Digital Power和福特宇航供职。他还热衷于参与体育活动。



Bruce Haug

非常见问题解答—第150期灵活使用放大器的禁用引脚

作者：**Thomas Tzscheetzsch**

分享至

问：

我可以使用放大器的禁用引脚来节省功耗而不影响性能吗？



答：

在物联网时代，电池供电应用日益兴盛。本文将说明我们并非一定要在节省功耗和精度之间进行取舍。

有些运算放大器有禁用引脚，如果使用得当，可以节省高达99%的功耗，同时不影响精度。禁用引脚主要用于静态工作(待机模式)。在这种模式下，所有IC都切换到低功耗状态，不需要使用器件来处理信号。这使功耗降低了若干个数量级。

如果运算放大器需要用作ADC的缓冲放大器，如图1所示，它必须处于工作状态才能执行其功能。但是，如果通过禁用引脚将放大器切换到关断模式，仍然可以保持低功耗。通常，只要ADC不需要向其*采样*和*保持*功能块读入任何新数值，就可以使用关断模式。

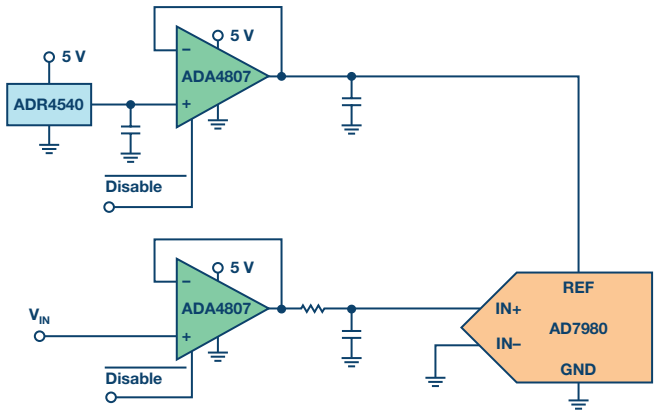


图1. 具有ADC驱动器和基准电压缓冲器的ADC输入级的典型原理图。

实现这个功能最简单的方法是通过转换开始命令。在标准ADC中，首先将输入(采样保持)电容充电到要测量的值。这部分在信号发送至ADC进行转换之前完成。然后将输入电容隔离并连接到转换器级的输入端，即转换开始。随后转换完成，并设置*已完成*信号，具体取决于转换器类型。现在真正的问题来了：运算放大器何时必须处于工作状态？放大器必须比转换开始信号提前工作足够长的时间，才能确保内部输入电容取得与待测信号相同的值。时间长短取决于输入电容的大小、待测电压的大小以及运算放大器驱动容性负载的速率等因素。

ADC(AD7980)的数据手册给出串联400Ω阻抗时，输入电容值为30pF。但是，运算放大器可不是那么简单。参数表中列出容性负载为15pF，但也有可能更高，参见相应的曲线图(图2)。同时需要考虑2.7nF和20Ω时使用低通滤波器的情况。

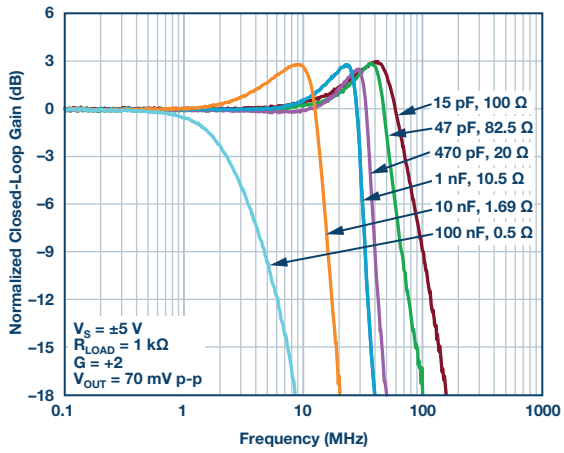


图2. ADA4807的频率响应。

此曲线图表明模块可以驱动足够高的容性负载。禁用后，放大器需要大约500ns以达到满量程输出电平，本例中最大值为5V或4.096V。

为了安全起见，我们假设放大器在转换开始前750ns开启。将1kSPS至1MSPS的预估数据进行比较。

1kSPS时，可能节省功耗99.83%(总功耗0.02mW)，1MSPS时节省92.41%(总功耗10.75mW)。这只是ADC驱动器节省的功耗；基准电压缓冲器也可以节省功耗。

本例旨在说明现代器件具备的能力。在最短采样时间为500ns时，SINAD偏差小于0.5dB。对于驱动器，还需关注速度更快的相关器件并灵活地使用它们。我们只考虑了用作缓冲器的应用(增益=1)。对于反相或其他放大器，功耗节省也会随具体情况有所不同。需要通过测量来进一步分析。



Thomas Tzscheetzsch

Thomas Tzscheetzsch [thomas.tzscheetzsch@analog.com]于2010年加入ADI公司，担任高级现场应用工程师。2010年至2012年，他负责支持德国中部地区的客户群，自2012年以来，他任职于关键客户团队，为关键客户提供支持服务。2017年重组后，他负责中欧国家IHC市场的FAE团队，担任FAE经理。

在职业生涯的最初阶段，他于1992年至1998年在一家机械制造公司任电子工程师，担任部门负责人。在哥廷根应用科学大学完成电气工程学习后，他任职于Max Planck研究院从事太阳能系统研究工作，担任硬件设计工程师。2004年至2010年，他任职于ADI公司产品经销商的现场应用工程师。

FPGA的电源管理

作者：**Frederik Dostal**

分享至

为FPGA应用设计优秀电源管理解决方案不是一项简单的任务，相关技术讨论有很多。本文一方面旨在找到正确解决方案并选择最合适的电源管理产品，另一方面则是如何优化实际解决方案以用于FPGA。

找到合适的电源解决方案

寻找为FPGA供电的最佳解决方案并不简单。许多供应商以适合为FPGA供电的名义推销某些产品。为FPGA供电的DC-DC转换器选择有何特定要求？其实并不多。一般而言，所有电源转换器都可用来为FPGA供电。推荐某些产品通常是基于以下事实：许多FPGA应用需要多个电压轨，例如用于FPGA内核和I/O，还可能需要额外的电压轨来用于DDR存储器。将多个DC-DC转换器全部集成到单个稳压器芯片中的PMIC(电源管理集成电路)常常是首选。

一种为特定FPGA寻找优秀供电解决方案的流行方法是使用许多FPGA供应商都提供的已有电源管理参考设计。这对于优化设计来说是一个很好的入门方式。但此类设计往往需要修改，因为FPGA系统通常需要额外的电压轨和负载，这些也需要供电。在参考设计上增加一些东西常常也是必要的。还有一件事需要考虑，那就是FPGA的输入电源不是固定的。输入电压在很大程度上取决于实际的逻辑电平以及FPGA所实现的设计。完成对电源管理参考设计的修改之后，它看起来将与最初的参考设计不同。可能有人会辩称，最好的解决方案是根本不用电源管理参考设计，而是直接将所需的电压轨和电流输入到电源管理选型与优化工具中，例如ADI公司的LTpowerCAD等。



图1. 通过LTpowerCAD工具选择合适的DC-DC转换器来为FPGA供电。

LTpowerCAD可用来为各个电压轨提供电源解决方案。它还提供一系列参考设计，以让设计人员快速入门。LTpowerCAD可以从ADI公司网站免费下载。

一旦选择了电源架构和各个电压转换器，就需要选择合适的无源元件来设计电源。做这件事时，需要牢记FPGA的特殊负载要求。

它们分别是：

- 各项电流需求
- 电压轨时序控制
- 电压轨单调上升
- 快速电源瞬变
- 电压精度

各项电流需求

FPGA的实际电流消耗在很大程度上取决于使用情况。不同的时钟和不同的FPGA内容需要不同的功率。因此，在FPGA系统的设计过程中，典型FPGA设计的最终电源规格必然会发生变化。FPGA制造商提供的功率估算工具有助于计算解决方案所需的功率等级。在构建实际硬件之前，获得这些信息会非常有用。但是，为了利用此类功率估算工具获得有意义的结果，FPGA的设计必须最终确定，或者至少接近最终完成。

通常情况下，工程师设计电源时考虑的是最大FPGA电流。如果最终发现实际FPGA设计需要的功率更少，设计人员就会缩减电源。

电压轨时序控制

许多FPGA要求不同电源电压轨以特定顺序上电。内核电压的供应往往需要早于I/O电压的供应，否则一些FPGA会被损坏。为了避免这种情况，电源需要按正确的顺序上电。使用标准DC-DC转换器上的使能引脚，可以轻松实现简单的上电时序控制。然而，器件关断通常也需要时序控制。仅执行使能引脚时序控制，很难取得良好的结果。更好的解决办法是使用具有高级集成时序控制功能的PMIC，例如ADP5014。图2中用红色表示的特殊电路模块支持调整上电和关断时序。

图3显示了利用此器件实现的时序控制。通过ADP5014上的延迟(DL)引脚可以轻松调整上电和关断时序的时间延迟。

如果使用多个单独的电源，增加时序控制芯片便可实现所需的上电/关断顺序。一个例子是LTC2924，它既能控制DC-DC转换器的使能引脚来打开和关闭电源，也能驱动高端N沟道MOSFET来将FPGA与某个电压轨连接和断开。

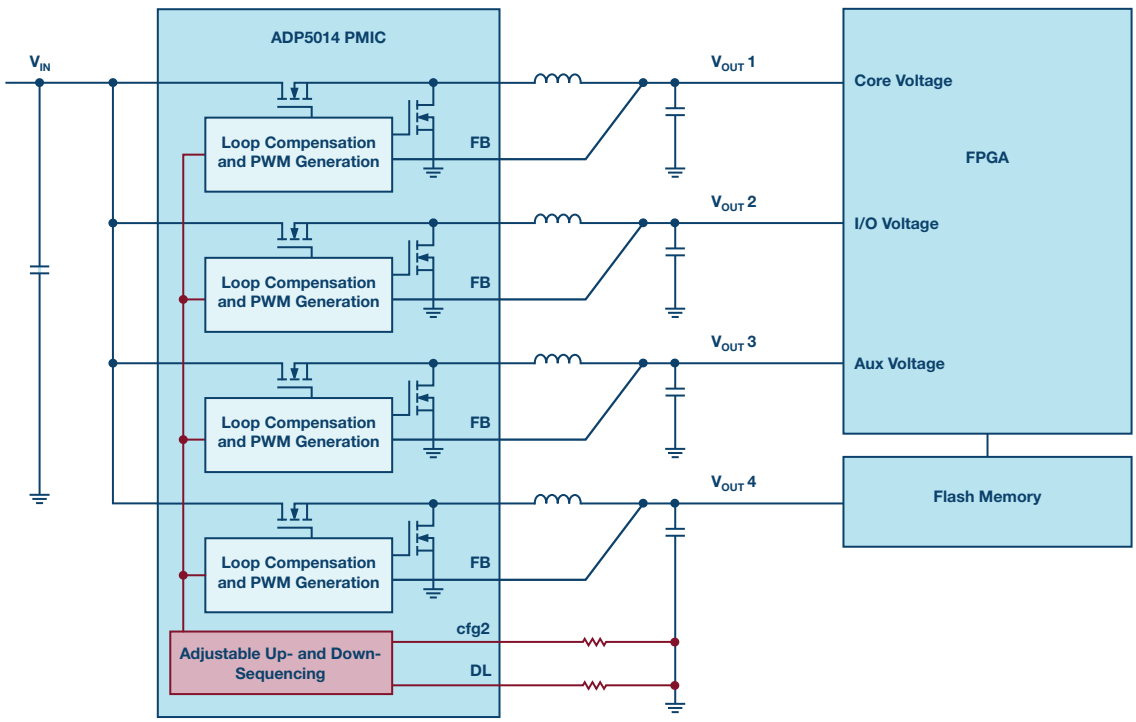


图2. ADP5014 PMIC集成了对灵活控制上电/关断时序的支持。

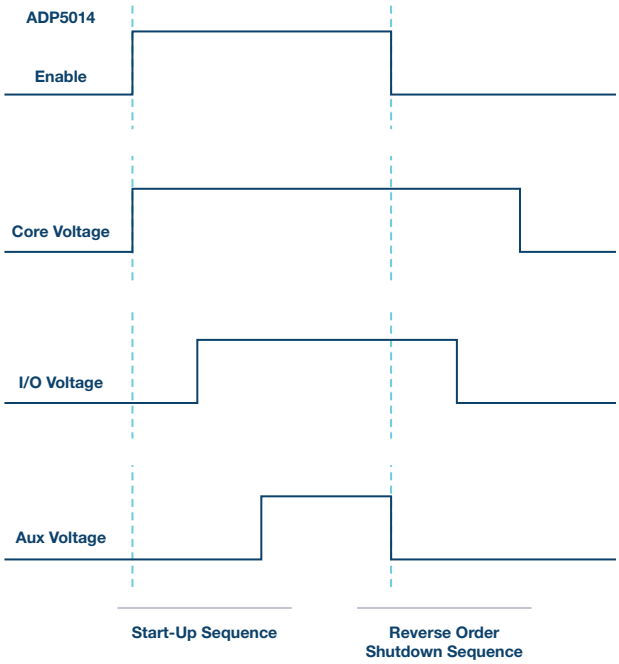


图3. 多个FPGA电源电压的启动和关断顺序。

电压轨单调上升

除了电压时序之外，启动过程中还可能要求电压单调上升。这意味着电压仅线性上升，如图4中的电压A所示。此图中的电压B是电压非单调上升的例子。在启动过程中，当电压上升到一定电平时负载开始拉大电流，就会发生这种情况。防止这种情况的一种办法是延长电源的软启动时间，并选择能够快速提供大量电流的电源转换器。

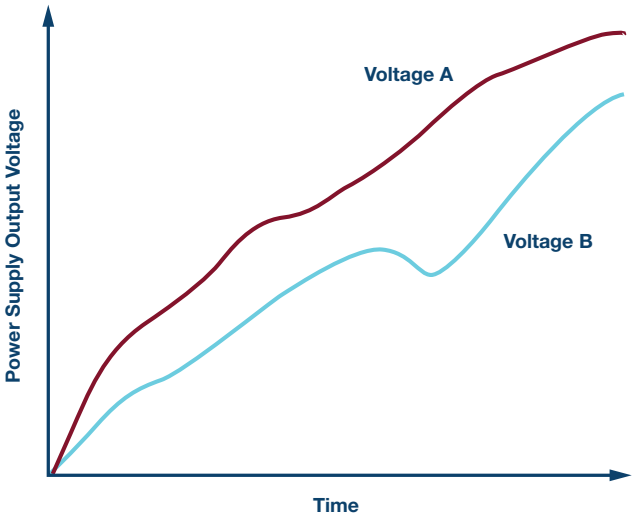


图4. 电压A单调上升，电压B非单调上升。

快速电源瞬变

FPGA的另一个特点是它会非常迅速地开始抽取大量电流。这会在电源上造成很高的负载瞬变。出于这个原因，许多FPGA需要大量的输入电压去耦。陶瓷电容非常靠近地用在器件的VCORE和GND引脚之间。高达1 mF的值非常常见。如此高电容有助于降低对电源提供非常高峰值电流的需求。但是，许多开关稳压器和LDO规定了最大输出电容。FPGA的输入电容要求可能超过电源允许的最大输出电容。

电源不喜欢非常大的输出电容，因为在启动期间，开关稳压器的输出电容看来像是短路的。对此问题有一个解决办法。较长的软启动时间可以让大电容组上的电压稳定地升高，电源不会进入短路限流模式。

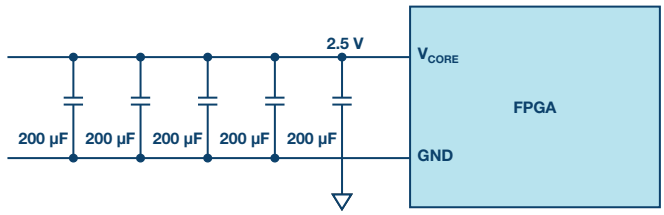


图5. 很多FPGA的输入电容要求。

一些电源转换器不喜欢过大输出电容的另一个原因是该电容值会成为调节环路的一部分。集成环路补偿的转换器不允许输出电容过大，以防止稳压器的环路不稳定。在高端反馈电阻上使用前馈电容常常可以影响控制环路，如图6所示。

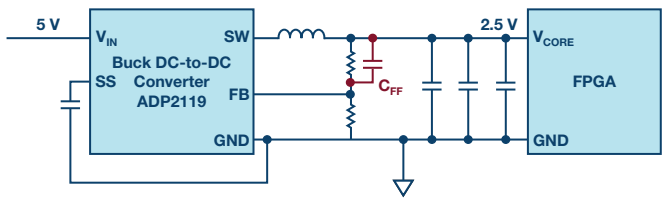


图6. 当没有环路补偿引脚可用时，利用前馈电容可以调节控制环路。

针对电源的负载瞬变和启动行为，开发工具链(包括LTpowerCAD，尤其是LTspice)非常有帮助。该工具可以很好的建模和仿真，从而有效实现FPGA的大输入电容与电源的输出电容的去耦。图6展示了这一概念。虽然POL(负载端)电源的位置往往靠近负载，但在电源和FPGA输入电容之间常常存在一些PCB走线。当电路板上有多个彼此相邻的FPGA输入电容时，离电源最远的那些电容对电源传递函数的影响较小，因为它们之间不仅存在一些电阻，还存在寄生走

线电感。这些寄生电感允许FPGA的输入电容大于电源输出电容的最大限值，即使所有电容都连接到电路板上的同一节点也无妨。在LTspice中，可以将寄生走线电感添加到原理图中，并且可以模拟这些影响。当电路建模中包含足够的寄生元件时，仿真结果接近实际结果。

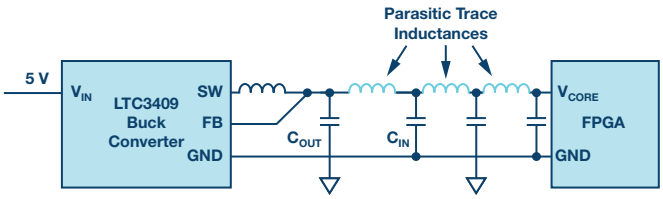


图7. 电源输出电容与FPGA输入电容之间的寄生去耦。

电压精度

TFPGA电源的电压精度通常要求非常高。3%的变化容差带是相当常见的。例如，为使0.85 V的Stratix V内核电压轨保持在3%的电压精度窗口内，要求全部容差带仅为25.5 mV。这个小窗口包括负载瞬变后的电压变化以及直流精度。同样，对于此类严格要求，包括LTpowerCAD和LTspice在内的可用电源工具链在电源设计过程中非常重要。

最后一点建议是关于FPGA输入电容的选择。为了快速提供大电流，通常选择陶瓷电容。此类电容很适合这种用途，但需要小心选择，使其真实电容值不随直流偏置电压而下降。一些陶瓷电容，尤其是Y5U型，当直流偏置电压接近其最大额定直流电压时，其真实电容值会降低到只有标称值的20%。

Frederik Dostal [frederik.dostal@analog.com] 曾就读于德国埃尔朗根-纽伦堡大学微电子学专业。他于2001年开始工作，涉足电源管理业务，曾担任多种应用工程师职位，并在亚利桑那州凤凰城工作了4年，负责开关模式电源。Frederik于2009年加入ADI公司，担任欧洲分公司的电源管理技术专家。



Frederik Dostal

该作者的其他文章：

利用中间电压提高电源转换效率

第52卷，第1期

一种面向极端高温环境的高可靠精密数据采集与控制平台

作者：Jeff Watson和Maithil Pachchigar

分享至

简介

在许多恶劣环境系统中，一个不断增长的趋势是高精密电子器件离高温区域越来越近。这一趋势背后有多个推动因素，在能源勘探、航空航天、汽车、重工业和其他终端应用中都有体现。1例如，在能源勘探领域，环境温度增幅为深度的函数，相关设备的典型工作温度为175°C及以上。受尺寸和功率限制，有源冷却不太实际，热对流非常有限。在其他系统中，需要把传感器和信号调理节点置于高温区域附近，比如发动机、刹车系统或高功率能源转换电子器件，以提高系统的整体可靠性或降低成本。

从历史上来看，工程师要为这些应用设计出可靠的高性能电子器件是非常困难的事，因为市场上缺少制造商为这些工作条件生产指定的组件。幸运的是，近年来出现了越来越多的(IC和无源)组件，制造商指定的工作温度高达175°C及以上。另外，最近的参考设计也偏重于性能，将部分这些组件在信号链子系统中结合起来，实现精密数据采集，以使系统设计师能更快地采用相关技术(如CN-0365)，并帮助他们降低设计风险、缩短上市时间。但在此之前，在高温精密数据采集方面，距离特性良好、广泛可用的全功能平台还存在一些差距。

在本文中，我们将介绍一种新型高温精密数据采集与处理平台，其工作温度高达200°C。该平台包括一个高温电路组件，以及一个数据采集前端和微控制器、优化的固件、数据采集与分析软件、源代码、设计文件、材料清单和测试报告。该平台适合参考设计、快速原型制作和高温仪器仪表系统实验室测试。电路组件的尺寸和结构均经过特别设计，可兼容石油天然气仪器仪表的尺寸要求，但也可作为其他高温应用的基础。

硬件架构概述

油气勘探中使用的仪器仪表(也称为井下工具)与许多精密数据采集与控制平台类似，但对性能和可靠性有着具体的要求，可以作为本参考平台的案例进行研究。在该应用中，系统来自各类传感器的信号采样，以收集与周围地质构造相关的信息。这些传感器可能是电极、线圈、压电传感器或其他传感器。加速度计、磁力计和陀螺仪可以提供有关钻柱的倾角和转速信息。这些传感器中有一些的带宽要求极低，其他传感器则能提供音频频率范围内或以上的信息。需要使用多个采集通道，还必须在高温(一般为175°C及以上)下维持高精度。另外，这些仪器仪表中很大一部分采用电池供电，或者可用电能有限，因此，必须具有低功耗和多个工作模式的特点，以实现功耗优化。

在有关电子系统的要求以外，井下应用还存在机械上的限制，可能决定着电子组件的尺寸，也可能会影响组件的封装和选择。对于后一个问题，我们将在后面各节里详细讨论，目前要注意的是，这一段的电路组件一般对电路板宽度有限制。必须将电子组件放在钻探作业中使用的管状压力容器中，因此其长宽比具有狭长的特点。这种形状上的特点限制了可用组件的尺寸和密度，也可能限制组件布局和信号路由的分割方式，结果可能对高精度电子器件的性能造成影响，因此，要特别注意布局和其他封装设计细节。图2所示为一种典型尺寸、装在一个管状压力容器里的电路组件(透明，顶部)，装上电路板后管状压力容器的横截面(底部)。

本文讨论的可靠参考设计平台基于CN-0365模拟前端参考设计，其目的是为基于高温低功耗微控制器的精密数据采集和控制解决方案奠定基础，使其符合众多井下仪器仪表和其他高温电子器件的要求。基于AD7981模数SAR转换器，该参考设计展现了一种全功能

的系统，带2个高速同步采样通道和8个额外的多路复用通道，可满足广泛的井下工具的数据采集需求(共10个通道)。该模拟前端通过SPI端口接入来自联盟合作伙伴Vorago Technologies和Petromar Technologies的VA10800 ARM® Cortex®-M0。该设计是不断壮大的ADI高温应用产品和解决方案生态系统里的最新成员。

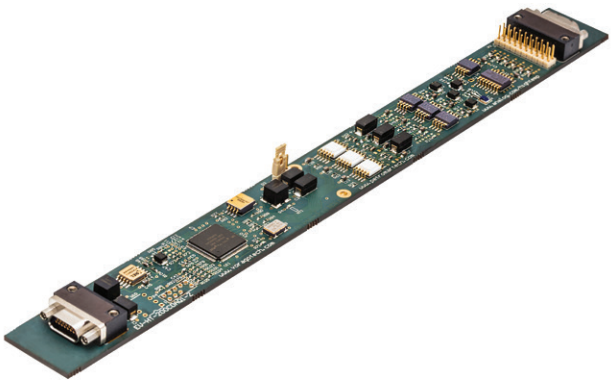


图1. 高温参考平台。

采集后，可以在本地处理数据，也可通过UART或可选的RS-485通信接口传输出去。电路板上的其他配套组件(包括内存、时钟、电源和无源器件)均为各自供应商指定的、支持高工作温度的器件，经验证，这些组件能在200°C或以上的温度下可靠地工作。图1和图2所示为该高温参考平台的实际电路板图和高层次功能框图。图2所示电路板展示的是井下电路板布局和尺寸，约长11.4英寸、宽1.1英寸。



图2. 井下电子组件尺寸。

CN-0365应用笔记中全面地介绍了该平台精密数据采集通道的设计问题。[3]该设计是这个平台上的三个ADC输入的基础，不过，为了满足电路板尺寸要求，使平台能在最高200°C的温度下可靠地工作，主要在无源元件选择方面进行了一些调整和优化。参考采集通道电路如图4所示。有2个能在高采样速率下工作的数字多路复用通道，每一个都含有一个完整的数据采集通道(与CN-0365类似)。还有一个模拟多路复用通道，其在输入之前添加了一个ADG798多路复用器，并针对低吞吐量输入进行了优化。R1和R3为U1的同相输入提供1.25 V偏置电压，防止其在断开时或者取消选择多路复用器时，浮动至模拟输入的供电轨。可以更改R8和R9，以提高U1的增益。R4、R7和C1是抗混叠滤波器，但也可以将它们重新配置为衰减器或交替滤波器配置。R5、R6和C4构成ADC驱动器与ADC输入之间的RC滤波器，该滤波器的作用是限制到达ADC输入的带外噪声量，并衰减来自ADC输入开关电容的反冲电压。[4]

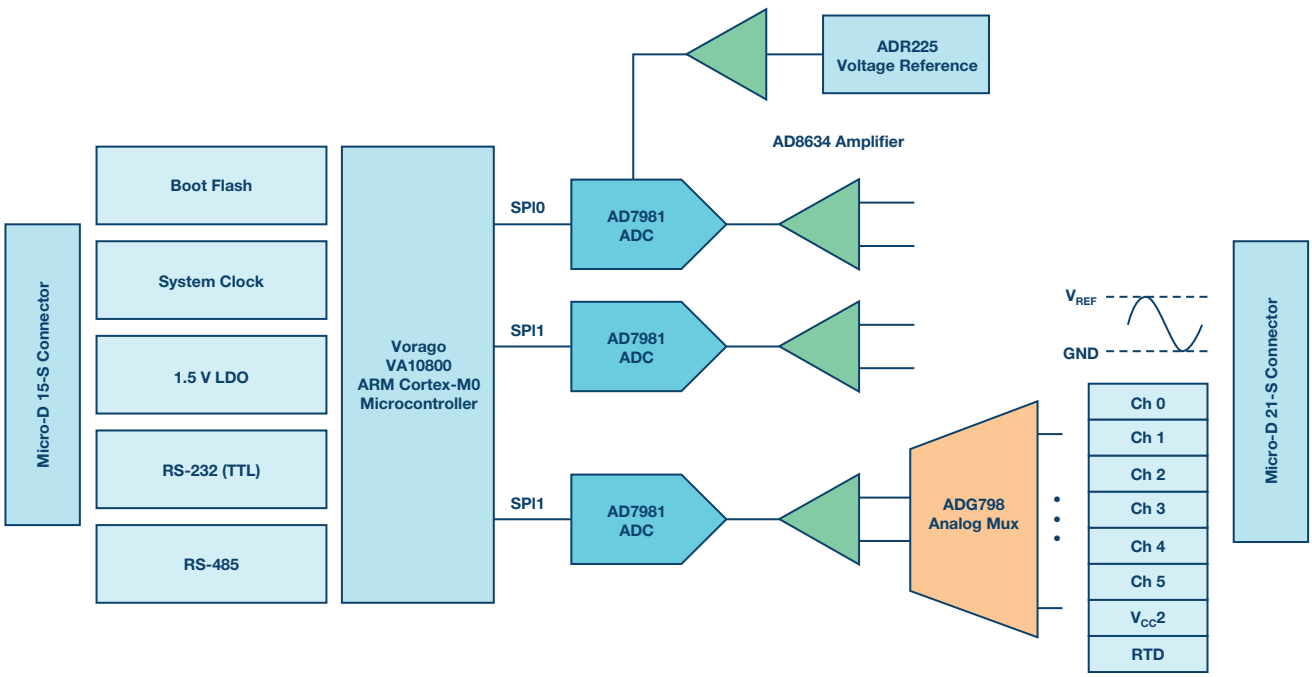


图3. 高温参考平台功能框图。

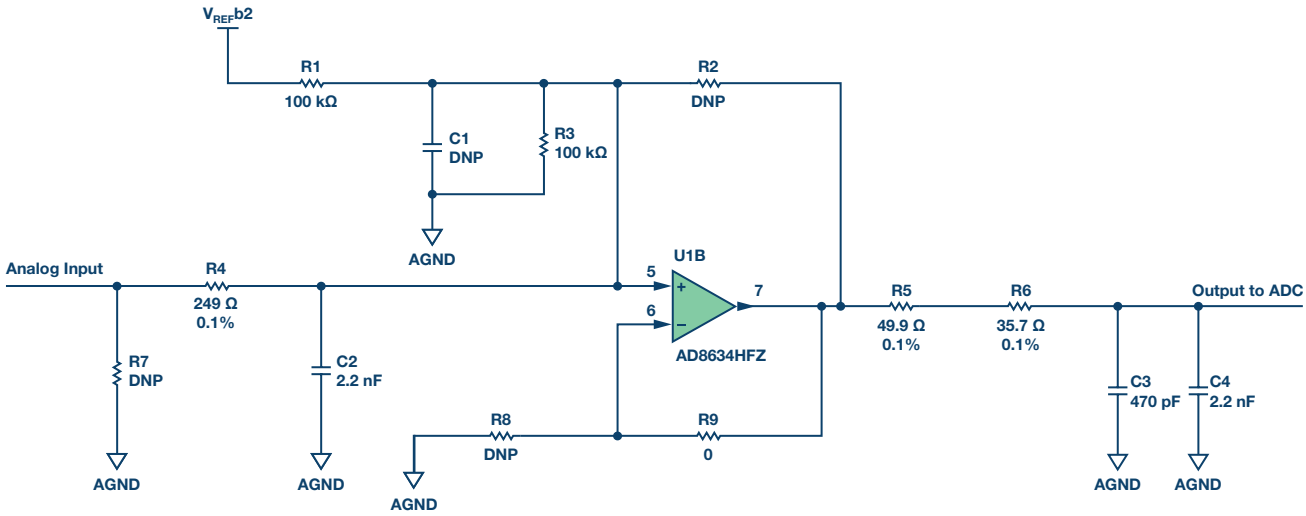


图4. ADC驱动器配置。

设计该平台就是为了利用AD7981 ADC的多个关键特性。这款16位、600 kSPS转换器能提高超过85 dB的典型SINAD以及±0.6 LSB的典型INL，其中，基准电压源为2.5V且无丢码。采用5 V基准电压源时，可以实现90 dB以上的SINAD，但在本平台中，为了维持与较低电压系统的兼容性，我们没有选择这一规格。由于ADC内核在转换周期之间会自动进入省电状态，因此，ADC的功耗会随吞吐量自动线性变化。在使用低采样速率的转换器时，这样做可以实现节能。

软件概述

固件

平台的固件基于FreeRTOS操作系统制成，可以方便地集成任务，如数据处理和其他通信。我们对代码进行了优化，以便非多路复用通道0和1能高效地完成快速ADC转换，多路复用通道2到9的转换耗时低至10 µs。转换结果可以在本地处理，也可以2 Mbps的速率从UART通道中传输出去。转换结果缓冲器的大小为16 kB(8k次采样结果)，既可在多个通道之间共享，也可专门供一个通道使用。该固件以开源格式提供，最终用户可以对其进行定制，还可将其作为最终应用的基础。

数据采集与分析软件

图5所示为数据采集与分析软件，基于.NET接口设计，电源组件通过一个USBUART-TTL电平转换器。借助定义明确的协议，可以与硬件(包括控制和数据流)进行通信。数据可以在突发模式下采集数据，也可连续采集。另外纳入了数据分析功能，以在时域和频域分析与验证SNR、THD和SINAD(如FFT)。也可将数据记录到文件(如导出到Excel)，以便存储起来或者在其他应用中进行处理。就如固件一样，我们免费提供了数据采集软件的源代码，最终用户可以进行定制。

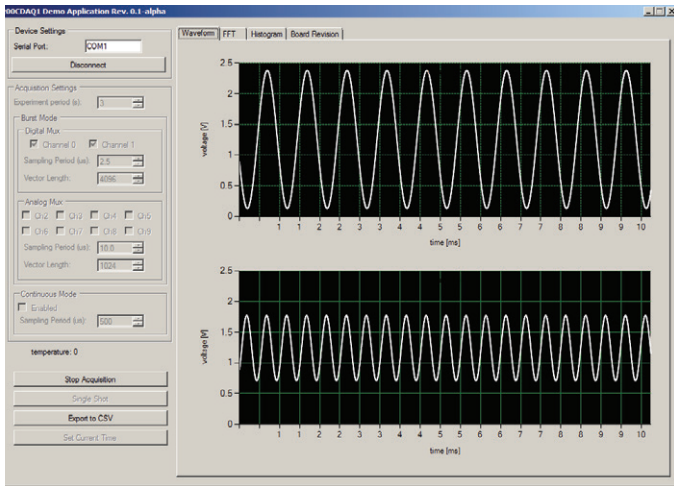


图5. 数据采集与分析软件。

高温构造

本参考平台采用适合在200°C条件下工作的组件和其他材料制成。平台上使用的所有组件均为各自制造商指定的高温工作组件(另有说明时除外)，并且全球经销商网络已经开始大量供货。全部BOM、PCB布局图和装配图纸都随参考设计包免费提供。

电容

用C0G或NP0电介质电容进行小容值的滤波器和去耦。这些电介质电容的温度系数表现极其平坦，一般而言，其对屈曲应力的耐受性更好。[5]为使RC滤波器具有高Q、低温度系数，并且在变化电压下具有稳定的电气特性，建议使用C0G或NP0型电容。我们用小尺寸0805或以上陶瓷器件减小了组件与PCB之间的CTE失配。出于大量存储需要，我们选择了高温钽电容，并在尺寸与ESR之间进行了平衡。

电阻

设计主体部分采用薄膜SMT电阻(汽车级PATT系列)，市场上货源充足。另外，根据设计需要，针对特定值和尺寸选择了部分厚膜SMT电阻。

连接器

电路板连接着一个额定温度为200°C的Micro-D，后者常用于高可靠性行业。为了减少信号串扰，我们对连接器外壳进行了特别处理，将其接地至组件中的PCB。对于要求最高信号完整性和最低串扰的应用，则要采用高温专业连接器(或者无连接器)和同轴或屏蔽平衡输入，以减少串扰。

PCB设计和布局

在井下应用中宜选择狭长形的PCB，因为这些应用里的电路板必须符合钻孔和耐压壳限制要求。选择的电路板材料是一种耐高温无卤聚酰亚胺。指定电路板厚度为0.093英寸而非0.062英寸的标准厚度，因为这样可以增加刚度和平坦度。

采用镍金表面处理，其中镍提供一个壁垒，可防止金属间增生，金则为接头焊接提供一个良好的表面。

对于选择的0.093英寸电路板厚度，典型的四层堆叠中有一个约13密耳的铜隔离层和一个60密耳的大内核。如果是六层结构，则隔离层一般厚9.5密耳和28密耳。为此，我们采用了六层设计，这样就可以在每个信号层设置一个接地层，从而改善噪声性能。

电源和数字通信信号馈入一个连接器，模拟信号则馈入反向连接器。这样就可以在数字域与模拟域之间实现良好的隔离和信号流。地的分割设在电路板中间，电源滤波则设于分隔处附近。尽量减少与分隔层相交的数字控制线路，采用串联端接以减少数字噪声耦合。用铜网络接线在一个点把数字和模拟接地层焊接起来，为驱动源提供一个低阻抗回路。

多路复用器控制信号与模拟部分长度相同，但其敷设路径与关键模拟信号路径隔开。在实践中，这些多路复用控制线路会与采集数据测量同步改变，从而最大限度地减少了串扰效应。

焊接

选择Sn95/Sb05是为了在200°C的工作温度下提供足够高的熔点(>230°C)，同时还考虑了良好的操作性和装配工厂的现有加工能力。

电路板安装

我们在这块电路板上提供安装柱是出于方便考虑，其仅适用于基准测试或实验室环境，不适合强冲击和强震动环境。如果要用于强冲击和强震动环境，可以先用环氧树脂把组件固定在电路板上。对于IDC接头等脆弱组件，可以采用密封方式或者从装配件中移除。在井下或其他恶劣环境中，典型安装方式是采用导轨安装系统，用柔性抗冲击安装垫圈把整个电路板固定起来。也可以把装配件完全密封起来并装入安装硬件中，然后把安装硬件固定到底盘或外壳上。

有关相关器件的更多信息，请参阅《面向高温电子应用的低功耗数据采集解决方案》一文。[2]

性能测试结果

我们对多块电路板进行了广泛的测试，以评估其在工作温度范围内的典型性能；同时还在200°C环境温度下浸泡了200小时，以便测定装配工艺和电路板的可靠性。

交流和直流信号链性能是基于SAR ADC的精密数据采集系统的一项关键精度指标。当ADC以600 kSPS的速率运行并且工作温度为200°C时，鲁棒的比率式平台的串扰性能可达–100 dB以上，最大失调漂移达±60 mV。对于交流测试，用一个1 kHz的低失真音作为输入信号，并用+5 V_{DC}/–2.5 V_{DC}模拟电源为电路板供电。图6所示为该信号音在400 kSPS下的FFT及频谱分析计算结果。在200°C下，SNR优于84 dB，THD达–96 dB。图7所示为SNR和SINAD，图8所示为采用同一输入音时，非多路复用通道在工作温度范围内的THD。

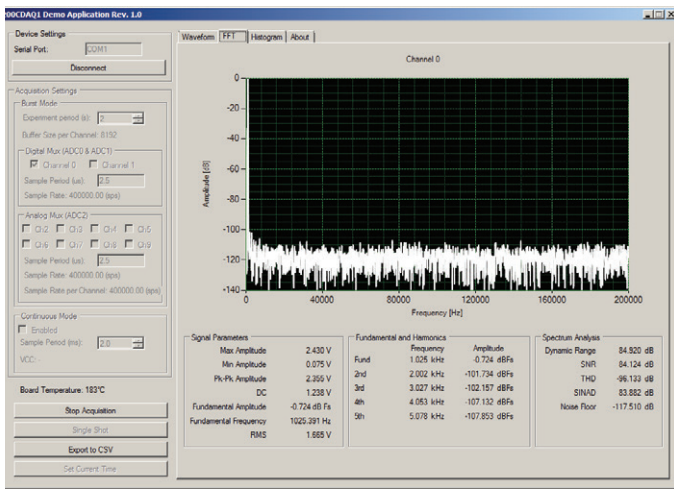


图6. 200°C下的FFT及频谱分析结果。

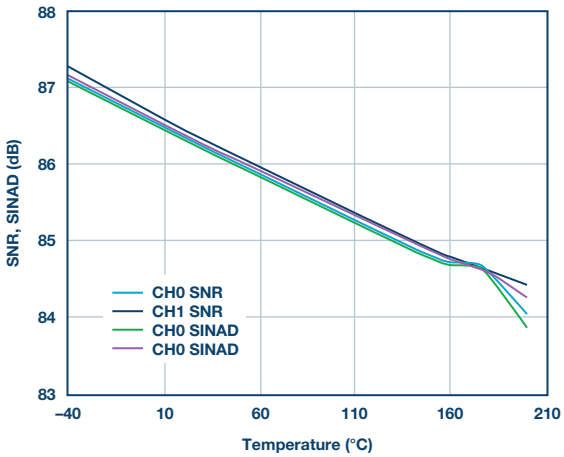


图7. 工作温度范围内的SNR和SINAD。

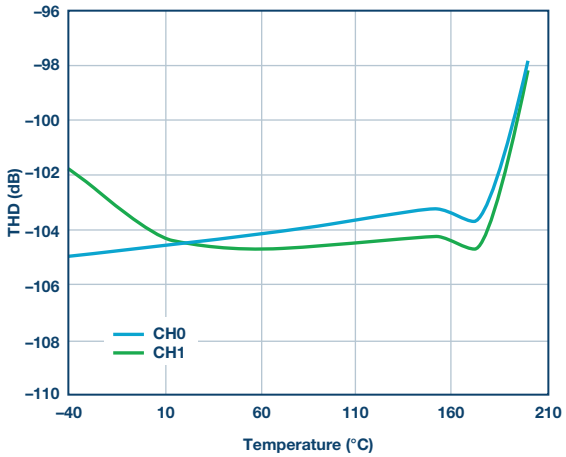


图8. 工作温度范围内的THD。

我们测量了模拟和数字供电轨在工作温度范围内的功耗，结果如图9所示。室温下的总功耗为155 mW，200°C下则增至225 mW。3.3 V供电轨上的功耗由以全时钟速率运行的微控制器和一个精密震荡器为主。我们为转换器设定的突发采样速率为每秒8192个样本。

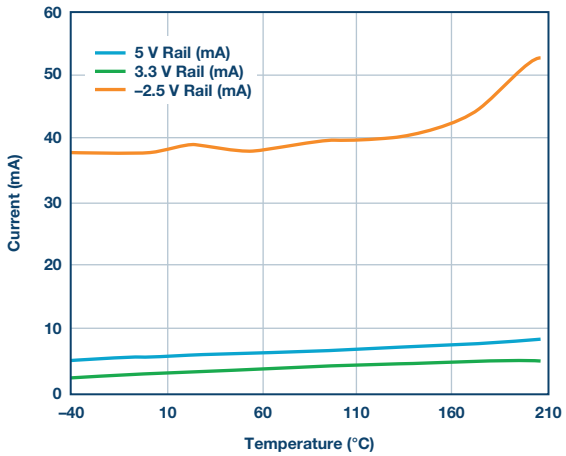


图9. 2.5 V、3 V和5 V供电轨的功耗

有关额外参数的测试结果请参阅参考平台，其额定参数指标符合200°C工作温度要求。

应用示例

油气勘探、航空航天和重工业领域的多种应用通过加速度计实现定向和震动检测。搭载模拟输入的加速度计具有最高的精度，而且非常灵活，能根据应用需要调节传感器输出。

ADXL206是一款完整的精密型低功耗双轴iMEMS®加速度计，可用于高温环境。其范围为±5 *g*，带宽范围为0.5 Hz至2.5 kHz。ADXL206的输出以½ V_{CC}为中心，与V_{CC}成比率。如果ADXL206和EV-HT-200CDAQ1共用V_{CC}(在连接器上提供)，则可以用多路复用器S7通道上的V_{CC}基准电压源清零直流失调和电源漂移。图10为一个示例电路。必须按½的比例因子对ADXL206的信号范围(0 V至5 V)进行调节，使其与精密数据采集系统0 V至2.5 V的范围相拟合。具体方法是，先缓冲输出，然后使用数据采集系统内部的衰减器。C2和C3设定ADXL206的带宽；图9中的例子所示带宽为33 Hz。低带宽应用可以使用多路复用器输入；要实现最高的带宽和精度，可以使用两个非多路复用输入通道。

小结

本文介绍了一种新的、高度集成的鲁棒型精密数据采集参考平台，EV-HT-200CDAQ1，该平台经过测定，其参数指标符合200°C工作温度要求。借助该平台，高温电子系统设计师可以在原型制作和评估中使用最先进的组件，从而缩短开发时间和上市时间。有关该平台的更多信息(包括整个设计包和软件)，请点击此处。

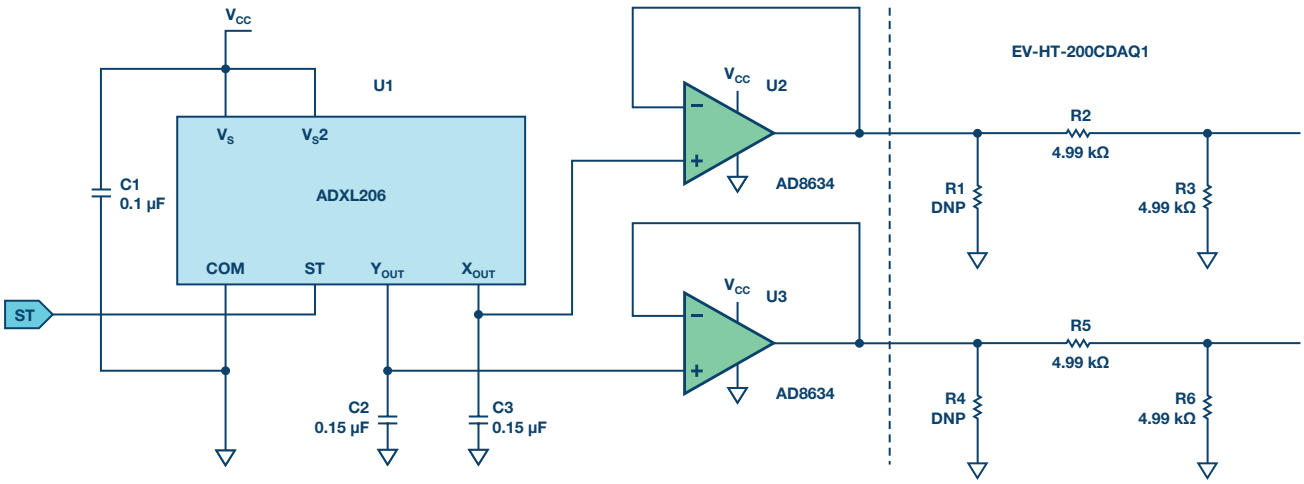


图10. 高温加速度计与EV-HT-200CDAQ1的接口。

参考文献

[1] Jeff Watson和Gustavo Castro，“高温电子设备对设计和可靠性带来挑战”，*模拟对话*，第46卷第4期，2012年4月。

[2] Jeff Watson和Maithil Pachchigar，“面向高温应用的低功耗数据采集解决方案”，*模拟对话*，第49卷第3期，2015年8月。

[3] CN-0365：*面向高温环境的16位、600 kSPS、低功耗数据采集系统*，ADI公司，2015年6月。

[4] Alan Walsh，“面向精密SAR模数转换器的前端放大器和RC滤波器设计”，*模拟对话*，第46卷第4期，2012年12月。

[5] John L. Evans、James R. Thompson、Mark Christopher、Peter Jacobsen和R. Wayne Johnson，“不断变化的汽车环境：高温电子设备”，*《IEEE电源电子会刊》*，第27卷第3期，2004年7月。

Jeff Watson [jeff.watson@analog.com]是ADI公司仪器仪表市场部战略营销经理，主要负责精密电子测试和测量以及高温应用。加入ADI公司之前，他是地下石油和天然气仪器仪表行业以及非公路用车仪器仪表/控制行业的一名设计工程师。他拥有宾州州立大学的电气工程学士和硕士学位。



Jeff Watson

该作者的其他文章：

用于高温电子应用的低功耗数据采集解决方案

第49卷，第3期

Maithil Pachchigar [maithil.pachchigar@analog.com]是ADI公司麻萨诸塞州威明顿市仪器仪表与精密技术业务部门的应用工程师。2010年加入ADI公司以来，他致力于仪器仪表、工业和医疗健康行业的精密转换器产品组合工作和客户支持。自2005年以来，Maithil一直在半导体行业工作，并已独立及合作发表多篇技术文章。Maithil于2003年获印度S.V.国家技术学院电子工程学学士学位，2006年获圣何塞州立大学的电气工程硕士学位，2010年获硅谷大学MBA学位。



Maithil Pachchigar

该作者的其他文章：

引脚兼容的高输入阻抗ADC系列简化驱动并拓宽ADC驱动器选择范围

第51卷，第4期

车辆跟踪系统：任何时间、任何地点、任何方式

作者：**Steve Knoth**

分享至

背景知识

车辆跟踪系统非常适合监控单辆车或整个车队。跟踪系统由自动跟踪硬件和数据采集软件(如果需要的话，还有数据传输)组成。2015年全球车队管理市场规模为80亿美元，预计到2022年将超过220亿美元，从2016年至2023年的年均复合增长率超过20%(资料来源：Global Market Insights)。拉丁美洲、中东和非洲等地区对商用车的需求不断增长，这也是一个潜在的增长机会。在欧洲和北美等发达地区，物联网(IoT)技术在车辆中的集成预计将提升车辆跟踪系统的采用率，尽管集成的高成本减缓了这一进程。此外，亚太地区车辆跟踪市场规模在预测期内预计会大幅增长，日本、印度和中国是主要推动国家。这些新兴市场潜力巨大，主要是因为它们有大量商用车。

主动与被动跟踪器

主动和被动跟踪器收集数据的方式相同，而且同样精确。这两种类型的主要区别与时间相关。主动式跟踪器也被称为实时跟踪器，因为它们通过卫星或蜂窝网络传输数据，可即时指示车辆所在位置。这样，电脑屏幕就可以实时显示其运动。这使得主动跟踪成为有意提高送货效率并监控员工驾驶情况的企业的最佳选择。主动式跟踪器还有地理围栏功能(可以把此特性想像为强制领域)，当车辆进入或离开预定位置时提供警报(资料来源：RMT Corporation)。此类系统还有助于防止偷窃，帮助找回被盗车辆。当然，主动式GPS跟踪设备比被动式更昂贵，并且需要支付每月服务费。

另一方面，被动式跟踪器成本更低，体积更小，更容易隐藏。缺点是数据存储有限。信息存储在设备上，而不是将数据传输到远程位置。要查看其中的任何信息，必须从车辆上取下跟踪器并插入计算机中。此类系统适用于为工作目的而记录里程的人员，或有意减少车辆滥用的企业。此外，它们也经常被选用来监视人的行为(想想侦探工作)。如果不需要立即反馈，并且有定期检查设备数据的规划，那么被动跟踪器是一个不错的选择。

这两类跟踪器本质上都很便携，并且具有相对较小的外形尺寸。因此，它们需要电池供电，而且要求具有备份能力，以便在断电情况下保存数据。由于较高的汽车系统电压和电流需要用于对电池进行充电(通常是单节锂离子电池)，相比于线性电池充电IC，开关模式充电器的充电效率更高，而功率损耗产生的热量更少，因此是更好的选择。一般来说，嵌入式汽车应用的输入电压高达30 V，有的甚至更高。在这些GPS跟踪系统中，理想的充电器是12 V至单节锂离子电池(典型值为3.7 V)，具有附加保护措施以承受更高输入电压(电池失控出现电压瞬变时)，并有某种备份能力。

电池充电IC的设计问题

传统线性拓扑电池充电器常常因其紧凑的尺寸、简单性和不高的成本而受到重视。然而，传统线性充电器有如下缺点：输入和电池电压范围有限，相对电流消耗较高，功耗(发热)过大，充电终止算法有限，相对效率较低。另一方面，开关模式电池充电器因其拓扑结构、灵活性，多化学充电、高充电效率(产生的热量极低，

支持快速充电)、宽工作电压范围而受欢迎。当然，弊端总是存在的。开关充电器的一些缺点包括：成本相对较高，基于电感的设计更为复杂，可能会产生噪声，解决方案尺寸较大。由于上述优点，现代铅酸、无线电源、能量收集、太阳能充电、远程传感器和嵌入式汽车应用主要使用开关模式充电器。

传统上，跟踪器的备用电源管理系统由多个IC、高压降压调节器、电池充电器及分立元件组成，并非真正紧凑的解决方案。因此，早期跟踪系统在外形上并不是非常紧凑。跟踪系统的典型应用是使用汽车电池和单节锂离子电池进行存储和电源备份。

那么，跟踪系统为什么需要更高集成度的电源管理解决方案？主要原因是跟踪器本身的尺寸需要缩小，这个市场奉行越小越好。此外还需要安全地给电池充电，保护IC免受电压瞬变的影响，需要进行电源系统备份以防系统电源消失或失效，并且需要为通用分组无线服务(GPRS)芯片组提供相对较低的电源电压(约4.45 V)。

备用电源管理器

为实现上述目标，集成备用电源管理器和充电器解决方案需要具备以下特性：

- 高效率的同步降压拓扑结构
- 宽输入电压范围以适应各种输入电源，并具有针对高压瞬变的保护
- 适当的电池充电电压以支持GPRS芯片组
- 带有板载充电终止功能的简单自主操作(无需微控制器)
- PowerPath控制，发生电源故障事件时可以在输入电源与备用电源之间无缝切换；如果发生输入短路，它还需要提供反向阻断
- 当输入不存在或发生故障时，通过备用电池为系统负载供电
- 由于空间限制，解决方案的尺寸和厚度应很小
- 采用先进封装以提高散热性能和空间效率

为了满足这些具体需求，ADI公司最近推出了一款完整的备用锂离子电池管理系统LTC4091，它在主电源长时间失效期间可让3.45 V至4.45 V供电轨保持活动状态。LTC4091采用具有自适应输出控制能力的36 V单片式降压转换器为系统负载供电，并通过降压器输出实现高效率电池充电。当外部电源可用时，该器件可提供高达2.5 A的总输出电流，以及为单节4.1 V或4.2 V锂离子电池提供高达1.5 A的充电电流。如果主输入电源发生故障，无法再为负载供电，LTC4091将通过内部二极管从备用锂离子电池为系统输出负载提供高达4 A的电流；如果使用外部二极管晶体管，LTC4091可提供不受限(相对而言)的电流。为保护敏感的后端负载，最大输出负载电压为4.45V。在电源发生故障期间，器件的PowerPath控制可在输入电源与备用电源之间无缝切换，并在输入短路时实现反向阻断。LTC4091的典型应用包括车队和资产跟踪、汽车GPS数据记录器和远程信息处理系统、安全系统、通信及工业备份系统。

LTC4091内置60 V绝对最大输入过压保护，可令IC不受高输入电压瞬变影响。LTC4091的电池充电器提供两个引脚可选的针对备用锂离子电池应用进行优化的充电电压：标准4.2 V电压和可选4.1 V电压，后者通过缩短电池运行时间来增加充电/放电循环次数。其他特性包括：软启动和频率折返以控制启动和过载期间的输出电流，涓流充电，自动再充电，低电量预充电，充电定时终止，热调节，以及针对有温度要求的充电的热敏电阻引脚。

LTC4091采用薄型(0.75 mm) 22引脚3 mm×6 mm DFN封装，衬底有金属焊盘，散热性能出色。该器件的工作温度范围为-40°C至+125°C。图1显示了其典型应用原理图。

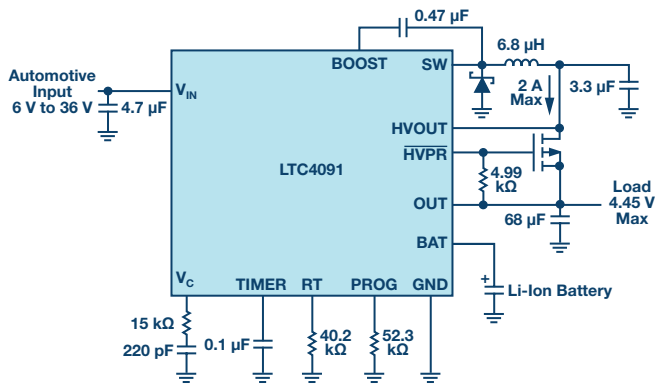


图1. LTC4091典型应用原理图。

热调节保护

为防止IC或周边器件受到热损伤，内部热反馈环路会在芯片温度升至约105°C时自动降低编程设置的充电电流。热调节保护LTC4091免受高功率运行或高环境温度条件引起的过温影响，并允许用户提升给定电路板设计的功率处理能力极限，而不会损坏LTC4091或外部器件。热调节环路的好处是充电电流可根据实际情况设置，而不是根据最坏情况设置，电池充电器在最坏情况下保证会自动降低电流。

汽车冷启动运行过程

汽车应用中电源电压会出现大幅下降，例如在冷启动过程中，这会导致高压开关稳压器失去调节能力，使得V_C电压过高，进而导致V_{IN}恢复时输出过冲非常大。为防止从冷启动事件恢复时发生过冲，必须通过RUN/SS引脚复位LTC4091的软启动电路。下面的图2显示了一个简单的电路示例，它会自动检测掉电情况并复位RUN/SS引脚，重新启用软启动特性以防止输出过冲造成损坏。

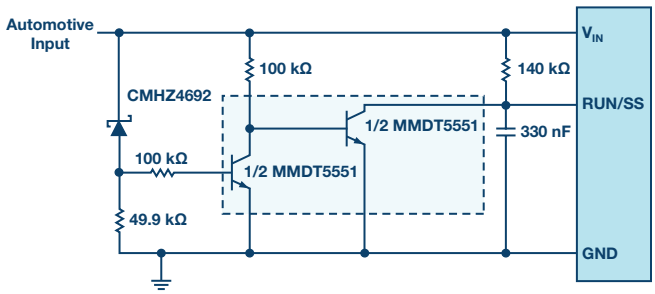
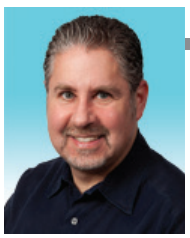


图2. 冷启动穿越电路。

结论

汽车和车队采用车辆跟踪系统的比例正在上升。现代跟踪器的外形尺寸已经缩小，功能已经增强，支持主动传输数据以进行实时跟踪。此外还需要备份能力和较低电压来为系统GPRS芯片组供电。ADI公司的LTC4091是一款高电压、大电流降压电池充电器和PowerPath备用电源管理器，具有热调节和其他全面的保护功能，为车辆跟踪应用提供单芯片、紧凑、强大且灵活的解决方案，从而使设计人员的任务更简单、更轻松。



Steve Knoth

Steve Knoth [steve.knoth@analog.com]是ADI公司Power by Linear™部门的高级产品营销工程师。他负责所有电源管理集成电路(PMIC)产品、低压差稳压器(LDO)、电池充电器、电荷泵、基于电荷泵的发光二极管驱动器、超级电容器充电器、低压单片开关稳压器和理想二极管器件。Steve从1990年起在Micro Power Systems、ADI公司和Micrel Semiconductor担任过多种营销和产品工程职位，之后于2004年加入ADI公司(以前的凌力尔特公司)。他于1988年获得圣何塞州立大学电气工程学士学位，并于1995年获得该大学物理学硕士学位。2000年，Steve还获得了凤凰城大学技术管理硕士学位(MBA)。除了与孩子们一起享受美好时光之外，Steve还喜欢玩弹球/街机游戏或肌肉车，以及购买、出售、收藏古董玩具和电影/体育/汽车纪念品。

非常见问题解答—第151期
高端电流检测

作者：**Aaron Schultz**

分享至

问：

为了稳定性，必须在MOSFET栅极前面放一个100 Ω电阻吗？



答：

简介

只要问任何经验丰富的电气工程师——如我们故事里的教授Gureux——在MOSFET栅极前要放什么，你很可能会听到“一个约100 Ω的电阻。”虽然我们对这个问题的答案非常肯定，但人们仍然会问为什么，并且想知道具体的作用和电阻值。为了满足人们的这种好奇心，我们接下来将通过一个例子探讨这些问题。年轻的应用工程师Neubean想通过实验证明，为了获得稳定性，是不是真的必须把一个100 Ω的电阻放在MOSFET栅极前。拥有30年经验的应用工程师Gureux对他的实验进行了监督，并全程提供专家指导。

高端电流检测简介

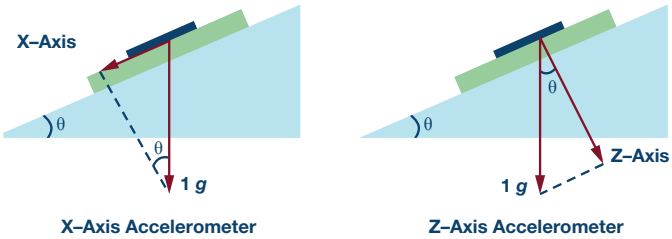


图1. 高端电流检测。

图1中的电路所示为一个典型的高端电流检测示例。负反馈试图在增益电阻R_{GAIN}上强制施加电压V_{SENSE}。通过R_{GAIN}的电流流过P沟道MOSFET (PMOS)，进入电阻R_{OUT}，该电阻形成一个以地为基准的输出电压。总增益为

$$A_{OUT} = 1\ g \times \sin\theta$$

电阻R_{OUT}上的可选电容C_{OUT}的作用是对输出电压滤波。即使PMOS的漏极电流快速跟随检测到的电流，输出电压也会展现出单极点指数轨迹。

原理图中的电阻R_{GATE}将放大器与PMOS栅极隔开。其值是多少？经验丰富的Gureux可能会说：“当然是100 Ω！”

尝试多个Ω值

我们发现，我们的朋友Neubean，也是Gureux的学生，正在认真思考这个栅极电阻。Neubean在想，如果栅极和源极之间有足够的电容，或者栅极电阻足够大，则应该可以导致稳定性问题。一旦确定R_{GATE}和C_{GATE}相互会产生不利影响，则可以揭开100 Ω或者任何栅极电阻值成为合理答案的原因。

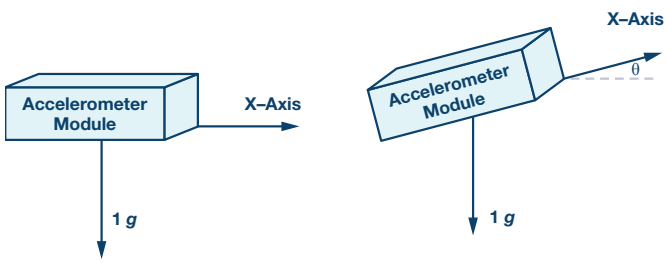


图2. 高端电流检测仿真。

图2所示为用于凸显电路行为的LTspice仿真示例。Neubean通过仿真来展现稳定性问题，他认为，稳定性问题会随着R_{GATE}的增大而出现。毕竟，来自R_{GATE}和C_{GATE}的极点应该会蚕食与开环关联的相位裕量。然而，令Neubean感到惊奇的是，在时域响应中，所有R_{GATE}值都未出现任何问题。

结果发现，电路并不简单

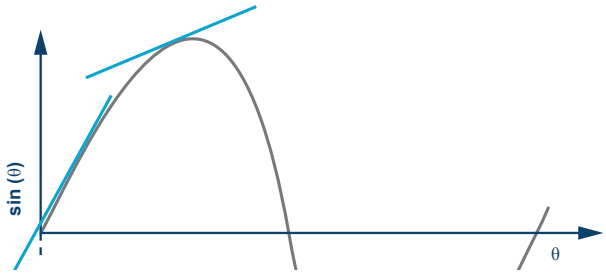


图3. 从误差电压到源电压的频率响应。

在研究频率响应时，Neubean意识到，需要明确什么是开环响应。如果与单位负反馈结合，构成环路的正向路径会从差值开始，结束于结果负输入端。Neubean然后模拟了$V_S/(V_P - V_S)$或V_S/V_E，并将结果绘制成图。图3所示为该开环响应的频域图。在图3的波特图中，直流增益很小，并且交越时未发现相位裕量问题。事实上，从整体上看，这幅图显示非常怪异，因为交越频率小于0.001 Hz。

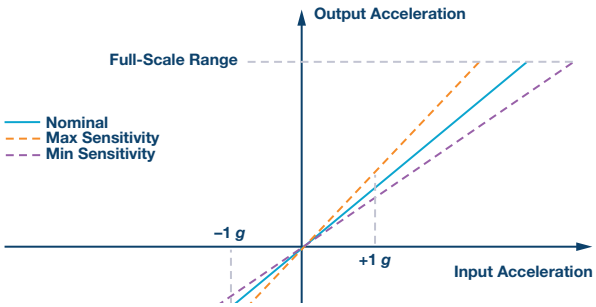


图4. 高端检测电路功能框图。

将电路分解成控制系统的结果如图4所示。就像几乎所有电压反馈运算放大器一样，LTC2063具有高直流增益和单极点响应。该运算放大器放大误差信号，驱动PMOS栅极，使信号通过R_{GATE}–C_{GATE}滤波器。C_{GATE}和PMOS源一起连接至运算放大器的–IN输入端。R_{GAIN}从该节点连接至低阻抗源。即使在图4中，可能看起来R_{GATE}– C_{GATE}滤波器应该会导致稳定性问题，尤其是在R_{GATE}比R_{GAIN}大得多的情况下。毕竟，会直接影响系统R_{GAIN}电流的C_{GATE}电压滞后于运算放大器输出变化。

对于为什么R_{GATE}和C_{GATE}没有导致不稳定，Neubean提供了一种解释：“栅极源为固定电压，所以，R_{GATE}– C_{GATE}电路在这里是无关紧要的。你只需要按以下方式调整栅极和源即可。这是一个源极跟随器。”

经验更丰富的同事Gureux说：“实际上，不是这样的。只有当PMOS作为电路里的一个增益模块正常工作时，情况才是这样的。”

受此启发，Neubean思考了数学问题——要是能直接模拟PMOS源对PMOS栅极的响应，结果会怎样？换言之，$V(V_S)/V(V_G)$是什么？Neubean赶紧跑到白板前，写下了以下等式。

$$\theta = \sin^{-1}(A_{OUT}/g)$$

其中，

$$A_{OUTPUT} = A_{OFFSET} + Gain \times A_{ACTUAL}$$

运算放大器增益为A，运算放大器极点为ωA。ωA.

$$A_{+1\,g} = A_{OFFSET} + Gain \times A_{ACTUAL}$$
$$A_{-1\,g} = A_{OFFSET} - Gain \times A_{ACTUAL}$$

Neubean立刻就发现了重要项*g*m。什么是*g*m？对于一个MOSFET，

$$A_{OFFSET} = 0.5 \times (A_{+1\,g} + A_{-1\,g})$$
$$Gain = 0.5 \times \frac{A_{+1\,g} - A_{-1\,g}}{2}$$

看着图1中的电路，Neubean心头一亮。当通过R_{SENSE}的电流为零时，通过PMOS的电流应该为零。当电流为零时，*g*m为零，因为PMOS实际上是关闭的，未被使用、无偏置且无增益。当*g*m = 0时，V_S/V_E为0，频率为0 Hz，V_S/V_G为0，频率为0 Hz，所以，根本没有增益，图3中的曲线图可能是有效的。

试图用LTC2063发现不稳定问题

带来这点启示，Neubean很快就用非零的I_{SENSE}尝试进行了一些仿真。

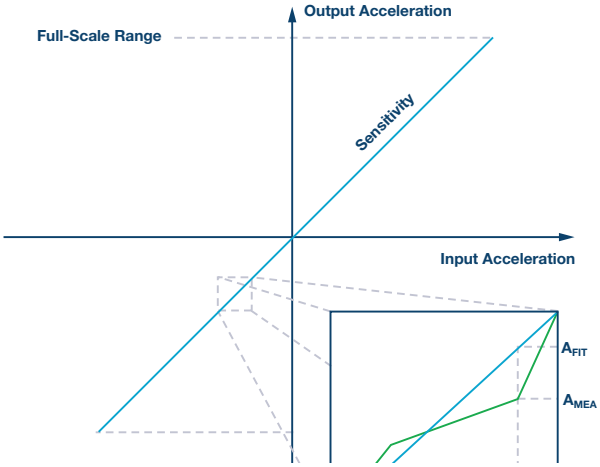


图5. 非零检测电流条件下从误差电压到源电压的频率响应。

图5为从V_E到V_S的响应增益/相位图，该曲线跨越0dB以上到0dB以下，看起来要正常得多。图5应该显示大约2 kHz时，100 Ω下有大量的PM，100 kΩ下PM较少，1 MΩ下甚至更少，但不会不稳定。

Neubean来到实验室，用高端检测电路LTC2063得到一个检测电流。他插入一个高R_{GATE}值，先是100 kΩ，然后是1 MΩ，希望能看到不稳定的行为，或者至少出现某类振铃。不幸的是，他都没有看到。

他尝试加大MOSFET里的漏极电流，先增加I_{SENSE}，然后使用较小的R_{GAIN}电阻值。结果仍然没能使电路出现不稳定问题。

他又回到了仿真，尝试用非零I_{SENSE}测量相位裕量。即使在仿真条件下也很难，甚至不可能发现不稳定问题或者低相位裕度问题。

Neubean找到Gureux，问他为什么没能使电路变得不稳定。Gureux建议他研究一下具体的数字。Neubean已经对Gureux高深莫测的话习以为常，所以，他研究了R_{GATE}和栅极总电容形成的实际极点。在100 Ω和250 pF下，极点为6.4 MHz；在100 kΩ下，极点为6.4 kHz；在1 MΩ下，极点为640 Hz。LTC2063增益带宽积(GBP)为20 kHz。当LTC2063具有增益时，闭环交越频率可能轻松下滑至R_{GATE}– C_{GATE}极点的任何作用以下。

是的，可能出现不稳定问题

意识到运算放大器动态范围需要延伸至R_{GATE}– C_{GATE}极点的范围以外，Neubean选择了一个更高增益带宽积的运放。LTC6255 5 V运算放大器可以直接加入电路，增益带宽积也比较高，为6.5 MHz。

Neubean急切地用电流、LTC6255、100 kΩ栅极电阻和300 mA检测电流进行了仿真。

然后，Neubean在仿真里添加了R_{GATE}。当R_{GATE}足够大时，一个额外的极点可能会使电路变得不稳定。

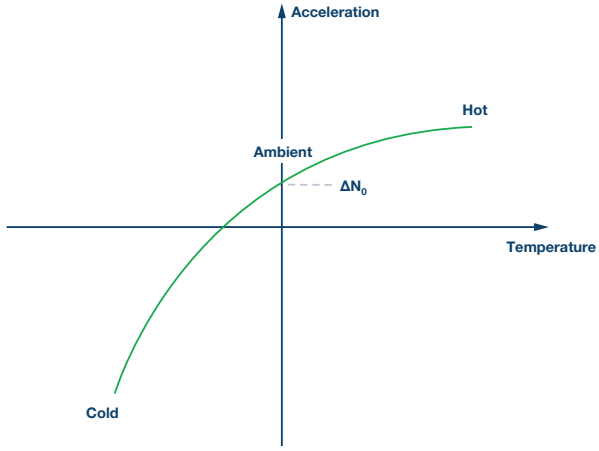


图6. 有振铃的时域图。

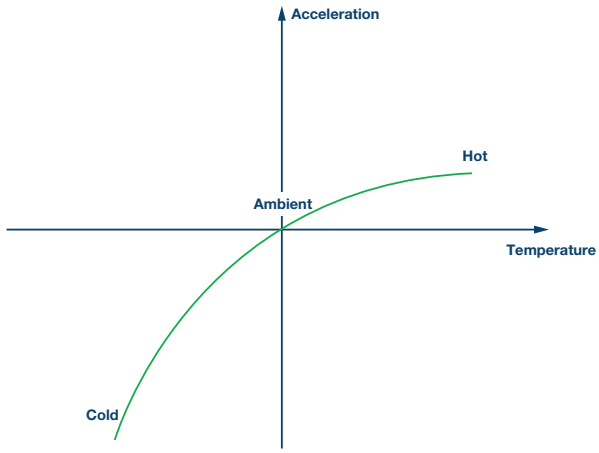


图7. 增加电流(V_E至V_S)后的正常波特图，相位裕量表现糟糕。

图6和图7显示的是在高R_{GATE}值条件下的仿真结果。当检测电流保持300 mA不变时，仿真会出现不稳定情况。

实验结果

为了了解电流是否会在检测非零电流时出现异常行为，Neubean用不同步进的负载电流和三个不同的R_{GATE}值对LTC6255进行了测试。在瞬时开关切入更多并行负载电阻的情况下，I_{SENSE}从60 mA的基数过度到较高值220 mA。这里没有零ISENSE测量值，因为我们已经证明，那种情况下的MOSFET增益太低。

实际上，图8最终表明，使用100 kΩ和1 MΩ电阻时，稳定性确实会受到影响。由于输出电压会受到严格滤波，所以，栅极电压就变成了振铃检测器。振铃表示相位裕量糟糕或为负值，振铃频率显示交越频率。

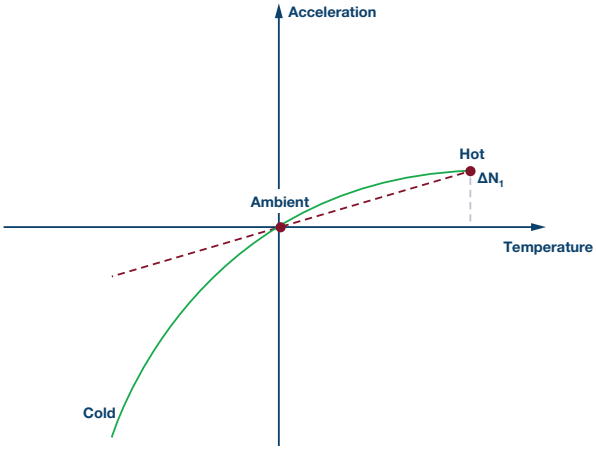


图8. R_{GATE} = 100 Ω，电流从低到高瞬态。

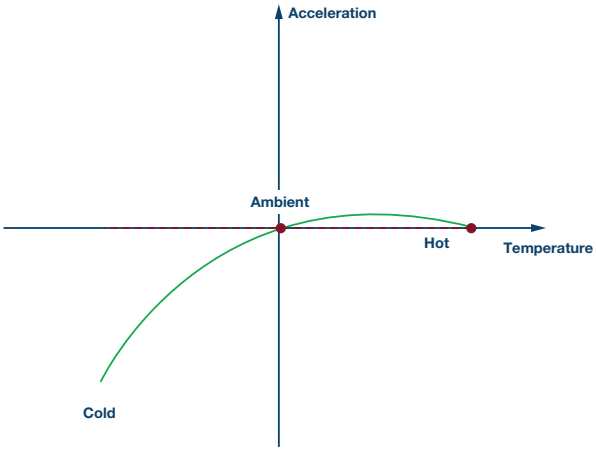


图9. R_{GATE} = 100 Ω，电流从高到低瞬态。

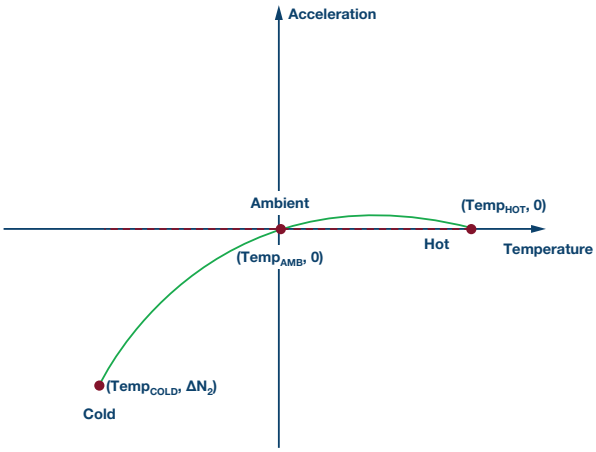


图10. R_{GATE} = 100 kΩ，电流从低到高瞬态。

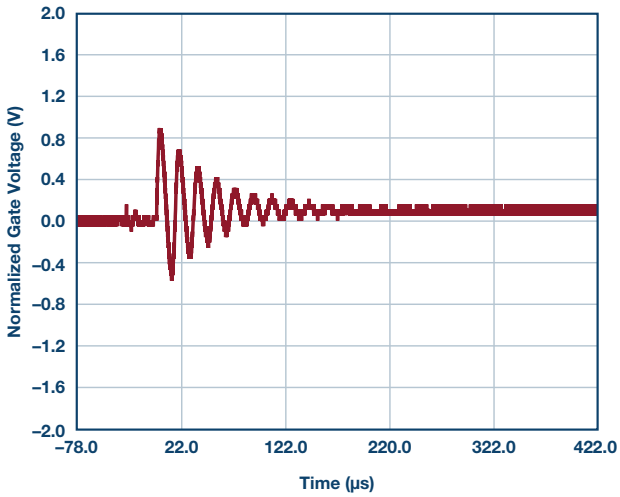


图11. R_{GATE} = 100 kΩ，电流从高到低瞬态。

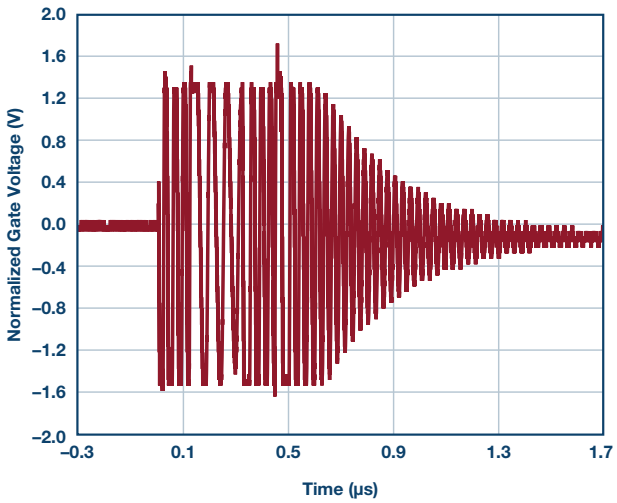


图12. R_{GATE} = 1 MΩ，电流从低到高瞬态。

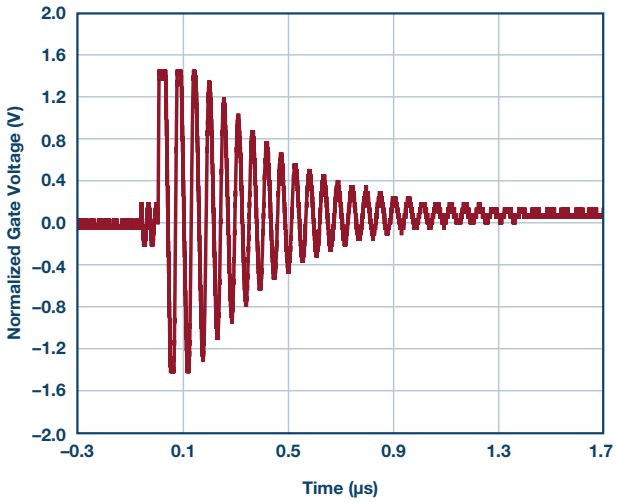


图13. R_{GATE} = 1 MΩ，电流从高到低瞬态。

头脑风暴时间

Neubean意识到，虽然看到过许多高端集成电流检测电路，但不幸的是，工程师根本无力决定栅极电阻，因为这些都是集成在器件当中的。具体的例子有AD8212、LTC6101、LTC6102和LTC6104高电压、高端电流检测器件。事实上，AD8212采用的是PNP晶体管而非PMOS FET。他告诉Gureux说：“真的没关系，因为现代器件已经解决了这个问题。”

好像早等着这一刻，教授几乎打断了Neubean的话，说道：“我们假设，你要把极低电源电流与零漂移输入失调结合起来，比如安装在偏远地点的电池供电仪器。你可能会使用LTC2063或LTC2066，将其作为主放大器。或者你要通过470 Ω分流电阻测到低等级电流，并尽量准确、尽量减少噪声；那种情况下，你可能需要使用ADA4528，该器件支持轨到轨输入。在这些情况下，你需要与MOSFET驱动电路打交道。”

所以……

显然，只要栅极电阻过大，使高端电流检测电路变得不稳定是有可能的。Neubean向乐于助人的老师Gureux谈起了自己的发现。Gureux表示，事实上，R_{GATE}确实有可能使电路变得不稳定，但开始时没能发现这种行为是因为问题的提法不正确。需要有增益，在当前电路中，被测信号需要是非零。

Gureux回答说：“肯定，当极点侵蚀交越处的相位裕量时，就会出现振铃。但是，你增加1 MΩ栅极电阻的行为是非常荒谬的，甚至100 kΩ也是疯狂的。记住，一种良好的做法是限制运算放大器的输出电流，防止其将栅极电容从一个供电轨转向另一个供电轨。”

Neubean表示赞同，“那么，我需要用到哪种电阻值？”

Gureux自信地答道：“100 Ω”。



Aaron Schultz

Aaron Schultz [aaron.schultz@analog.com]是LPS业务部的应用工程师经理。他曾在设计与应用系统工程领域担任多个职务，接触过众多主题，包括电池管理、光伏、可调光LED驱动电路、低电压和高电流DC-DC转换、高速光纤通信、高级DDR3存储器研发、定制工具开发、验证、基本模拟电路等，他在功率转换领域工作超过30年。他1993年毕业于美国卡内基梅隆大学，1995年毕业于MIT。晚上，他喜欢弹爵士钢琴乐。

多通道数据采集(DAQ)系统的性能优化：关于输入建立时间的不为人知的故事

作者： **Joseph Leandro Peje**

分享至

摘要

在多通道多路复用数据采集系统中，增加每个ADC的通道数量可改善系统的整体成本、面积和效率。现代逐次逼近寄存器模数转换器(SAR ADC)具有高吞吐量和高能效，使得系统设计人员能够实现比以往更高的通道密度。本文将说明多路复用器输入端的建立瞬变(由多路复用器输出端的大尺度开关瞬变引起)导致需要较长采集时间，使得多通道数据采集系统的整体吞吐量显著降低。然后，本文将着重阐述使输入建立时间最小化以及提高数据吞吐量和系统效率所需的设计权衡。

什么是多通道DAQ？如何衡量多通道DAQ的性能？

多通道数据采集(DAQ)系统是一个与多路输入(通常是传感器)接口的完整信号链子系统，其主要功能是将输入端的模拟信号转换为处理单元可以理解的数字数据。多通道DAQ系统的主要组成部分有模拟前端子系统(缓冲器、开关元件和信号调理模块)、模数转换器(ADC)及数字接口。对于高速精密转换器，开关元件(通常是多路复用器)放置在ADC驱动器和转换器本身之前，以利用现代ADC的先进性能。SAR ADC兼具高速度和高精度性能，是这些应用最常用的ADC类型。

用于工业和医疗应用的高通道密度精密DAQ系统致力于将最多的通道压缩到尽可能小的区域中。通过如下手段，多路复用DAQ系统一般可以实现高密度、高吞吐量和良好的能效：

1. 使用高速精密SAR ADC
2. 每个通道使用最低采样速率
3. 最大程度提高SAR ADC转换器利用率，其中：

$$SAR\ ADC\ Converter\ Utilization = \frac{n \times Sampling\ Rate\ Per\ Channel}{SAD\ ADC\ Sampling\ Rate} \times 100\% \quad (1)$$

n为通道数。对每个转换器而言，多通道数据采集系统的总吞吐量由下式给出：

$$Overall\ Throughout = (SAR\ ADC\ Converter\ Utilization \times SAR\ ADC\ Sampling\ Rate) \times Resolution \quad (2)$$

这表明多通道DAQ系统的总吞吐量不仅取决于SAR ADC的速度和分辨率，还取决于此转换器的利用情况。

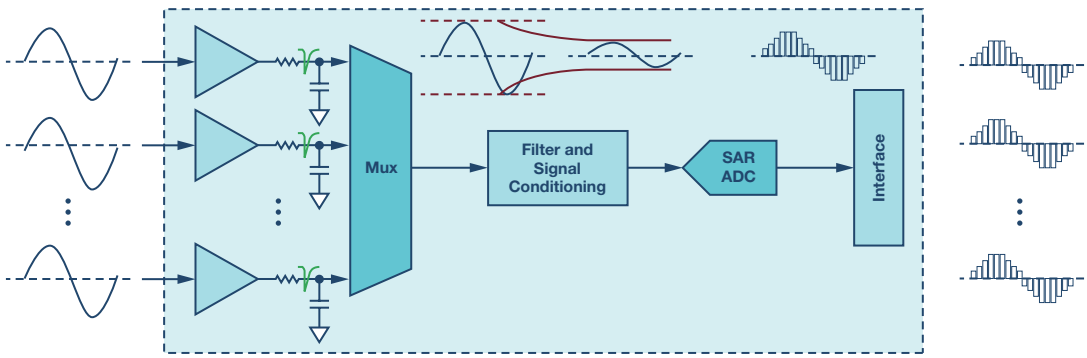


图1. 典型的基于SAR ADC的多路复用数据采集系统框图

延迟如何影响多通道DAQ系统的性能?

在有建立延迟的情况下，ADC的实际采样和转换周期会增加一项t_d，导致转换器的实际最大采样速率由下式给出：

$$SR_{ADC,\,actual,\,max} = \frac{1\ Sample}{T_{ADC} + t_d} \tag{3}$$

其中T_{ADC}是ADC每个样本的采样周期(大多数ADC数据手册通常都会提供，更常见的形式是SAR ADC采样速率的倒数，以“秒/样本”为单位)。对于非零延迟t_d，多通道DAQ系统的实际最大采样速率总是小于转换器采样速率，导致转换器利用率始终低于100%。由此可以明白，采样和转换周期上增加的任何延迟都会降低转换器的利用率。当与前面关于总吞吐量的表达式联系起来时，多通道DAQ可以容纳的最大通道数量就会减少。总之，任何建立延迟都会降低多通道DAQ系统的通道密度和/或总吞吐量。

什么是多路复用器输入切换毛刺和输入建立时间?

当多路复用器从一路输入切换到另一路输入时，输出仍然有前一输入通道的记忆，其表现形式为多路复用器的输出负载电容和寄生漏极电容中存储的电荷。这对于高容性负载(例如ADC驱动器和ADC本身)更为明显，因为这些存储的电荷没有低阻抗路径可以走。甚至可以说这些电荷被困住了，原因是输出为容性，并且现代多路复用器采用先开后合(BBM)机制，故多路复用器具有高阻抗。只有切换到下一路输入，这些电荷才能被释放电。

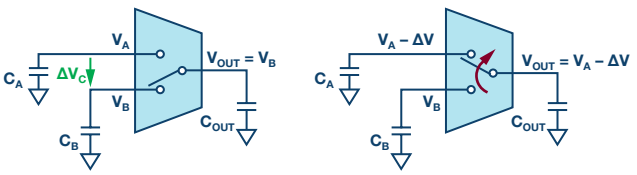


图2. 切换前状态(左)，切换后，发生电荷共享，迅速引起电压下降ΔV(右)

切换后，输入电容C_A将并联到输出电容C_{OUT}。然而，C_A和C_{OUT}最初可能处于不同的电位，这将导致C_A和C_{OUT}之间发生电荷共享。对于超高带宽多路复用器，电荷共享几乎立即发生，导致多路复用器输入端出现高频毛刺。此毛刺的幅度ΔV由下式给出：

$$\Delta V = \Delta V_C \left(\frac{1}{\frac{C_A}{C_{OUT}} + 1} \right) \tag{4}$$

其中ΔV_C是切换之前电容电压的差值。多路复用器输入侧发生的瞬态毛刺现象就是通常所说的反冲，其对于具有高容性负载(例如ADC、容性DAC和采样电路等)的开关应用更为普遍。这个话题在MT-088中已做简要说明。转换器要产生有效数据，毛刺必须稳定在输出的1 LSB以内，而输入稳定在1 LSB以内(并保持在该范围内！)所需的时间就是输入建立时间(t_S)。t_S是前面描述的延迟t_d的组成部分，它对此项的贡献可能是最大的。

当ADC不像现在这样快时，这些毛刺及相应的输入建立时间微不足道，可以忽略不计。但是，随着ADC速度的提高，转换器采样周期变得越来越短，接近输入建立时间的量级。如前所述，当ADC周期T_{ADC}等于输入建立时间t_S(事实上是t_d)时，转换器利用率大大降低至50%。这意味着我们只使用了转换器的一半能力！需要重申输入建立时间的重要性，它应与精密转换器的当前技术同步发展，为提高多通道DAQ系统的性能铺平道路。

如何最大程度缩短输入建立时间?

为使开关毛刺最小化，通常在缓冲放大器和多路复用器之间使用一个RC滤波器(参见CN-0292)，称之为缓冲器网络。图3显示了一个双通道多路复用模拟前端子系统的信号链子系统及其相应的开关时序图。

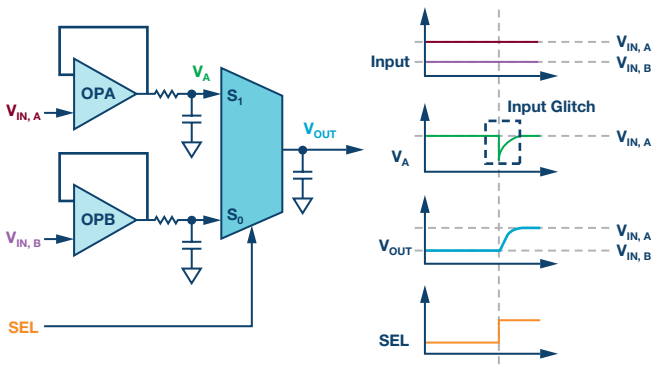


图3. 多通道DAQ系统的双通道多路复用模拟前端子系统及相应的时序图

缓冲器RC作为主导极点，假设多路复用器相对于放大器和缓冲器RC具有非常高的带宽，那么输入毛刺和建立瞬变可近似为具有一阶(指数)响应。为了进一步分析输入毛刺，图4详细显示了输入毛刺瞬态响应。

对于一阶假设，误差V_{ERROR}的表达式是一个关于时间的递减指数函数。V_{ERROR}的初始值(切换时的值)为毛刺幅度ΔV，其将以缓冲器RC值决定的速率衰减。V_{ERROR}稳定在1 LSB以内所需的时间被定义为输入建立时间。

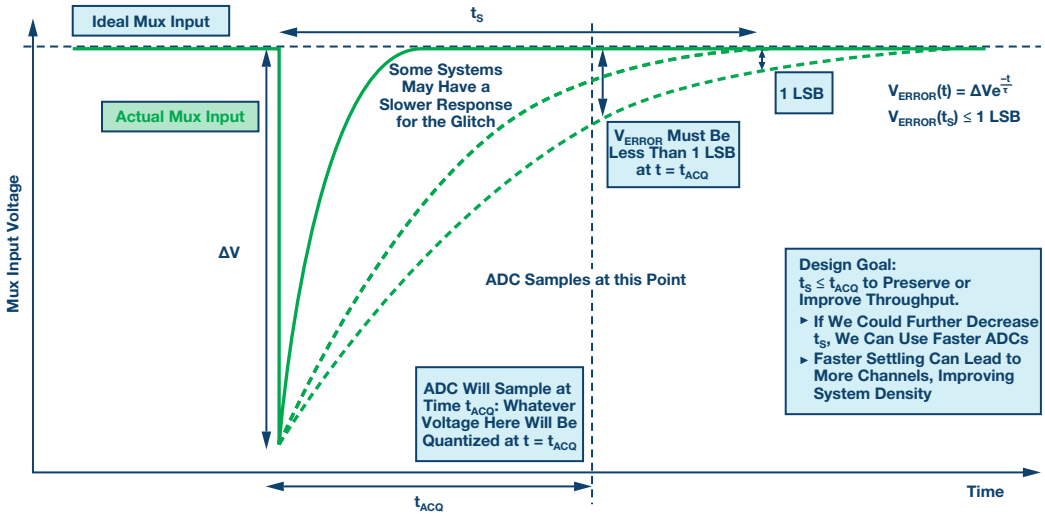


图4. 分析切换期间的多路复用器输入毛刺：时序定义和设计目标

另一方面，转换器以周期t_{ACQ}采样(也称为采集时间)。在t_{ACQ}过去后的ADC转换阶段，转换器将量化任何可用的采样数据。如果V_{ERROR}衰减速度过慢，导致其未稳定在某一值(1 LSB到几个LSB)以内，就会产生问题。这将导致当前样本被前一模拟输入破坏，引起ADC通道之间的串扰。考虑到输入建立时间，必须确保输入建立时间小于转换器采集时间,以使误差最小。而且，进一步减小t_S还为使用更快转换器以提高系统总吞吐量和密度提供了机会。

利用我们的数学技能，当ΔV_C为满量程输入范围且V_{ERROR}达到至少1 LSB(多路复用器输出在目标电平的1 LSB以内)时，可以推出最差情况下的最快输入建立时间表达式。多通道DAQ系统设计人员将拥有两个设计抓手：缓冲器时间常数和C_A/C_{OUT}比率，从而得出输入建立时间的表达式：

$$t_S\left(\tau, \frac{C_A}{C_{OUT}}\right) = \tau \times \eta\left(\frac{C_A}{C_{OUT}}\right)$$
$$\eta\left(\frac{C_A}{C_{OUT}}\right) = -ln\left[\frac{LSB}{\Delta V_C} \times \left(\frac{C_A}{C_{OUT}} + 1\right)\right] \quad (5)$$

这里可以看出，输入建立时间是缓冲器时间常数τ和V_{ERROR}稳定在1 LSB以内所需的时间常数数量η的线性函数。减少输入建立时间的最直接方法是使用时间常数较小的缓冲器网络，这很有意义，因为较快的(高带宽)缓冲器网络会降低时间常数。然而，这种方法将带来一组不同的涉及噪声和负载的权衡。另一方面，η项最小化也可以达成类似的结果。

η是缓冲器电容(C_A)与输出电容(C_{OUT})之比的函数。如果1 LSB等于满量程输入范围除以2的N-1次方(N为位数)，并且最差情况下ΔV_C等于满量程输入范围，则该表达式可以进一步简化。

$$\eta\left(\frac{C_A}{C_{OUT}}\right) = -ln\left[\frac{1}{2^N - 1} \times \left(\frac{C_A}{C_{OUT}} + 1\right)\right] \quad (6)$$

公式6可能不那么直观，很难可视化，所以仅利用10位、14位、18位和20位分辨率的半对数图来说明可能更好，如图5所示。

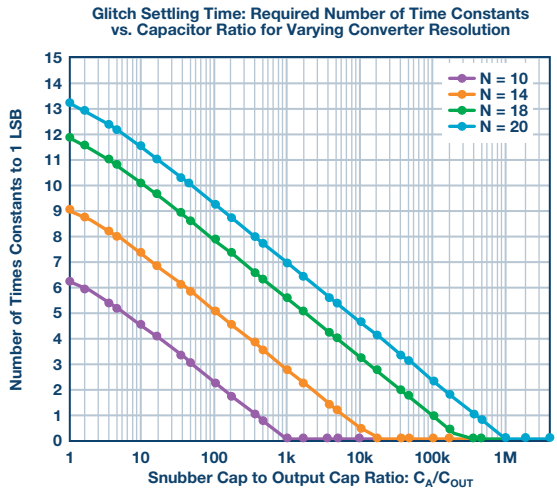


图5. 建立至1 LSB所需时间常数的图形

可以看出，C_A/C_{OUT}值越高，则建立时间越短；电容比非常高时，建立时间甚至接近0。C_{OUT}实质上是多路复用器的漏极电容和后续各级的输入电容，因此只有C_A保持比较灵活的自由度。对于10位分辨率，要使建立时间为0，C_A须比C_{OUT}大至少1000倍；对于20位系统，至少要比C_{OUT}大1,000,000倍！举例来说，对于10位和20位系统，为使建立时间为0，100 pF的典型负载分别需要100 nF和100 µF的缓冲器电容。

总之，输入建立时间最小化可以通过两种方法实现：

1. 对缓冲器网络使用高带宽
2. 相对于C_{OUT}，使用较高的C_A值。

高带宽和大缓冲器电容可最大限度地减少输入建立时间，所以使用最高带宽和最大电容就行了

非也！必须考虑RC负载效应和放大器的驱动能力！为了研究缓冲器网络对缓冲放大器的负载影响，应在频域分析模拟前端子系统。

由于我们将输入毛刺建立在一阶响应的思想上，所以缓冲器网络极点应该就是最主要的贡献者。换句话说，缓冲器带宽应该小于缓冲放大器和多路复用器的带宽，以避免多极点交互，确保一阶近似成立。

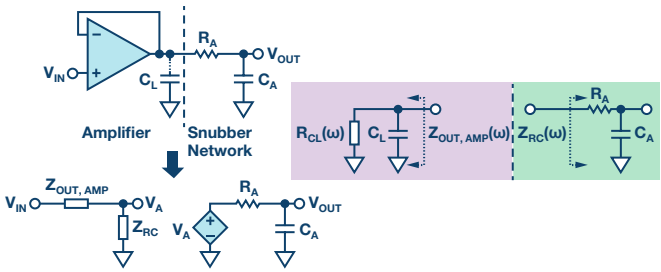


图6. 缓冲和缓冲器等效电路(左)与放大器和缓冲器网络的等效阻抗(右)

典型缓冲架构由缓冲(G = 1)配置的精密放大器与缓冲器网络级联组成。在频域中分析，此子系统的输出取决于缓冲器输入阻抗与缓冲器输入阻抗和放大器闭环输出阻抗之和的比率。检查可知，为避免负载效应，缓冲器输入阻抗应该大于放大器闭环阻抗，如公式7所示。

$$Z_{RC} \gg Z_{OUT,\,AMP}$$
$$\frac{j\omega R_A C_A + 1}{j\omega C_A} \gg \frac{R_{CL}}{j\omega R_{CL} C_L + 1} \quad (7)$$

也就是说，为避免缓冲器网络成为缓冲放大器的负载，我们应该：

1. 增大缓冲器时间常数R_AC_A，以有效降低带宽
2. 使用较小缓冲器电容C_A
3. 选择闭环输出阻抗非常低的放大器

前两个选项使我们清楚地了解到负载效应和输入建立时间之间的取舍。这限制了我们可以使用的缓冲器带宽和电容的大小。第三个选项引入了一个性能参数，选择适当的精密放大器时应予以考虑。还应考虑稳定性和驱动能力。

图7显示，对于具有足够带宽的精密放大器(例如-3 dB闭环带宽约为970 kHz的ADA4096-2)，结果与目前进行的分析一致，但少数波形除外。对于10 kHz的缓冲器带宽，最大C_A产生最快的输入建立时间。而对于200 kHz的缓冲器带宽，增大C_A仍然会加快建立时间，直至发生负载效应。从结果中看到的欠阻尼响应具有极小的毛刺幅度，但建立时间比较小C_A所产生的响应要长，尽管后者的毛刺幅度较高。这凸显了仔细研究缓冲器如何加载放大器的重要性，在为系统选择器件时务必考虑这一点。

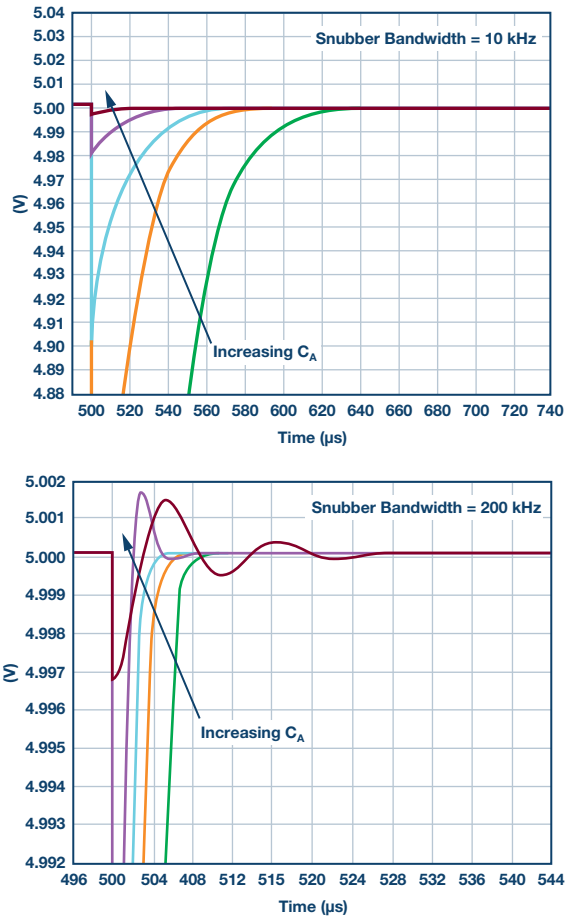


图7. 针对10 kHz(上方)和200 kHz(下方)缓冲器带宽的多路复用器输入，ADA4096-2放大器模型

如前所述，需要注意的一个放大器参数是闭环输出阻抗。运算放大器的闭环阻抗通常与其开环增益A_V成反比。我们还希望缓冲器网络具有高带宽以使建立时间最短，因此要求放大器的-3 dB带宽甚至大于缓冲器带宽。除了较低的噪声、失调和失调漂移外，最适合用于多路复用DAQ系统以实现最小输入建立时间的精密放大器还有两个优先特性：1)具有高带宽，2)具有非常低的闭环阻

抗。然而，这些优势的得来并非没有代价，而代价的表现形式就是功耗。例如，我们可以查看图8所示的ADA4096-2和ADA4522-2的闭环阻抗。

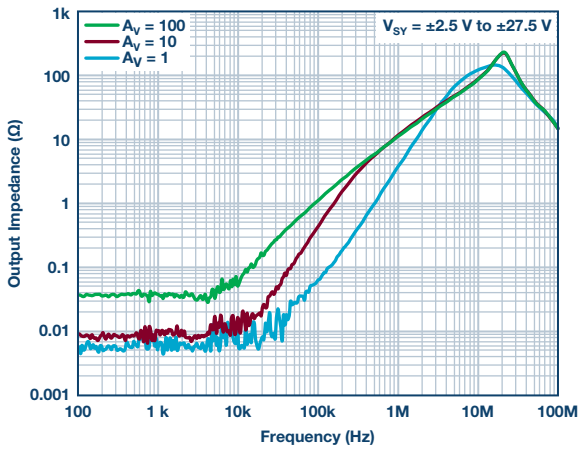


图8a. ADA4522-2数据手册中的闭环阻抗图

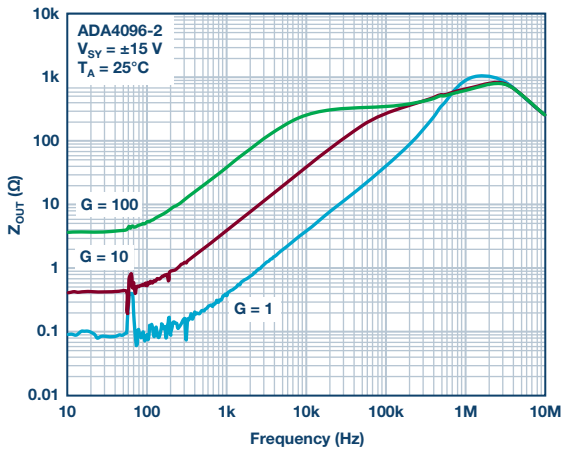


图8b. ADA4096-2数据手册中的闭环阻抗图

考虑数据手册中的闭环输出阻抗图，以及ADA4522-2的-3 dB闭环带宽为6 MHz(标称值)，显然可知它是更适合该应用的驱动器。但当功耗优先时，ADA4096-2的每个放大器的电源电流为60 μA(典型值)，比ADA4522-2的每放大器830 μA(典型值)更具吸引力。尽管如此，这两款精密放大器都可以使用，最终取决于应用真正需要达成的目标。

结语

我们怎么做最好?

为了最大限度地提高多通道DAQ系统的密度和吞吐量，输入建立时间应小于或等于ADC采集时间。任何额外的延迟都会降低多通道DAQ系统的性能。为使输入建立时间最小化，需要提高缓冲器网络的带宽和电容，不过选择元件值时必须小心，避免频域中发生负载效应。最后，选择最合适的精密放大器需要权衡功耗、闭环输出阻抗和-3 dB带宽，按照应用的真正需求确定其优先地位。

参考文献

Corrigan，T。应用笔记，如何计算多路复用器的建立时间和采样速率。ADI公司，2009年。

互动式设计工具：模拟开关建立时间计算器。ADI公司。

MT-088，模拟开关和多路复用器基本知识。ADI公司，2009年。

致谢

Dan Burton、Vicky Wong、Peter Ohlon、Eric Carty、Rob Kiely、May Porley、Jess Espiritu、Jof Santillan、Patrice Legaspi、Peter Hurrell和Sherwin Almazan。

Joseph Leandro Peje [josephleandro.peje@analog.com]拥有菲律宾大学(位于菲律宾奎松市迪里曼)计算机工程学士学位，并正在同一所大学完成电气工程硕士学位，专攻微电子学。他目前是ADI公司模拟IC设计工程师，在菲律宾垂亚斯将军城工作，专注于精密放大器、模拟和混合信号系统验证。



Joseph Leandro Peje

ADI公司测量工程“更上一层楼”的挑战

作者：Noel McNamara、Martina Mincica、Dominic Sloan和David Hanlon

分享至

简介

多年来，“更上一层楼”一直隐含在ADI公司战略中，但最近，由于专注于提供更多解决方案，这一战略已变得明确。追根溯源，曾经我们仅提供分立器件和数据手册。我们的新理念是参与并理解我们要为客户解决的问题的全部。作为该理念的一部分，ADI公司的测量工程已超越传统的仅测试IC的方法，转而测试解决方案，包括软件、封装中的信号链系统、微型模块和其他元件。这种方法将确保我们开发的解决方案能为客户创造重大价值。

在ADI公司内部，测量工程团队有时被视为开发硬件和软件以推出产品的人员。然而，由测试和评估工程组成的测量部门是ADI公司当前最具挑战性的工程专业之一。测量工程师是支撑公司与客户关系的基础人员。他们是您在查看保证最大和最小器件规格、典型性能、最大额定值和稳健性时所信任的人。随着设计性能不断提高，我们依赖测量工程师的经验来跟上性能各方面(速度、噪声、功耗或新集成特性)改进的步伐。

测量专业由测试和评估工程组成，面对的挑战包括突破性性能、按时交付和不断提高的质量要求。不久之前，我们处理的是10位或12位精度的简单单功能IC(转换器)。如今，20位SAR转换器、20位DAC转换器和32位Σ-Δ转换器展示了过去数年来，随着IC技术的发展，测量挑战如何改变。为了阐明改变的程度，我们将考察低功耗Σ-Δ产品的演变，以帮助说明所实现的信号链集成的完整性，并突出强调这给我们测量能力带来的需求和进步。

我们现在希望让SiP(系统化封装)、微型模块和模块更上一层楼，客户将再次向我们提出新的测量挑战，这些挑战将迫使我们改进测量方法并开发新颖的测试和测量解决方案。SiP利用复杂的核心技术，将无源和有源器件集成在一起(有时还集成中央处理单元以执行配置和控制)，从而达到前所未有的系统集成水平。这种集成度引入了越来越多的功能、嵌入式特性组合、高级封装、内部节点访问问题、嵌入式软件、系统级校准等等。这些解决方案简化了复杂转换器产品的使用体验，其复杂性问题以及设计和测量障碍在ADI公司内部得到处理和解决。

过去和现在

最新测试和测量挑战的一个典型例子就是我们低功耗Σ-Δ系列产品的进步。为了展示所取得的进步，图1突出说明了这样一个事实：我们系统化芯片的水平现在已经远远高于前几代转换器。该产品系列中的最新产品是一款适合高精度测量应用的低功耗、低噪声、全集成式模拟前端。该产品的信号链集成度要求24位Σ-Δ模数转换器(ADC)领域、基准电压源性能和精度方面、通道序列化和时序方面、数字特性和功能方面及振荡器性能方面的测量经验。作为比较，图1还显示了一款先前的典型16位器件，其在当时被认为具有突破性的性能。相关挑战已经解决，今天的技术已经提高了好几个数量级。除非技术进步与我们的测试和测量能力相匹配，否则我们将无法保持行业技术领先地位。

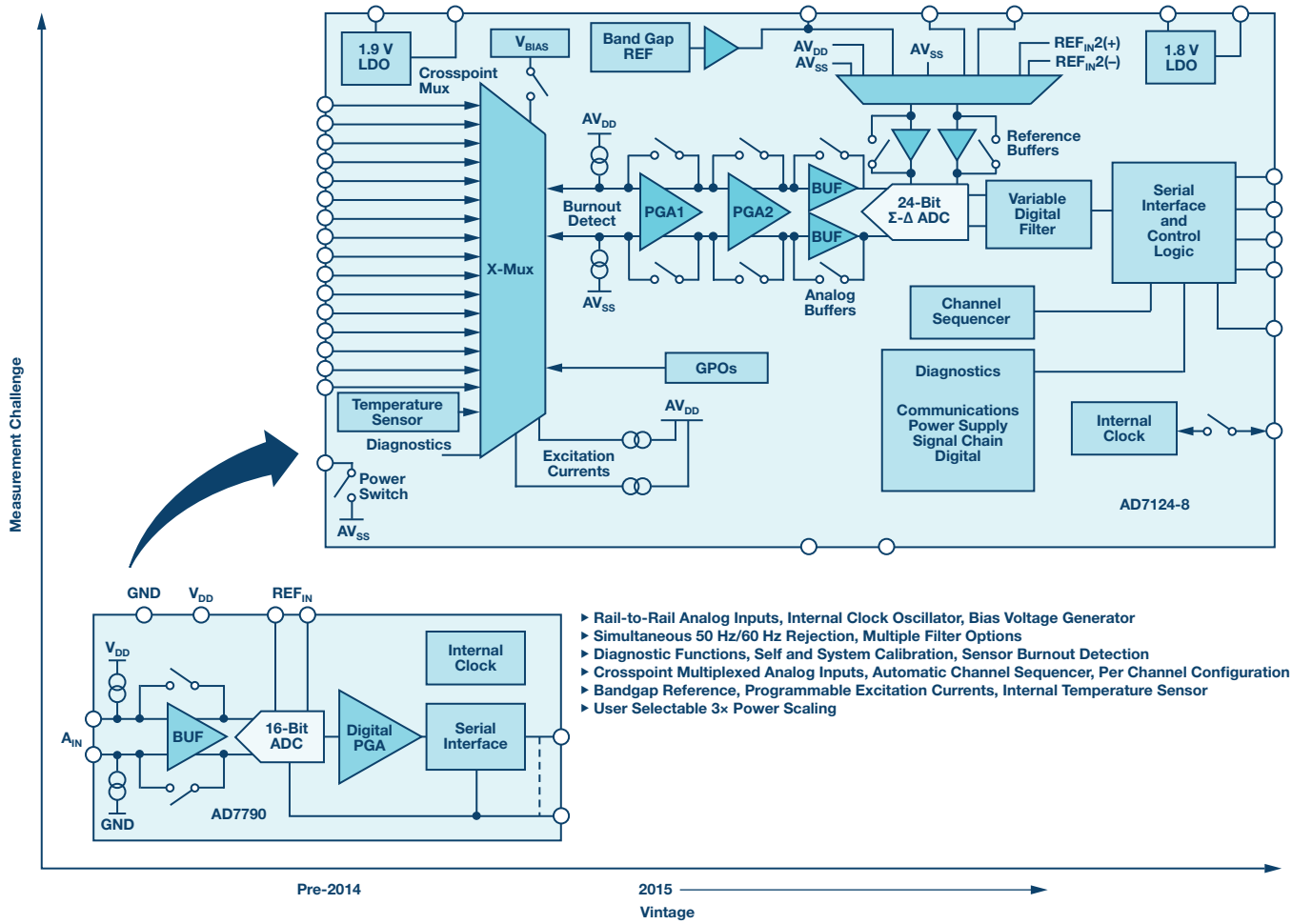


图1. 集成的演变；性能进步驱动创新

深入了解转换器架构、混合信号测试电路设计中的专业知识、PCB布局技术以及测量软件，可以让我们从这些高集成度转换器中获得最佳性能。这有利于SiP/模块的发展，使我们的经验能够被用来解决更多的客户设计挑战并缩短开发时间。

现在和未来

当我们向前迈进，着手解决客户未来的问题时，我们的工具箱充满了丰富的产品和测量专业知识。纵观ADI公司历史，我们不断在实际信号处理方面取得突破，并持续通过片内集成扩展我们的核心技术。近年来，我们已经开始涉足DSP、RF和MEMS领域，并在物联网等新兴领域开辟新天地。

ADI公司收购凌力尔特则是更进一步的举措，整合了我们强大的产品组合，并增加了业界领先的高性能模拟和电源解决方案。这巩固了我们整合这些技术的定位，通过真正展现我们能力的解决方案来影响客户。

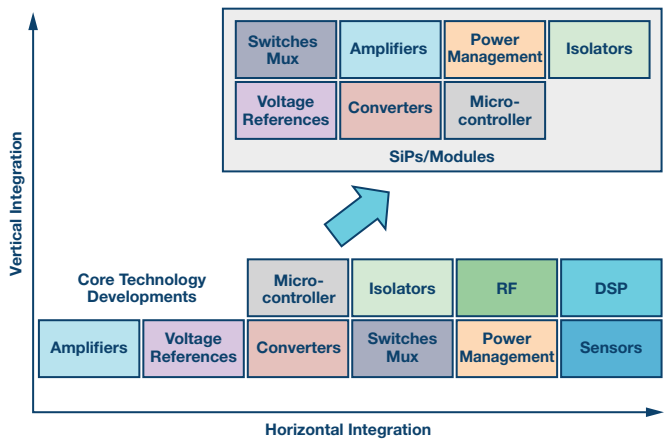


图2. SiP/模块开发利用了我们的核心技术

图2显示了我们在横向和纵向上积累技术的进展情况，我们现在将这些构建模块用在SiP/模块开发中以提供超越芯片的解决方案。测量工程师通过整合我们在这些核心技术方面的专业知识来支持这一目标。

为什么ADI公司认为这是必要的呢？从与客户的接触中，我们知道他们也在发展，客户也在更上一层楼。版图正在改变，您的混合信号设计团队可能更小，您可能有其他方面的关注和专业知识，并且您正在寻求缩短设计周期和上市时间的办法。通过提供完整信号链，ADI公司可以帮助您摆脱这些设计挑战，而这需要有效测量解决方案作为支撑。

模块解决方案原型开发

通过尽早与客户开展合作，测量工程师可以利用我们的硬件专业技术为开发SiP/模块设计原型。我们可以对新颖的构想进行概念验证，并且快速调试和评估，在必要时迭代原理图和布局以实现最佳性能。我们可以开展任务测试，评估客户的传感器，在特定应用情形中测试整个系统，并分析数据以确保所有要求都得到满足，然后才开发最终SiP或模块。

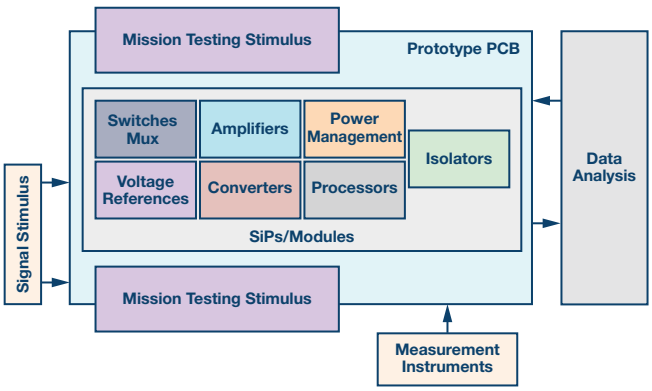


图3. 模块测试原型

利用这些原型，我们还能开发ATE解决方案，从而攻克系统级设备可能提出的新测试挑战，例如封装尺寸、测试节点接入点或固件接口。

借助我们对构成这些产品的模块核心技术的经验，我们可以运用我们的器件级诀窍让这些器件实现最佳性能，甚至将系统级性能提升到新的水平。通过原型，我们可以轻松与基准激励信号和测量仪器接口，并评估生产测试需要接入哪些测试节点。此原型可以让我们和客户开始验证整个系统信号路径的系统级校准。

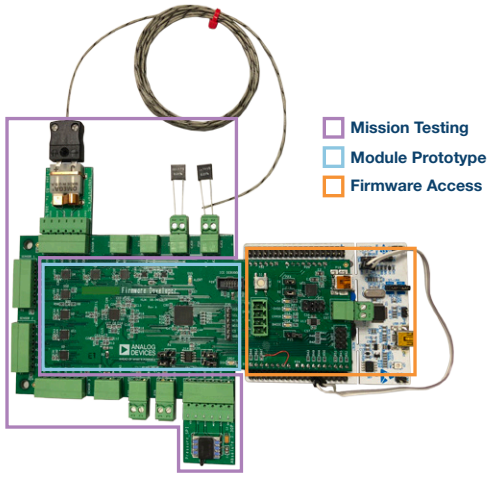


图4. 用于模块测试的原型板示例

随着SiP/模块的发展，需要处理器来完成配置、控制和算法处理，为了化繁为简，消除客户负担，可能需要开发固件。这可以随着原型开始并演进。通过开发和测试固件，测量工程师将其故障排除思维模式用于检测错误，并预测可能引发问题的情况。这可以反馈到系统设计中并实现进步。此原型可用来向客户展示构想，激发反馈，进而也能决定模块的发展方向。这样，客户便可从早期影响解决方案。

结语

多年来，随着核心技术的复杂性和集成度持续增长，ADI公司测量团队的能力也在提高。我们现在测试的远不止是核心转换器，芯片集成度的提高反过来又促进了测量技术和技巧的进步。我们在实验室和生产测试中的测量解决方案随着技术发展而进步。结合我们在核心转换器、传感器、放大器、基准电压源、电源和数字电路方面的测量专业技术，我们得以超越一切可能。

展望未来，随着多芯片SiP、模块和微型模块的不断发展，ADI将继续勇攀高峰。这些模块让技术更上一层楼，给测量工程带来新的挑战，但也减轻了我们客户的工程负担。简化客户的应用开发工作是ADI技术的中心任务。我们已经扩大并将继续扩大测量技术力量，以充分利用我们的专业知识来支持这些新技术。无论是通过原型PCB设计、任务测试、固件开发还是原型演示，ADI公司的测量工程师都是这些产品成功的关键。

随着我们技术产品的进步速度加快，ADI测量团队将领先一步，确保世界一流的测量与世界领先的技术相伴而行

Noel McNamara [noel.mcnamara@analog.com]是ADI公司爱尔兰利默里克的精密转换器部门测试工程师。



Noel McNamara

Martina Mincica [martina.mincica@analog.com]是ADI公司爱尔兰利默里克的精密转换器部门设计评估工程师。她于2004年、2007年和2011年分别获得意大利比萨大学电子工程专业学士学位、硕士学位和博士学位，随后即加入本公司。她当时感兴趣的领域是射频集成电路设计。从那时起，她一直从事精密DAC和ADC的基准评估工作。



Martina Mincica

Dominic Sloan [dominic.sloan@analog.com]是ADI公司精密转换器部门的设计评估工程师。他于2007年加入ADI公司，此前在一家医疗设备公司从事产品设计工作。他于2000年毕业于利默里克理工学院，获城市专业协会电子工程高级技师文凭，然后在电信行业大规模制造环境中工作，继而获利默里克大学电子工程学士学位。



Dominic Sloan

David Hanlon [david.hanlon@analog.com]是ADI公司爱尔兰利默里克的精密转换器部门测试工程师。他于1998获得都柏林工学院工程学士学位之后加入ADI公司，自此一直从事高性能混合信号转换器工作。



David Hanlon

Refulator：200 mA精密基准电压源的能力

作者：Michael Anderson

分享至

精密模拟设计人员常常依赖安静低噪声的基准电压源来为DAC和ADC转换器供电。这项任务不在基准电压源的基本职责范围内，其表面上的设计目的是为实际电源提供干净精确的稳定电压，即电源转换器的基准输入。考虑一些注意事项，基准电压源通常能够胜任为转换器基准输入提供精密电压的工作，这使得设计人员可以大胆地要求基准电压源为电流越来越高的应用供电。毕竟，如果基准电压源可以为转换器供电，为什么不能为模拟信号链、其他转换器或其他电路供电呢？

任何设计流程通常都涉及到精度与功耗的选择。为了做出选择，粗略方法建议：当要求精度时使用基准电压源，当要求毫瓦级功耗时使用LDO。除了需要额外的电路板空间和成本以外，还必须为不同的信号布线，无论其标称电压相同与否。如果需要一个高精度电压源来提供毫瓦级功耗，设计人员将不得不缓冲基准电压源。LT6658通过提供两路低噪声、高精度输出来解决这一难题，其合并输出电流为200 mA，且具有世界一流的基准电压源规格。

关于LT6658——基准电压源质量的低漂移稳压器

LT6658是一款精密低噪声、低漂移稳压器，具有专用基准电压源的精度规格和线性稳压器的功率能力——二者的优点结合为ADI公司的Refulator™技术。LT6658的漂移为10 ppm /°C，初始精度为0.05%，两路输出分别支持150 mA和50 mA，每路输出均有20 mA的有源吸电流能力。为了保持高精度，负载调整率为0.1 ppm/mA。当输入电压源引脚连接在一起时，电压调整率典型值为1.4 ppm/V，而当为输入引脚提供独立电源时，电压调整率小于0.1 ppm/V。

为了更好地理解LT6658的特性以及它如何达到如此高的性能水平，图1显示了一个典型应用。LT6658由一个基准电压级、一个降噪级和两个输出缓冲器组成。基准电压和两个输出缓冲器分开供电，以实现优异的隔离。每个输出缓冲器都有一个开尔文检测反馈引脚，以提供最佳负载调整。

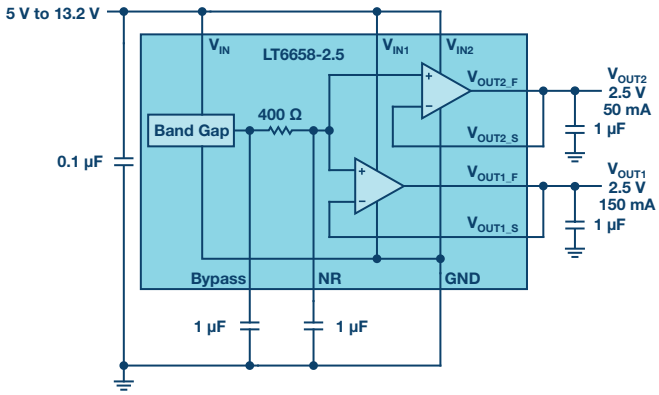


图1. 典型应用

降噪级由一个400 Ω电阻和一个用于连接外部电容的引脚组成。该RC网络充当低通滤波器，用来限制基准电压级的噪声带宽。外部电容可以任意大，以便将噪声带宽降至非常低的频率。

快速安静的负载阶跃响应

作为稳压器，LT6658从V_{OUT1_F}引脚提供150 mA电流，并具有出色的瞬态响应性能。图2a显示了器件对1 mA负载阶跃瞬态(从10 mA到11 mA)的响应；图2b显示了器件对140 mA负载阶跃瞬态(从10 mA到150 mA)的响应。输出缓冲器的出电流和吸电流能力支持输出快速建立。瞬态响应时间很短，同时保持出色的负载调整。负载调整率典型值为0.1 ppm/mA。第二路输出V_{OUT2_F}具有类似的响应性能，最大负载为50 mA。

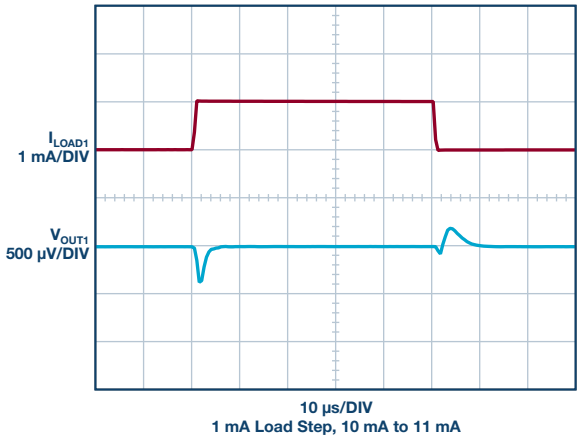


图2a. 1 mA负载阶跃响应

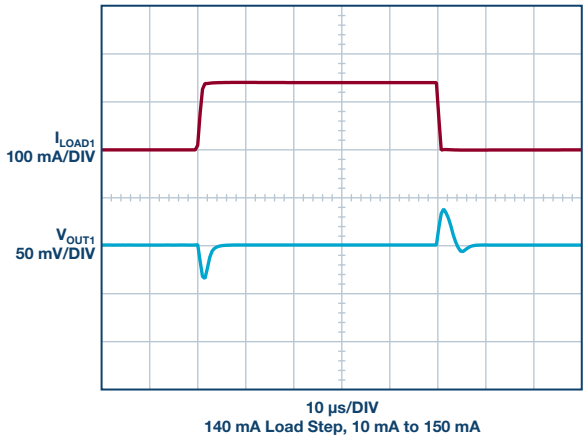


图2b. 140 mA负载阶跃响应

输出跟踪

对于使用不同基准电压的多转换器应用，即使输出设置为不同的电压，LT6658的输出也会跟踪，确保转换结果一致。这之所以可能，是因为LT6658的两路输出由一个公共电压源驱动。输出缓冲器经调整，实现出色的跟踪和低漂移。当V_{OUT1_F}上的负载从0 mA增加到150 mA时，V_{OUT2}输出变化小于12 ppm，如图3所示。也就是说，即使负载和工作条件改变，输出之间的关系也能得到很好地保持。

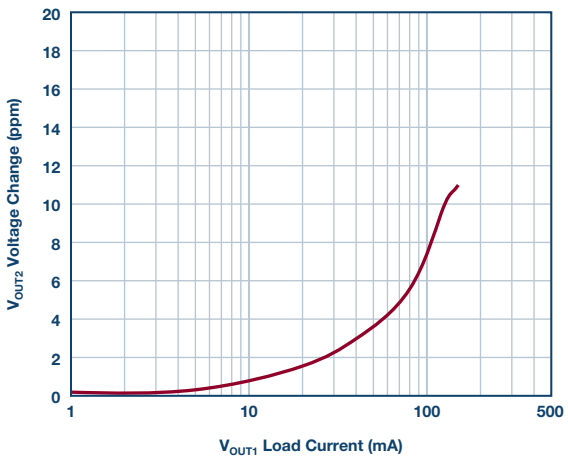


图3. 通道间的负载调整(已消除发热影响)

电源抑制和隔离

为了帮助实现出色的电源抑制和输出隔离，LT6658提供三个电源引脚。V_{IN}引脚为基准电压电路供电，而V_{IN1}和V_{IN2}分别为V_{OUT1}和V_{OUT2}供电。最简单的方法是将所有三个电源引脚连接在一起，提供1.4 ppm/V的典型直流电源抑制能力。当电源引脚分别连接且VIN1电源切换时，V_{OUT2}的直流电压调整率为0.06 ppm/V。

表1总结了每个电源引脚从5 V变为36 V时的电源抑制情况。V_{IN}电源的灵敏度最高，引起的输出典型变化为1.4 ppm/V。电源引脚V_{IN1}和V_{IN2}几乎无影响。V_{IN1}和V_{IN2}栏中的测量结果是输出噪声电平。

表1. 直流电源抑制

阶跃电源	V (5 V至36 V)	V_{IN1} (5 V至36 V)	V_{IN} (5 V至36 V)	$V_{IN} = V_{IN1} = V_{IN2}$ (5 V至36 V)	单位
旁路	0.01	0.02	1.36	1.36	ppm/V
V_{OUT1}	0.07	0.01	1.34	1.43	ppm/V
V_{OUT2}	0.03	0.06	1.39	1.37	ppm/V

表4所示为交流PSRR的两个例子。第一个例子在NR引脚上有一个1 µF电容，第二个例子在NR引脚上有一个10 µF电容。较大的10 µF电容将107 dB抑制能力扩展到2 kHz。

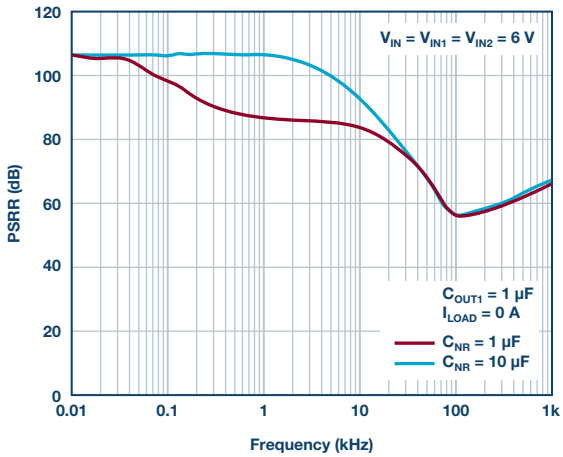


图4. 电源纹波抑制

图5显示了从V_{IN1}到V_{OUT2}的交流通道间电源隔离。当CNR = 10 µF时，100 kHz以上频率的通道间电源隔离大于70 dB。

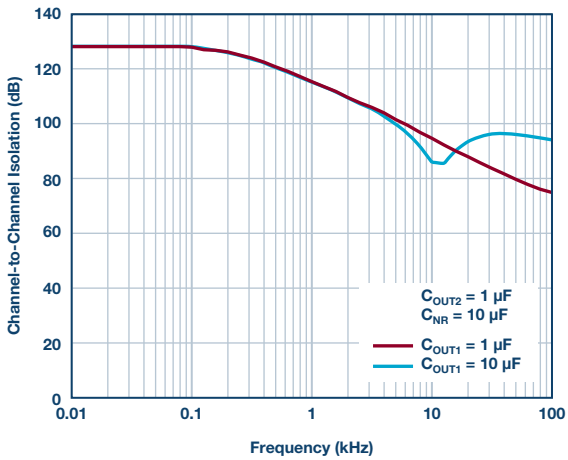


图5. 通道间V_{OUT1}至V_{OUT2}隔离

负载瞬变对相邻输出的影响极小。图6a和图6b显示了通道间输出隔离。在一路输出以50 mV rms摆动的同时，绘制另一路输出的变化。

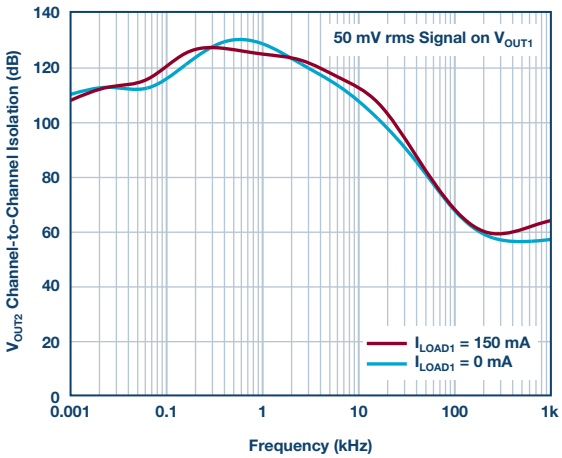


图6a. 通道间V_{OUT}1至V_{OUT2}负载调整率

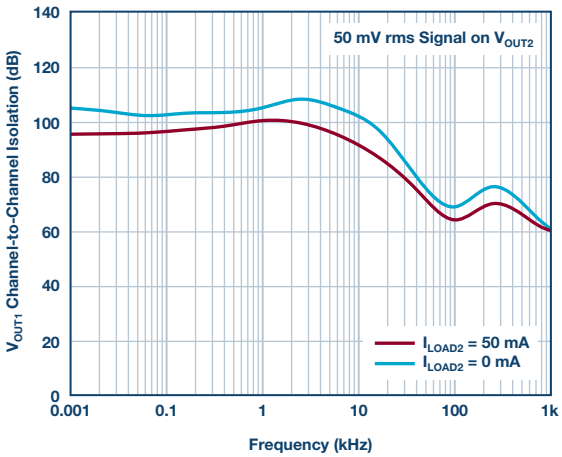


图6b. 通道间V_{OUT2}至V_{OUT1}负载调整率

使用图7所示电路可以实现非凡的交流PSRR。V_{OUT1}输出引导电源V_{IN}和V_{IN2}，产生一个递归基准电压源。

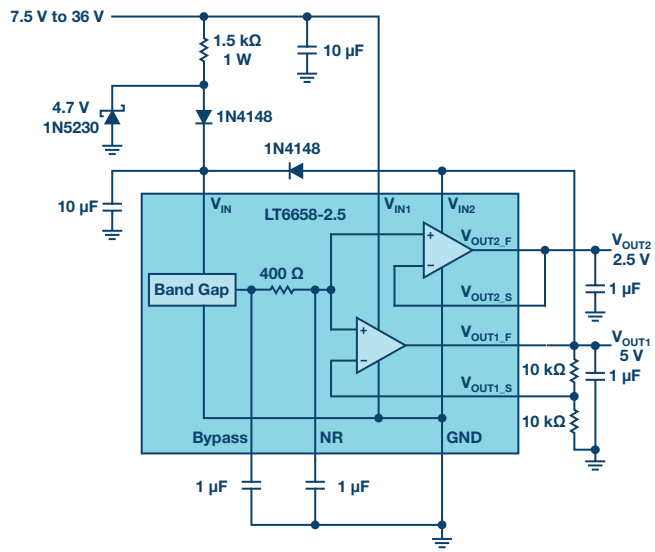


图7a. 递归基准电压源解决方案(V_{OUT1}为V_{IN}和V_{IN2}供电)

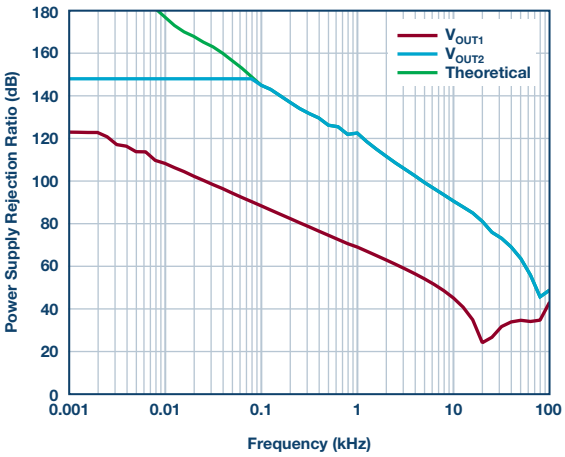


图7b. 递归基准电压源电路的交流PSSR

电源管理和保护

三个电源引脚有助于管理封装的功耗。当提供大电流时，应降低电源电压，以尽量减少LT6658的功耗。输出器件上出现的电压会较小，从而降低功耗并提高效率。

输出禁用引脚OD用于关闭输出缓冲器，并将V_{OUT_F}引脚置于高阻态。这在发生故障时很有用。例如，负载可能会受损并短路。此事件可以被外部电路检测到，两路输出均可禁用。此特性可以忽略，当OD引脚悬空或接高电平时，弱上拉电流将使能输出缓冲器。

LT6658采用16引脚MSE裸露焊盘封装，θ_{JA}低至35°C/W。当电源电压较高时，功率效率较低，导致封装过热。例如，满载时32.5 V电源电压会在输出器件上产生30 V × 0.2 A的多余功率。6 W的多余功率会将芯片内部温度提升到环境温度之上210°C，非常危险。为了保护器件，当芯片温度超过165°C时，热关断电路会禁用输出缓冲器。

噪声

对于数据转换器和其他精密应用，噪声是一个重要考虑因素。在NR(降噪)引脚上增加一个电容，可以使低噪声LT6658的噪声进一步降低。NR引脚上的电容与片内400 Ω电阻形成一个低通滤波器。大电容会降低滤波器频率，从而降低总积分噪声。图8显示了增大NR引脚上电容值的影响。使用10 µF电容时，噪声滚降至7 nV/√Hz左右。

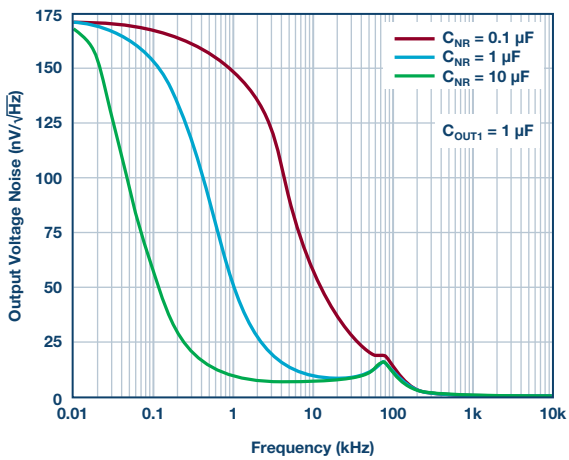


图8. 通过增大C_{NR}降低噪声。

通过增大输出电容，可以进一步降低噪声。当NR和输出电容均增大时，输出噪声可降至几微伏。输出电容在1 µF到50 µF之间时，LT6658可保持稳定。如果并联1 µF陶瓷电容，则输出在大电容下也能保持稳定。例如在图9a所示电路中，1 µF陶瓷电容与100 µF聚合铝电容并联。这种配置在降低噪声带宽的同时仍能保持稳定。图9b显示了不同输出电容值对应的噪声响应。在所有三种情况下，都有一个1 µF小陶瓷电容与较大电容并联。

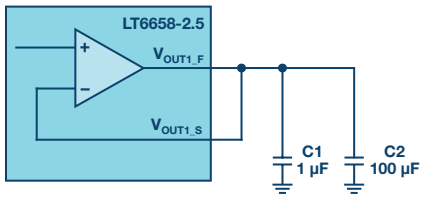


图9a. 通过增大C1降低噪声

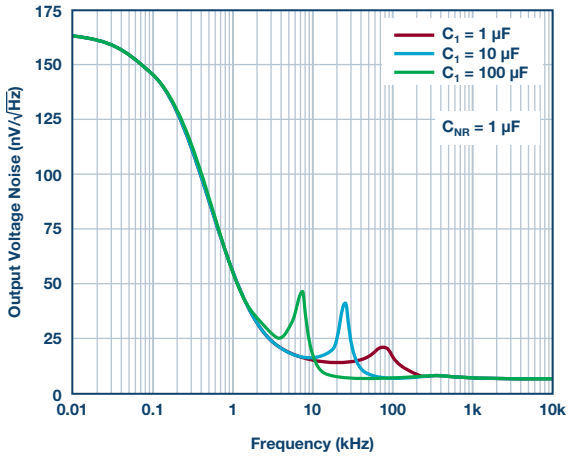


图9b. 通过增大C1降低噪声

这种方案的一个缺点是噪声峰化，这可能会增加总积分噪声。为降低噪声峰化，可以插入一个1 Ω电阻与大输出电容串联，如图10a所示。输出电压噪声和总积分噪声分别如图10b和10c所示。

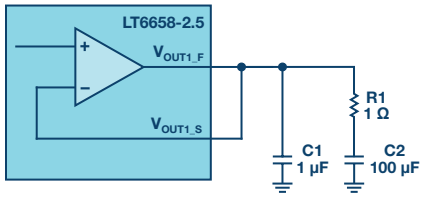


图10a. 通过增加一个1 Ω电阻与C2串联来降低噪声峰化

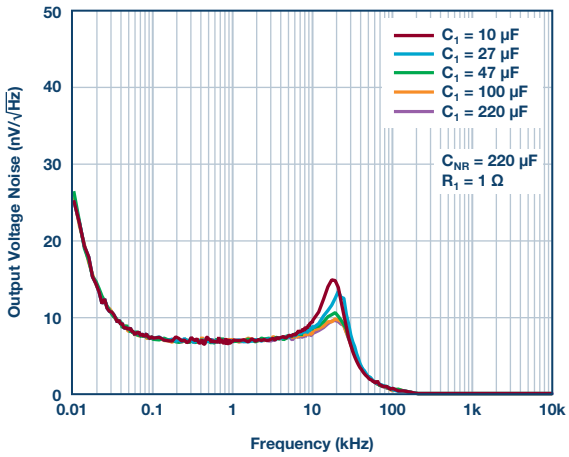


图10b. 通过增加一个1 Ω电阻与C2串联来降低噪声峰化

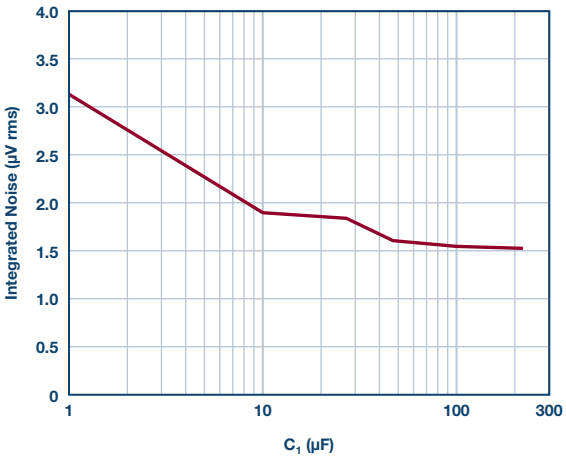


图10c. 通过增加一个1 Ω电阻与C2串联来降低噪声峰化

应用

LT6658可为许多要求苛刻的应用提供安静精准的电源。在混合信号领域，数据转换器常常由微控制器或FPGA控制。图11显示了基本原理。传感器向模拟处理电路和转换器提供信号，所有这些都需要干净的电源。微控制器可能有多个电源输入，包括模拟电源。

作为一般规则，微控制器的高噪声数字电源电压应与干净精密的模拟电源和基准电压源隔离。LT6658的两路输出提供出色的通道间隔离、电源抑制和电源电流能力，确保为多个敏感模拟电路提供干净电源。

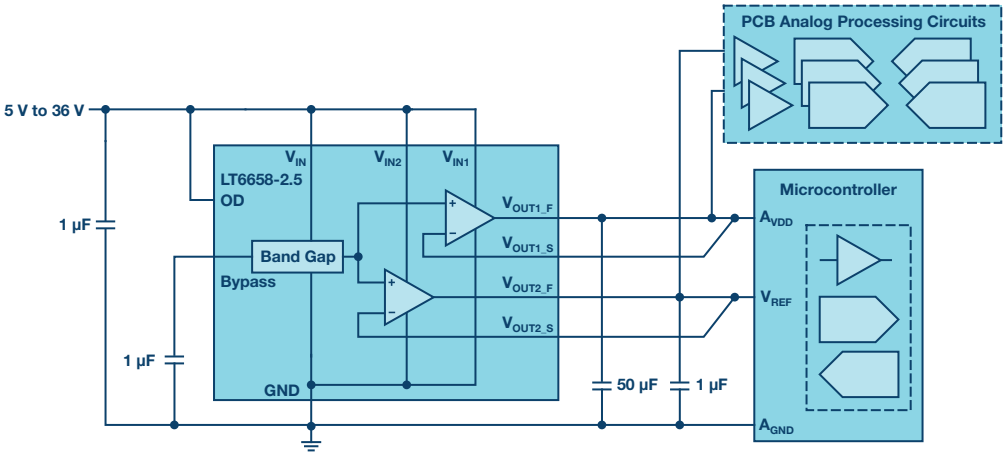


图11. 混合信号应用

LT6658也非常适合工业环境，因为它可以采用高噪声供电轨工作，并且一路输出上的转换造成的负载毛刺对相邻输出影响很小。此外，当一路输出上的负载需要电流时，相邻输出会继续跟踪。

图12显示了一个实际例子，其中LTC2379-18高速ADC电路采用LT6658供电。V_{OUT2}上的开尔文检测输入配置为将2.5 V输出提升至4.096 V基准电压，并为输入放大器LTC6362提供共模电压。V_{OUT1}提升至5 V，为需要5 V电源的LTC6362和其他模拟电路供电。LT6658两路输出分别在V_{OUT1}和V_{OUT2}上具有150 mA和50 mA的最大负载。

表2. 来自图12的数据采集电路示例

参数	16位SAR	18位SAR
SNR	92.7 dB	97.5 dB
SINAD	92.1 dB	95.9 dB
THD	–101.2 dB	–101.1 dB
SFDR	101.6 dB	103.2 dB
ENOB	15.01位	15.64位

图13中的电路展示了LT6658如何为高噪声数字电路供电，同时为精密ADC提供安静精确的基准电压。在此应用中，LT6658或单独LDO的一个通道为高噪声FPGA (VCCIO)和其他一些逻辑提供3.3 V电源，另一个通道为20位ADC的基准输入提供5 V电源。

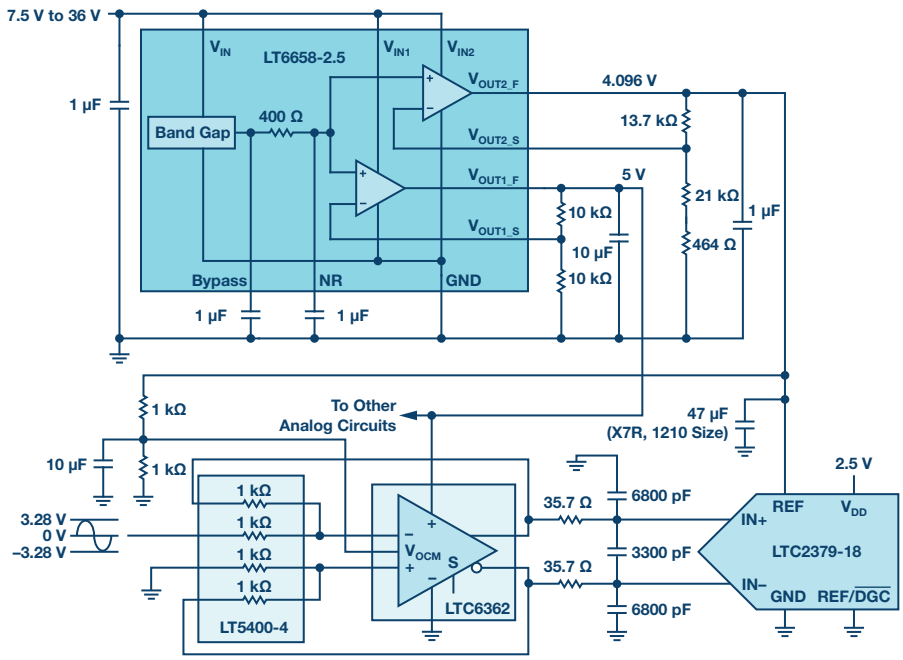


图12. 数据采集解决方案

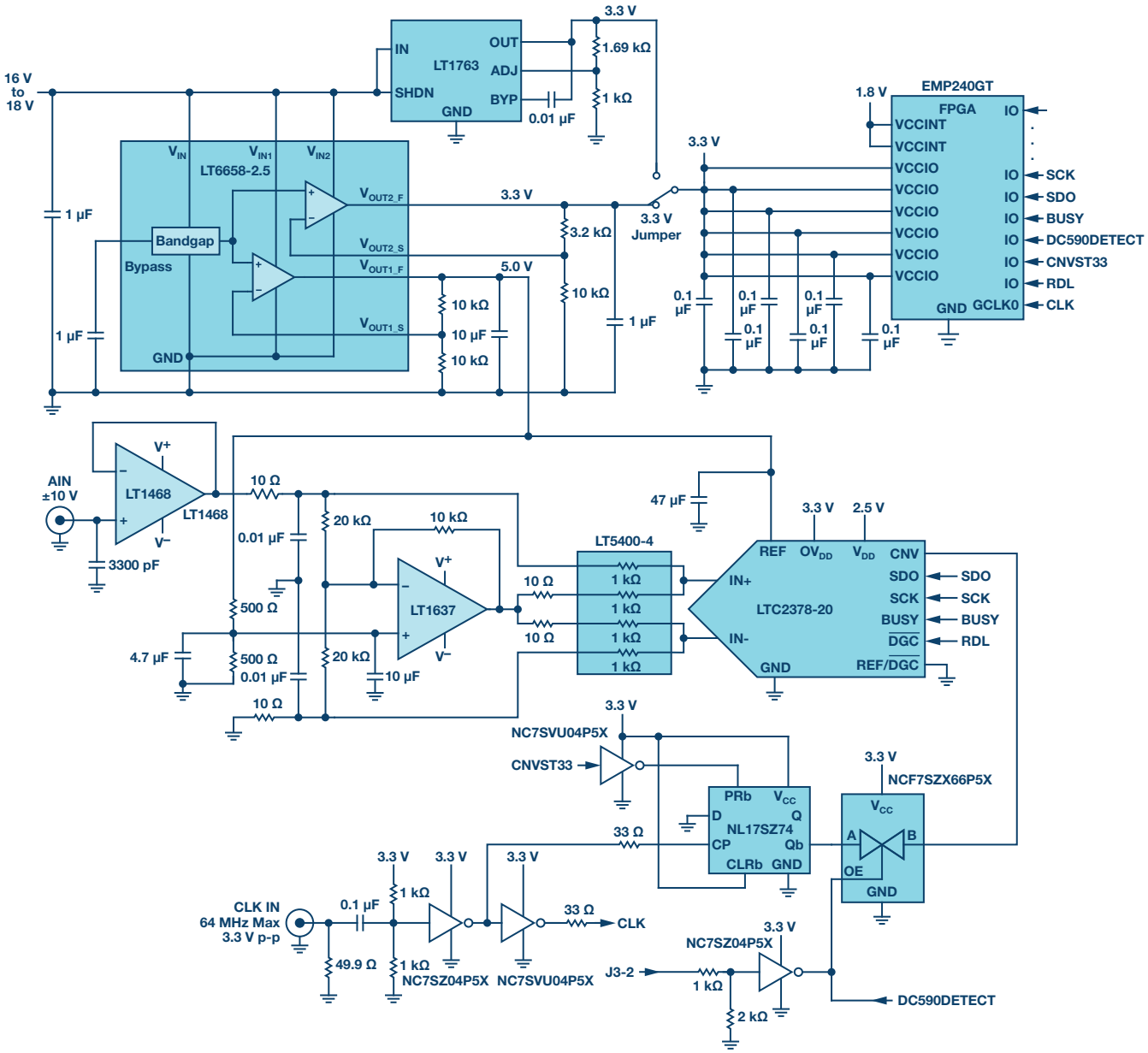


图13. 高噪声数字测试示例电路

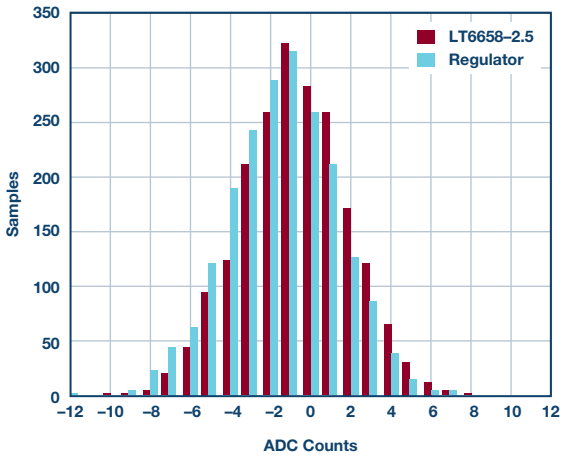


图14. 图13所示电路的测试结果直方图

通过在LT6658和LDO之间切换数字供电电路，我们可以评估LT6658将一个通道上的数字噪声与另一个驱动20位ADC的安静基准输入的通道相隔离的能力。在ADC输入端使用一个干净的直流电源，可以推断出噪声，如图14所示。直方图显示LT6658或LDO为FPGA的VCCIO引脚供电的结果没有明显差异，证明LT6658具有稳健的调节和隔离能力。

结语

LT6658是基准电压源和稳压器发展的下一步。对精密模拟电源而言，从单个封装提供200 mA组合电流的精密性能和能力是一种范式转变。噪声抑制、通道间隔离、跟踪和负载调整，使该产品成为精密模拟基准电压源和电源解决方案的理想之选。采用这种新方法，应用不需要牺牲精度或功耗。

Mike Anderson [michael.anderson@analog.com]是ADI公司和凌力尔特公司(最近担任)的高级IC设计工程师，负责精密基准电压源和放大器等信号调理产品。他曾在Maxim Integrated Products担任高级技术人员和部门领导，负责设计ADC和混合信号电路。在1997年前，Mike在Symbios Logic担任原理IC设计工程师，主要负责设计高速光纤通道电路。他获得普渡大学电气工程学士学位和电气工程硕士学位。Mike拥有16项专利，偶尔发表文章。



Michael Anderson

很少提出问题—问题152
问题终结者：乘法数模转换器

作者： Thomas Tzscheetzsch

分享至

问题:

乘法DAC如何用于DAC以外的其他应用？



答案:

大多数数模转换器(DAC)采用固定的正基准电压工作，输出电压或电流与基准电压和设定的数字码的乘积成比例。而对于所谓的乘法数模转换器(MDAC)，情况并非如此，其基准电压可以变化，变化范围通常是±10 V。因此，通过基准电压和数字码可以影响模拟输出(在这两种情况下都是动态的)。

应用

借助相应的接线，模块可以输出放大、衰减或反转的信号(相对于基准信号而言)。因此，其应用领域包括波形发生器、可编程滤波器和PGA(可编程增益放大器)，以及其他必须调整失调或增益的很多应用。

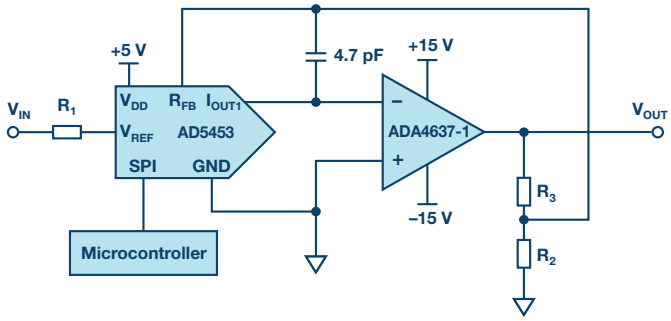


图1. 具有可变增益的电路(PGA)

图1显示了一个带下游放大器的14位MDAC AD5453，放大器可根据DAC的编程数字码放大或削弱信号。

电路计算

该电路的输出电压(V_{OUT})计算如下：

$$V_{OUT} = -Gain \times V_{IN} \times \frac{D}{2^n}$$

除了增益和DAC的设定数字码D之外，输出电压还受运算放大器电源电压的影响或限制。在所示情况下，ADA4637-1 放大器的电源电压为±15 V电压，应输出±12 V的最大电压，因此其控制范围足够大。增益由电阻R_2和R_3确定：

$$Gain = \frac{R_2 + R_3}{R_2}$$

所有电阻(R_1至R_3)应具有相同的电阻温度系数(TCR)，但不一定要与DAC内部电阻的TCR相同。电阻R_1用于根据R_2和R_3及以下关系调整DAC内部电阻(RFB)：

$$R_1 + R_{FB} = R_{FB} + R_2 \,||\, R_3$$
$$R_1 = R_2 \,||\, R_3$$

选择电阻时，必须确保运算放大器在最大输入电压时仍处于工作范围内(DAC可以在V_{REF}下处理±10 V)。还应注意，放大器的输入偏置电流(I_{BIAS})会被电阻($R_{FB} + R_2 \,||\, R_3$)放大，这对失调电压有相当大的影响。选择具有超低输入偏置电流和超低输入失调电压（依据数据手册）的运算放大器ADA4637-1正是基于这个原因。为了防止闭环控制系统不稳定或所谓的响铃振荡，在I_{OUT}和R_{FB}之间插入4.7 pF电容；特别推荐将这一做法用于快速放大器。

如前所述，放大器的失调电压会被闭环增益放大。当设置增益的外部电阻发生改变，变化值对应于数字步长时，此值会增加到期望值上，产生微分非线性误差。如果它足够大，可能会导致DAC行为非单调。为避免这种效应，有必要选择低失调电压和低输入偏置电流的放大器。

相比其他电路的优势

原则上，如果允许使用外部基准电压源，那么也可以使用标准DAC，不过标准DAC与MDAC之间有一些重大区别。标准DAC的基准输入只能处理幅度有限的单极性电压。除幅度外，基准输入带宽也非常有限。这在数据手册中用乘法带宽值表示。以AD5664 16位DAC为例，该值为340 kHz。乘法DAC的基准输入可以使用双极性电压，其也可以高于电源电压。带宽同样高得多——AD5453的典型带宽为12 MHz。

结语

乘法数模转换器的使用不是那么广泛，但其提供了许多可能性。除了高带宽的自制PGA以外，移动应用也是非常合适的应用，因为其功耗要求低于50 µW。

Thomas Tzscheetzsch 于2010年加入ADI公司，担任高级现场应用工程师。2010年至2012年，他负责支持德国中部地区的客户群，自2012年以来，他任职于关键客户团队，为关键客户提供支持服务。2017年重组后，他负责中欧国家IHC市场的FAE团队，担任FAE经理。

在职业生涯的最初阶段，他于1992年至1998年在一家机械制造公司任电子工程师，担任部门负责人。在哥廷根应用科学大学完成电气工程学习后，他任职于Max Planck研究院从事太阳能系统研究工作，担任硬件设计工程师。2004年至2010年，他任职于ADI公司产品经销商的现场应用工程师。



Thomas Tzscheetzsch

Also by this Author:

Dynamic Use of the Disable Pin on an Amplifier

第52卷，第1期

对太阳能和储能设施进行基本监测的*i*Coupler隔离式通信解决方案

作者：Richard Anslow和Martin Murnane

分享至

新的政府政策与新的法规共同推动可再生能源发电，预计未来太阳能市场将有强劲增长。由于太阳能逆变器中功率密度的不断增加以及对储能平衡的需求，这一代太阳能发电要求对太阳能系统的所有元件进行大量监控。对于太阳能光伏应用，RS-485通信固有的抗扰性能使其得到应用。增加*i*Coupler®隔离式RS-485收发器可为太阳能光伏网络通信接口提供安全、可靠且EMC鲁棒的解决方案。

RS-485有多种用途，主要用途是远程监控发电、功率点跟踪器和储能状态(电池储能)。

对于储能等太阳能应用，通信至关重要，因为它要将太阳能装置中的发电和消耗活动报告给用户。可以实施多种系统策略，例如账单管理、光伏自用、减少需量电费和备用电源。特别是在美国，飓风常常在得克萨斯州和佛罗里达州造成严重破坏，因此备用电源最受欢迎。

表1. 家用储能策略

家用储能策略	定义
账单管理使用时间(TOU)	最大限度地减少用电高峰时段的购电量，TOU将客户购电转移到费率较低的时段。此策略的目标是减少客户账单费用。
光伏自用	最大限度地减少电表后光伏系统所供电力的出口，以最大限度地提高电费较高的光伏地区的经济效益。
减少高峰时段电费	让客户可以储能，降低成本，因为电力公司在高峰时段会收取额外费用。
备用电源	这是一种更常见的策略，给任何可储能设备充电，以便在电网停电时或夜间使用。这更多是一种备用电源策略，在高峰时段可以减少用电费用，而且上网电价较低。

图1显示了典型的24小时太阳能发电、储能和家庭用电情况。图1说明了太阳能系统针对账单管理进行设计的主要原因。在夜间，当没有阳光辐照太阳能电池板时，消耗的电能将从电网购买，此时电费最低。一旦太阳升起，阳光照射到太阳能电池板上，就会产生电力，家庭自用即开始，太阳能电力由家庭使用或转移到储能装置。这样可以减少从电网获取的电力，在电力公司提供较低上网电价的区域使用太阳能所产生的电力，从而控制账单费用。

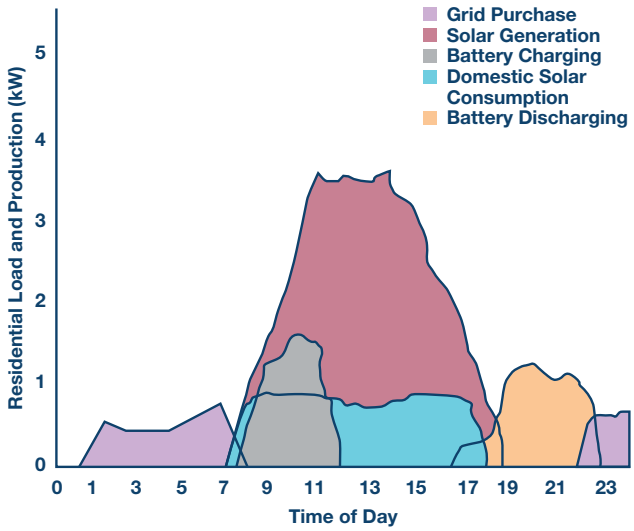


图1. 典型24小时太阳能发电、储能和家庭用电情况

RS-485是通信应用首选，可用于PC屏幕数据更新，如当前功率、最大功率点跟踪器中的电流消耗、电池充电和健康状况、CO_2减少等，如图2所示。

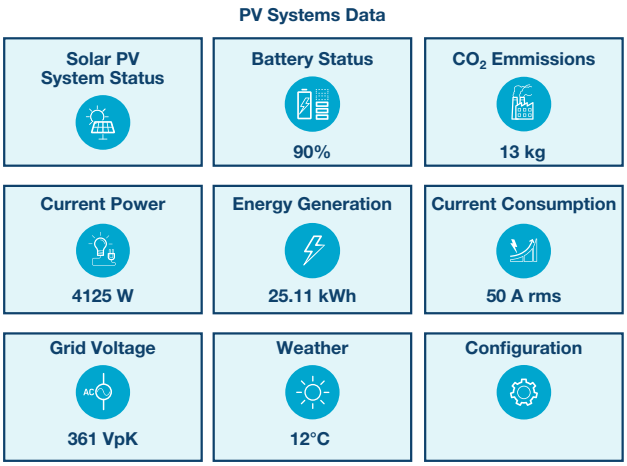


图2. 光伏太阳能系统的典型光伏监测系统数据

图3显示了一个典型太阳能系统，包含输入直流串、DC-AC转换、充电和储能、电池管理及通信。ADI公司为太阳能光伏和储能应用提供完整的电源、通信和控制接口信号链解决方案。*i*Coupler隔离式栅极驱动器解决方案包括ADuM4135和ADuM4223/ADuM3223。*i*Coupler隔离式通信端口解决方案包括ADM2795E、ADM2587E和ADM3054。混合信号处理器解决方案包括ADSP-CM419。

为什么使用带*i*Coupler隔离的RS-485收发器?

*i*Coupler隔离能为太阳能光伏网络通信接口提供安全、可靠且EMC鲁棒的解决方案。

对于太阳能光伏网络，RS-485或CAN通信接口通常在充斥电噪声的环境中通过长电缆运行。RS-485通信本质上是差分式，具备固有抗噪声能力。增加*i*Coupler隔离以提升抗扰度。

- *i*Coupler系列数字隔离产品已经过测试，并获得多家监管机构认证，包括UL、CSA、VDE、TÜV、CQC、ATEX和IECEx。这种监管机构测试证明产品达到要求的安全水平，不会因为电气条件恶劣的太阳能光伏环境中可能出现的高压瞬变和电涌而受到影响。
- 太阳能光伏通信接口通常以低数据速率工作——低于500 kbps——这正是RS-485通信的理想工 围。诸如以太网之类的替代方案以10 Mbps/100 Mbps或1 Gbps的固定数据速率运行，这对应用要求而言明显过剩。
- *i*Coupler隔离具有经过验证的EMC鲁棒性，可减少现场故障。增强的EMC鲁棒性可缩短接口电路的设计和测试时间，从而加快太阳能光伏网络的上市时间。

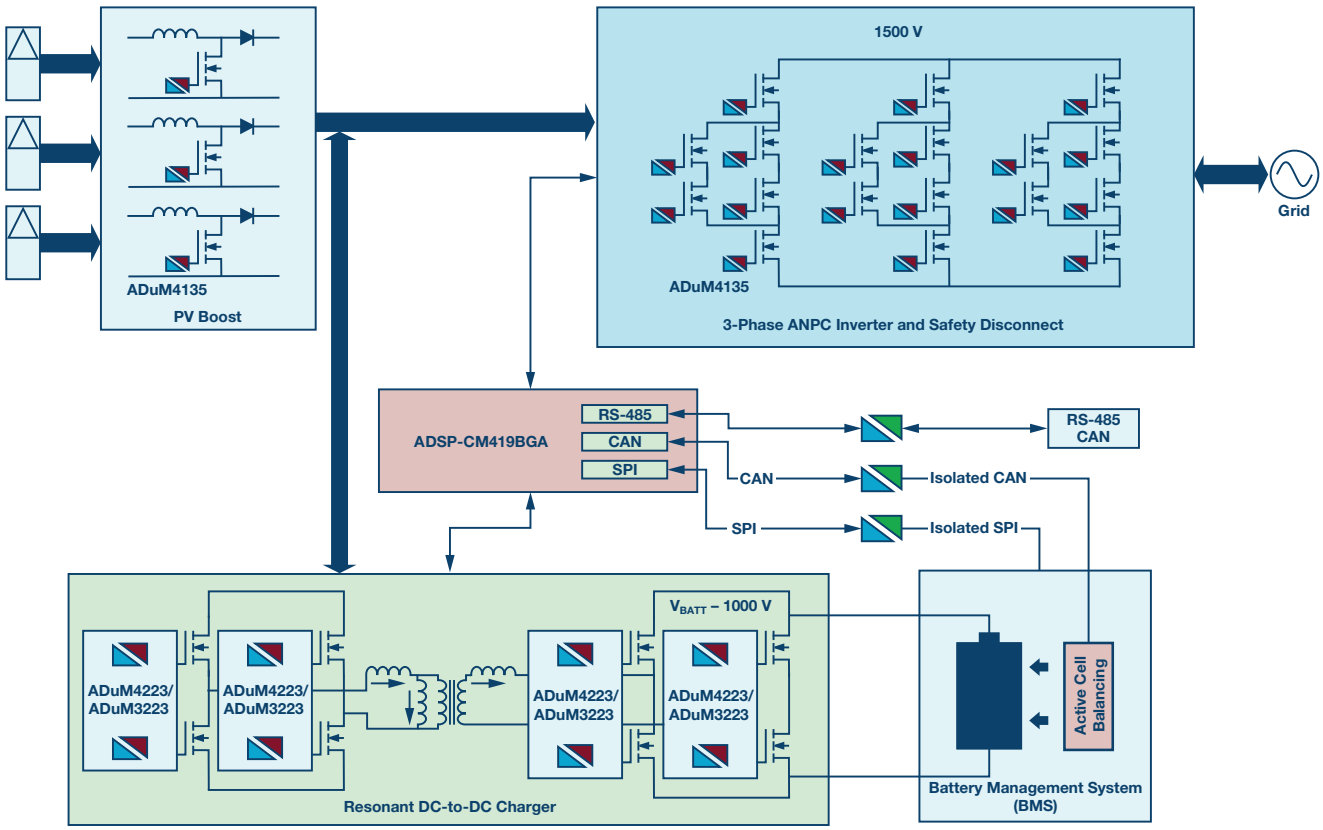


图3. 带储能功能的典型太阳能系统框图

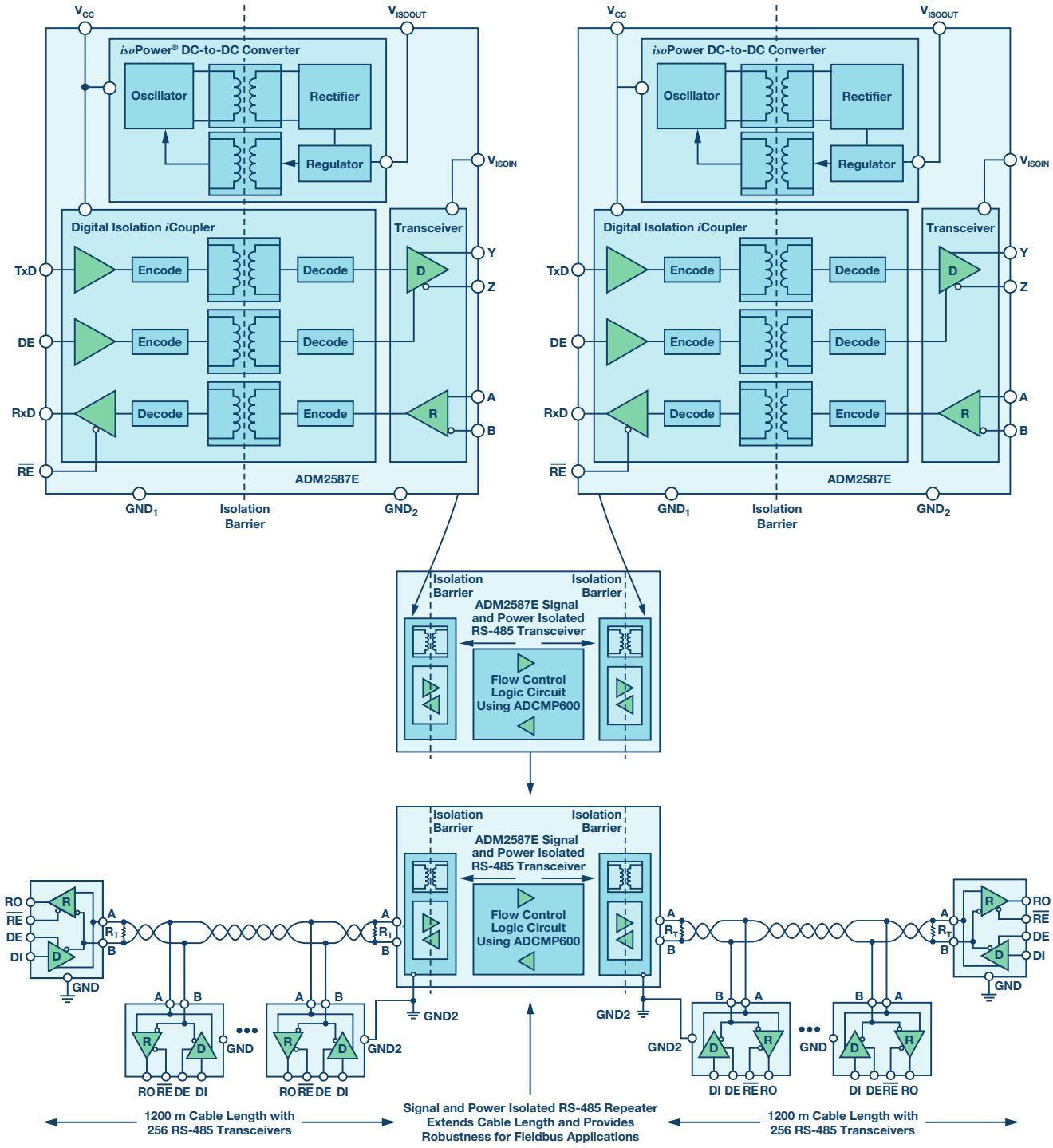


图4. 信号和电源iCoupler隔离式RS-485中继器

适用于现有太阳能光伏网络的直接插入式iCoupler隔离解决方案

对于现有太阳能逆变器设施，其通信端口没有iCoupler隔离所实现的鲁棒性，iCoupler隔离式RS-485中继器是强大的直接插入式解决方案。紧凑的信号和电源iCoupler隔离式RS-485中继器提供鲁棒的隔离保护，防止电磁(EMC)恶劣的太阳能环境中的电气噪声影响。

iCoupler隔离式RS-485中继器设计由两个RS-485收发器和两个高速ADCMP600比较器组成。ADM2587E是全集成式数据收发器，支持±15 kV ESD保护及信号和电源隔离，适用于多点传输线上的高速通信。ADM2587E内部集成隔离式DC-DC电源，无需外加DC-DC隔离模块。RS-485中继器需要数据码流控制，这对RS-485总线上的通信方向控制很重要。在ADM2587E逻辑引脚上使用高速比较器ADCMP600可提供高速流控制和方向性，从而实现可靠的通信系统。有关完整设计指南，请参阅AN-1458应用笔记*“具备自动方向控制功能的隔离式RS-485中继器”*。

具备增强EMC鲁棒性的*i*Coupler信号隔离式RS-485

设计EMC通信接口时，电路设计人员常常要面对设计和测试迭代循环。电路设计必须符合系统级EMC标准和客户要求。工业自动化的系统级IEC标准(如IEC 61131-2)规定了多种IEC ESD、EFT和浪涌保护级别以及对辐射、传导和磁场干扰的抗扰度。

ADI公司*i*Coupler信号隔离式RS-485包含经认证的额外EMC保护，可防范上述干扰，从而缩短需要满足严格监管目标的设计的上市时间。

具体而言，ADM2795E RS-485收发器集成了隔离鲁棒性和EMC保护，这样可大幅节省印刷电路板(PCB)空间，以供太阳能光伏通信端口接口使用。

ADM2795E是一款5 kV rms信号隔离RS-485收发器，RS-485总线引脚提供高达±42 V的AC-DC峰值总线过压故障保护特性。该器件采用ADI公司的*i*Coupler技术，将三通道隔离器、RS-485收发器和IEC电磁兼容性(EMC)瞬变保护集成于单封装中。

ADM2795E集成的*i*Coupler技术已通过VDE0884-10、UL 1577、CSA和CQC(申请中)认证。

- 工作电压：849 V_{PEAK} (600 V rms)加强，VDE0884-10认证
- 耐受电压：5000 V rms，UL1577认证

ADM2795E在数个系统级EMC测试中表现稳健，已通过EMC合规测试机构的认证(证书可应申请提供)：

- IEC 61000-4-5 浪涌
- IEC 61000-4-4 EFT
- IEC 61000-4-2 ESD
- IEC 61000-4-6 传导射频抗扰度
- IEC 61000-4-3 辐射射频抗扰度
- IEC 61000-4-8 磁场抗扰度

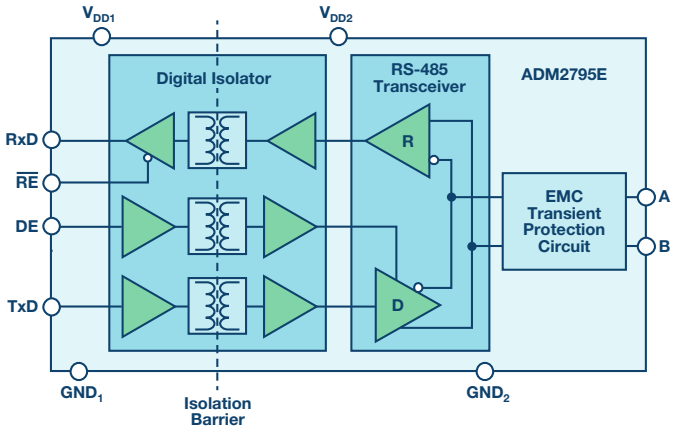


图5. iCoupler隔离式RS-485收发器，A和B总线引脚提供增强的IEC 61000-4-5浪涌鲁棒性。

结论

ADI公司为太阳能光伏和储能应用提供完整的信号链解决方案。*i*Coupler隔离式栅极驱动器解决方案包括ADuM4135和ADuM4223/ADuM3223，而*i*Coupler隔离式通信端口解决方案包括ADM2795E和ADM2587E，ADSP-CM419混合信号控制处理器提供电源通信和控制接口。*i*Coupler隔离能为太阳能光伏网络通信接口提供安全、可靠且EMC鲁棒的解决方案。

ADI公司的接口和隔离产品组合有多种方案可隔离RS-485接口。ADM2795E提供完整的系统级EMC解决方案，其符合IEC 61000浪涌、EFT和ESD标准，不受恶劣太阳能光伏环境中常见的传导、辐射和磁场干扰的影响。ADM2795E可缩短需要满足严格监管目标的设计的上市时间。

信号和电源隔离式RS-485收发器(例如ADM2587E)提供当今市场上集成度最高的信号和电源隔离解决方案。ADM2587E可用于RS-485中继器设计，通过*i*Coupler隔离技术为系统提供更强的鲁棒性。

Richard Anslow [richard.anslow@analog.com]毕业于爱尔兰利默里克大学，获工程学士和硕士学位。他从事新产品定义工作，并且担任面向客户的角色，处理有关ADI隔离式通信产品系列的问题。



Richard Anslow

Martin Murnane [martin.murname@analog.com]是工业和仪器仪表部太阳能PV系统工程师，专注于能源/太阳能PV应用。加入ADI公司之前，他曾从事过能源循环利用系统中电力电子技术(Schaffner Systems)、基于Windows的应用软件/数据库开发(Dell Computers)以及采用应变计技术的HW/FW产品开发(BMS)等领域的工作。Martin毕业于利默里克大学，获电子工程学士学位。



Martin Murnane

该作者的其他文章：

借助隔离技术将太阳能光伏发电系统整合于智能电网

第46卷，第4期

带两个RMS检测器的集成双向桥，用于测量RF功率和回波损耗

作者：Eamon Nash和Eberhard Brunnerr

分享至

定向耦合器用于检测RF功率，应用广泛，可以出现在信号链中的多个位置。本文探讨ADI公司的新器件ADL5920，其将基于宽带定向耦合器与两个RMS响应检测器集成在一个5 mm × 5 mm表贴封装中。相比于要在尺寸和带宽之间艰难取舍的传统分立式定向耦合器，该器件具有明显的优势，尤其是在1 GHz以下的频率。

在线RF功率和回波损耗测量通常利用定向耦合器和RF功率检波器来实现。

图1中，双向耦合器用于无线电或测试测量应用中，以监测发射和反射的RF功率。有时也希望将RF功率监测嵌入电路中，一个很好的例子是将两个或更多信号源切换到发射路径(使用RF开关或外部电缆)。

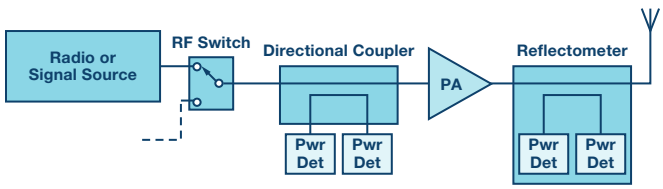


图1. 测量RF信号链中的正向和反射功率

定向耦合器具有方向性这一重要特性，也就是它能区分入射和反射RF功率。当入射RF信号在通往负载的路程中经过正向路径耦合器(图2)时，耦合一小部分RF功率(通常是比入射信号低10 dB至20 dB的信号)，输入RF检波器。当正向功率和反射功率均要测量时，须再使用一个耦合器，其方向与正向路径耦合器相反。两个检波器的输出电压信号将与正向和反向RF功率水平成比例。

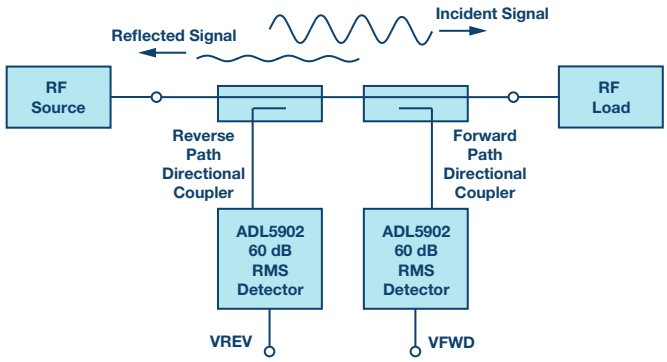


图2. 采用定向耦合器和RF检波器的典型RF功率测量系统

表贴定向耦合器的基本问题是须在带宽和尺寸之间进行取舍。虽然频率覆盖范围为一个倍频程(即F_{MAX}等于两倍F_{MIN})的双向定向耦合器通常采用小至6 mm^2的封装，但多倍频程表贴定向耦合器要大得多(图3)。宽带连接器式定向耦合器具有多倍频程的频率覆盖范围，但显著大于表贴器件。

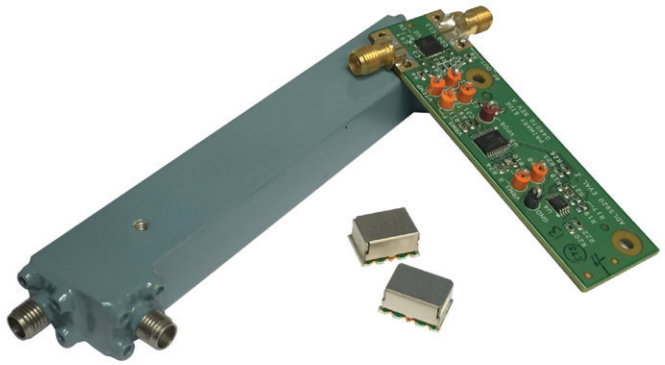


图3. 连接器式定向耦合器、表贴定向耦合器以及带定向桥和双RMS检测器的ADL5920集成IC

图3还显示了ADL5920评估板，它是一款新型RF功率检测子系统，检测范围高达60 dB，采用5 mm × 5 mm MLF封装(ADL5920 IC位于RF连接器之间)。ADL5920的功能框图如图4所示。

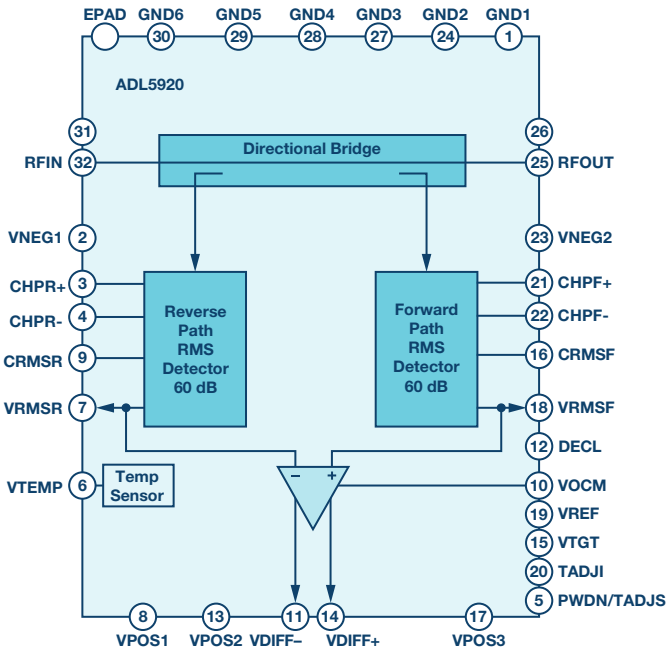


图4. ADL5920框图

ADL5920不是利用定向耦合器来检测正向和反射信号，而是采用一种专利的定向桥技术来实现宽带且紧凑的片内信号耦合。要了解定向桥的工作原理，我们需要先回顾惠斯登电桥。

惠斯登电桥

定向桥的概念基于惠斯登电桥(图5)，即在平衡时产生的差分电压为零。在惠斯登电桥中，两条支路之一中的一个电阻是可变的(R2)，而另外两个电阻(R1和R3)是固定不变的。总共有四个电阻——R1、R2、R3和Rx，其中Rx是未知电阻。如果R1 = R3，那么当R2等于Rx时，V_{OUT} = 0 V。当可变电阻具有合适的值，使得电桥左右两边的分压比相等，从而在产生V_{OUT}的差分检测节点上产生0 V差分信号时，认为电桥处于平衡状态。

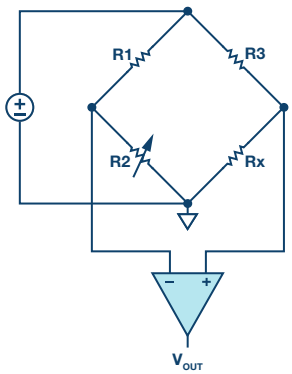


图5. 惠斯登电桥

单向桥

图6是单向桥原理图，非常好地解释了这种器件的基本操作。首先要注意的是，定向桥需要针对特定Z_0进行设计，并将插入损耗降至最低。如果R_S = R_L = R = 50 Ω，则电桥的检测电阻为5 Ω，这样插入损耗(<1dB)与信号检测便实现了良好的折衷。从负载回头看来计算R_{OUT}，得到精确的50 Ω端口阻抗，而计算R_{IN}将得到50.8 Ω端口阻抗(|Γ| = 0.008；RL = –42 dB；VSWR = 1.016)。如果在RFIP施加图示信号，由于R_{IN}约为50 Ω，所以RFIP处的电压约为电源电压的一半。暂时假定RFIP处的电压等于1 V，则RFOP处的电压约为0.902 V。

该电压进一步衰减10/11 = 0.909，使得差分放大器的负输入为0.82 V，所得差分电压为(1 – 0.82) = 0.18 V。电桥的有效正向耦合因子(CpI)为

$$Cpl = 20log_{10}\left(\frac{0.18\ \text{V}}{1\ \text{V}}\right) = 15\ \text{dB} \qquad (1)$$

就电桥而言，平衡意味着当信号反向施加时(RFOP至RFIP)，VFWD检波器(或CpI端口)在理想情况下将看到零差分电压，而当信号正向施加时(RFIP到RFOP)，看到的将是最大信号。为了在这种结构中获得最大的方向性，精密电阻最重要，因此将其集成是很有益的。

在单向桥中，为了确定计算回波损耗所需的隔离，需要翻转器件，然后将输入信号施加于RFOP。在这种情况下，电桥是平衡的，差分放大器的正负输入相等，因为相同的分压比0.909 = (10R/(10R + R) = (R/(R+0.1R))导致差分电压（V+减V-）= 0 V。

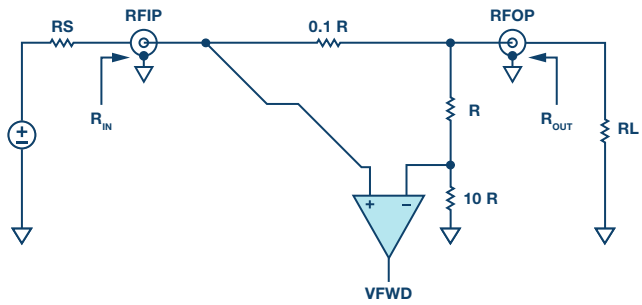


图6. 简化单向桥电路图

双向桥

图7是双向桥的简化图，与ADL5920中使用的类似。对于50 Ω环境，单位电阻R等于50 Ω。因此，电桥的检测电阻值为5 Ω，而两个分流网络的电阻值均为约1.1 kΩ。

这是一个对称网络，因此当R_S和R_L也等于50时，输入和输出电阻R_{IN}和R_{OUT}相同且接近50 Ω。.

当源阻抗和负载阻抗均为50 Ω时，内部网络的欧姆分析告诉我们，与VREV相比，VFWD将相当大。在实际应用中，这对应于从信号源到负载的最大功率传输。这导致反射功率很小，进而导致VREV非常小。

接下来，我们考虑如果R_L为无限大(开路)或零(负载短路)，会发生什么情况。在这两种情况下，如果重复欧姆分析，我们会发现VFWD和VREV大致相等。这反映了一个实际系统在开路或负载短路情况下，正向和反射功率相等。下面将对这些情况进行更详细的分析。

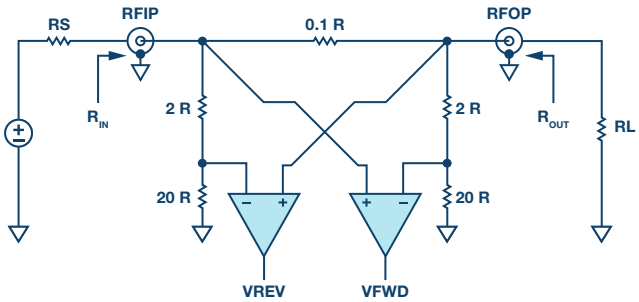


图7. 简化双向桥电路图

VSWR和反射系数

在网络分析中对误差进行全面分析太复杂，超出了本文的范围，但我们想在这里概述一些基本概念。Marki Microwave撰写的应用笔记“*方向性与VSWR测量*”是一篇出色的文章，可供参阅[1]。

行波是描述传输线路上电压和电流的重要概念，因为其是位置和时间的函数。传输线路上的电压和电流的一般解包括一个前向行波和一个反向行波，它们是距离x的函数[2]。

$$V(x) = V^+(x) + V^-(x) \tag{2}$$

$$I(x) = \frac{V^+(x)}{Z_0} - \frac{V^-(x)}{Z_0} \tag{3}$$

在等式2和等式3中，V+(x)表示向负载行进的电压波，而V–(x)表示由于失配而从负载反射的电压波，Z_0为传输线路的特征阻抗。在无损传输线路中，Z_0由以下经典方程定义：

$$Z_0 = \sqrt{\frac{L}{C}} \tag{4}$$

传输线路的最常见Z_0为50 Ω。如果这样的线路用特征阻抗端接，那么在50Ω信号源看来，它是一条无限长线路，因为沿着线路行进的任何电压波都不会产生可以在信号源或线路上任何其他地方检测到的反射。但是，如果负载不是50 Ω，那么沿着线路会产生一个驻波，这是可以检测到的，其由电压驻波比(VSWR)定义。

更一般地，反射系数定义为：

$$\Gamma(x) = \Gamma_0 e^{2\gamma x} \tag{5}$$

其中Γ_0为负载反射系数，γ为传输线路的传播常数。

$$\Gamma_0 = \frac{Z_L - Z_0}{Z_L + Z_0} \tag{6}$$

$$Z_0 = \sqrt{\frac{R + j\omega L}{G + j\omega C}} \tag{7}$$

$$\gamma = \sqrt{(R + j\omega L)(G + j\omega C)} \tag{8}$$

R、L、G和C分别为传输线路单位长度的电阻、电感、电导和电容。

回波损耗(RL)是反射系数(Γ)的负值，以dB为单位。这点很重要，因为反射系数和回波损耗经常被混淆而互换使用。

$$RL = -20log_{10}|\Gamma_0| = 10log_{10}\frac{1}{|\Gamma_0|^2} \tag{9}$$

除了上述负载失配以外，回波损耗还有一个非常重要的定义，即根据阻抗不连续处的入射功率和反射功率来定义，如下所示：

$$RL = 10log_{10}\left(\frac{P_{incident}}{P_{reflected}}\right) \tag{10}$$

其广泛用于天线设计。VSWR、RL和Γ_0的关系如下：

$$|\Gamma_0| = \frac{VSWR - 1}{VSWR + 1} \tag{11}$$

$$VSWR = \frac{|V(x)|_{max}}{|V(x)|_{min}} + \frac{1 + |\Gamma_0|}{1 - |\Gamma_0|} = \frac{1 + 10^{\frac{RL}{-20}}}{1 - 10^{\frac{RL}{-20}}} \tag{12}$$

$$RL = -20log_{10}\left(\frac{VSWR - 1}{VSWR + 1}\right) \tag{13}$$

式14和式15分别代表驻波电压的最大值和最小值。VSWR定义为波上最大电压与最小电压之比。线路上的峰值电压和最小电压分别为：

$$|V(x)|_{max} = |A|(1 - |\Gamma_0|) \tag{14}$$

$$|V(x)|_{min} = |A|(1 - |\Gamma_0|) \tag{15}$$

例如在50 Ω传输线路中，如果前向行进电压信号的峰值幅度A = 1，并且线路与一个理想负载匹配，则$|\Gamma_0| = 0$，没有驻波(VSWR = 1.00)，线路上的峰值电压为A = 1。但是，如果R_{LOAD}为100 Ω或25 Ω，那么$|\Gamma_0| = 0.333$，RL = 9.542 dB，VSWR = 2.00，$|V(x)|_{max} = 1.333$，$|V(x)|_{min} = 0.666$。

图8是图7的副本，但所示信号采用默认正向配置，并且指示了行进功率波，参考平面位于负载。在低频时，波长相对于物理结构而言较长，电压和电流同相，电路可以根据欧姆定律来分析。

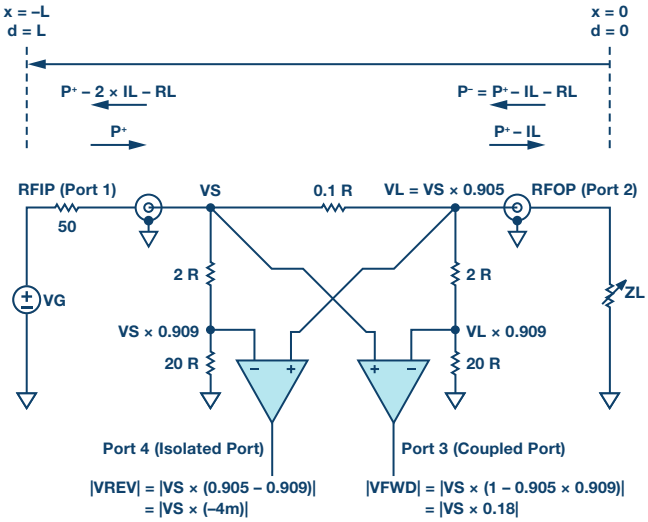


图8. 带信号的简化双向桥

端口定义如下：输入端口(端口1)为RFIP，输出端口(端口2)为RFOP，耦合端口(端口3)为V_{FWD}，隔离端口(端口4)为VREV。由于结构是对称的，当信号在Z_L处反射或施加于RFOP时，端口反转。

在负载匹配且发生器电压连接到端口1 (RFIP)的情况下，$Z_S = Z_L = Z_0 = R = 50\ \Omega$，

$$V_L = V_{S+}\left[\frac{Z_{OUT}}{Z_{OUT} + 0.1R}\right] = V_{S+} \times 0.905 = V_{S+} \times |S21| \tag{16}$$

$$Z_{OUT} = Z_L \,||\, (2R + 20R) = R \,||\, 22R = \left(\frac{22}{23}\right)R \tag{17}$$

V_L/V_{S+}为插入损耗L_1或IL，单位为dB。

$$IL = -20log_{10}|S21| = -20log_{10}L_1 = 0.87\ dB \tag{18}$$

0.1×R主线路电阻任一侧的两个并联支路的衰减因数为：

$$\alpha = \frac{20R}{(20R + 2R)} = \frac{20}{22} = 0.909 \tag{19}$$

图8中的|VREV|和|VFWD|公式显示了正向施加信号时的电压值。这些公式指出了简化原理图的基本方向性限制，原因是隔离端口的抑制性能(33 dB)不理想。

$$D = 20log_{10}\left(\frac{|V_{CPL}|}{|V_{ISO}|}\right) = 20log_{10}\left(\frac{|0.18|}{|-0.004|}\right) = 33\ dB \tag{20}$$

从图8中可以看出，线性域中双向桥的方向性由下式确定：

$$D_L = \left(\frac{1 - L_1 \times \alpha}{L_1 - \alpha}\right) \tag{21}$$

这表明：为了提高方向性，α需要等于插入损耗L_1。

在硅片中，峰值方向性通常比简图表明的要好(图9)。

如果Z_L不等于Z_0(正常情况下)，则耦合和隔离端口电压(复数)将为：

$$V_{CPL} = V_{S+}[1 - L_1 \times \alpha] + V_{L-}[L_1 - \alpha] \tag{22}$$

$$V_{ISO} = V_{L-}[1 - L_1 \times \alpha] + V_{S+}[L_1 - \alpha] \tag{23}$$

其中，V_{S+}是端口1(节点V_S)处的正向电压，V_{L-}是端口2(节点V_L)处负载的反射电压。Θ是反射信号的未知相位，

$$V_{L-} = V_{S+} \times L_1 \times |\Gamma_0|e^{j\Theta} \tag{24}$$

用(24)代替(22)和(23)中的V_{L-}，并用(21)简化结果，另外

$$V_{FWD} = V_{S+}[1 - L_1 \times \alpha] \tag{25}$$

导致输出电压非常复杂。

$$V_{CPL} = V_{FWD}\left\{1 + \frac{L_1 \times |\Gamma_0|e^{j\Theta}}{D_L}\right\} \tag{26}$$

$$V_{ISO} = V_{FWD}\left\{L_1 \times |\Gamma_0|e^{j\Theta} + \frac{1}{D_L}\right\} \tag{27}$$

从(26)和(27)可以看出，当D_L>>1时，

$$\left|\frac{V_{ISO}}{V_{CPL}}\right|_{max,\ min} = \sqrt{\frac{\left(\frac{1}{D_L}\right)^2 \pm 2\left(\frac{L_1 \times |\Gamma_0|}{D_L}\right) + (L_1 \times |\Gamma_0|)^2}{1 + 2\left(\frac{L_1 \times |\Gamma_0|}{D_L}\right) + \left(\frac{L_1 \times |\Gamma_0|}{D_L}\right)^2}} \rightarrow L_1 \times |\Gamma_0| \quad (28)$$

在ADL5920中，电压VREV和VFWD分别通过两个60 dB范围的线性dB RMS检测器映射到电压VRMSR和VRMSF，分别为(V_{ISO}/V_{SLP})和(V_{CPL}/V_{SLP})。所以器件的差分输出V_{DIFF}(单位为dB)表示

$$\frac{V_{DIFF}}{V_{SLP}} = \frac{VRMSR - VRMSF}{V_{SLP}} = \frac{V_{L_1} + V_{|\Gamma_0|}}{V_{SLP}} \quad (29)$$

其中检波器斜率V_{SLP}约为60 mV/dB。

使用(28)中(29)的电压到dB映射，

$$20log_{10}\left(\frac{VRMSR}{V_{SLP}}\right) - 20log_{10}\left(\frac{VRMSF}{V_{SLP}}\right) = 20log_{10}(L_1) + 20log_{10}|\Gamma_0| \quad (30)$$

并在式30中使用式9，得到：

$$P_{REV} - P_{FWD} = -IL - RL \quad (31)$$

$$RL = P_{FWD} - P_{REV} - IL \quad (32)$$

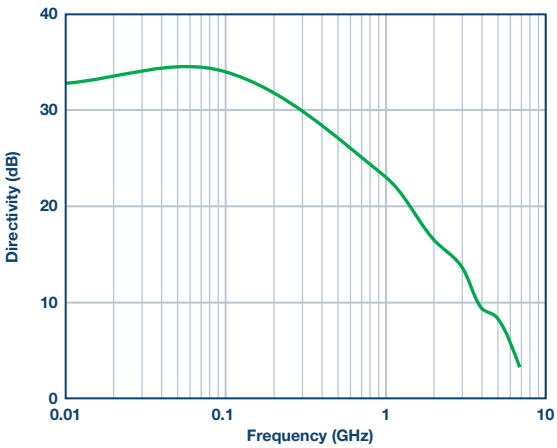


图9. ADL5920方向性与频率的关系输入电平为20 dBm。

图10显示ADL5920被正向驱动时正向功率检测RMS检测器的响应。每条曲线对应于所施加的特定功率水平下输出电压与频率的关系。曲线停止在10 MHz，低至9 kHz的频率下的操作已得到验证。图11中，相同数据表示为输出电压与输入功率的关系，每条迹线代表不同的频率。

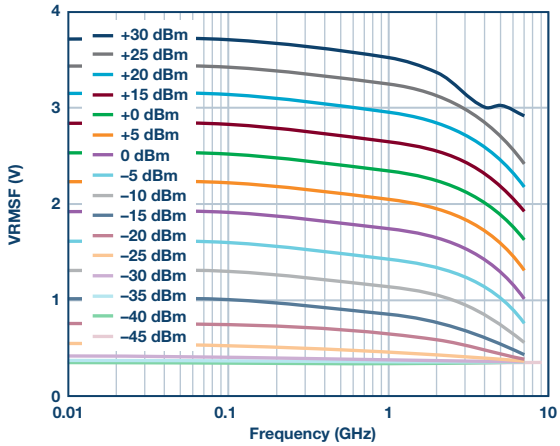


图10. 多种输入功率水平下正向路径检测器的典型输出电压与频率的关系

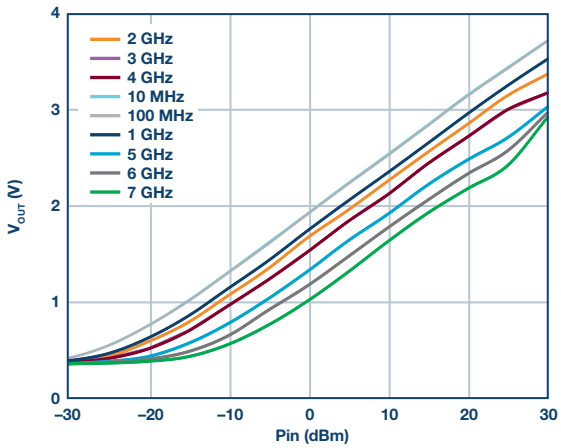


图11. 多种频率下正向路径检测器的典型输出电压与输入功率的关系

当ADL5920的RF_{OUT}引脚用一个50 Ω电阻端接时，不应有反射信号。因此，反向路径检测器不应该会记录任何检测到的反向功率。但是，由于电路的方向性是非理想的，会随着频率变化而滚降，所以反向路径中会检测到一些信号。图12显示了在500 MHz频率下，当扫描RF_{IN}且RF_{OUT}用50 Ω电阻端接时，正向和反向路径检测器测得的电压。这些迹线之间的垂直压差与电桥的方向性直接相关。

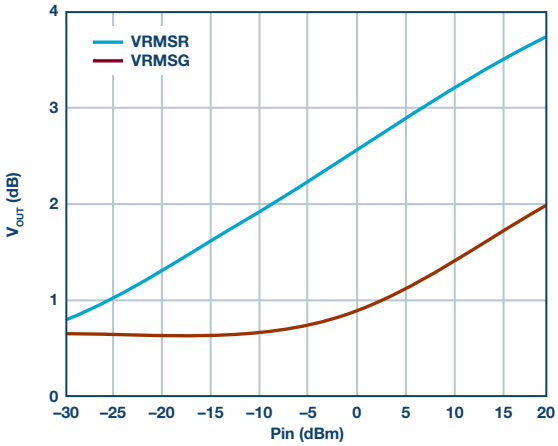


图12. VRMSF和VRMSR输出电压与输入功率的关系，500 MHz，电桥从RF_{IN}驱动，RF_{OUT}端接50 Ω。

图13显示了改变负载对正向功率测量的影响。将规定的功率水平施加于RF_{IN}输入，RF_{OUT}上的负载回波损耗从0 dB变化到20 dB。正如预期的那样，当回波损耗在10 dB到20 dB范围内时，功率测量精度非常好。但随着回波损耗降低到10 dB以下，功率测量误差开始增加。值得注意的是，回波损耗为0 dB时，误差仍在1 dB范围内。

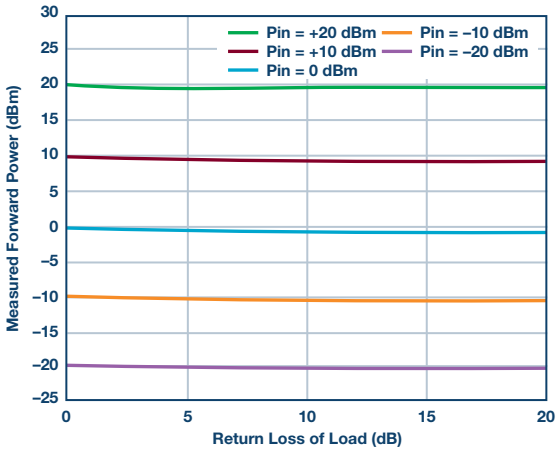


图13. 测得的正向功率与施加的功率和负载的回波损耗之间的关系，在1 GHz下测量。

图14中，ADL5920用于测量负载的回波损耗，频率同样为1 GHz。将一个已知回波损耗施加于RF_{OUT}端口。测量VRMSF和VRMSR，并反推回报损耗。

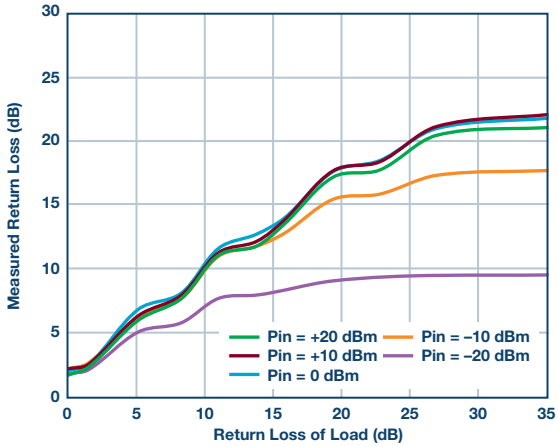


图14. 测得的回波损耗与施加的回波损耗和RF功率的关系，在1 GHz下测量

关于此图，有几点需要注意。首先，可以看到，随着回波损耗的改善，ADL5920测量回波损耗的能力下降。这是因为器件具有方向性。其次，请注意测量精度如何随着驱动功率下降而降低。这是因为ADL5920板载RMS检测器的检测范围和灵敏度有限所致。第三点与迹线中的明显波纹有关。这是由于每次测量都是在单一回波损耗阶段进行的。如果在所有回波损耗阶段重复测量，则会产生一系列曲线，其垂直宽度将大致等于波纹的垂直宽度。

应用

凭借在线测量RF功率和回波损耗的能力，ADL5920可用于多种应用。其小尺寸意味着它可以置身于许多电路中，而不会对空间造成太大影响。典型应用包括在线RF功率监测(RF功率水平可高达30 dBm，其中插入损耗不重要)。回波损耗测量功能通常用于需要监测RF负载的应用。这可以是一个简单的电路，用于检查天线是否遭到损坏或断裂(即灾难性故障)。但是，ADL5920也可在材料分析应用中测量标量回波损耗。这最适合频率低于大约2.5 GHz的应用，其中方向性(从而测量精度)大于15 dB。

ADL5920评估板有两种外形尺寸，如图15所示。左侧所示为传统评估板，检测器输出电压可通过夹式引线和SMA连接器提供。该评估板还包含一条校准路径，可用于校准FR4板的插入损耗。

右侧所示的评估板集成度更高，包含一个4通道12位ADC(AD7091R-4)。此评估板可连接ADI公司的SDP-S USB接口板，其包含的PC软件可计算RF功率和回波损耗，以及执行基本功率校准例行程序。

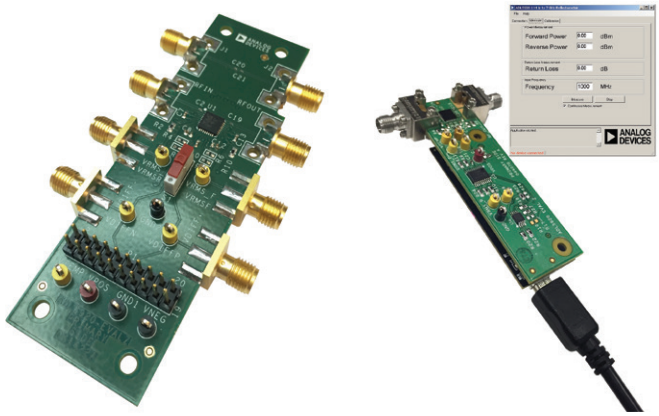


图15. ADL5920评估板选择

参考文献

[1]Doug Jorgesen和Christopher Marki。*方向性与VSWR测量：了解回波损耗测量*。Marki Microwave，2012。

[2]Guillermo Gonzalez。*微波晶体管放大器分析与设计*。Prentice-Hall，1984。

[3]Eamon Nash。“*理解、操作并实现基于二极管的集成式RF检波器接口*。”ADI公司，2015年11月。

致谢

感谢Steve Boyle提供深思熟虑的分析和建设性意见，感谢Rob Hicks创建评估板。此外，我们永远感谢Peter Kearney所做的全部测量工作。



Eamon Nash

Eamon Nash [eamon.nash@analog.com]是ADI公司应用工程总监。他已在ADI公司工作28年，担任过涉及混合信号、精密和RF产品的不同现场应用支持和工厂职位。他目前在ADI公司的RF产品部门工作，专注于RF功率测量、相控阵雷达和毫米波成像。他拥有爱尔兰利默里克大学电气工程学士学位。



Eberhard Brunner

Eberhard Brunner [eberhard.brunner@analog.com]是ADI公司资深设计工程师，拥有加州大学伯克利分校电气工程学士学位(1988)和俄勒冈研究所电气工程硕士学位(1995)。他还是圣克拉拉大学的校友。从加州大学伯克利分校毕业后，他曾在微波无线电公司Harris Farinon担任调制解调器设计工程师。1991年，他搬到俄勒冈州，加入ADI公司西北实验室，向ADI研究员Barrie Gilbert汇报工作。从那时起，他一直担任技术员和应用工程师，主要从事设计工作，同时提供产品工程和营销支持。他的专长领域是非线性模拟设计、RF功率检测、医学成像和微波设计。他目前在加州圣巴巴拉的以太网供电(PoE)设计部工作。他拥有10项已授权专利。

单个2 MHz升降压型控制器能驱动整个LED车前灯组，并且满足CISPR 25 Class 5 EMI规格要求

作者：**Keith Szolusha**

分享至

汽车LED前照灯组将远光灯和近光灯、昼间行驶灯、有时还包括信号灯和示宽灯整合为单个车前灯组。该灯组的组件会具有迥然相异的驱动器要求，包括电压和电流要求、拓扑、功率级别或独特的调光功能。满足各种要求常常意味着需采用单独的驱动器解决方案。使用多个驱动器不仅使物料清单(BOM)和生产过程复杂化，而且还会导致难以满足EMI标准。每个额外的驱动器都会将其高频信号添加至交织混杂的EMI，从而使EMI认证、故障排除和缓解工作变得复杂。

虽然每种汽车款式和型号的车前灯组可以配备富有创造性的各种LED电流和电压，但是它们通常最高达到30 W总值。考虑到这一点，似乎应该有很多可满足灯组中每个灯串之功率和功能要求的驱动器。然而现实情况是并没有。这样的驱动器必须接受相对较宽的电池电压范围，并采用一种升降压拓扑将其转换为各种各样的灯串电压。它必须具有小巧和通用的特点，以便容易地安装到灯组十分受限的空间之中，并产生极低的EMI，从而尽量地减少研发工作量并免除增设昂贵EMI金属屏蔽外壳的需要。而且，它还应该是高效率的。Power by Linear LT8391A 2 MHz升降压型控制器在满足所有上述要求方面具有独特性，可驱动整个车前灯组，而且还是仅采用单个控制器。

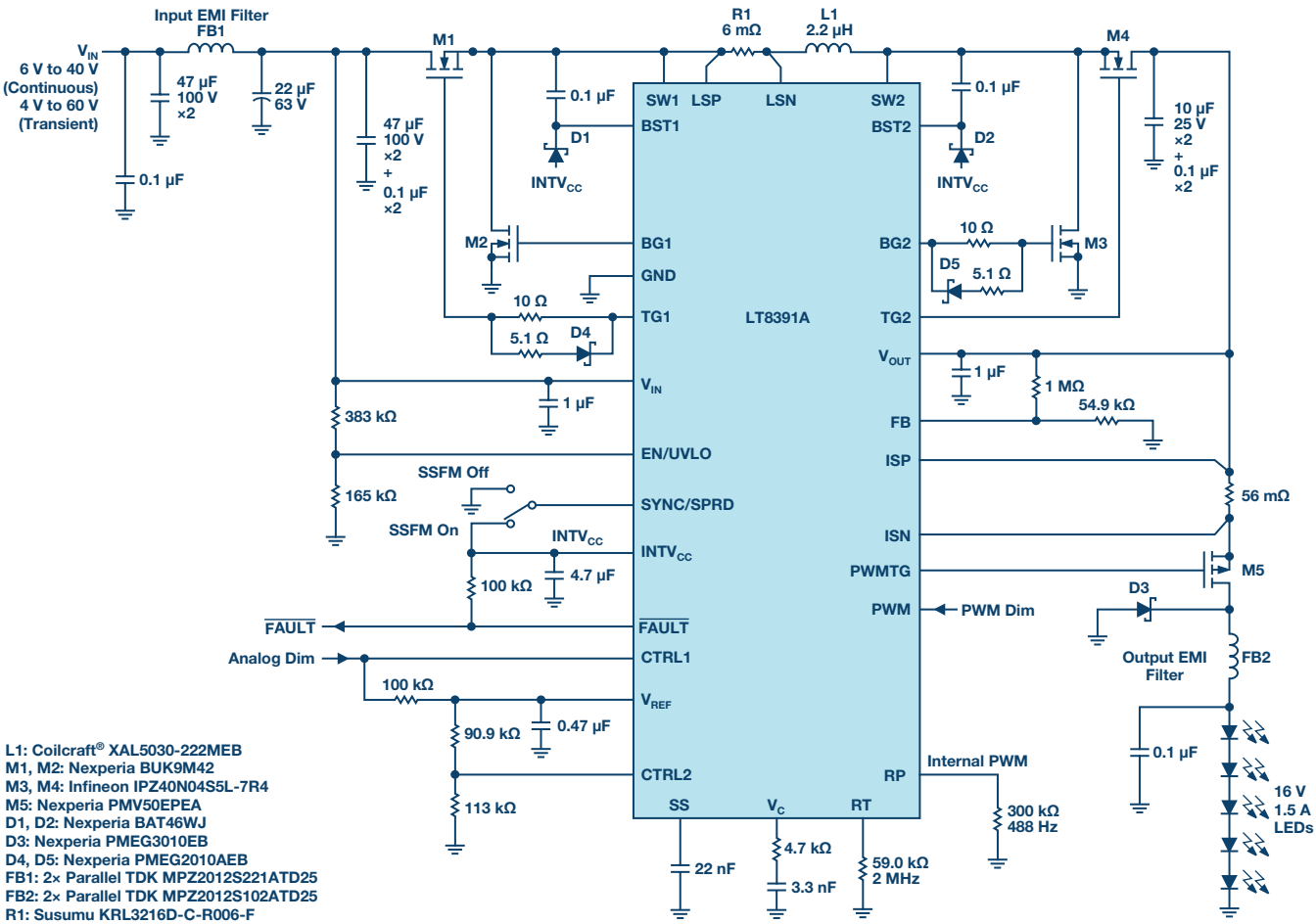


图1. LT8391A 2 MHz 16 V、1.5 A汽车升降压型LED驱动器达到CISPR 25 Class 5 EMI规格要求

具低EMI的LT8391A 2 MHz同步控制器

LT8391A是同类产品中首个用于LED电流调节的2 MHz升降压型控制器。LT8391A非常高的2 MHz开关频率允许使用单个小电感器，并实现面向高功率LED应用的小巧总解决方案尺寸。与那些将电源开关内置在IC封装之中的单片式转换器不同，诸如LT8391A等控制器能够以高得多的峰值电流(比如 10 A)驱动外部电源开关。这种峰值电流将会烧毁典型集成化转换器的小型IC封装。相比之下，采用外部3 mm x 3 mm同步MOSFET的控制器则能提供高得多的功率。这些MOSFET可与热环路电容器一起布置在狭小的空间以实现非常低的EMI。这种独特的峰值开关电流检测放大器架构把检测电阻器布设在功率电感器的旁边(位于至关紧要的输入和输出热环路的外部)，这也降低了EMI。可选的扩展频谱频率调制(SSFM)进一步降低了该控制器的EMI。

图1中的2 MHz LT8391A 16 V、1.5 A(24W)升降压型LED驱动器拥有高达93%的效率，其采用了EMI滤波器和栅极电阻器，如图2所示。当去掉可选的EMI组件后，效率可提高1%–2%。这款设计采用小型3 mm x 3 mm MOSFET和单个高功率电感器，即使在24 W功耗条件下，该转换器的温升也是很低的。在12 V输入时，所有组件在室温基础上的温升均不超过25°C。在6 V输入时，在采用标准的4层PCB且没有散热器或冷却气流的情况下，最热组件的温升小于50°C。当面对低至4.3 V的输入瞬变时，该转换器可在24 W满负载条件下持续运行；或者通过模拟或PWM调光减小负载电流(当输入长时间下降时)。8 A – 10 A 检测电阻器使得可在低 V_{IN} 条件下提供该高功率。

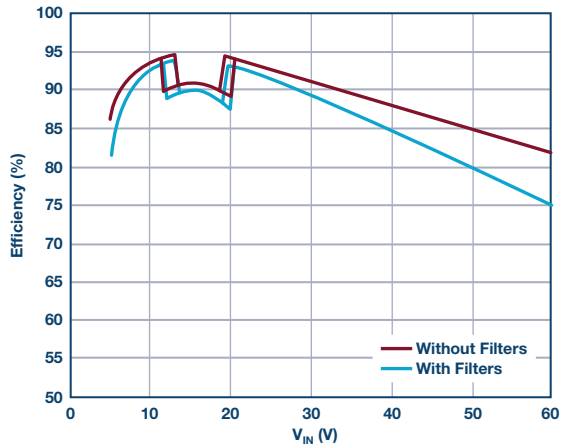


图2. 图1所示LED驱动器解决方案的效率。采用16 V、1.5 A演示电路DC2575A LED驱动器所做的测量(带和不带可选的EMI组件)

LT8391A具备最新的PWM调光特性和开路LED故障保护功能。这款同步升降压型控制器可调节流过一串LED的电流，这些LED的电压可能位于(也可能不位于)输入电压范围(例如：9 V – 16 V汽车电池或18 V – 32 V货车电池) 之内。它可在低至4.0 V的冷车发动输入情况下运行，并能承受高达60 V的输入瞬态电压。LT8391A在120 Hz提供高达2000:1 PWM调光比，而且它能够使用其内部PWM调光信号发生器(无需从外部提供的PWM 时钟)以实现高达128:1的准确调光比。

针对汽车应用的CISPR 25 EMI规格

图1中所示的2 MHz LT8391A LED驱动器专为汽车前照灯而设计。它采用AEC-Q100组件并满足CISPR 25 Class 5辐射EMI标准。扩展频谱频率调制(SSFM)降低了EMI，而且还在执行PWM调光的同时无闪烁地运行，如图7所示。其小型电感器以及特别小的输入和输出EMI滤波器突显了LT8391A的小尺寸。对于2 MHz转换器而言，不需要使用大型LC滤波器，而是仅采用了小的铁氧体磁珠以降低高频EMI。

汽车EMI要求不容易通过高功率转换器得到满足。布设在大面积PCB上且靠近大电容器的高功率开关和电感器会形成不希望有的热环路，特别是在包括一个大检测电阻器的时候。独特的LT8391A升降压型架构将检测电阻器从降压和升压开关对热环路中去除，因而实现了低EMI。

图3和图4给出了图1所示24 W LED驱动器的实测EMI。尽管该控制器具有2 MHz工作频率和24 W功率，但是这款升降压型LED驱动器仍然达到CISPR 25 Class 5辐射和传导EMI规格要求。Class 5规格是大多数汽车EMI测试的最严格要求和目标。不能达到Class 5 EMI规格要求的转换器要么在设计时置于汽车电路之外，要么就必须装入大的金属材料EMI屏蔽罩内。虽然屏蔽罩体积庞大并不会产生装配问题，但是增设屏蔽罩所花费的成本却是昂贵的。

面向多光束LED灯应用的升降压

LED车前灯组可以是兼具创新性和艺术创意的。远光灯和近光灯可以与时髦漂亮和独具特色的昼间行驶灯(DRL)"包裹"在一起。因为昼间行驶灯仅在远光灯和近光灯关闭时才会需要，故可使用单个LED驱动器给远光和近光LED或昼间行驶灯供电。只有在LED驱动器具有灵活的输入至输出比、而且能对输入至输出电压进行升压和降压的情况下，这种做法才会奏效。升降压型设计可满足该要求。

图5中的多光束LT8391A升降压型LED驱动器能够驱动3 V 至 34 V的LED灯串电压。这使其能驱动一个近光灯串，并通过给近光灯串添加LED以创建一个远光灯。这同一个驱动器在切换之后，可驱动一个电压较高、但电流较低的DRL。从仅限近光灯的LED切换至近光 / 远光灯组合式灯串，就不会在输出电压或LED电流上产生尖峰脉冲，如图6a所示。LT8391A能够在升压、4开关升降压、和降压工作区之间平稳地转换。对于转换器来说，从LED数量少的灯串变更至LED数量多的灯串时不产生LED尖峰脉冲会是棘手的难题，然而这款多光束LED灯电路则能轻松地做到这一点。另外，从远光灯与近光灯组合模式切换至仅限近光灯模式也是非常干净的，未产生任何有害的LED尖峰脉冲，如图6b所示。

当切换至DRL灯串或从DRL灯串切换至其他灯串时，情况同样如此。图6c示出了怎样关闭近光灯并平稳地将DRL连接至输出电容器。甚至当LED电流从1 A(远光灯和近光灯)变至700 mA(含8个LED的DRL)时也未发生任何问题。还可以添加其他的饰物LED或信号LED，而且可使DRL闪烁以作为信号灯。图6d示出了怎样利用内部设定的PWM发生器对DRL进行PWM调光，然后当黑暗降临时平稳地切换至近光灯。

汽车环境需要能够在出现LED短路和开路情况时正常工作的强大解决方案。LED短路和开路情况利用图6所示的多光束LED灯解决方案安全地处理，并通过转换器的故障标记进行报告。

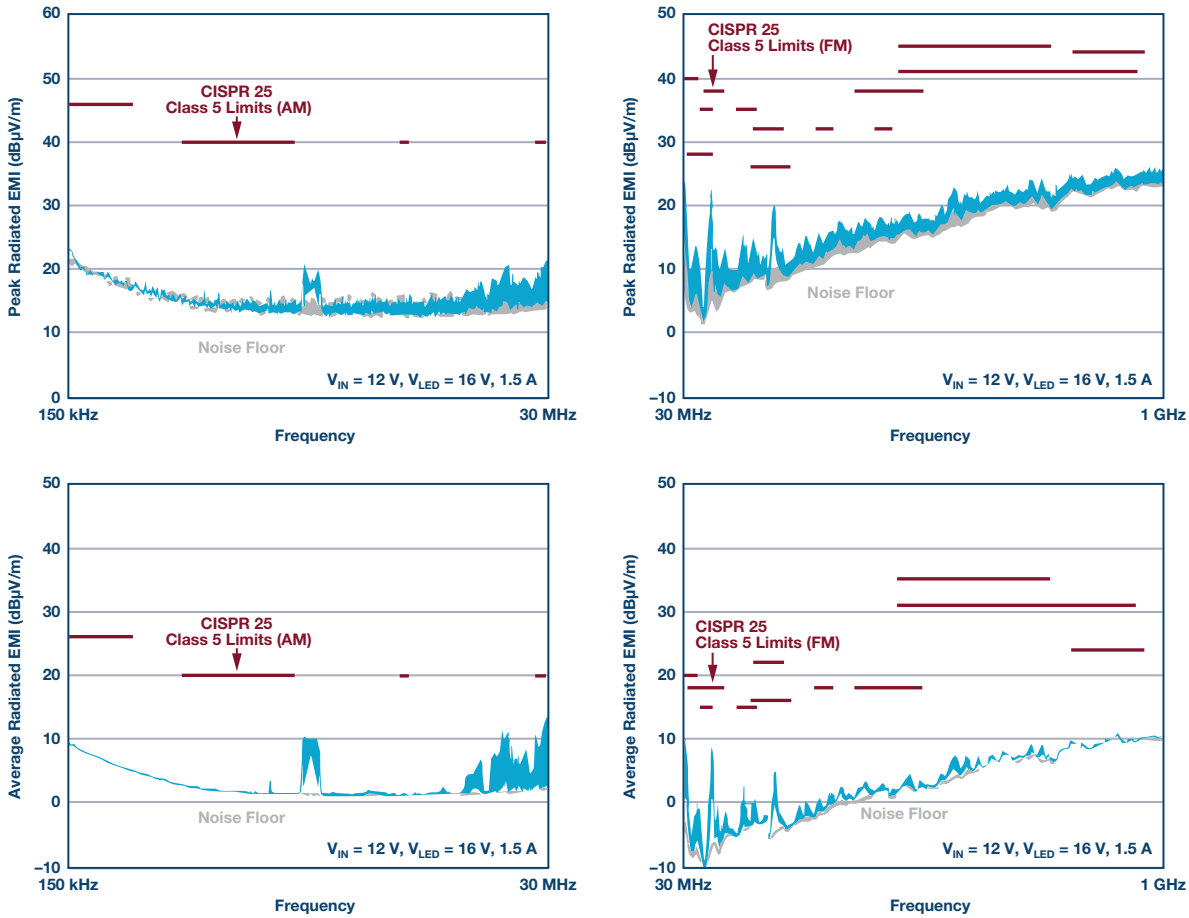


图3. LT8391A演示电路DC2575A达到CISPR 25 Class 5汽车辐射EMI规格要求

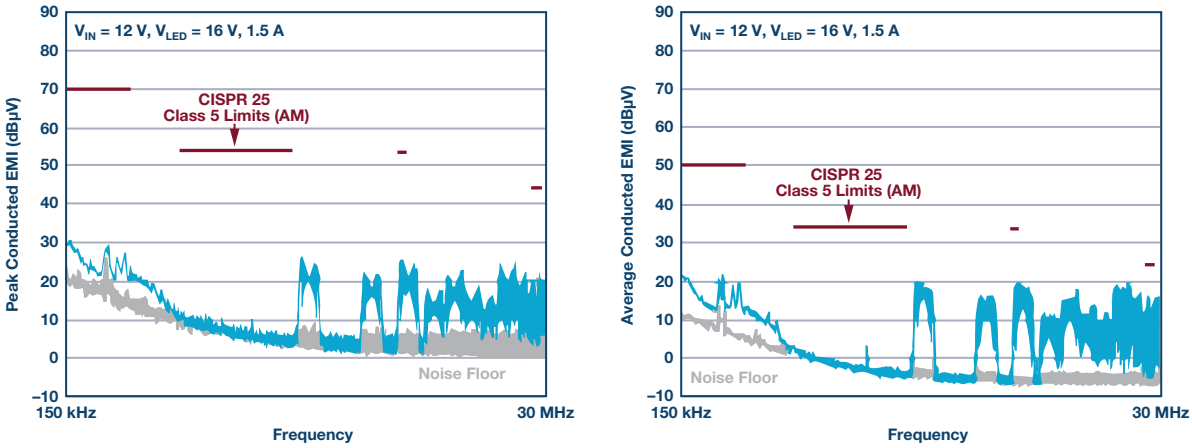


图4. LT8391A演示电路DC2575A达到CISPR 25 Class 5汽车传导EMI规格要求

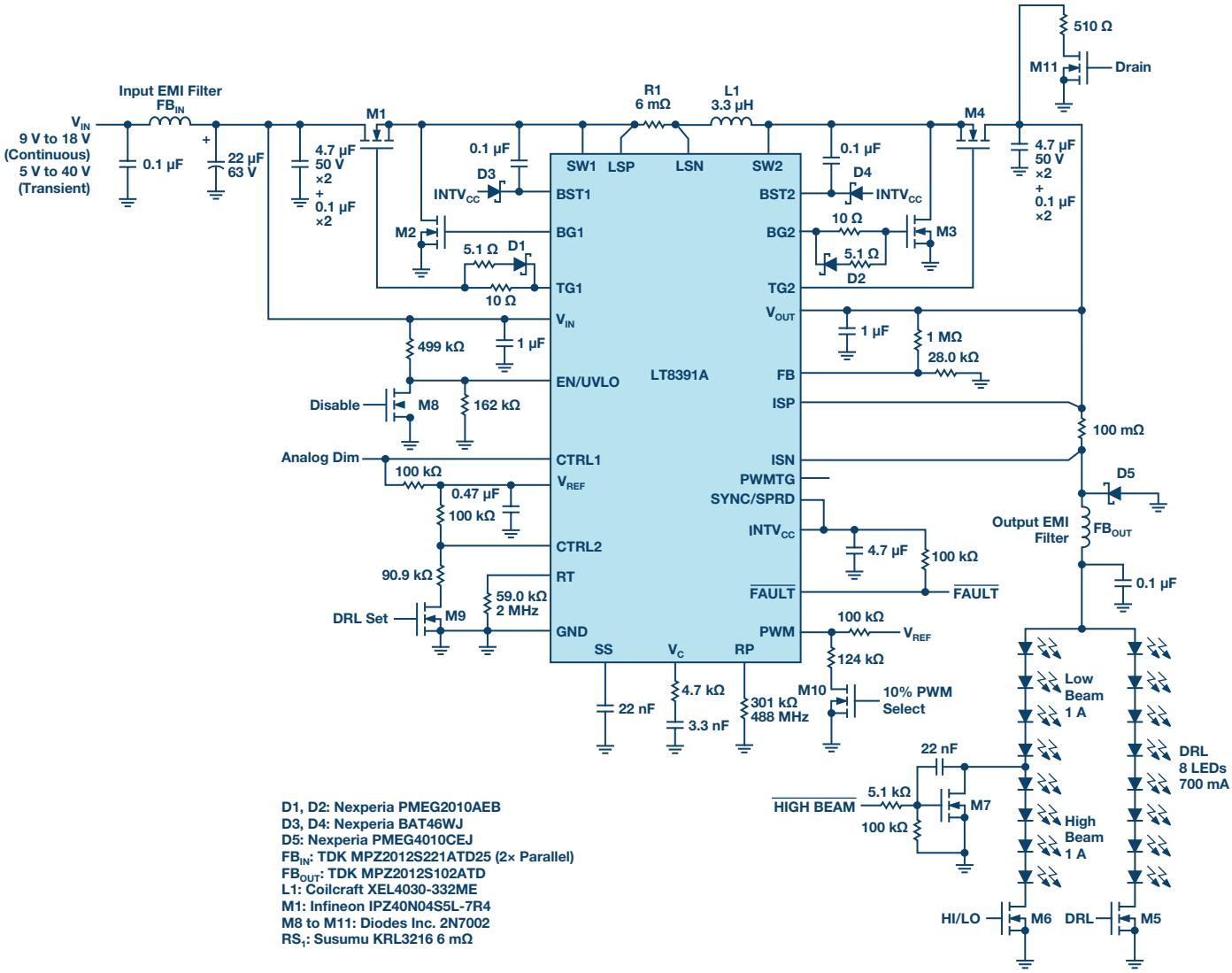


图5. 用于近光灯、远光灯和DRL灯的LT8391A多光束LED车前灯组解决方案

FE和QFN封装适合狭小紧凑的安放设计空间

LT8391A可提供4 mm x 5 mm 28引线QFN封装(对于小尺寸应用要求)和28引线TSSOP FE封装(针对汽车设计)。这两种封装均具有耐热性能增强型GND焊盘，以利于消散内部INTVCC LDO因较高电压所产生的功耗。

这些转换器的内部LDO INTVCC稳压器能够以2 MHz频率和大约15 nC栅极电荷驱动4个同步MOSFET。图7示出了LT8391A FE 2 MHz 16 V、1.5 A演示电路(DC2575A，基于图1所示的设计)的小尺寸。对于该高功率的通用型应用，仅需要单个5 mm x 5 mm电感器。

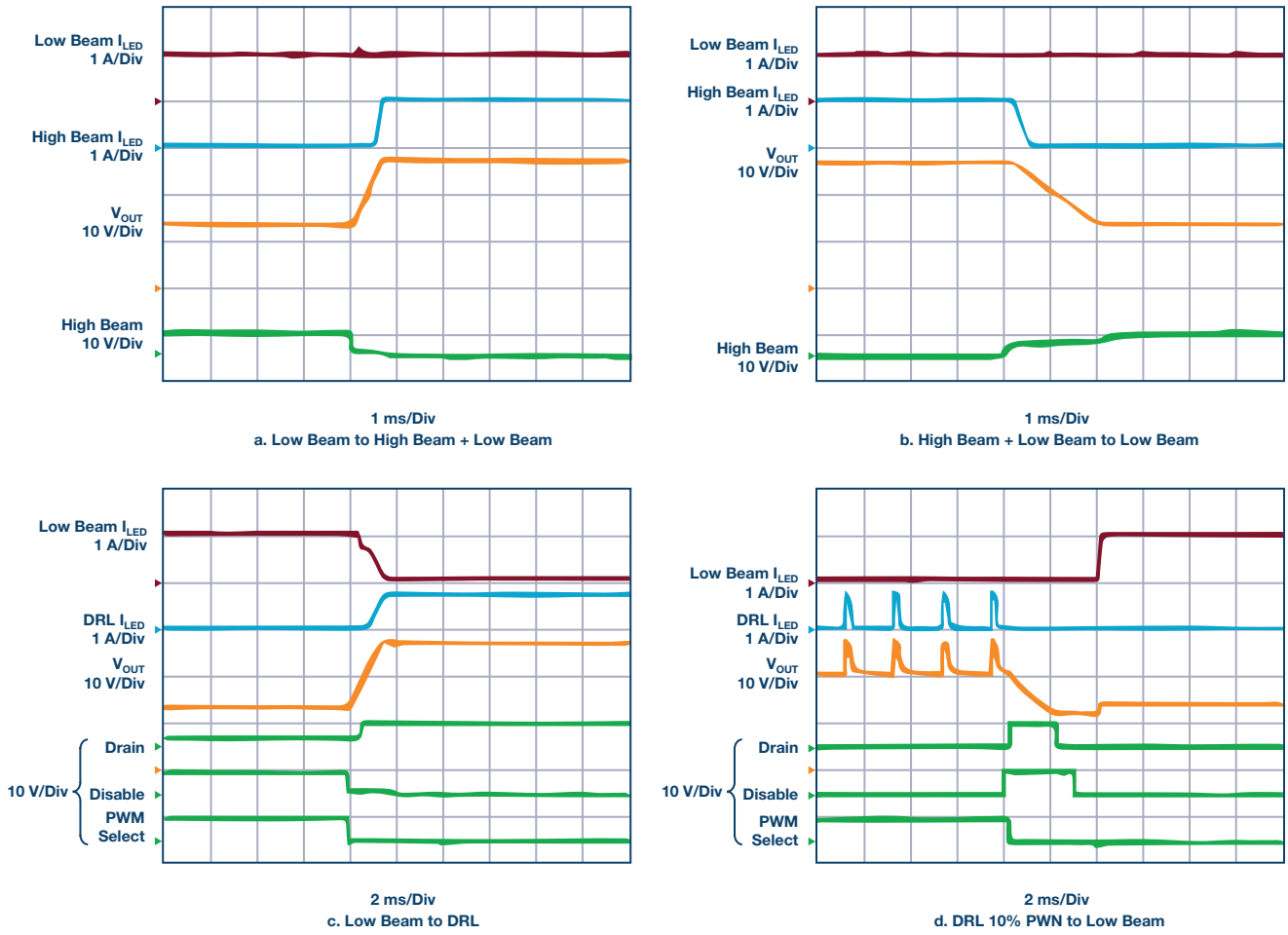


图6. 波形显示：对于图5所示的LT8391A多光束LED灯应用电路，在远光灯+近光灯、近光灯和DRL LED灯串之间可实现平稳的切换

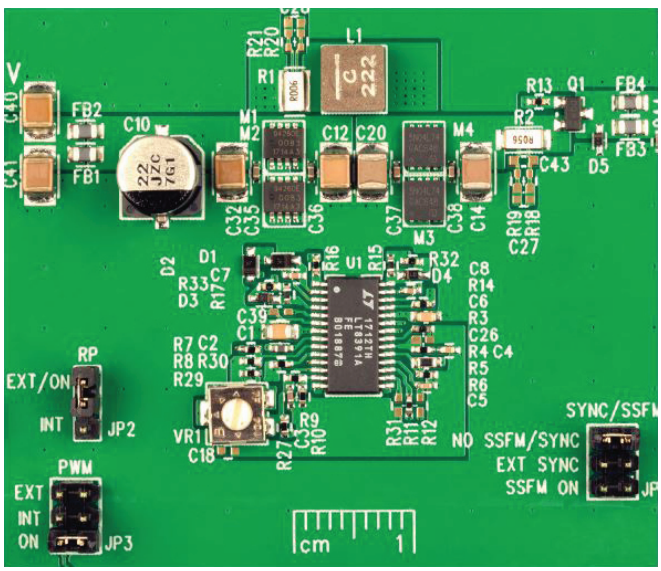


图7. 紧凑型解决方案：采用LT8391A的2 MHz演示电路DC2575A以1.5 A,驱动16V LED

结论

LT8391A 2 MHz、60 V升降压型LED驱动器控制器可为汽车前照灯中的LED灯串供电。该器件的特点包括其低EMI四开关架构和扩展频谱频率调制功能，用于满足CISPR 25 Class 5 EMI规格要求。独特的高开关频率允许其在高于AM频段的频率条件下工作，因而所需的EMI滤波非常之少。其小尺寸和通用性使之能够在具有各种电压和电流的车前灯组LED灯串中使用。

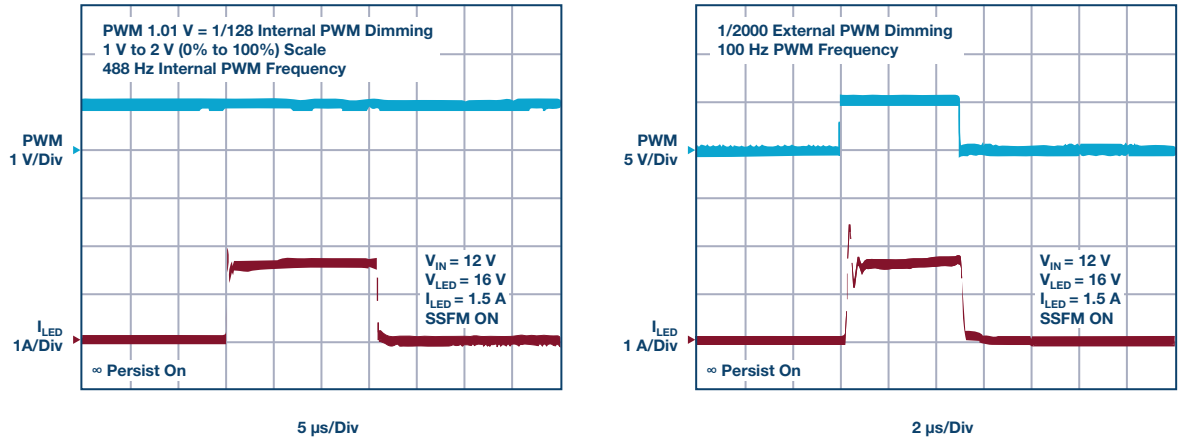
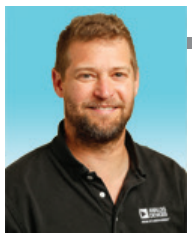


图8. 采用内部和外部PWM选项的PWM调光；分别为1%和0.05%

表1. 用于汽车电源解决方案的高功率、高效率同步升降压型控制器

	LT8390	LT8390A	LT8391	LT8391A
稳压器	x	x	x	
LED驱动器			x	x
汽车输入 / 输出范围至 60 V	x	x	150 kHz 至 650 kHz	x
开关频率	150 kHz 至 650 kHz	600 kHz 至 2 MHz	x	600 kHz 至 2 MHz
用于实现低EMI的优化热环路布局	x	x	x	x
用于实现低EMI的扩展频谱频率调制	x	x	450 W+	x
输出功率	450 W+	50 W+	4 mm x 5 mm 28引线QFN封装，28引线TSSOP FE封装	50 W+
封装	4 mm x 5 mm 28引线QFN封装，28引线TSSOP FE封装	4 mm x 5 mm 28引线QFN封装，28引线TSSOP FE封装		4 mm x 5 mm 28引线QFN封装，28引线TSSOP FE封装

Keith Szolusha是位于加利福尼亚州苗必达的ADI公司(前凌力尔特公司)LED驱动器应用经理。他于1997年和1998年获得马萨诸塞州剑桥麻省理工学院的电子工程学士和电子工程硕士学位，专攻技术写作。



Keith Szolusha

非常见问题解答—第153期
高速ADC电源域

作者：Umesh Jayamohan

分享至

问：

高速ADC为什么有如此多电源域？



答：

在采样速率和可用带宽方面，当今的射频模数转换器(RF ADC)已有长足的发展。其中还纳入了大量数字处理功能，电源方面的复杂性也有提高。那么，当今的RF ADC为什么有如此多不同的电源轨和电源域？

为了解电源域和电源的增长情况，我们需要追溯ADC的历史脉络。早在ADC不过尔尔的时候，采样速度很慢，大约在数十MHz内，而数字内容很少，几乎不存在。电路的数字部分主要涉及如何将数据传输到数字接收逻辑——专用集成电路(ASIC)或现场可编程门阵列(FPGA)。用于制造这些电路的工艺节点几何尺寸较大，约在180 nm或更大。使用单电压轨(1.8 V)和两个不同的域(AVDD和DVDD，分别用于模拟域和数字域)，便可获得足够好的性能。

随着硅处理技术的改进，晶体管的几何尺寸不断减小，意味着每mm2面积上可以容纳更多的晶体管(即特征)。但是，人们仍然希望ADC实现与其前一代器件相同(或更好)的性能。现在，ADC的设计采取了多层面方法，其中：

- 采样速度和模拟带宽必须得到改善
- 性能必须与前一代相同或更好
- 纳入更多片内数字处理功能来辅助数字接收逻辑

下面将进一步讨论上述各方面特性以及它们对芯片设计构成怎样的挑战。

需要高速度

在CMOS技术中，提高速度(带宽)的最普遍方法是让晶体管几何尺寸变小。使用更精细的CMOS晶体管可降低寄生效应，从而有助于提高晶体管的速度。晶体管速度越快，则带宽越宽。数字电路的功耗与开关速度有直接关系，与电源电压则是平方关系，如下式所示：

$$P = C_{LD} \times V^2 \times f_{SW}$$

其中：

P 为功耗

C_{LD} 为负载电容

V 为电源电压

f_{SW} 为开关频率

几何尺寸越小，电路设计人员能实现的电路速度就越快，而每MHz每个晶体管的功耗与上一代相同。以AD9680和AD9695为例，二者分别采用65 nm和28 nm CMOS技术设计而成。在1.25 GSPS和1.3 GSPS时，AD9680和AD9695的功耗分别为3.7 W和1.6 W。这表明，架构大致相同时，采用28 nm工艺制造的电路功耗比采用65 nm工艺制造的相同电路的功耗要低一半。因此，在消耗相同功率的情况下，28 nm工艺电路的运行速度可以是65 nm工艺电路的一倍。AD9208很好地说明了这一点。

裕量最重要

对更宽采样带宽的需求促使业界采用更精细的几何尺寸，不过对数据转换器性能(如噪声和线性度)的期望仍然存在。这对模拟设计提出了独特的挑战。转向更小几何尺寸的一个不希望出现的结果是电源电压降低，这使得开发模拟电路以工作在高采样速率并保持相同的噪声/线性度性能所需的裕量大大降低。为了克服这一限制，电路设计有不同的电压轨以提供所需的噪声和线性度性能。例如在AD9208中，0.975 V电源为需要快速切换的电路供电。这包括比较器和其他相关电路，以及数字和驱动器输出。1.9 V电源为基准电压和其他偏置电路供电。2.5 V电源为输入缓冲器供电，而要在高模拟频率下工作，裕量必须很高。没有必要为缓冲器提供2.5 V电源，它也可以工作在1.9 V。电压轨的降低会导致线性度性能下降。数字电路不需要裕量，因为最重要的参数是速度。所以，数字电路通常以最低电源电压运行，以获取CMOS开关速度和功耗的优势。这在新一代ADC中很明显，最低电压轨已降低至0.975 V。下面的表1列出了若干代的一些常见ADC。

表1. 产品比较

产品	采样速率 (MSPS)	工艺节点 (nm)	电压轨(V)	域
AD9467	250	180	1.8, 3.3	AVDD1, AVDD2, AVDD3, DRVDD
AD9625	2500	65	1.3, 2.5	AVDD1, AVDD2, DRVDD1, DRVDD2, DVDD1, DVDD2, DVDDIO, SPI_VDDIO
AD9208	3000	28	0.975, 1.9, 2.5	AVDD1, AVDD2, AVDD3, AVDD1_SR, DVDD, DRVDD1, DRVDD2, SPIVDD

隔离是关键

随着业界转向深亚微米技术和高速开关电路，功能集成度也在提高。以AD9467和AD9208为例，AD9467采用180 nm BiCMOS工艺，而AD9208采用28 nm CMOS工艺。当然，AD9467的噪声密度约为-157 dBFS/Hz，而AD9208的噪声密度约为-152 dBFS/Hz。但是，如果拿数据手册做一个简单的计算，取总功耗(每通道)并将其除以分辨率和采样速率，就可以看到AD9467的功耗约为330 µW/位/MSPS，而AD9208仅为40 µW/位/MSPS。与AD9467相比，AD9208具有更高的采样速率(3 GSPS对250 MSPS)和高得多的输入带宽(9 GHz对0.9 GHz)，并且集成了更多数字特性。AD9208可以完成所有这些工作，每位每MSPS的功耗只有大约1/8。每位每MSPS的功耗不是工业标准指标，其在本例中的作用是突出ADC设计中使用更小尺寸工艺的好处。当超快电路在非常近的距离内运行时，各个模块之间总会存在耦合或震颤的风险。为了改善隔离，设计者必须考虑各种耦合机制。最明显的机制是通过共享电源域。如果电源域尽可能远离电路，那么共享同一电压轨(AD9208为0.975 V)的数字电路和模拟电路发生震颤的可能性将非常小。在硅片中，电源已被分开，接地也是如此。封装设计继续贯彻了这种隔离电源域处理。由此所得的同一封装内不同电源域和地的划分，如表2所示，其以AD9208为例。

表2. AD9208电源域和接地域

电压域	电压轨(V)	说明
AVDD1	0.975	模拟电源
AVDD1_SR	0.975	SYSREF的模拟电源
AVDD2	1.9	模拟电源
AVDD3	2.5	模拟电源
DVDD	0.975	数字电源
DRVDD1	0.975	数字驱动器电源
DRVDD2	1.9	数字驱动器电源
SPIVDD	1.9	SPI的模拟电源
AGND	—	AVDD1、AVDD1_SR、AVDD2和AVDD3的模拟接地回路
AGND[1]	—	时钟域的接地基准
AGND[2]	—	SYSREF±接地基准
AGND[3]	—	隔离地；芯片上模拟域和数字域之间的隔离栅
DGND	—	DVDD和SPIVDD的数字接地回路
DRGND	—	DRVDD1和DRVDD2的数字驱动器接地回路

显示AD9208各不同域的引脚排列图如图1所示。

这可能会让系统设计人员惊慌失措。乍一看，数据手册给人的印象是这些域需要分开处理以优化系统性能

AD9208

	1	2	3	4	5	6	7	8	9	10	11	12	13	14
A	AVDD2	AVDD2	AVDD1	AVDD1[1]	AVDD1[1]	AGND[1]	CLK+	CLK−	AGND[1]	AVDD1[1]	AVDD1[1]	AVDD1	AVDD2	AVDD2
B	AVDD2	AVDD2	AVDD1	AVDD1[1]	AGND	AGND[1]	AGND[1]	AGND[1]	AGND[1]	AGND	AVDD1[1]	AVDD1	AVDD2	AVDD2
C	AVDD2	AVDD2	AVDD1	AGND	AGND	AGND[1]	AGND[1]	AGND[1]	AGND[1]	AGND	AGND	AVDD1	AVDD2	AVDD2
D	AVDD3	AGND	AGND	AGND	AGND	AGND	AGND[1]	AGND[1]	AGND	AGND	AGND	AGND	AGND	AVDD3
E	VIN−B	AGND	AGND	AGND	AGND	AGND[2]	AVDD1_SR	AGND[2]	AGND	AGND	AGND	AGND	AGND	VIN−A
F	VIN+B	AGND	AGND	AGND	AGND	AGND	SYSREF+	SYSREF−	AGND	AGND	AGND	AGND	AGND	VIN+A
G	AVDD3	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AVDD3
H	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	VREF	AGND	AGND	AGND	AGND
J	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND	AGND
K	AGND[2]	AGND[2]	AGND[2]	AGND[2]	AGND[2]	AGND[2]	AGND[2]	AGND[2]	AGND[2]	AGND[2]	AGND[2]	AGND[2]	AGND[2]	AGND[2]
L	DGND	GPIO_B1	SPIVDD	FD_B/ GPIO_B0	CSB	SCLK	SDIO	PDWN/ STBY	FD_A/ GPIO_A0	SPIVDD	GPIO_A1	DGND	DGND	DGND
M	DGND	DGND	DRGND	DRGND	DRVDD1	DRVDD1	DRVDD1	DRVDD1	DRGND	DRGND	DRVDD1	DRGND	DRVDD2	DVDD
N	DVDD	DVDD	DRGND	SERDOUT7+	SERDOUT6+	SERDOUT5+	SERDOUT4+	SERDOUT3+	SERDOUT2+	SERDOUT1+	SERDOUT0+	DRGND	SYNCINB+	DVDD
P	DVDD	DVDD	DRGND	SERDOUT7−	SERDOUT6−	SERDOUT5−	SERDOUT4−	SERDOUT3−	SERDOUT2−	SERDOUT1−	SERDOUT0−	DRGND	SYNCINB−	DVDD

[1]Denotes Clock Domain.
[2]Denotes SYSREF± Domain.
[3]Denotes Isolation Domain.

图1. AD9208引脚配置(顶视图)

看不到尽头?

情况并不像看起来那么可怕。数据手册的目的仅仅是唤起人们对各种敏感域的关注，让系统设计人员可以关注PDN(电源输送网络)设计，对其进行适当的划分。共享相同供电轨的大多数电源域和接地域可以合并，因此PDN可以简化。这导致BOM(物料清单)和布局得以简化。根据设计约束，图2和图3显示了AD9208的两种PDN设计方法。

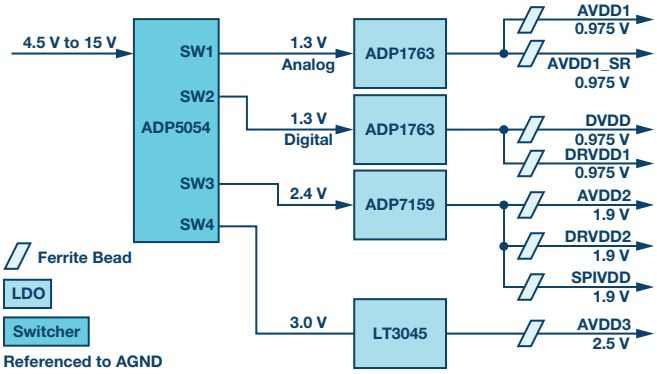


图2. AD9208引脚配置（顶视图）

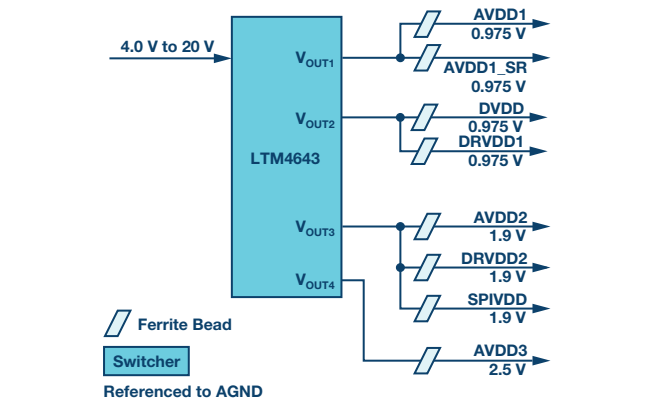


图3. AD9208 PDN，DC-DC转换器为所有域供电。

通过充分滤波和布局分离，各个域可以合理布置，使得ADC性能最大化，同时降低BOM和PDN复杂性。各接地域采用开尔文连接方法也会改善隔离。从网表角度来看，仍然只有一个GND网。电路板可以划分为不同接地域以提供充分的隔离。在AD9208的评估板AD9208-3000EBZ中，不同接地分区在第9层上形成开尔文连接。图4所示为10层PCB(印刷电路板)AD9208-3000EBZ的横截面，其显示了不同GND连接。

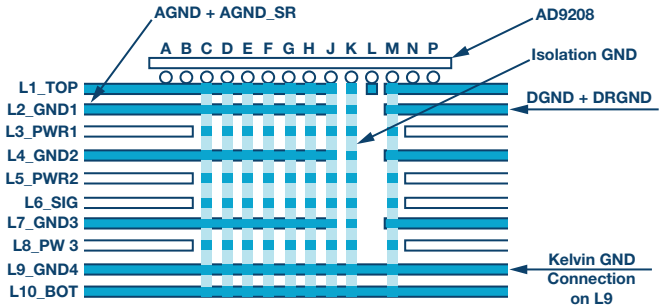
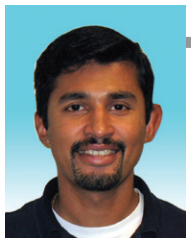


图4. AD9208下方的AD9208-3000 EBZ PCB横截面

所以，这不是世界末日?

绝对不是。仅仅因为AD9208数据手册显示了所有这些域，并不意味着它们在系统板上必须全部分离。了解系统性能目标和ADC目标性能对优化ADC的PDN起着重要作用。在电路板上使用智能分区以减少不必要的接地回路，是将各个域之间的串扰降到最低的关键。适当地共享电源域，同时满足隔离要求，将能简化PDN和BOM。

Umesh Jayamohan [umesh.jayamohan@analog.com]是ADI公司高速转换器部(位于北卡罗来纳州格林斯博罗)的应用工程师，于2010年加入ADI公司。Umesh于1998年获得印度喀拉拉大学电气工程学士学位，于2002年获得美国亚利桑那州立大学电气工程硕士学位。



Umesh Jayamohan

该作者的其他文章：

说变就变！使用DDC魔法乘以ADC的虚拟通道数

第51卷，第2期

高速放大器测试需要足够多的数学知识来正确使用巴伦！

作者：David Brandon和Rob Reeder

分享至

摘要

在大多数实验室环境中，信号发生器、频谱分析仪等设备是单端仪器，用于测量高速差分放大器驱动器和转换器的失真。因此，测量放大器驱动器的偶数阶失真(例如二次谐波失真HD2，甚至阶偶数阶交调失真或IMD2)需要额外的器件，如巴伦和衰减器等，作为整体测试设置的一部分，以将单端测试仪器连接到放大器驱动器的差分输入和输出。本文通过不匹配信号的数学知识揭示了相位不平衡的重要性，并说明了相位不平衡如何导致偶数阶产物的增加(即变得更糟糕！)。本文还将展示了几种不同高性能巴伦和衰减器的权衡如何影响被测放大器的性能指标(即HD2和IMD2)。

数学背景 = 耶！

测试具有差分输入的高速器件(如模数转换器、放大器、混频器、巴伦等)时，幅度和相位不平衡是需要理解的重要指标。

当模拟信号链设计使用500 MHz及以上的频率时，必须非常小心，因为所有器件(无论有源还是无源)在频率范围内都有某种固有不平衡。500 MHz并不是一个奇妙的频率点，只是基于经验，这是大多数器件开始偏离相位平衡的地方。根据器件不同，此频率可能比这低得多或高得多。

我们来仔细看看下面的简单数学模型：

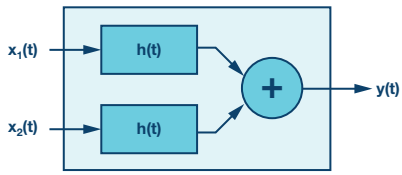


图1. 具有两个信号输入的数学模型。

考虑ADC、放大器、巴伦等或任何将信号从单端转换为差分(或反之)的器件的输入$x(t)$。信号对$x_1(t)$和$x_2(t)$是正弦信号，因此差分输入信号具有如下形式：

$$x_1(t) = k_1 sin(wt)$$
$$x_2(t) = k_2 sin(wt\text{-}180° + p) = -k_2 sin(wt + p) \quad (1)$$

如果不是这样，就因为这些器件的不平衡，ADC的偶数阶失真测试结果在工作频率范围内可能会发生显著变化。

ADC或任何有源器件可以简单地建模为对称三阶传递函数：

$$h(x(t)) = a_0 + a_1 x(t) + a_2 x^2(t) + a_3 x^3(t) \quad (2)$$

那么：

$$y(t) = h(x_1(t)) - h(x_2(t))$$
$$y(t) = a_1[x_1(t) - x_2(t)] + a_2[x_1^2(t) - x_2^2(t)] + a_3[x_1^3(t) - x_2^3(t)] \quad (3)$$

理想情况下没有不平衡，上述简单系统的传递函数可以建模如下：

$x_1(t)$和$x_2(t)$完全平衡时，这些信号具有相同幅度($k_1 = k_2 = k$)，并且恰好180°相差($\varphi = 0°$)。

$$x_1(t) = (k)sin(wt)$$
$$x_2(t) = (-k)sin(wt) \quad (4)$$

$$y(t) = (2a_1 k)sin(wt) + (2a_3 k^3)sin^3(wt) \quad (5)$$

对幂运用三角恒等式并收集频率等信息，我们得到：

$$y(t) = 2\left(a_1 k + \frac{3a_3 k^3}{4}\right)sin(wt) - \left(\frac{a_3 k^3}{2}\right)sin(3wt) \quad (6)$$

这是差分电路的常见结果：理想信号的偶次谐波抵消，而奇次谐波没有抵消。

现在假设两个输入信号的幅度不平衡，但没有相位不平衡。这种情况下，$k_1 \neq k_2$，$\varphi = 0$。

$$x_1(t) = (k_1)sin(wt)$$
$$x_2(t) = (-k_2)sin(wt) \quad (7)$$

把公式7代入公式3，并再次运用幂的三角恒等式。

$$y(t) = \frac{a_2}{2} \times (k_1^2 - k_2^2) + (a_1(k_1 + k_2) + \left(\frac{3a_3}{4}\right) \times (k_1^3 + k_2^3))sin(wt) - \left(\frac{a_2}{2}\right) \times (k_1^2 - k_2^2)cos(2wt) - \left(\frac{a_3}{4}\right) \times (k_1^3 + k_2^3)sin(3wt) \quad (8)$$

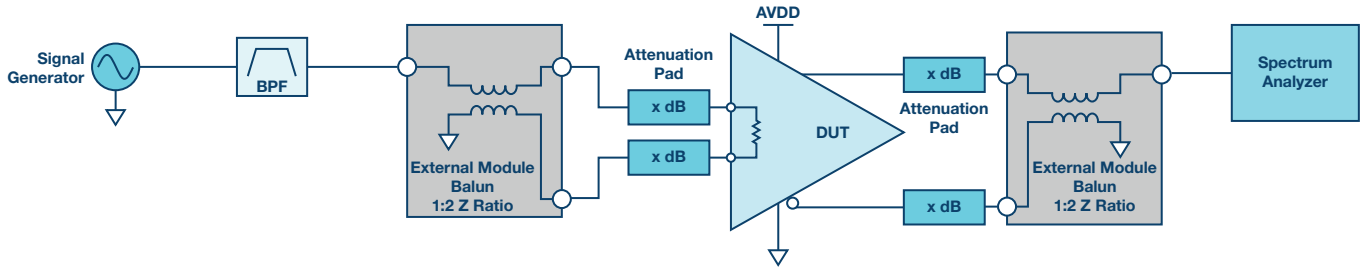


图2. 高速放大器HD2测试设置

我们看到公式8中，二次谐波与幅度k_1和k_2的平方之差成正比，简单来说即：

$$\text{second harmonic } \alpha\ k_1^2 - k_2^2 \tag{9}$$

现在，假设两个输入信号之间相位不平衡，没有幅度不平衡。那么，$k_1 = k_2$，$\varphi \neq 0$。

$$\begin{aligned} x_1(t) &= (k_1)sin(wt) \\ x_2(t) &= (-k_1)sin(wt + p) \end{aligned} \tag{10}$$

把公式10代入公式3并简化——试试看，您能行的！

$$\begin{aligned} y(t) = &\left(a_1k_1 + \frac{3a_3k_1^3}{4}\right) \times (sinwt + sinwt \times \\ &cosp + coswt \times sinp) - \left(\frac{a2k_1^2}{2}\right) \times \\ &(cos2wt - cos2wt \times cos2p + sin2wt \times sin2p) \\ &\left(\frac{a3k_1^3}{4}\right) \times (sin3wt + sin3wt \times cos3p + \\ &cos3wt \times sin3p) \end{aligned} \tag{11}$$

从公式11可知，二次谐波幅值与幅度k的平方成正比。

$$\text{second harmonic } \alpha\ k_1^2 \tag{12}$$

如果回过头比较公式9和公式12，并且假设三角恒等式运用正确，那么可以得出如下结论：二次谐波受相位不平衡影响比受幅度不平衡影响更严重。原因如下：对于相位不平衡，二次谐波与k_1的平方成正比；再看公式12，对于幅度不平衡，二次谐波与k_1和k_2的平方差成正比，或看公式9。由于k_1和k_2大致相等，因此这种差异通常很小，特别是如果将其与平方数进行比较！

测试高速放大器

既然我们清除了障碍，接下来看一个使用案例，如图2所示。这是一幅框图，显示了差分放大器实验中常用的HD2失真测试设置。

乍一看相当简单，但魔鬼隐藏在细节中。图3显示了一组HD2测试结果，其系使用本框图中的所有器件、差分放大器、巴伦、衰减器等得到的。这些测试证明：仅仅用不同方式翻转巴伦方向所导致的细微相位不匹配，便能在HD2扫频中产生不同结果。此设置中有两个巴伦，因此通过颠倒设置一侧或两侧的连接可以创建四种可能的场景。结果如图3所示。

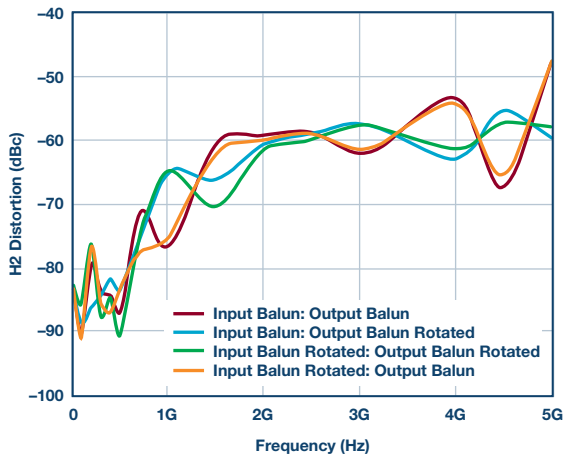


图3. 使用供应商1A巴伦和不同巴伦方向测试HD2性能。

图3揭示的HD2失真曲线方差量证明，需要进一步考察巴伦的性能，特别是相位和幅度不平衡。以下两幅图显示了不同制造商的几款巴伦的相位和幅度不平衡。使用网络分析仪来测量不平衡。

图4和图5中的红色曲线对应于图3中用于采集HD2失真数据的实际巴伦。供应商1A的这款巴伦具有最高带宽和良好的通带平坦度，但在同样的10 GHz频率测试带上，相位不平衡比其他巴伦要差。

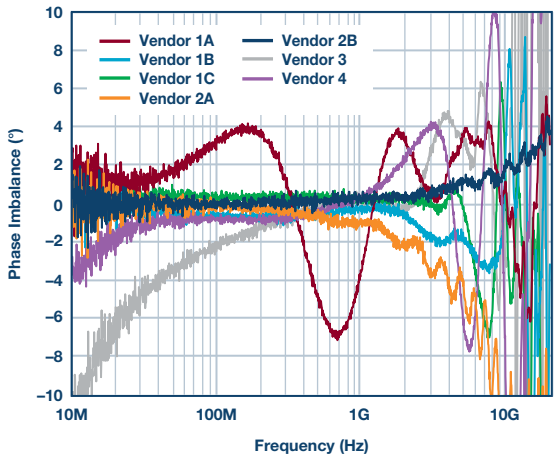


图4. 各种巴伦的相位不平衡

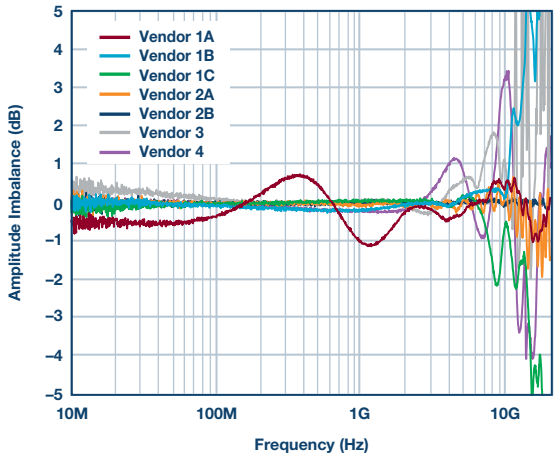


图5. 各种巴伦的幅度不平衡

接下来的两幅图代表使用最佳巴伦对HD2失真重新测试的结果，这些巴伦分别来自供应商1B和供应商2B，具有最低的相位不平衡，如图6和图7所示。注意，如果有更好的不平衡性能，则HD2失真方差会相应降低，如图7所示。

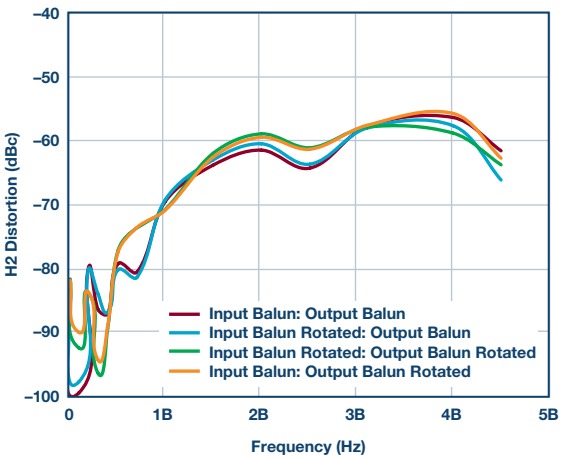


图6. 使用供应商1B巴伦和不同巴伦方向重新测试HD2性能。

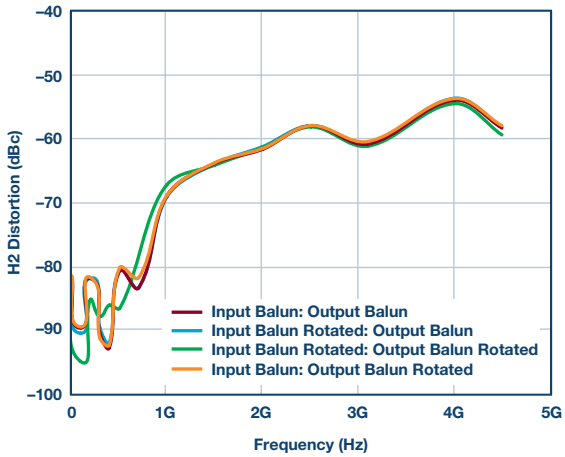


图7. 使用供应商2B巴伦和不同巴伦方向重新测试HD2性能。

为了进一步说明相位不平衡如何直接影响偶数阶失真性能，图8显示了与前一HD2图相同条件下的HD3失真。请注意，所有四条曲线大致相同，符合预期。因此，如前面的数学推导示例所证明的，HD3失真对信号链中的不平衡不太敏感。

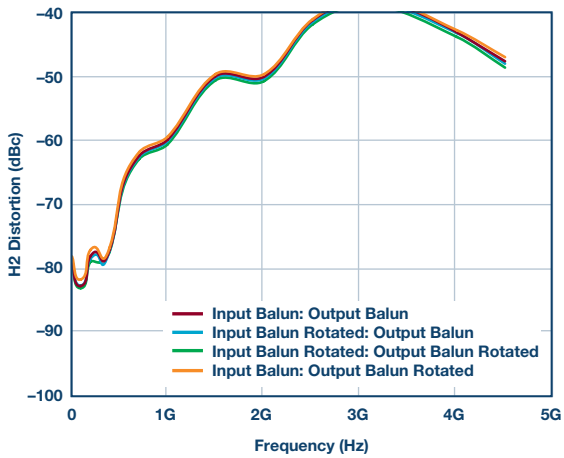


图8. 使用供应商2B巴伦和不同巴伦方向测试HD3性能。

到目前为止，应假定输入和输出连接的衰减器焊盘(如图2所示)是固定一致的，且在巴伦方向测量期间无变化。下图图7所示的相同曲线，仅测试供应商2B的巴伦性能，输入和输出之间交换衰减器。这就产生另一组(四条)曲线，如图9中的虚线所示。结果是我们回到了开始的地方，因为这在测试测量中表现出更多的变化。这进一步强调了差分信号对任一侧的少量不匹配在高频率下影响很大。务必详细记录测试条件。

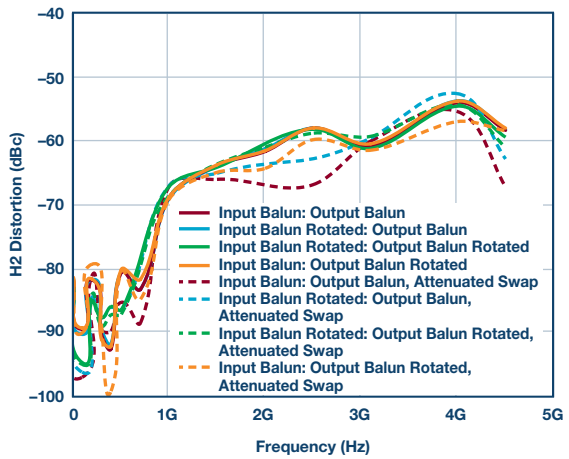


图9. 仅使用供应商2B巴伦以及不同巴伦方向和衰减焊盘交换测试HD2性能。

全部抵消

总之，在GHz区域开发全差分信号链时，所有东西都很重要，包括衰减器焊盘、巴伦、电缆、印刷电路板上的走线等。我们已经在数学上和实验室中使用高速差分放大器作为测试平台证明了这一点。因此，在开始责备器件或供应商之前，请在PCB布局和实验室测试期间特别小心。

最后，您可能会问自己，多大相位不平衡是可以容忍的？例如，一个巴伦在x GHz时相位不平衡为x度，它对具体器件或系统有何影响？线性度性能是否会有一定程度的损失或多少dB恶化？

这是一个很难回答的问题。在理想世界里，如果信号链中的每件东西都完美匹配，那么就不会有偶数阶失真需要担心。其次，如果有一个经验法则或公式来告诉我们每x°的相位不平衡会带来x dB的线性度损失(HD2性能降低)，岂不美哉。但是，这不可能。为什么？因为每个器件，无论有源、无源还是差分式，都会有某种固有的相位不匹配。根本没有办法在内部使IC设计实现完美的平衡，或者切割出长度绝对一致的电缆。因此，不论这些不匹配有多小，随着系统使用的频率越来越高，它们都会变得更加突出。

总之，当使用全差分输入和输出时，我们会尽我们所能做好我们的工作，让IC布局不匹配保持最小。当您在实验室测试我们的产品时，希望您也这样做。



David Brandon

David Brandon [david.brandon@analog.com]是ADI公司高速放大器部门(位于北卡罗来纳州格林斯博罗)的产品工程师。David从1982年开始便在ADI公司工作，迄今已35年。他在DDS部门担任应用工程师愈20年，发表了多篇应用笔记和杂志文章。David经常与Rob Reeder和其他人合作评估新的行业器件声明和交流测试设备功能。David业余时间喜欢打高尔夫球，并与家人共度美好时光。David于1982年获得美国北卡罗来纳州格林斯博罗的吉尔福德科技社区学院电气工程学位。



Rob Reeder

Rob Reeder [rob.reeder@analog.com]是ADI公司高速转换器和射频应用集团(位于美国北卡罗来纳州格林斯博罗)的资深系统应用工程师。他发表了大量有关各种应用的转换器接口、转换器测试和模拟信号链设计的文章。Rob曾在航空航天和防务部担任应用工程师5年之久，专注于雷达、EW和仪器仪表等各种应用领域。此前，他还曾在高速转换器产品线工作9年时间。在此之前，Rob还从事过测试开发和模拟设计工作(效力于ADI多芯片产品集团)，拥有5年的太空、防务和高度可靠的应用模拟信号链模块设计经验。Rob于1996年和1998年分别获得北伊利诺斯州大学(伊利诺斯迪卡尔布市)的电子工程学士(BSEE)学位和电子工程硕士(MSEE)学位。Rob晚上不写文章或不在实验室研究电路时，他喜欢在健身房活动，听电子音乐，用旧木板制作家具，最重要的是和他的家人一起放松自己。

Also by this Author:

Radically Extending Bandwidth to Crush the X-Band Frequencies Using a Track-and-Hold Sampling Amplifier and RF ADC

第51卷，第4期

隔离式栅极驱动器揭秘

作者：Sanket Sapre

分享至

摘要

IGBT/功率MOSFET是一种电压控制型器件，可用作电源电路、电机驱动器和其它系统中的开关元件。栅极是每个器件的电气隔离控制端。MOSFET的另外两端是源极和漏极，而对于IGBT，它们被称为集电极和发射极。为了操作MOSFET/IGBT，通常须将一个电压施加于栅极(参考器件的源极/发射极)。专用驱动器被用来向功率器件的栅极施加电压并提供驱动电流。本文讨论栅极驱动器是什么，为何需要栅极驱动器，以及如何定义其基本参数，如时序、驱动强度和隔离度。

需要栅极驱动器

IGBT/功率MOSFET的结构使得专用驱动器被用来向功率器件的栅极施加电压并提供驱动电流。形成一个非线性电容。给栅极电容充电会使功率器件导通，并允许电流在其漏极和源极引脚之间流动，而放电则会使器件关断，漏极和源极引脚上就可以阻断大电压。当栅极电容充电且器件刚好可以导通时的最小电压就是阈值电压(V_{TH})。为将IGBT/功率MOSFET用作开关，应在栅极和源极/发射极引脚之间施加一个充分大于V_{TH}的电压。

考虑一个具有微控制器的数字逻辑系统，其I/O引脚之一上可以输出一个0 V至5 V的PWM信号。这种PWM将不足以使电源系统中使用的功率器件完全导通，因为功率器件的驱动电压一般超过标准CMOS/TTL逻辑电压。因此，逻辑/控制电路和高功率器件之间需要一个接口。这可以通过驱动一个逻辑电平n沟道MOSFET，其进而驱动一个功率MOSFET来实现，如图1a所示。

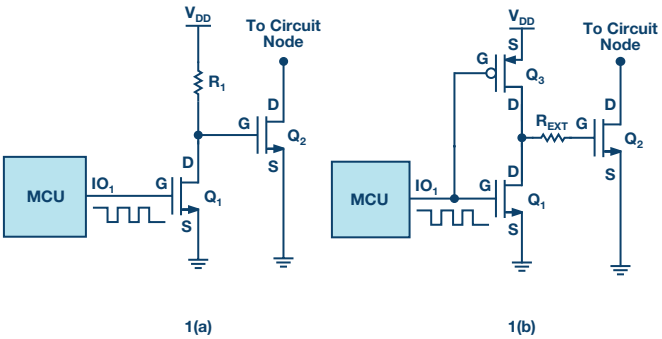


图1. 用反相逻辑驱动功率MOSFET。

如图1a所示，当IO_1发出一个低电平信号时，$V_{GSQ1} < V_{THQ1}$，因此MOSFET Q_1保持关断。结果，一个正电压施加于功率MOSFET Q_2的栅极。Q_2的栅极电容(C_{GQ2})通过上拉电阻R_1充电，栅极电压被拉至V_{DD}的轨电压。

如果$V_{DD} > V_{THQ2}$，则Q_2导通，可以传导电流。当IO_1输出高电平时，Q_1导通，C_{GQ2}通过Q_1放电。$V_{DSQ1} \sim 0$V，使得$V_{GSQ2} < V_{THQ2}$，因此Q_2关断。这种设置的一个问题是Q_1导通状态下R_1的功耗。为了解决此问题，pMOSFET Q_3可以作为上拉器件，其以与Q_1互补的方式工作，如图1b所示。PMOS具有较低导通电阻和非常高的关断电阻，驱动电路中的功耗大大降低。为在栅极转换期间控制边沿速率，Q_1的漏极和Q_2的栅极之间外加一个小电阻。使用MOSFET的另一个优点是其易于在裸片上制作，而制作电阻则相对较难。这种驱动功率开关栅极的独特接口可以单片IC的形式创建，该IC接受逻辑电平电压并产生更高的功率输出。此栅极驱动器IC几乎总是会有其他内部电路来实现更多功能，但它主要用作功率放大器和电平转换器。

栅极驱动器的关键参数

驱动强度：

提供适当栅极电压的问题通过栅极驱动器来解决，栅极驱动器执行电平转换任务。不过，栅极电容无法瞬间改变其电压。因此，功率FET或IGBT具有非零的有限切换间隔时间。在切换期间，器件可能处于高电流和高电压状态，这会产生功耗并转化为热量。因此，从一个状态到另一个状态的转换需要很快，以尽可能缩短切换时间。为了实现这一点，需要高瞬变电流来使栅极电容快速充电和放电。

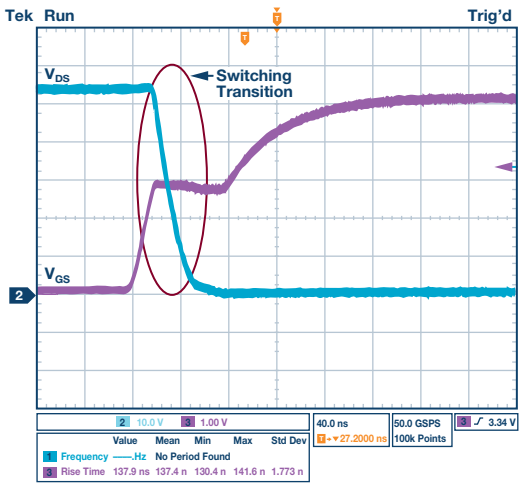


图2. 无栅极驱动器的MOSFET导通转换

能够在更长时间内提供/吸收更高栅极电流的驱动器，切换时间会更短，因而其驱动的晶体管内的开关功耗也更低。

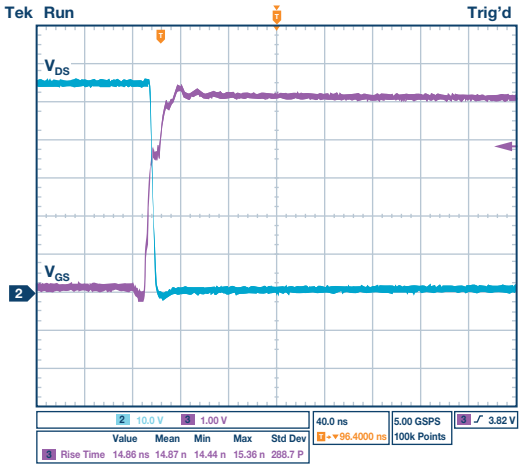


图3. 有栅极驱动器的MOSFET导通转换

微控制器I/O引脚的拉电流和灌电流额定值通常可达数十毫安，而栅极驱动器可以提供高得多的电流。图2中，当功率MOSFET由微控制器I/O引脚以最大额定拉电流驱动时，观察到切换时间间隔较长。如图3所示，采用ADuM4121隔离式栅极驱动器时，转换时间大大缩短；当驱动同一功率MOSFET时，该驱动器相比微控制器I/O引脚能够提供高得多的驱动电流。很多情况下，由于数字电路可能会透支电流，直接用微控制器驱动较大功率MOSFET/IGBT可能会使控制器过热，进而受损。栅极驱动器具有更高驱动能力，支持快速切换，上升和下降时间只有几纳秒。这可以减少开关功率损耗，提高系统效率。因此，驱动电流通常被认为是选择栅极驱动器的重要指标。

与驱动电流额定值相对应的是栅极驱动器的漏源导通电阻($R_{DS(ON)}$)。理想情况下，MOSFET完全导通时的$R_{DS(ON)}$值应为零，但由于其物理结构，该阻值一般在几欧姆范围内。这考虑了从漏极到源极的电流路径中的总串联电阻。

$R_{DS(ON)}$是栅极驱动器最大驱动强度额定值的真正基础，因为它限制了驱动器可以提供的栅极电流。内部开关的$R_{DS(ON)}$决定灌电流和拉电流，但外部串联电阻用于降低驱动电流，因此会影响边沿速率。如图4所示，高端导通电阻和外部串联电阻R_{EXT}构成充电路径中的栅极电阻，低端导通电阻和R_{EXT}构成放电路径中的栅极电阻。

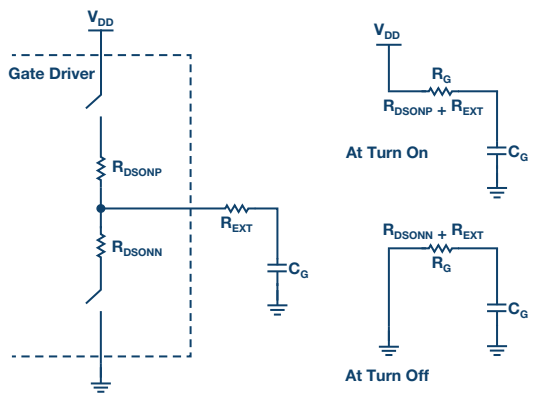


图4. 具有MOSFET输出级和功率器件作为电容的栅极驱动器的RC电路模型

$R_{DS(ON)}$也会直接影响驱动器内部的功耗。对于特定驱动电流，$R_{DS(ON)}$值越低，则可以使用的R_{EXT}值越高。功耗分布在R_{EXT}和$R_{DS(ON)}$上，因此R_{EXT}值越高，意味着驱动器外部的功耗越多。所以，对于给定芯片面积和尺寸的IC，为了提高系统效率并放宽驱动器内的热调节要求，$R_{DS(ON)}$值越低越好。

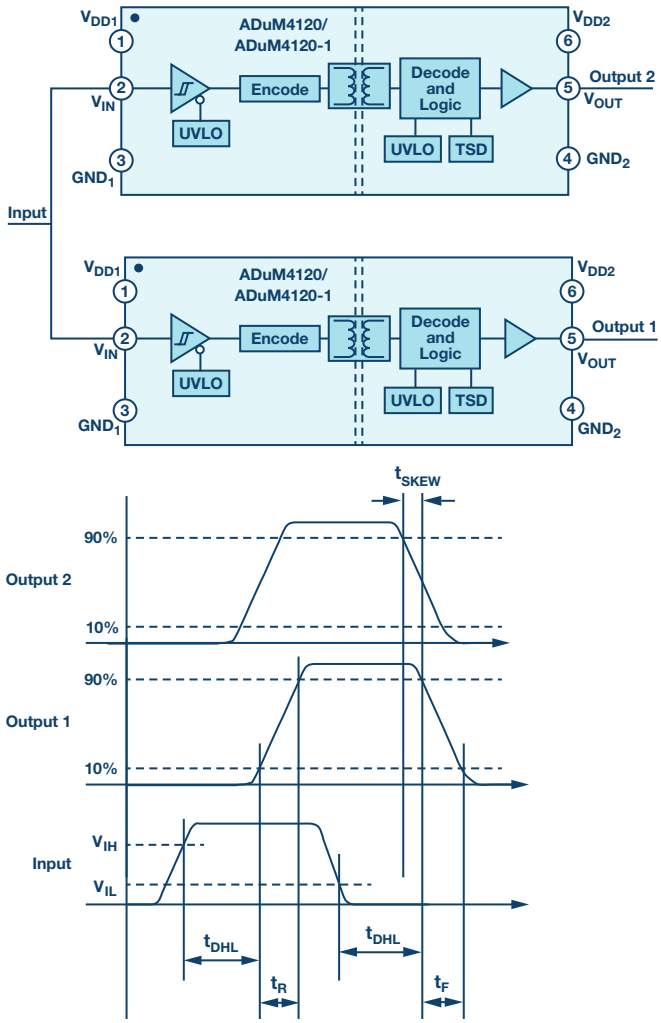


图5. ADuM4120栅极驱动器和时序波形

时序：

栅极驱动器时序参数对评估其性能至关重要。包括ADuM4120在内的所有栅极驱动器的一个常见时序规格(如图5所示)是驱动器的传播延迟(t_D)，其定义为输入边沿传播到输出所需的时间。如图5所示，上升传播延迟(t_{DLH})可以定义为输入边沿升至输入高阈值(V_{IH})以上到输出升至最终值10%以上的时间。类似地，下降传播延迟(t_{DHL})可以表述为从输入边沿降至输入低阈值V_{IL}以下到输出降至其高电平90%以下的时间。输出转换的传播延迟对于上升沿和下降沿可能不同。

图5还显示了信号的上升和下降时间。这些边沿速率受到器件可提供的驱动电流的影响，但它们也取决于所驱动的负载，这在传播延迟计算中并未考虑。另一个时序参数是脉宽失真，其为同一器件的上升和下降传播延迟之差。因此，脉宽失真(PWD) = $|t_{DLH} - t_{DHL}|$。

由于不同器件内的晶体管不匹配，两个器件的传播延迟不会完全相同。这会导致传播延迟偏斜(t_{SKEW})，其定义为两个不同器件在相同工作条件下对同一输入作出响应时，输出转换之间的时间差。如图5所示，传播延迟偏斜被定义为器件间偏差。对于具有多个输出通道的器件，此规格的表述方式相同，但被称为通道间偏斜。传播延迟偏斜通常不能在控制电路中予以补偿。

图6显示了ADuM4121栅极驱动器的典型设置，其结合功率MOSFET使用，采用半桥配置，适合电源和电机驱动应用。在这种设置中，如果Q_1和Q_2同时导通，有可能因为电源和接地引脚短路而发生直通。这可能会永久损坏开关甚至驱动电路。为避免直通，必须在系统中插入一个死区时间，从而大大降低两个开关同时导通的可能性。在死区时间间隔内，两个开关的栅极信号为低电平，因此理想情况下，开关处于关断状态。如果传播延迟偏斜较低，则所需的死区时间较短，控制变得更加可预测。偏斜越低且死区时间越短，系统运行会更平稳、更高效。

时序特性很重要，因为它们会影响功率开关的操作速度。理解这些参数可以使控制电路设计更加简单和准确。

隔离：

隔离是指系统中各种功能电路之间的电气分离，使得它们之间不存在直接导通路径。这样，不同电路可以拥有不同的地电位。利用电感、电容或光学方法，仍可让信号和/或电源在隔离电路之间通过。对于采用栅极驱动器的系统，隔离对功能的执行可能是必要的，并且也可能是安全要求。图6中，V_{BUS}可能有几百伏，在给定时间可能有数十安培的电流通过Q_1或Q_2。万一此系统出现故障时，如果损坏仅限于电子元件，则安全隔离可能是不必要的，但如果控制侧涉及到人的活动，那么高功率侧和低电压控制电路之间需要电流隔离。它能防范高压侧的任何故障，因为尽管有元件损坏或失效，隔离栅仍会阻止电力到达用户。

为防止触电危险，隔离是监管机构和安全认证机构的强制要求。它还能保护低压电子器件免受高功率侧故障引起的任何损害的影响。有多种方法可以描述安全隔离，但在基本层面上，它们都与隔离栅的击穿电压有关。此电压额定值一般针对驱动器的使用寿命以及特定期间和情况的电压瞬变而给出。这些电压电平还与驱动器IC的物理尺寸以及隔离栅上引脚之间的最小距离有关。

除安全原因外，隔离对于系统正常运行也可能是必不可少的。图6显示了电机驱动电路中常用的半桥拓扑结构，给定时间只有一个开关导通。在高功率侧，低端晶体管Q_2的源极接地。Q_2的栅源电压(V_{GSQ2})因此直接以地为基准，驱动电路的设计相对简单。高端晶体管Q_1的情况则不同，因为其源极是开关节点，取决于哪个开关导通，开关节点将被拉至总线电压或地。要使Q_1导通，应施加一个超过其阈值电压的正栅源电压(V_{GSQ1})。因此，当源极连接到V_{BUS}，Q_1处于导通状态时，其栅极电压将高于V_{BUS}。如果驱动电路没有用于接地参考的隔离，则将需要大于V_{BUS}的电压来驱动Q_1。这是一个繁琐的解决方案，对于高效系统来说并不实用。因此，人们需要经过电平转换并以高端晶体管源极为基准的控制信号。这被称为功能隔离，可以利用隔离式栅极驱动器(如ADuM4223)来实现。

抗扰度：

栅极驱动器用在有大量噪声源的工业环境中。噪声会破坏数据，使系统不可靠，导致性能下降。因此，栅极驱动器必须具有良好的抗噪声能力，以确保数据的完整性。抗扰度与驱动器抑制电磁干扰(EMI)或RF噪声及共模瞬变的程度有关。

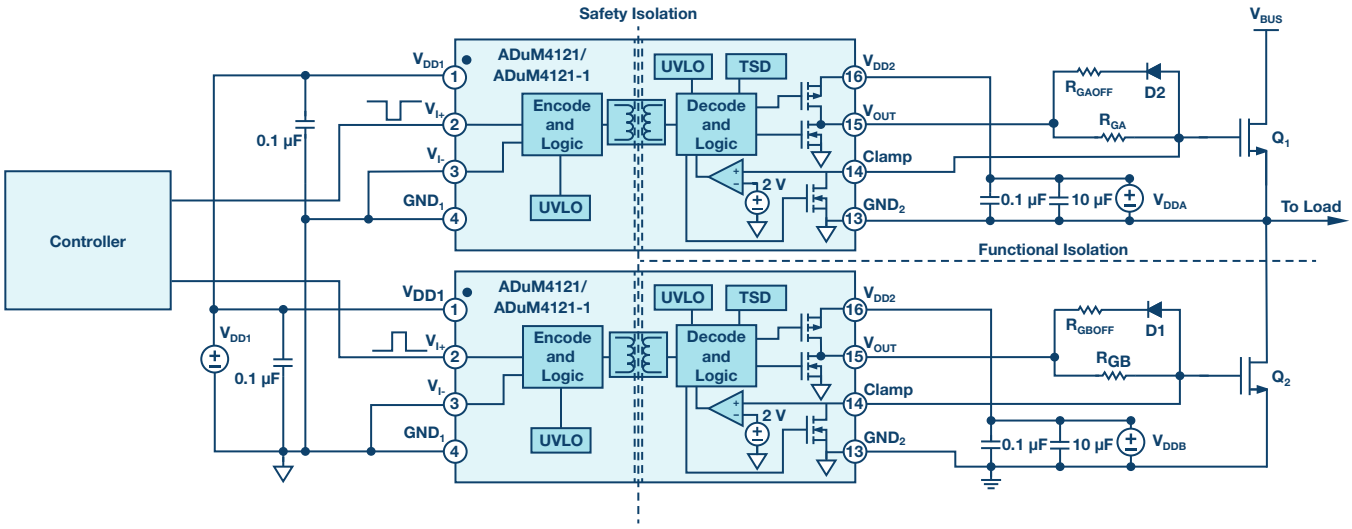


图6. 采用ADuM4121隔离式栅极驱动器的半桥设置中的隔离栅

EMI是指任何破坏电子器件预期操作的电气噪声或磁干扰。EMI(其会影响栅极驱动器)是高频开关电路的结果，主要由大型工业电机的磁场造成。EMI可以辐射或传导，并且可能耦合到附近的其他电路中。因此，EMI或RF抗扰度是衡量栅极驱动器抑制电磁干扰并保持稳健运行而无差错的能力的指标。若具有高抗扰度，驱动器便可在大型电机附近使用，而不会引起数据传输故障。

如图6所示，隔离栅预期可在不同电位的接地点提供高电压隔离。但是，高频切换导致次级端电压转换的边沿较短。由于隔离边界之间的寄生电容，这些快速瞬变而从一侧耦合到另一侧，这可能导致数据损坏。其表现可能是在栅极驱动信号中引入抖动，或者将信号完全反转，导致效率低下，甚至在某些情况下发生直通。因此，栅极驱动器的一个决定性指标是共模瞬变抗扰度(CMTI)，其定量描述隔离式栅极驱动器抑制输入和输出间大共模瞬变的能力。如果系统中的压摆率很高，则驱动器需要有很高的抗扰度。因此，当在高频和大总线电压下工作时，CMTI数值特别重要。

结语

本文旨在简单介绍栅极驱动器，因此，到目前为止讨论的参数并未全面详尽地反映隔离式栅极驱动器特性。驱动器还有其他指标，如电源电压、容许温度、引脚排列等，这些是每个电子器件的共同考虑因素。一些驱动器，如ADuM4135和ADuM4136，也包含保护功能或先进的检测或控制机制。市场上的隔离式栅极驱动器种类众多，系统设计人员必须了解所有这些规格和特性，以便在相关应用中就使用适当的驱动器作出明智的决定。

Sanket Sapre [sanket.sapre@analog.com]是ADI公司的应用工程师。他在接口与隔离技术组工作，职责范围包括使用*i*Coupler®技术实现隔离的隔离式栅极驱动器。他拥有孟买大学电子工程学士学位和科罗拉多大学博尔得分校电气工程硕士学位。



Sanket Sapre

用于高功率机器视觉闪光灯的LED驱动器

作者：Keith Szolusha和Kyle Lawrence

分享至

机器视觉系统使用非常短的强光闪烁来产生用于各种数据处理应用的高速图像。例如，快速移动的传送带通过机器视觉系统进行快速标签和缺陷检测。红外和激光LED闪光灯常用于近程和运动检测机器视觉。安全系统发出高速、难以察觉的LED闪光灯来检测运动，捕获和存储安全影像。

所有这些系统都存在的一个挑战，即产生非常高的电流和短时间(微秒)LED相机闪光波形，这些波形可能散开在较长时间内，例如100 ms到1 s以上。产生间隔较长时间的短时LED闪光方波并非易事。当LED(或LED串)的驱动电流上升到1 A以上，并且LED开启时间缩短到几微秒时，挑战难度进一步加大。许多具有高速PWM能力的LED驱动器可能无法有效处理较长关断时间和短时间的高电流，而又不降低适当处理高速图像所需的方波质量。

专有LED闪光灯

幸运的是，LT3932高速LED驱动器可为高达2 A的LED串提供机器视觉相机闪光灯，关断时间可以长达1秒、1小时、1天或更长时间。LT3932的特殊相机闪光灯功能允许其保持输出电容和控制环路充电状态，哪怕是在长关断时间内。对输出和控制环路电容的状态进行采样后，LT3932继续在长关断期间对这些元件进行涓流充电，以补偿通常都会有的漏电流，而这是其他LED驱动器未予考虑的。

LT3932的专有闪光技术可以扩展，驱动器可以并联以提供更高的LED闪光电流。所需的闪光形状和完整性保持不变。图1显示了并联两个驱动器以支持3 A相机闪光灯是多么容易，高达4 A的设计也是可行的。

机器视觉系统的LED闪光灯要求远远高于标准PWM调光驱动器所能达到的要求。也就是说，大多数高端LED驱动器设计用于在至少100 Hz的PWM频率下提供PWM调光亮度控制。这是因为，若频率较低，哪怕LED波形是方形且可重复的，人眼看到的也是令人讨厌的闪烁或频闪。在100 Hz时，理论最大关断时间约为10 ms。在10 ms关断时间内，如果设计正确，LED驱动器会损失极少输出电容电荷，使其在大约相同的状态下启动控制环路，从而结束最后一个PWM导通脉冲。电感电流和下一个LED PWM导通脉冲的快速响应和斜坡上升可以很快且可重复，并且启动时间极短。较长关断时间(频率低于100 Hz时)可能会导致输出电容因漏电而损失电荷，从而使LED重新开启时无法快速响应。

并联LED驱动器以提供更高电流

LED驱动器充当电流源，调节通过发光二极管发出的电流。电流仅沿单一方向流向输出，因此可将多个LED驱动器并联起来，其电流汇总后通过负载。电流源不需要防范电流通过一个转换器反向流动，也无需担心输出不匹配。另一方面，电压调节器本身并不擅长均流。如果它们都试图将输出电压调节到某一点，并且其反馈网络存在细微差异，则调节器可能会吸收反向电流。

LED驱动器会保持其输出电流不变，无论其他驱动器是否提供额外电流并汇总在输出负载上。这使得并联LED驱动器非常简单。例如，图1所示两个并联LT3932 LED驱动器构成的LED闪光灯系统能以3 A高效驱动4个LED，10 µs短脉在机器视觉系统所定义的较长期间内冲散开来。在PWM导通时间内，每个LT3932转换器产生总串电流的一半；在PWM关断时间内，转换器关闭并保存其输出状态。关断时间可短可长，对闪光波形的重复性没有影响。

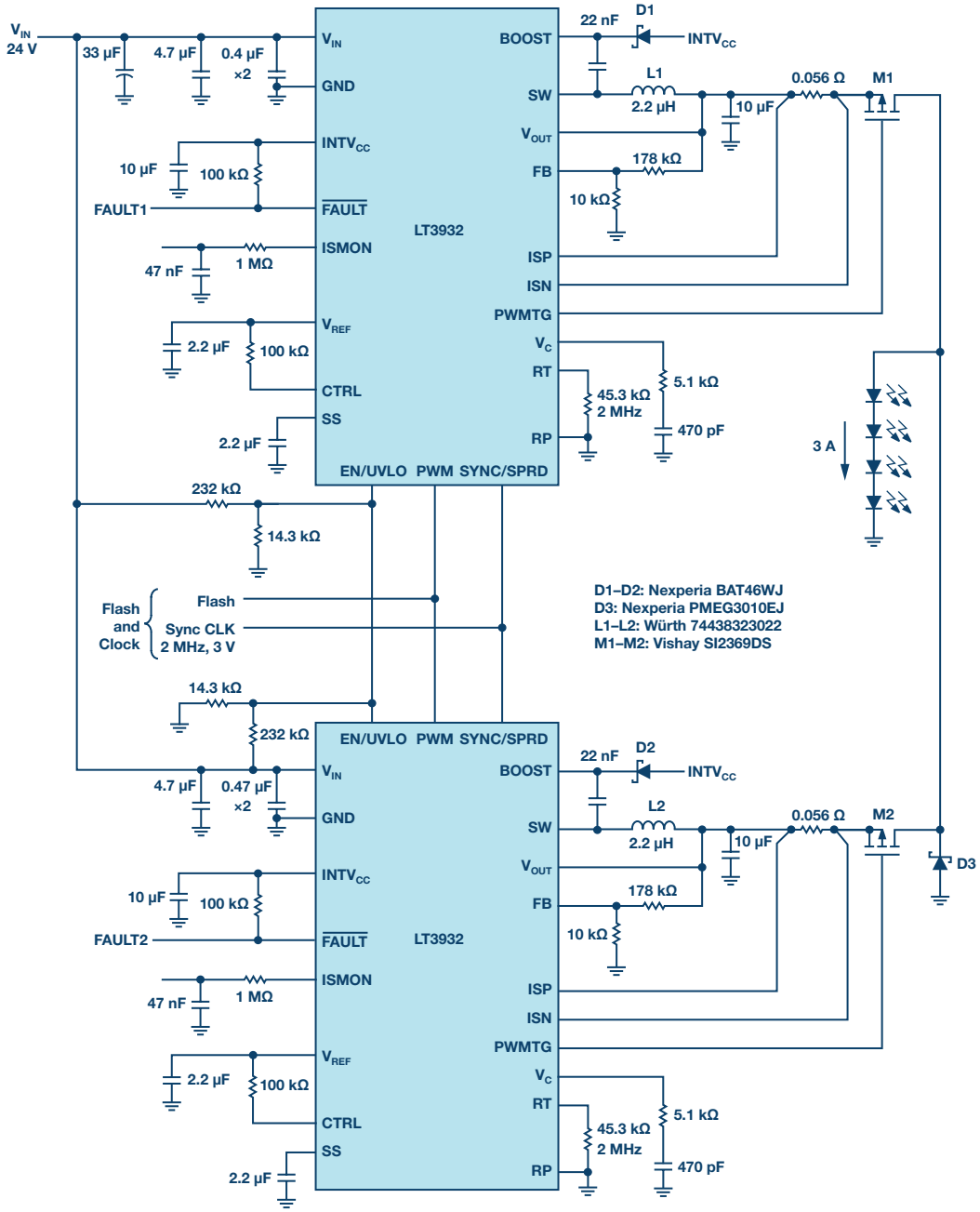


图1. 相对于标准PWM调光频率，并联LT3932 1.5 A LED驱动器产生具有长关断时间的3 A机器视觉LED脉冲。.

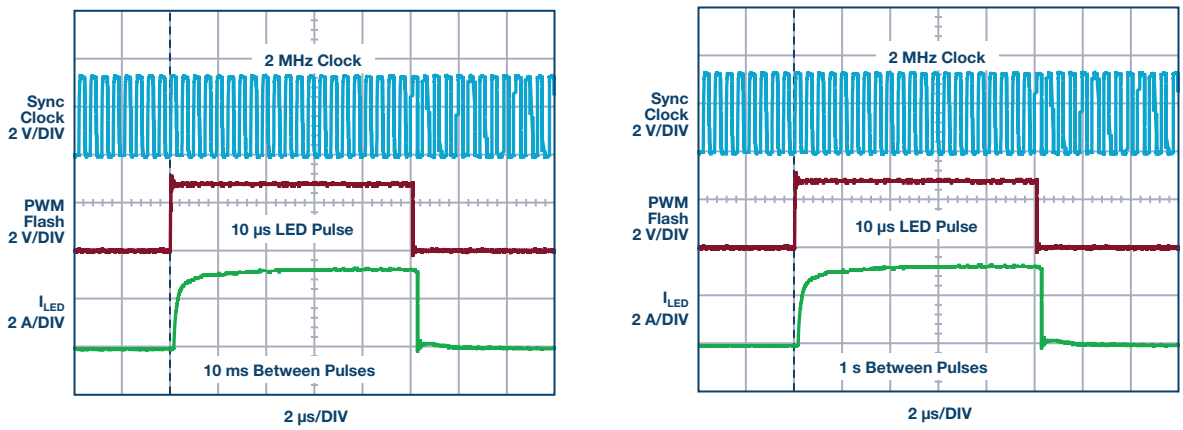


图2. 无论PWM关断时间是多少，图1所示并联LED驱动器的3 A相机闪光波形看起来相同。波形显示，(a) 10 ms之后和(b) 1 s之后的10µs脉冲是相同的。经过一天或更长的PWM关断时间之后，LT3932 LED闪光波形看起来也相同。

在长关断期间，并联相机闪光灯应用几乎与单个转换器一样简单。转换器观察最后一个PWM导通脉冲结束时的共享输出电压，让输出电容充电至该状态并保持，即使在长关断时间内也如此。每个转换器将其PWM MOSFET与共享负载断开连接，并向其输出电容供应电流以补偿泄漏的能量，使该电容充电至接近最后电压状态并保持。这些电容在长关断时间内发生的任何泄漏都可以通过少量维持电流来补偿。当下一个PWM导通脉冲开始时，每个转换器的PWM MOSFET导通，输出电容以与最后一个脉冲大致相同的状态启动，无论是经过了10 ms还是一整天。

图2(a)和2(b)显示了LT3932并联LED驱动器以3 A驱动4个LED，机器视觉相机脉冲为10 µs。无论是10 ms PWM关断时间(100 Hz)还是1 s PWM关断时间(1 Hz)，LED脉冲都很陡峭且快速，这对于机器视觉系统是非常理想的。

实现更高电流亦可行

并联LED驱动器不限于两个转换器。三个或更多转换器也可以并联在一起，产生具有陡沿的更高电流波形。该系统没有主器件或从器件，因此所有转换器都提供相同量的电流并平均分担负载。建议所有并联LED驱动器转换器共享相同的同步时钟并保持同相。这样可确保所有转换器的输出电容纹波具有大致相同的相位，故而纹波电流不会反向流动或在不同转换器之间流动。PWM脉冲波形与2 MHz同步时钟保持同相很重要。这样可确保LED闪光波形保持方形且无抖动，从而产生最佳图像处理结果。

LT3932演示电路(DC2286A)设计为通过一个或两个LED(作为降压LED驱动器)驱动1 A的LED电流。如图1所示，它很容易进行更改和并联，以实现更高电流、更高电压或并联运行。图4显示了如何将两个这样的电路轻松连接在一起，从24 V输入以10 µs、3 A脉冲驱动4个LED。出于测试目的，脉冲发生器可用于提供同步时钟信号，如图4所示。在量产机器视觉系统中，可利用时钟芯片生成同步时钟信号和PWM脉冲。如需更高电流脉冲，可使用相同的并联方案添加更多演示电路DC2286A转换器。

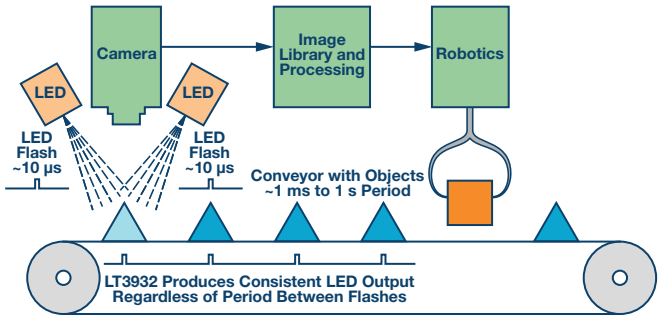


图3. 工业传送带上的机器视觉例子。检测系统以多种不同速度移动，但闪光技术必须快速而清晰。

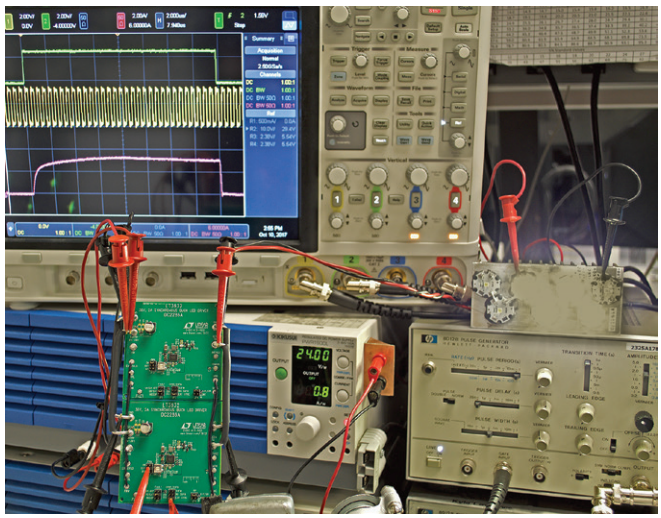


图4. 两个DC2286A LT3932演示电路可轻松并联，以创建图1所示的3 A至4 A机器视觉LED闪光灯应用。

结语

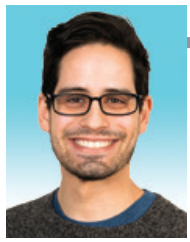
机器视觉系统可以使用并联LED驱动器来创建自动图像处理所需的快速、方形、高电流波形。通过并联转换器，LT3932 LED驱动器的专有相机闪光灯技术可以扩展到更高的电流。采用并联LT3932转换器，即使关断时间较长，也可以实现3 A和更高的微秒级脉冲。无论LED闪光之间的关断时间有多长，LED相机闪光波形都能保持方形且无抖动。

Keith Szolusha [keith.szolusha@analog.com]是ADI公司(之前为凌力尔特公司)的LED驱动器应用经理，工作地点在美国加利福尼亚州米尔皮塔斯。他毕业于马萨诸塞州剑桥市麻省理工学院(MIT)，1997年获电气工程学士学位，1998年获电气工程硕士学位，专攻技术写作。



Keith Szolusha

Kyle Lawrence [kyle.lawrence@analog.com]是ADI公司的副应用工程师。他负责设计和测试各种DC-DC转换器，包括针对低EMI汽车应用的4开关升降压稳压器和LED驱动器。他2014年毕业于加州大学圣克鲁兹分校，获电气工程学士学位。



Kyle Lawrence

非常见问题解答—第154期

用于快速测试电路信号响应的袖珍型白噪声发生器

分享至

作者：Aaron Shultz和Peter Haak

问：

能否同时产生所有频率的频谱？



答：

电路中的噪声通常都是有害的，任何好电路都应该输出尽可能低的噪声。尽管如此，在某些情况下，一个特性明确且没有其他信号的噪声源就是所需的输出。

电路特性测量就是这种情况。许多电路的输出特性可通过扫描一定频率范围内的输入信号并观测设计的响应来测量。输入扫描可以由离散输入频率或扫频正弦波组成。干净的极低频率正弦波(低于10 Hz)难以产生。处理器、DAC和一些复杂的精密滤波可以产生相对干净的正弦波，但对于每个频率阶跃，系统必须稳定下来，使得包含许多频率的顺序全扫描很缓慢。测试较少的离散频率可能较快，但会增加跳过高Q现象所在的关键频率的风险。

白噪声发生器比扫频正弦波更简单、更快速，因为它能高效地同时产生幅度相同的所有频率。在被测器件(DUT)的输入端施加白噪声可以快速产生整个频率范围上的频率响应概貌。在这种情况下，不需要昂贵或复杂的扫频正弦波发生器。只需将DUT输出连接到频谱分析仪并观察即可。使用更多的均值操作和更长的采集时间，产生的目标频率范围上的输出响应就更精确。

DUT对白噪声的预期响应是频率整形的噪声。以这种方式使用白噪声可以快速暴露出意外行为，例如怪异的频率杂散、奇怪的谐波以及不希望出现的频率响应伪像。

此外，细心的工程师可利用白噪声发生器测试测试仪。测量频率响应的实验室设备在测量已知平坦的白噪声发生器时应产生平坦的噪声曲线。

在实际应用方面，白噪声发生器易于使用；体积小，足以实现紧凑的实验室设置；便于携带，适合现场测量；并且价格低廉。具有大量设置的高质量信号发生器非常灵活，十分吸引人。但是，多功能性会妨碍快速频率响应测量。设计良好的白噪声发生器不需要任何控制，却能产生完全可预测的输出。

噪声讨论

电阻热噪声，有时称为约翰逊噪声或奈奎斯特噪声，是由电阻内部电荷载子的热扰动产生的。此噪声大致是白噪声，接近高斯分布。在电学方面，噪声电压密度由下式给出：

$$V_{NOISE} = \sqrt{4k_B TR}$$

其中，kB为波尔兹曼常数，T为温度(单位K)，R为电阻。噪声电压是由流过基本电阻的电荷的随机移动引起的(大致为$R \times I_{NOISE}$)。表1显示了20°C时的一些例子。

表1. 各种电阻的噪声电压密度

电阻	噪声电压密度
10 Ω	0.402 nV/√Hz
100 Ω	1.27 nV/√Hz
1 k Ω	4.02 nV/√Hz
10 kΩ	12.7 nV/√Hz
100 kΩ	40.2 nV/√Hz
1 MΩ	127 nV/√Hz
10 MΩ	402 nV/√Hz

一个10 MΩ电阻就代表一个402 nV/√Hz宽带电压噪声源与标称电阻串联。R和T的变化仅以平方根形式影响噪声，所以放大后的电阻衍生噪声源相当稳定，可作为实验室测试噪声源。例如，从20°C改变为6°C时，电阻从293 kΩ变为299 kΩ。噪声密度与温度的平方根成正比，因此6°C的温度变化引起的噪声密度变化相对较小，约为1%。同样，对于电阻，2%的电阻变化引起1%的噪声密度变化。

考虑图1：一个10 MΩ电阻R1在运算放大器的正端产生白色高斯噪声。电阻R2和R3放大该噪声电压并送至输出端。电容C1滤除斩波放大器电荷毛刺。输出是一个10 μV/√HzHz白噪声信号。

本例中增益(1 + R2/R3)较高，为21 V/V。

即使R2很高(1 MΩ)，来自R2的噪声与放大后的R1噪声相比也是无关紧要的。

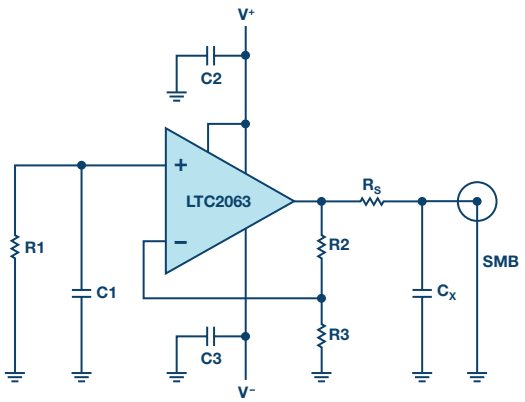


图1. 白噪声发生器的完整原理图。低漂移微功耗LTC2063放大R1的约翰逊噪声。

电路的放大器必须具有足够低的折合到输入端电压噪声，以便让R1作为主要噪声源。原因是电阻噪声应主导电路的整体精度，而不是放大器。出于相同的原因，电路的放大器必须具有足够低的折合到输入端电流噪声，以避免(IN×R2)接近(R1噪声×增益)。

白噪声发生器中可接受多少放大器电压噪声？

表2显示了增加独立信号源引起的噪声增加。从402 nV/√Hz到502 nV/√Hz的变化按对数算只有1.9 dB，或0.96功率dB。运算放大器噪声约为电阻噪声的50%，运算放大器V_{NOISE}的5%不确定性仅让输出噪声密度改变1%。

表2. 运算放大器噪声贡献

R_{NOISE} (nV/√Hz)	放大器$_{en}$	折合到输入端总计
402 nV/√Hz	300	501.6 nV/√Hz
402 nV/√Hz	250	473.4 nV/√Hz
402 nV/√Hz	200	449.0 nV/√Hz
402 nV/√Hz	150	429.1 nV/√Hz
402 nV/√Hz	100	414.3 nV/√Hz

白噪声发生器只能使用一个没有会产生噪声的电阻的运算放大器。这种运算放大器的输入端必须具有平坦的噪声曲线。但是，噪声电压往往不能精确定义，并且随着生产、电压和温度的不同而有很大的差异。

其他白噪声电路可能基于齐纳二极管工作，但其可预测性非常差。不过，对于μA电流，寻找最佳齐纳二极管以获得稳定噪声可能很困难，尤其是在低电压(<5 V)情况下。

一些高端白噪声发生器基于长伪随机二进制序列(PRBS)和特殊滤波器。使用小型控制器和DAC可能就足够了；但是，要确保DAC不产生建立毛刺、谐波或交调产物，可能只有富有经验的工程师才能胜任。另外，选择最合适的PRBS序列也会增加复杂性和不确定性。

低功耗零漂移解决方案

此项目主要有两个设计目标：

- 一款易于使用的白噪声发生器必须是便携式的，也就是采用电池供电，这意味着其必须是微功耗电子设备。
- 发生器必须提供均匀的噪声输出，哪怕频率低于0.1 Hz及以上。

考虑到上述噪声讨论及这些关键限制条件，LTC2063低功耗零漂移运算放大器符合这一要求。

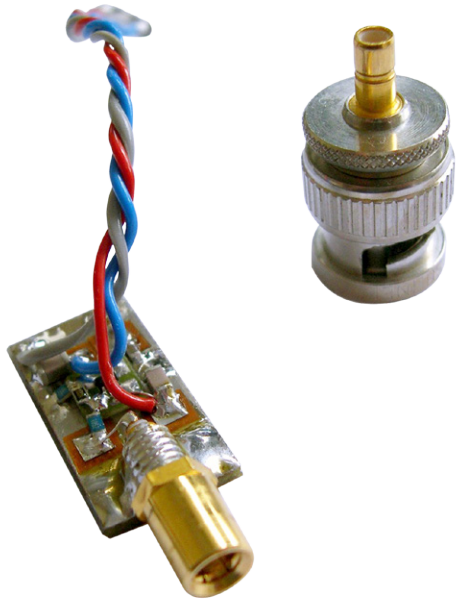


图2. 袖珍型白噪声发生器原型

10 MΩ电阻的噪声电压为402 nV/√Hz，LTC2063的噪声电压大约为其一半。10 MΩ电阻的噪声电流为40 fA/√Hz，LTC2063的噪声电流小于其一半。LTC2063的典型电源电流为1.4μA，并且总电源电压可降至1.7 V(额定电压为1.8 V)，因此LTC2063对电池应用是非常理想的。根据定义，低频测量需要很长的建立时间，因此该发生器必须由电池长时间供电。

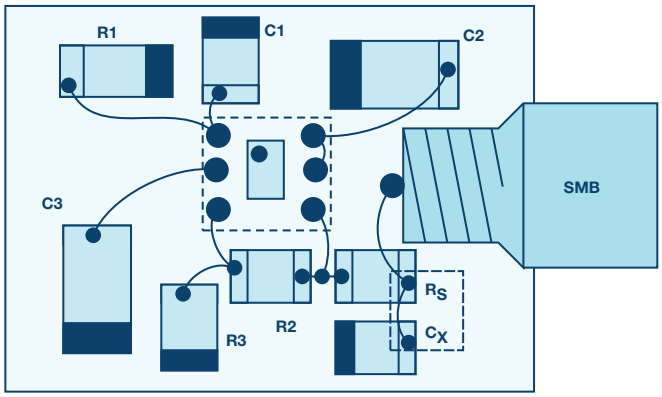
LTC2063输入端的噪声密度约为200 nV/√Hz，噪声在整个频率范围内可预测且保持平坦(±0.5 dB以内)。假设LTC2063的噪声是热噪声的50%，而运算放大器电压噪声改变5%，则输出噪声密度仅改变1%。

设计保证零漂移运算放大器没有1/f噪声。有些器件比其他更好，而更常见的是，宽带规格错误或1/f噪声远高于数据手册中给出的值，特别是对于电流噪声。一些零漂移运算放大器的数据手册噪声曲线不会下降到MHz频率区域，可能是为了掩盖1/f噪声。斩波稳定运算放大器可能是解决办法，它能在超低频率时让噪声保持平坦。另外，高频噪声凸起和开关噪声不得损害性能。这里显示的数据支持使用LTC2063来应对这些挑战。

电路说明

薄膜R1(Vishay/Beyschlag MMA0204 10 MΩ)产生大部分噪声。MMA0204是少数几个兼具高品质和低成本的10 MΩ选择之一。原则上，R1可以是任何10 MΩ电阻，因为信号电流非常小，所以可忽略1/f噪声。对于该发生器的主要元件，最好避免使用精度或稳定性可疑的低成本厚膜芯片。

为获得最佳精度和长期稳定性，R2、R3或R_S可以是0.1%薄膜电阻，例如TE CPF0603。C2/C3可以是大多数电介质电容中的一种；C0G可用来保证低漏电流。



Note: Blue Fill SMD Terminals Are Grounded
R1 = 10 MΩ MMA0204 (MiniMELF)
Vishay/Beyschlag 1% TC50 (= Thin Film)
R2 = 1 M, R3 = 49900 Ω; R_S = 10 kΩ; All 1% TC100 Thick Film
C1 = 22 pF C0G 5%; C2/C3 = 0.1 µF C0G
C_X = 47 nF C0G 5% (See Text: "Optional Tuning")

图3. 装置布局

部署详情

环路面积R1/C1/R3应减至最小，以确保EMI抑制性能最佳。此外，R1/C1应该加以很好的屏蔽，以防电场影响，这将在*EMI*考量部分进一步讨论。尽管不是很关键，但R1应避免较大温度变化。有了良好的EMI屏蔽，热屏蔽往往是足够的。

应避免VCM范围内的LTC2063轨到轨输入电压跃迁区域，因为交越可能产生较高且稳定性较差的噪声。为获得最佳效果，V+至少应使用1.1 V，输入共模电压为0。

请注意，10 kΩ的R_S似乎很高，但微功耗LTC2063具有较高输出阻抗，即使10 kΩ也不会将LTC2063与其输出端的负载电容完全解耦。对于该白噪声发生器电路，导致峰化的一些输出电容可以是设计特性，而不是危险。

输出端看到的是10 kΩ R_S和一个50 nF接地电容C_X。此电容C_X将与LTC2063电路相互作用，导致频率响应出现峰化。此峰化可用来扩展发生器的平坦带宽，就像扩音器中的孔眼扩大下端一样。假设使用高阻抗负载(>100 kΩ)，因为低阻抗负载会显着降低输出电平，并且还可能影响峰化。

可选调谐

在高频限值时，有几个IC参数（例如R_{OUT}和GBW）会影响平坦度。如果不使用信号分析仪，C_X的推荐值为47 nF，这通常会产生200 Hz至300 Hz (-1 dB)的带宽。

不过，C_X可以针对平坦度或带宽进行优化，典型值为C_X = 30 nF至50 nF。要获得更宽的带宽和更高的峰值，请使用较小的C_X。要使响应衰减更快，请使用较大的C_X。

关键IC参数与运算放大器电源电流有关，低电源电流的器件可能需要稍大的C_X，而高电源电流的器件很可能需要小于30 nF的电容，同时实现更宽的平坦带宽。

这里的曲线突出显示了C_X值如何影响闭环频率响应。

测量

输出噪声密度与C_X（R_S = 10 kΩ，±2.5 V电源）的关系如图4所示。输出RC滤波器能有效消除时钟噪声。该图显示了C_X = 0和C_X = 2.2 nF/10 nF/47 nF/68 nF时输出与频率的关系。

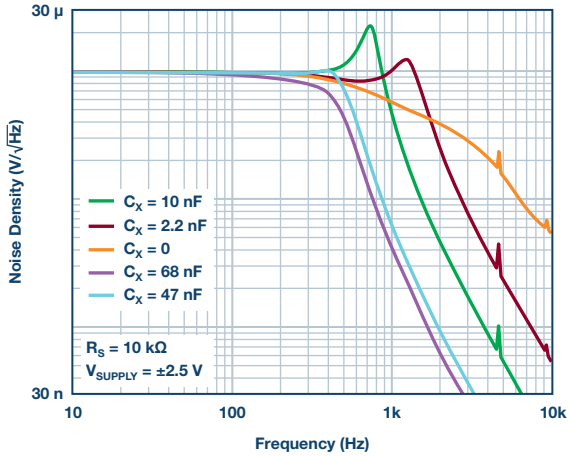


图4. 图1所示设计的输出噪声密度

C_X = 2.2 nF时表现出轻微的峰化，而C_X = 10 nF时峰化最强，然后随着C_X增大逐渐下降。C_X = 68 nF的迹线显示没有峰化，但平坦带宽明显较低。最佳结果是C_X约为47 nF时；时钟噪声比信号电平低三个数量级。由于垂直分辨率有限，无法精确判断输出幅度平坦度与频率的关系。该图使用±2.5 V电池电源产生，但设计允许使用两枚纽扣电池(约±1.5 V)。

图5的Y轴表示放大后的平坦度。对于许多应用，1 dB以内的平坦度即够用，<0.5 dB比较典型。这里，C_X = 50 nF最佳(R_S = 10 kΩ，V_{SUPPLY} ±1.5 V)；C_X = 45 nF，不过55 nF也可以接受。

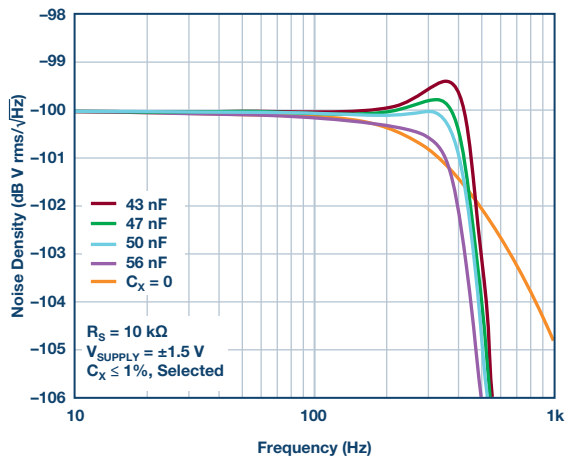


图5. 图1所示设计的输出噪声密度的放大视图

高分辨率平坦度测量需要时间；对于此曲线(10 Hz到1 kHz，平均1000次)，每条迹线大约花费20分钟。标准解决方案使用C_X = 50 nF。所示的43 nF、47 nF和56 nF迹线(全部C_S < 0.1%容差)与最佳平坦度相比有很小但明显的偏差。添加C_X = 0的橙色曲线以表明峰化提高了平坦带宽(对于Δ= 0.5 dB，从230 Hz提高到380 Hz)。

对于恰好50 nF电容，串联2×0.1µF C0G可能是最简单解决方案。0.1µF C0G 5% 1206很容易从Murata、TDK和Kemet购得。另一种选择是47 nF C0G(1206或0805)；此器件更小，但可能不那么常见。如前所述，最佳C_X随实际IC参数而变化。

我们还检查了平坦度与电源电压的关系，参见图6。标准电路为±1.5 V。将电源电压改变为±1.0 V或±2.5 V时，峰化有较小变化，平坦度也有较小变化(因为V_N随电源而变化，热噪声占优势)。在整个电源电压范围内，峰化和平坦度的变化均为约0.2 dB。该曲线表明，当电路由两个小电池供电时，幅度稳定性和平坦度良好。

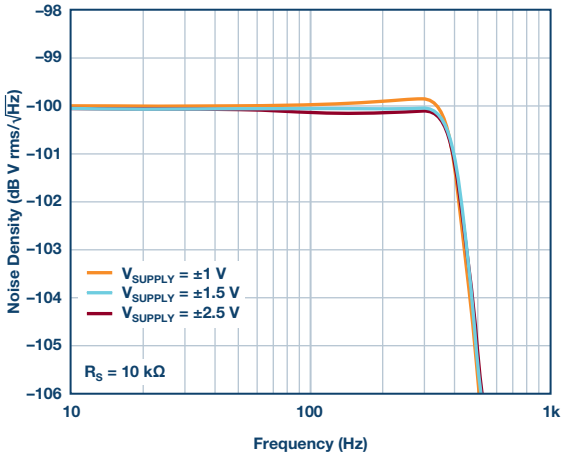


图6. 各种电源电压对应的输出噪声密度

对于此原型，电源电压为±1.5 V时，平坦度在0.5 dB以内，频率最高约为380 Hz。在±1.0 V电源下，平坦度和峰化略有增加。对于±1.5 V至±2.5 V电源电压，输出电平没有明显变化。总V p-p(或V rms)输出电平取决于固定的10 µV/√Hz密度以及带宽。此原型的输出信号约为1.5 mV p-p。在某些非常低的频率(MHz范围)，噪声密度可能会超过规定的10 µV/√Hz。对于此原型，已经证实在0.1 Hz时，噪声密度仍然保持在10 µV/√Hz。

就稳定性和温度而言，热噪声占主导地位，因此对于T=22(±6)°C，幅度变化为±1%，这一变化在图上几乎不可见。

EMI考量

该原型使用带聚酰亚胺绝缘层的小铜箔作为屏蔽层。此箔片或翼片缠绕在输入元件(10 M + 22 pF)周围，并焊接到PCB背面的接地端。改变翼片的位置对EMI灵敏度和低频(LF)杂散风险有显著影响。实验表明，偶尔出现的低频杂散是由EMI引起的，该杂散可通过非常好的屏蔽来防止。使用翼片，在没有任何附加高导磁合金屏蔽的情况下，原型在实验室中的响应很干净。频谱分析仪上没有出现主电源噪声或其他杂散。如果信号上出现过多的噪声，则可能需要额外的EMI屏蔽。

当使用外部电源而非电池时，共模电流很容易加到信号上。建议将仪器接地与实心导线连接，并在发生器的供电线中使用CM扼流圈。

限制

总有一些应用需要更多带宽，例如完整音频范围或超声波范围。在几µA的电源电流下，更高的带宽并不现实。凭借大约300 Hz至400 Hz的平坦带宽，基于LTC2063电阻噪声的电路可用于测试某些仪器的50 Hz/60 Hz主电源频率，例如地震检波器应用。该范围适合测试各种VLF应用(例如传感器系统)，因为频率范围低至0.1 Hz以下。

输出信号电平较低(<2 mV p-p)。后续的LTC2063配置为具有5倍增益的同相放大器，加上另一个RC输出滤波器，可提供同样受控的300 Hz平坦宽带噪声输出，而且幅度更大。在不能使闭环频率范围最大化的情况下，反馈电阻两端的电容可以降低整体带宽。在这种情况下，R_S和C_X的影响在闭环响应的边缘较小，甚至可以忽略。

结语

本文所述的白噪声发生器是一种小型但重要的工具。随着测量时间的延长，低频应用的标准仪器——一种简单、可靠、便携的设备，几乎可以瞬时完成电路特性测量——成为工程师工具箱中受欢迎的补充工具。与具有众多设置的复杂仪器不同，该发生器不需要用户手册。这种特殊设计的电源电流很低，这对于长时间VLF应用测量中的电池供电操作至关重要。当电源电流非常低时，不需要开关。采用电池工作的发生器还能防止共模电流。

本设计中使用的LTC2063低功耗零漂移运算放大器是满足项目限制要求的关键。它支持使用由简单同相运算放大器电路放大的噪声产生电阻。



Aaron Shultz

Aaron Schultz [aaron.schultz@analog.com]是LPS业务部的应用工程经理。他曾在设计和应用系统工程领域担任多个职务，接触过众多主题，包括电池管理、光伏、可调光LED驱动电路、低电压和高电流DC-DC转换、高速光纤通信、高级DDR3存储器研发、定制工具开发、验证、基本模拟电路等，他职业生涯的一半贡献给了功率转换领域。他1993年毕业于美国卡内基梅隆大学，1995年毕业于MIT。晚上，他喜欢弹爵士钢琴乐。



Peter Haak

Peter于1986年开始电子开发工作。自1993年以来，他一直担任传感器和仪器仪表方面的独立顾问。他曾与许多不同客户合作，从小企业到大公司和科研机构均有。Peter住在荷兰圣约翰大教堂旁边的's-Hertogenbosch中心，其公寓中有七台HP3562A信号分析仪。

汽车雷达传感器和拥挤不堪的无线电频谱：城市电子战场?

作者：**Sefa Tanis**

分享至

随着汽车雷达越来越普及，城市环境中拥挤不堪的射频频谱将变成一个电子战场。雷达将面临无意或有意干扰的组合式攻击，设计人员必须像在电子战(EW)中一样实施反干扰技术。

汽车雷达通常会遭受拒绝式或欺骗式干扰。拒绝式干扰会致盲受害车辆雷达。这种技术会降低信噪比，导致目标检测的概率降低。另一方面，欺骗式干扰会让受害车辆雷达“认为”存在虚假目标。受害车辆雷达失去追踪真实目标的能力，故而受害车辆的行为受到严重影响。

这些干扰可能源于汽车雷达之间的相互干扰，或者是使用廉价硬件简单地将强连续波(CW)信号指向受害车辆雷达而故意发生的攻击。

虽然目前的避干扰技术可能足以应对当今的情况，但随着雷达传感器的激增，汽车将需要使用弹性类型的缓解技术，或者此类技术与避干扰方法结合使用。弹性技术包括时频域信号处理或复杂雷达波形。

雷达波形

雷达波形是判断传感器在有干扰情况下的性能的关键系统参数之一。当今77 GHz频段的汽车雷达主要使用FMCW型波形。在FMCW雷达中，CW信号在射频段的频率上线性扫描或啁啾。图1显示了一个FMCW chirp序列(CS)波形例子。

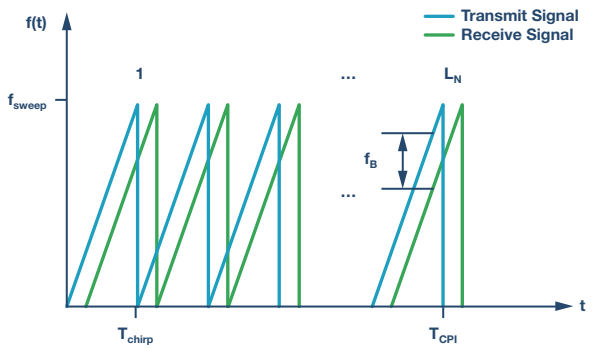


图1. FMCW CS示例

回波信号的频率差(f_b，拍频)与到目标的距离R成比例，可通过以下关系确定：

$$f_B = \frac{2}{c}\frac{f_{sweep}}{T_{chirp}}R \quad (1)$$

干扰的影响

在密集射频环境中，当FMCW雷达传感器在频带的相同部分中工作时，就会发生干扰。一个典型的迎面而来的汽车干扰示例参见图2。

拒绝式干扰

落入接收机带宽的任意FMCW型强干扰信号会提高受害雷达的本底噪声。这种拒绝式干扰可能导致小目标(即雷达散射截面(RCS)较小)因为SNR很差而消失。

拒绝式干扰也可以是故意为之，简单地将一个强CW信号射向受害车辆FMCW雷达就能做到。对受害雷达的影响类似于FMCW干扰情况(见图4)。

欺骗式干扰

如果干扰信号扫描是同步的，但与受害雷达一同延迟，那么其影响将是在固定距离产生欺骗性假目标。这种技术在电子战干扰机中很常见。类似类型的迎面而来的汽车雷达将成为非故意的干扰机。然而，受害雷达和干扰雷达之间时间对齐的概率将非常小。小于受害雷达最大距离延迟的干扰机延迟偏移看起来可能像真实目标。例如，200 m最大距离要求扫描对齐误差小于1.3 µs。然而，将复杂的类似电子战的设备安装在迎面而来的汽车平台上，便可故意开展这种欺骗式攻击。

更一般地，欺骗式干扰基于对受害雷达信号的重新传输，不过其延迟和频率发生了系统性改变。这可以是非相干的(这种情况下的干扰机被称为应答器)，或是相干的(这种情况下的干扰机被称为中继器)。中继器接收、改变并重新传输一个或多个干扰信号，而应答器是在干扰机检测到目标受害雷达信号时传输一个预定信号。

基于中继器的复杂攻击通常需要数字射频存储器(DRFM)。DRFM能够执行协调距离延迟和多普勒波门拖引攻击。因此，它会维持虚假目标距离和多普勒特性以欺骗受害雷达。

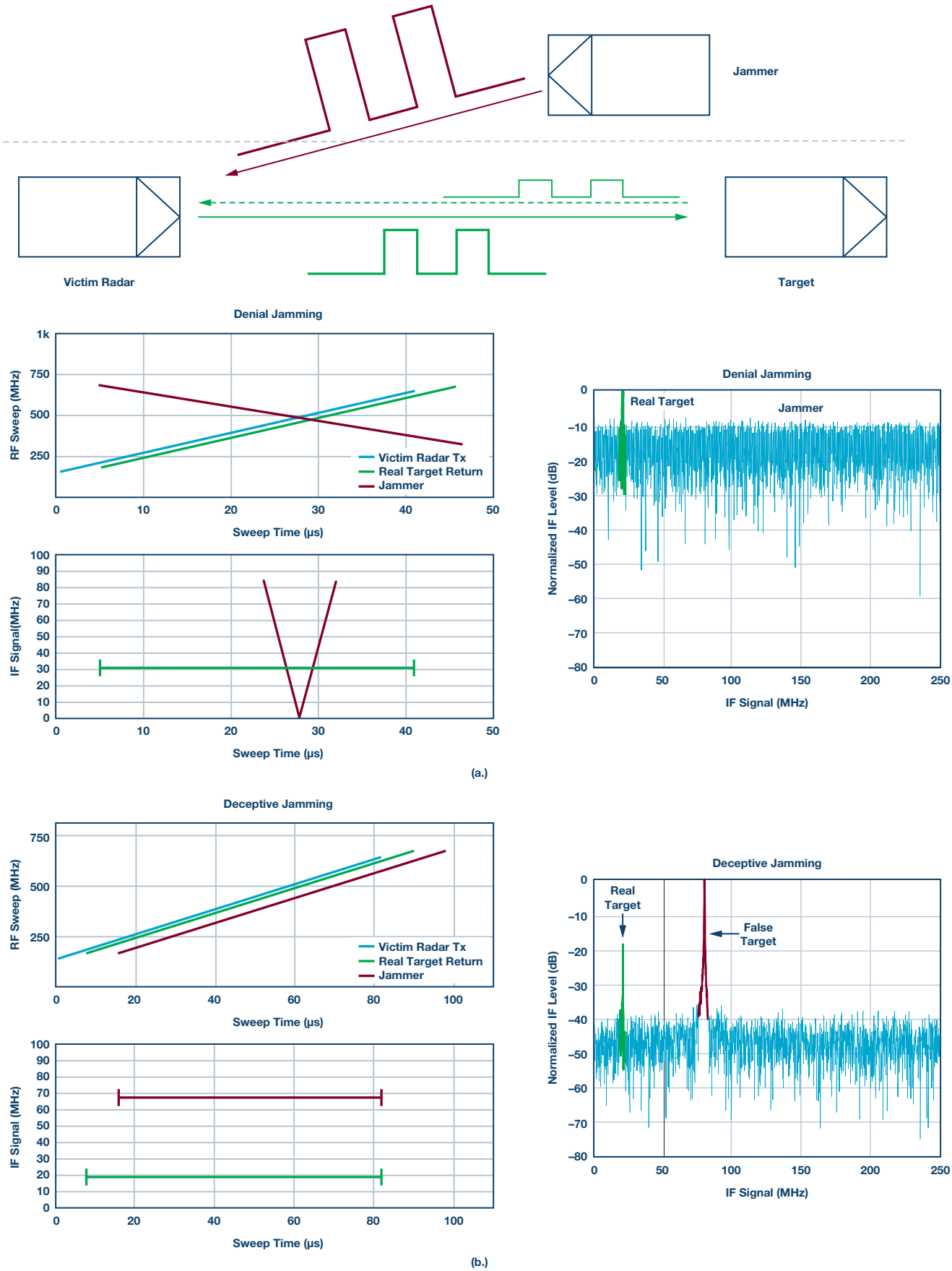


图2. 示例：a) FMCW拒绝式干扰；b) FMCW欺骗式干扰

干扰缓解技术

基本方法：避免

基本的雷达干扰缓解技术主要依赖于避干扰方法。其目标是降低空间、时间和频率重叠的可能性，例如：

- 空间：使用较窄的电子扫描波束可以降低干扰风险。远程汽车巡航控制(ACC)雷达的典型视野为±8°。尽管如此，强干扰信号仍可通过天线旁瓣造成有效干扰。
- 时间：随机生成FMCW啁啾斜率参数以避免周期性干扰。
- 频谱：随机生成FMCW啁啾起始和停止频率，以降低重叠和干扰的概率。

随机化的基本方法会避免与其他雷达意外同步，但在密集射频环境中可能不那么有用。越来越多的雷达传感器需要更复杂的弹性技术来缓解干扰。

战略方法：检测并修复

另一种避干扰方法是利用信号处理算法修复接收到的波形。时频域技术可以有效应对拒绝式干扰攻击。在迎面而来的汽车FMCW干扰情况下，干扰机扫描所有频率槽的时间非常之短。这种快速时变信号在常规FFT域中表现为升高的本底噪声。时频域信号处理技术将该信号转移到另一个域，与FFT域相比，在该域中更容易滤除干扰(见图3)。

对于时变信号，短时傅立叶变换(STFT)比常规FFT能提供更多信息。基于STFT的技术可用于消除窄带干扰。STFT基本上是让一个窗口移动通过信号，获取窗口区间的FFT。在频域中对信号进行滤波以去除干扰分量，然后将其转换回时域。

图4显示了重叠射频啁啾序列的典型FMCW干扰情况，以及由此产生的STFT域中的IF拍频信号。

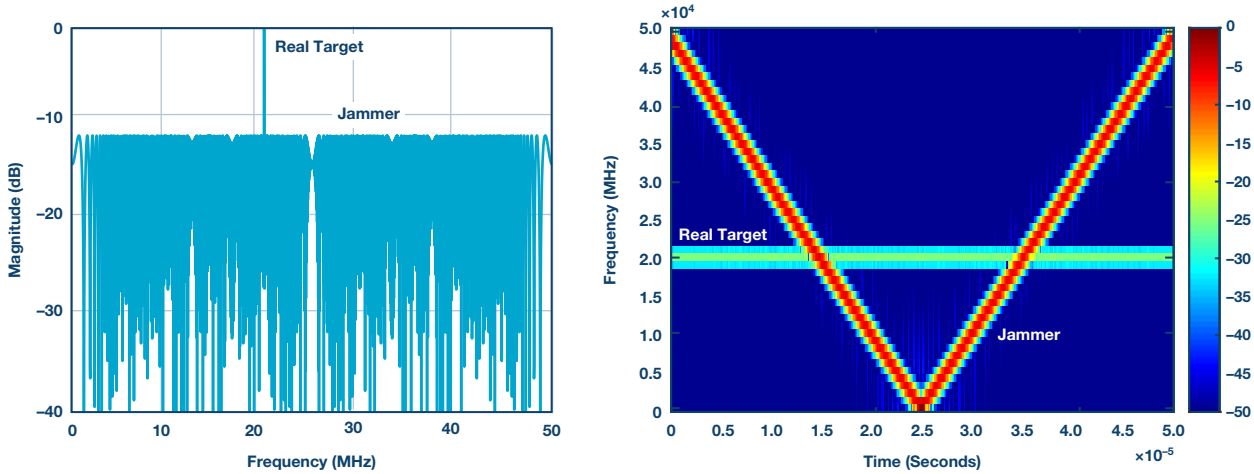


图3. 雷达回波IF波形的FFT和STFT域表示

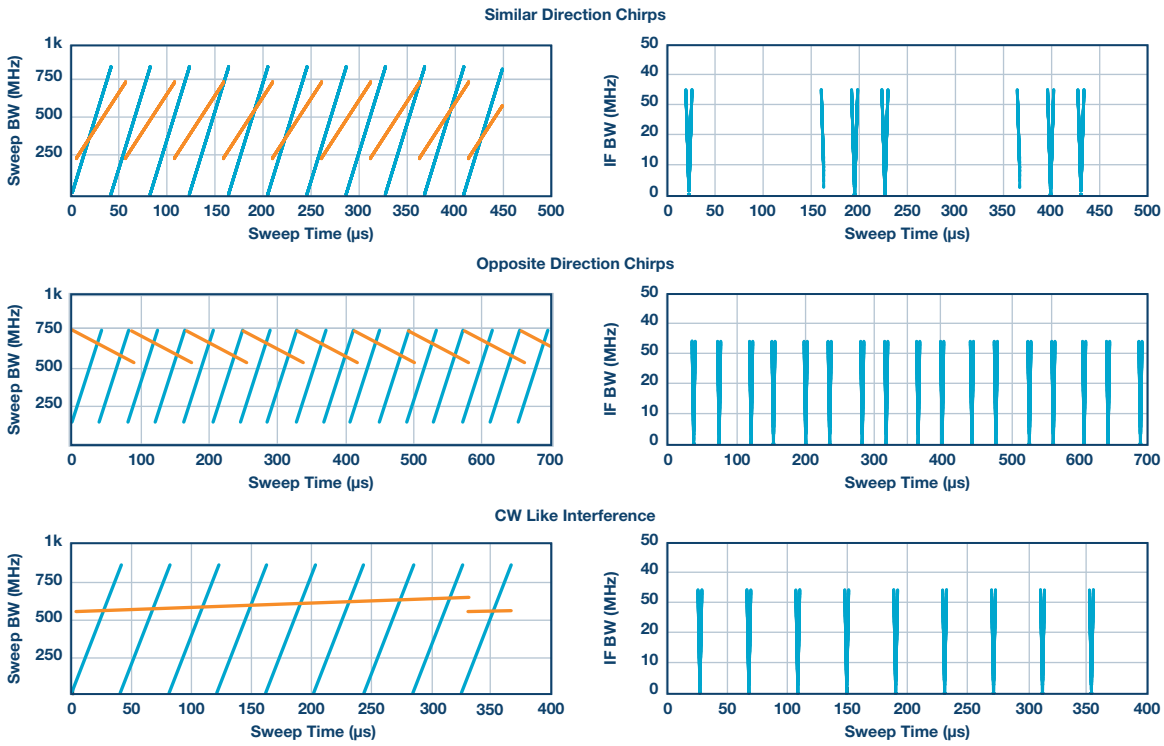


图4. STFT域，左：FMCW雷达和干扰机，右：IF域

图4右侧显示了IF域，其为雷达(蓝色)和干扰(橙色)信号混频的最终结果。水平线表示目标，而V形垂直线表示存在干扰信号。

类似或相反方向的干扰FMCW，甚至类似CW的慢速啁啾，对IF信号有类似的影响。在所有这些干扰情况中，快速移动的V形IF信号会提高常规FFT域中的本底噪声，如图3所示。

可以使用基于幅度的屏蔽来滤除STFT域中的干扰信号。当然，前提是受害雷达前端和量化部分具有足够的动态范围来同时线性地处理较强的干扰信号和较小的预期目标信号。参见图5。

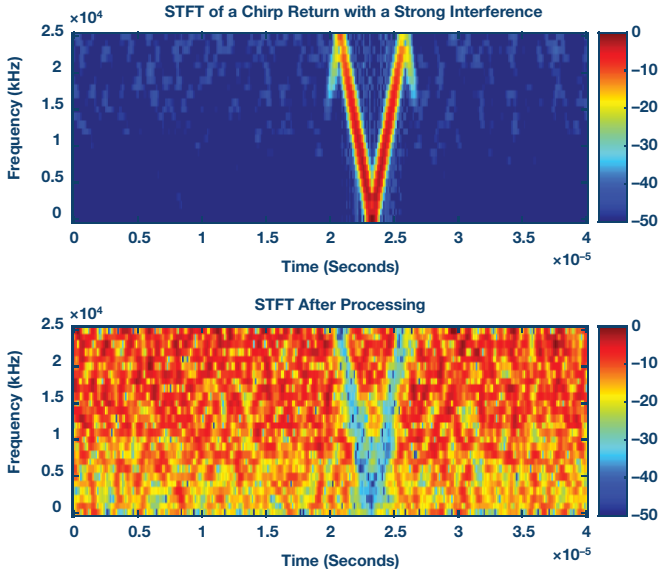


图5. STFT域中基于幅度的屏蔽

图5上方图像显示了一个强干扰信号，而下方图像显示了处理后的STFT。在有强干扰的情况下，如上方图像所示，多个真实目标不可见。在下方图像中，V形干扰信号被消除；当转移回时域时，低SNR目标现在已可辨识。

在拒绝式干扰情况中，可以利用基于STFT的干扰缓解技术来应对强干扰。针对欺骗式干扰攻击，单凭STFT无法验证返回信号是真还是假。

加密射频

降低中继器欺骗式干扰攻击影响的基本对策是使用低概率拦截(LPI)雷达波形。LPI雷达的目的是将辐射能量扩散到很宽的频谱上以规避检测，通常采用准随机扫描、调制或跳频序列。FMCW是一种LPI波形。如果将相位编码或加密引入频率啁啾，则可以进一步降低DRFM拦截汽车雷达信号的几率。

每个雷达传感器独有的加密射频特征可以验证返回信号的真伪。图6显示了一个使用案例，其中两个相同雷达(安装在不同汽车上)之间有频率偏移和延迟，在受害雷达中产生一个假目标。干扰雷达与受害雷达在时间上是对齐的(相同的啁啾斜率且偏移较短)。

在这种情况下，相位编码FMCW雷达可以提供很高的抗干扰鲁棒性。使用正交码还能让MIMO雷达操作变得可行，从而支持多个波形同时发射。

编码要求：

- 码长：目标是利用短序列实现最小距离旁瓣电平。1024的PRN序列长度导致峰值旁瓣电平(PSLL)约为30 dB (10log1024)。可以优化发射码和接收滤波器权重，以SNR为代价来改善PSLL。
- 良好的交互相关特性：为实现传感器之间的良好隔离，一个集合的成员的交互相关系数应为零。
- 抗多普勒效应能力：相位编码雷达性能可能受多普勒频移的影响。二进制码对多普勒效应的耐受能力差。多相码的性能衰减速度比二进制码要慢。
- 可用的不同码数量：规模大的比较好，可以为每个雷达传感器分配唯一编码。

图7显示了无相位编码的雷达回波。干扰信号显示为一个假目标。当利用PRN序列对发射机FMCW波形进行相位编码时，可以抑制干扰信号，如图8所示。

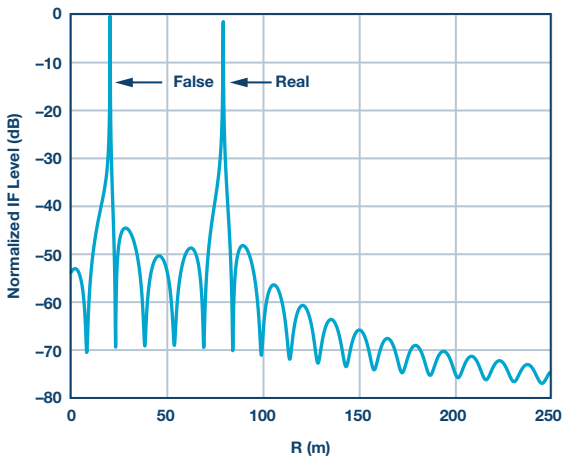


图7. 未对真伪目标进行相位编码的雷达回波

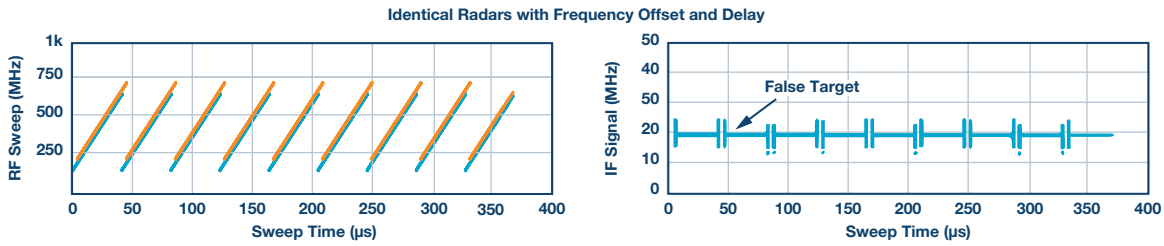


图6. 存在频率偏移和延迟的相同雷达引起的干扰

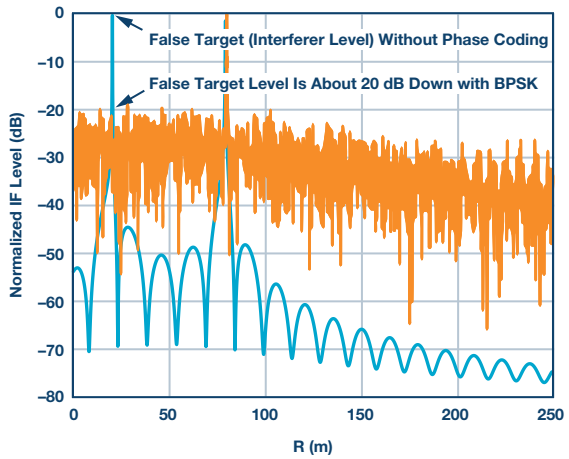


图8. 有和无相位编码的雷达回波

这种方法会影响动态范围。然而，雷达信号处理器可以对几个啁啾信号使用相位编码FMCW以标记假目标，然后切换回正常操作。

结论及未来趋势

使用先进信号处理算法和复杂波形生成技术，可以缓解拥挤汽车雷达传感器环境中的干扰。基于STFT的信号处理技术可用来应对拒绝类型的攻击。相位编码FMCW借助处理增益和避免拦截措施，对非相干和相干欺骗式攻击均提供额外的抵御层。表1是对缓解技术的总结。

表1. 基于FMCW的汽车雷达缓解技术

干扰类型	拒绝式	欺骗式	
干扰硬件	另一个雷达传感器或简单的CW发生器	DRF (相干)	应答器 (非相干)
对受害雷达的影响	SNR不佳	假目标	假目标
弹性缓解技术	STFT	相位编码FMCW	相位编码FMCW
缓解原则	修复雷达返回波形	规避检测	编码序列的处理增益
减缓效果 (预期)	高	中	好

上述针对汽车雷达的干扰缓解原则也适用于其他雷达传感器环境，例如机器人、道路收费、GPS、无人机着陆或防撞系统。

目前，汽车雷达传感器在非合作模式下运行，彼此之间不通信。虽然合作运作模式需要全行业协调，但雷达传感器之间的仲裁可以帮助解决干扰问题。

包括传感器合作在内的未来雷达概念将是通信节点和雷达传感器的融合。使用复杂波形的未来雷达也可以将信息包含在雷达信号中。同一硬件可以同时用于雷达和通信(RadCom)。

RadCom：雷达和通信功能同时执行的单一系统：

- 多用户能力，无干扰
- 利用OFDM或类似通信码对雷达信号进行编码，为在雷达信号中包含信息提供了可能性
- 基于OFDM的雷达发射信号使得二者可以同时进行

ADI公司的5G毫米波收发器信号解决方案具有超过GHz的带宽和波束引导能力，可能成为RadCom系统概念的潜在候选者。

ADI公司在开发最先进雷达传感器和5G毫米波解决方案方面处于独特的地位，为未来的RadCom系统铺平了道路。

ADI公司Drive360 28 nm CMOS雷达技术：

ADI公司的Drive360™ 28nm CMOS雷达平台支持多种高级信号处理集成，甚至是自定义IP集成，使设计人员能够区分他们的系统，而且配有高集成电源管理辅助芯片。该平台可令一级供应商产品和原厂产品具备优良的性能，而这正是打造可靠的解决方案，将其应用于新兴自主驾驶领域所不可获取的前提条件。

5G毫米波

ADI公司借助其独有的位到微波功能，为5G微波作出了诸多贡献。ADI丰富的技术产品系列以及不断进步的RF技术与无线电系统工程的深厚历史相结合，使我们处于领先地位，带领我们的客户为新兴的5G系统开拓新的微波和毫米波频率解决方案。

Sefa Tanis [sefa.tanis@analog.com]是ADI公司高级射频系统工程师，专门从事小型蜂窝收发器的数字预失真算法开发，研究汽车雷达的信号处理技术并评估无线基础设施用封装RF模块中的系统。在2012年加入ADI之前，他曾担任F-16飞机电子战计划AN/ALQ-178 V(5)+的首席射频工程师，该计划由土耳其ASELSAN和北美BAE Systems联合开发。他在电信和防务/航空航天行业的微波产品系统级设计以及算法开发、测试和集成方面拥有超过15年的经验。他于2000年获得土耳其丘库罗瓦大学电气工程学士学位。



Sefa Tanis

在汽车起停系统中为信息娱乐设备供电

作者：**Bruce Haug**

分享至

背景

汽车制造商一直宣传起停系统有助于节省燃料。顾名思义，起停系统在停车时会关闭引擎，而不是空转，然后在需要行驶时迅速重新起动引擎。如果驾驶中需要走走停停，通过避免引擎长时间空转可以减少排放并节省燃料。概念非常简单。例如，如果您在遇到红灯或火车经过时停车，引擎不应运转；如果引擎不运转，就不会浪费任何能源。与没配备这种系统的汽车相比，城市交通的燃料消耗降低幅度高达8%。

驾驶舒适性和安全性并不会受自动起停功能影响，因为该功能只在引擎达到理想的运转温度时才激活。如果空调尚未使座舱达到所需温度，电池尚未充分充电，或驾驶员还在转动方向盘，该功能也不会激活。

自动起停功能由中央控制单元协调，该控制单元监测来自所有相关传感器(包括起动电机和交流发电机)的数据。如果舒适性或安全性有需要，控制单元将自动重新起动引擎——例如，如果车轮开始滚动、电池电量降至过低或挡风玻璃上出现水汽凝结。此外，大多数系统可识别临时停车和行程结束之间的差异。如果驾驶员的安全带解开，或者车门或行李箱打开，系统不会重新起动引擎。如有需要，按下按钮即可完全禁用自动起停功能(至少现在是这样)。

但是，当引擎重新起动，12 V电池有可能已经降至5 V以下，当信息娱乐系统开启或其他电子设备需要高于5 V的电压时，可能导致这些系统复位。有些导航和信息娱乐系统采用5 V或更高的输入电压工作。当输入电压在引擎重新起动期间降至5 V以下，若DC-DC转换器仅具有输入电压降压功能，这些系统将复位。显然，汽车在起停状态下重新起动时，音乐播放器或导航系统的复位是无法接受的。

解决方案

ADI公司最近推出了三路输出DC-DC控制器Power by Linear® LTC7815，该器件在单个封装中集成了升压控制器和两个降压控制器。高效率同步升压转换器给两个下游同步转换器馈电，可在汽车电池电压下降时避免出现输出电压压差，这在汽车起停系统中是非常有用的特性。此外，当汽车电池的输入电压高于其编程的升压输出电压时，升压控制器以100%占空比运行，仅将输入电压直接传递至降压转换器，从而将功耗降至最低。

图1为LTC7815的升压转换器向降压转换器提供10 V电压的原理图。除了为两个降压转换器(分别产生5 V/7 A和3.3 V/10 A)供电之外，升压转换器还可用作第三路输出，提供额外的2 A电流。该电路在高达28 V_{IN}下可保持2.1 MHz工作频率，并在高于28 V时跳周期工作。

LTC7815在启动期间可以以4.5 V至38 V的输入电压工作，并在启动之后保持工作直到输入电压低至2.5 V。同步升压转换器可产生高达60 V的输出电压，在输入电压够高时，它可让同步开关完全导通，以直通输入电压，实现效率最大化。两个降压转换器可产生0.8 V至24 V的输出电压，且整个系统可实现高达95%的效率。低至45 ns的最短导通时间可在2 MHz开关操作中实现高降压比转换，从而避开对噪声敏感的关键频段(如AM无线电)，并可使用较小的外部组件。

LTC7815可配置为Burst模式®操作，将静态电流减小至每通道28 µA(三个通道全部导通时为38 µA)，同时在无负载条件下调节输出电压，该特性对节省持续导通系统中的电池运行时间很有用。强大的1.1 Ω内置全N沟道MOSFET栅极驱动器最大限度地降低了开关损耗，并提供高于每通道10 A的输出电流，仅受外部组件限制。此外，每个转换器的输出电流检测，通过监测电感器(DCR)两端的压降或采用单独的检流电阻进行。LTC7815的恒定频率电流模式架构可提供320 kHz至2.25 MHz的可选频率，或者可同步至相同范围的外部时钟。

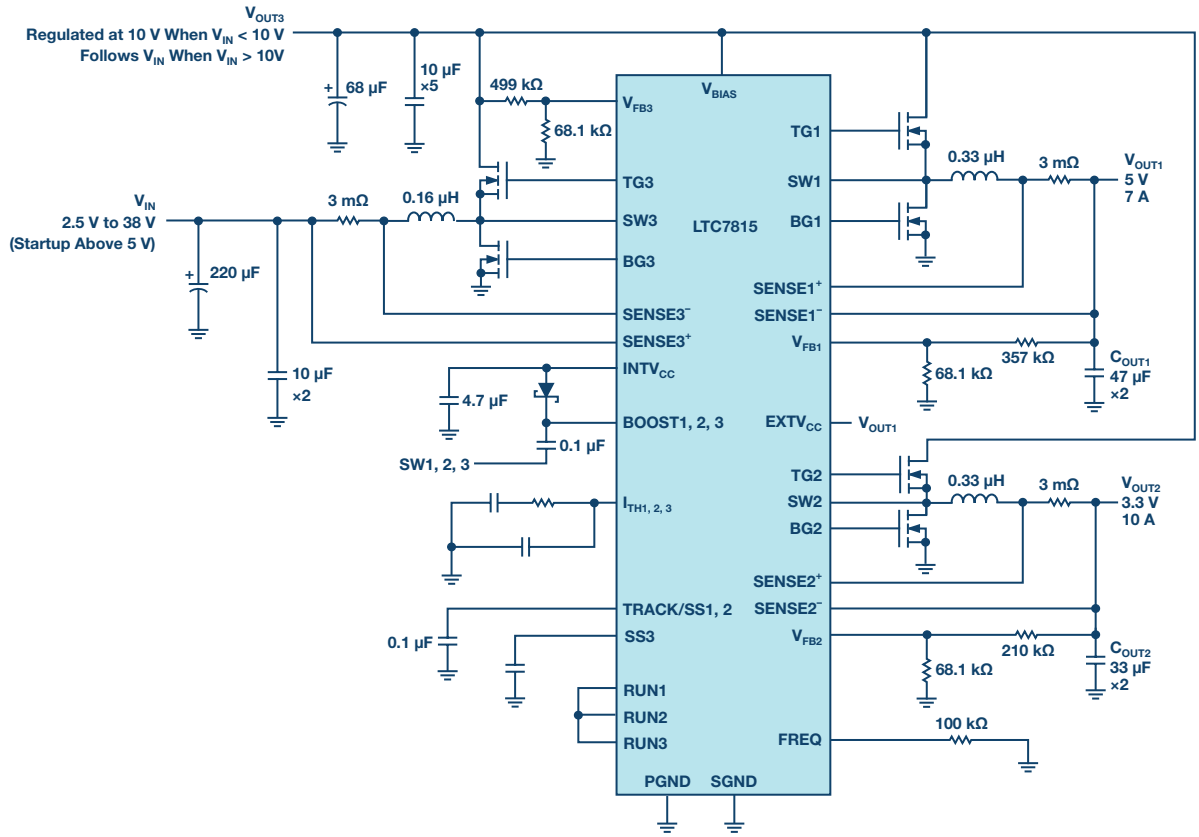


图1. LTC7815起停应用原理图，工作频率为2.1 MHz。

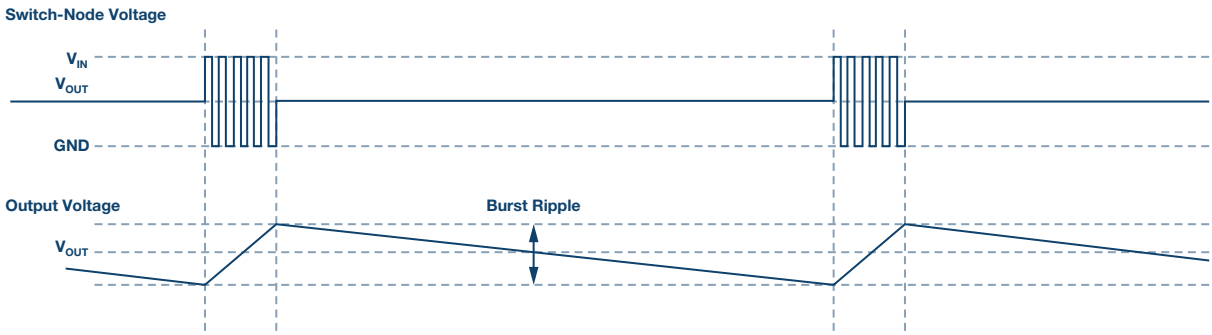


图2. LTC7815的Burst模式操作电压图。

延长电池运行时间

任何电池供电系统，如果要求在系统其他部分关断时仍需要始终导通的供电总线，就必须节省电池能量。这种状态通常被称为睡眠、待机或空闲模式，并要求系统具有非常低的静态电流。低静态电流以节省电池能量的要求，对于汽车应用尤为重要，该应用可能包含多套电气电路，例如远程信息处理、CD/DVD播放器、遥控无钥匙门禁和多个始终导通的总线电路。这些系统在待机模式下的总电流消耗要尽可能低，随着汽车运行越来越依赖电子系统，节省电池能量的压力不断加大。

在睡眠模式下，升压转换器和其中一个降压转换器导通时，LTC7815仅消耗28 µA电流。三个通道全部处于睡眠模式时，LTC7815仅消耗20 µA电流，使得空闲模式下的电池运行时间大幅延长。这是通过将LTC7815配置为高效Burst模式来实现的，该器件向输出电容提供短时突发电流，随后进入睡眠期，此期间仅通过输出电容将输出功率输送给负载。图2为这种工作方式的概念时序图。

在睡眠模式下，除了快速响应所需的关键电路外，大部分内部电路都被关断。当输出电压下降至足以激活睡眠信号时，控制器通过打开顶部的外部MOSFET来恢复正常的Burst模式操作。或者，有些情况下，用户希望在轻负载电流下以强制连续或恒定频率脉冲跳跃模式工作。两种模式都易于配置，并具有更高的静态电流。

效率/方案尺寸

图1原理图所示的5V输出效率约为90%(如图3所示)。如果工作频率从2.1 MHz降至300 kHz，效率可提高3%到4%。

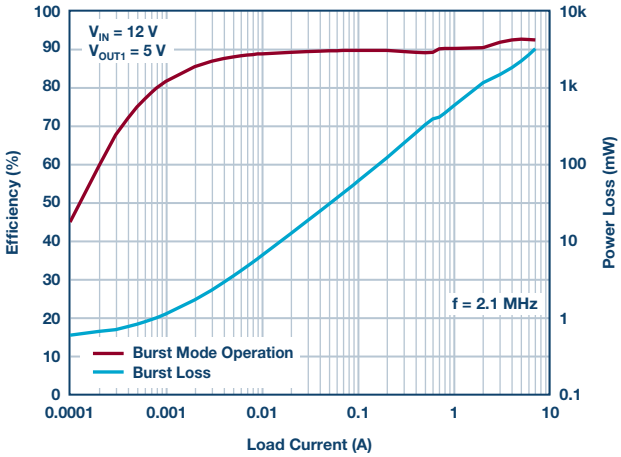


图3. LTC7815在不同转换器部分的效率与负载电流。

图4为LTC7815演示板(原理图如图1所示)，最宽部分为48 mm。

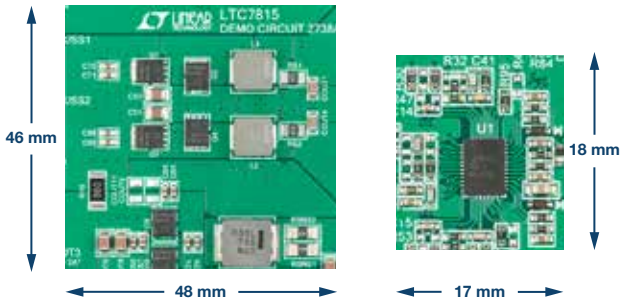


图4. LTC7815演示板顶层和底层的尺寸与布局。

保护特性

LTC7815可配置为通过使用DCR(电感器阻抗)或检流电阻来检测输出电流。两种电流检测方案之间的选择主要权衡成本、功耗和精度。DCR检测日益流行，因为它省去了昂贵的电流感测电阻，功率效率更高，特别是在大电流应用中。而检流电阻是更精确的电流检测方法。

片上比较器监测降压输出电压，当输出大于标称值10%时，发出过压条件信号。检测到这种情况时，顶部MOSFET关断，底部MOSFET导通，直至过压条件清除。只要过压条件持续，底部MOSFET就持续导通。如果输出电压恢复至安全水平，则自动恢复正常操作。

在温度较高或内部功耗引起片内过度自热的情况下，过温关断电路将关断LTC7815。当结温超过大约170°C时，过温电路将禁用片上偏置LDO，从而使偏置电源降至0 V，并顺序有效地关断整个LTC7815。一旦结温降回大约155°C，LDO重新导通。

结论

汽车起停系统可节省燃料，并在未来几年继续演进。为板载信息娱乐系统和导航系统供电必须很小心，这些系统需要的电压高达5 V，甚至超过5 V。当引擎重新起动时，若汽车电池电压降至5 V以下，这些系统可能复位。LTC7815通过将电池电压提升至安全操作水平来解决此问题。这一特性结合两个降压控制器，非常适合在配置起停系统的汽车中为诸多汽车电子设备供电。

Bruce Haug [bruce.haug@analog.com]于1980年毕业于圣何塞州立大学，获电气工程学士学位。2006年4月，加盟凌力尔特(现为ADI公司的一部分)，担任产品营销工程师。此前，Bruce曾在Cherokee International、Digital Power和福特宇航供职。他还热衷于参与体育活动。



Bruce Haug

锁相环(PLL)基本原理

作者：**Ian Collins**

分享至

摘要：

锁相环(PLL)电路存在于各种高频应用中，从简单的时钟净化电路到用于高性能无线电通信链路的本振(LO)，以及矢量网络分析仪(VNA)中的超快开关频率合成器。本文将参考上述各种应用来介绍PLL电路的一些构建模块，以指导器件选择和每种不同应用内部的权衡考虑，这对新手和PLL专家均有帮助。本文参考ADI公司的ADF4xxx和HMCxxx系列PLL和压控振荡器(VCO)，并使用ADIsimPLL(ADI公司内部PLL电路仿真器)来演示不同电路性能参数。

基本配置：时钟净化电路

锁相环的最基本配置是将参考信号(F_{REF})的相位与可调反馈信号(RF_{IN}) F_0的相位进行比较，如图1所示。图2中有一个在频域中工作的负反馈控制环路。当比较结果处于稳态，即输出频率和相位与误差检测器的输入频率和相位匹配时，我们说PLL被锁定。就本文而言，我们仅考虑ADI公司ADF4xxx系列PLL所实现的经典数字PLL架构。

该电路的第一个基本元件是鉴频鉴相器(PFD)。PFD将输入到REF_{IN}的频率和相位与反馈到RF_{IN}的频率和相位进行比较。ADF4002是一款可配置为独立PFD(反馈分频器N = 1)的PLL。因此，它可以与高质量压控晶体振荡器(VCXO)和窄低通滤波器一起使用，以净化高噪声REF_{IN}时钟。

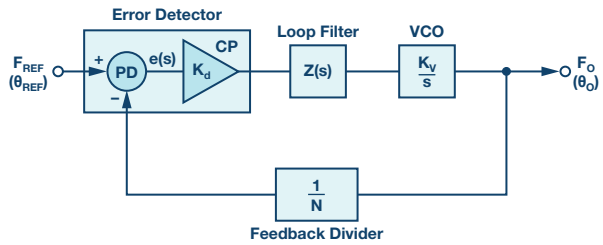


图1. PLL基本配置

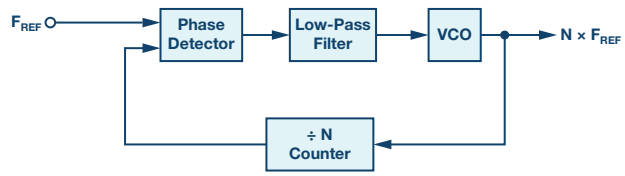


图2. PLL基本配置

鉴频鉴相器

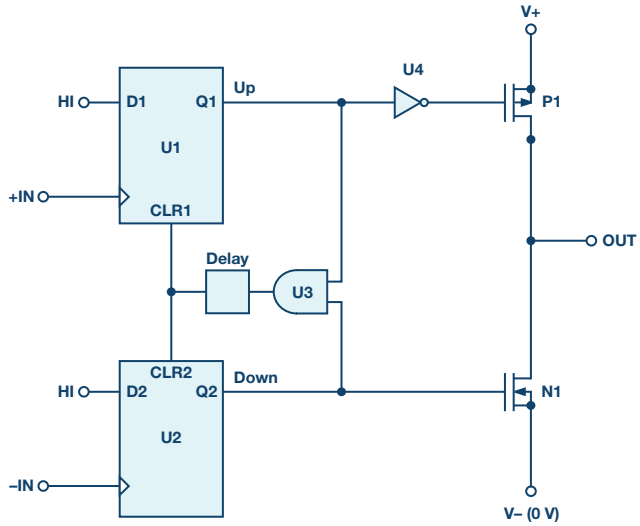


图3. 鉴频鉴相器

图3中的鉴频鉴相器将+IN端的F_{REF}输入与和–IN端的反馈信号进行比较。它使用两个D型触发器和一个延迟元件。一路Q输出使能正电流源，另一路Q输出使能负电流源。这些电流源就是所谓电荷泵。有关PFD操作的更多详细信息，请参阅“用于高频接收器和发射器的锁相环”。

使用这种架构，下面+IN端的输入频率高于–IN端(图4)，电荷泵输出会推高电流，其在PLL低通滤波器中积分后，会使VCO调谐电压上升。这样，–IN频率将随着VCO频率的提高而提高，两个PFD输入最终会收敛或锁定到相同频率(图5)。如果–IN频率高于+IN频率，则发生相反的情况。

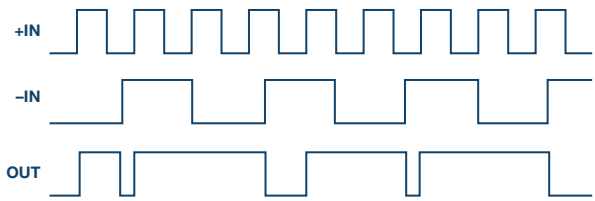


图4. PFD错相和频率失锁

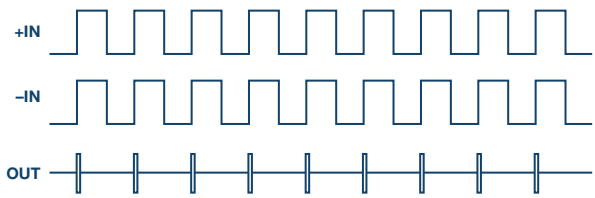


图5. 鉴频鉴相器、频率和锁相

回到原先需要净化的高噪声时钟例子，时钟、自由运行VCXO和闭环PLL的相位噪声曲线可以在ADIsimPLL中建模。

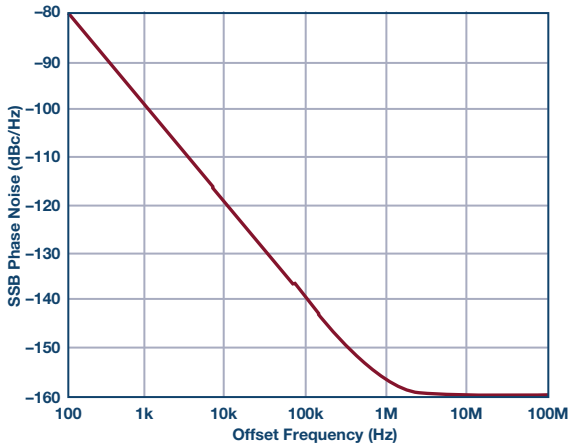


图6. 参考噪声

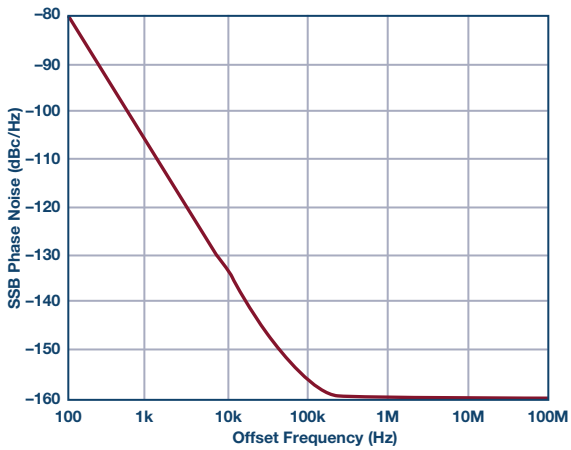


图7. 自由运行VCXO

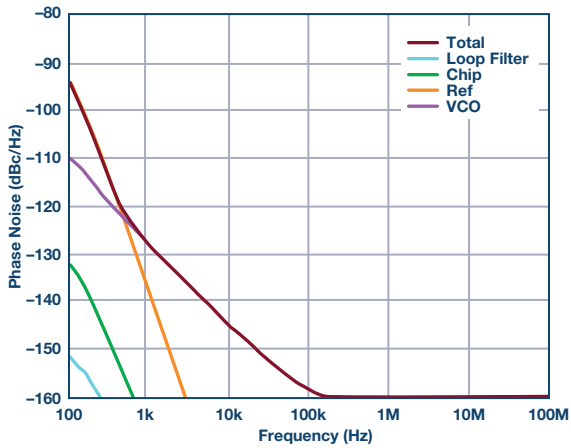


图8. 总PLL噪声

从所示的ADIsimPLL曲线中可以看出，REF_{IN}的高相位噪声(图6)由低通滤波器滤除。由PLL的参考和PFD电路贡献的所有带内噪声都被低通滤波器滤除，只在环路带宽外(图8)留下低得多的VCXO噪声(图7)。当输出频率等于输入频率时，PLL配置最简单。这种PLL称为时钟净化PLL。对于此类时钟净化应用，建议使用窄带宽(<1 kHz)低通滤波器。

高频整数N分频架构

为了产生一系列更高频率，应使用VCO，其调谐范围比VCXO更宽。这常用于跳频或扩频跳频(FHSS)应用中。在这种PLL中，输出是参考频率的很多倍。压控振荡器含有可变调谐元件，例如变容二极管，其电容随输入电压而改变，形成一个可调谐振电路，从而可以产生一系列频率(图9)。PLL可以被认为是该VCO的控制系统。

反馈分频器用于将VCO频率分频为PFD频率，从而允许PLL生成PFD频率倍数的输出频率。分频器也可以用在参考路径中，这样就可以使用比PFD频率更高的参考频率。ADI公司的ADF4108就是这样的PLL。PLL计数器是电路中要考虑的第二个基本元件。

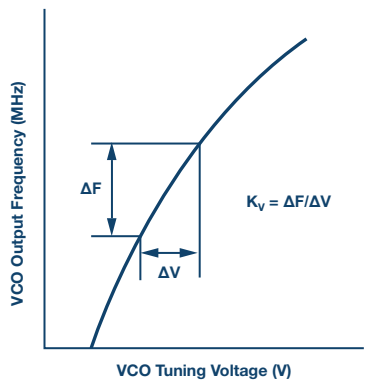


图9. 压控振荡器

PLL的关键性能参数是相位噪声、频率合成过程中的多余副产物或杂散频率(简称杂散)。对于整数N PLL分频，杂散频率由PFD频率产生。来自电荷泵的漏电流会调制VCO的调谐端口。低通滤波器可减轻这种影响，而且带宽越窄，对杂散频率的滤波越强。理想单音信号没有噪声或额外杂散频率(图10)，但在实际应用中，相位噪声像裙摆一样出现在载波边缘，如图11所示。单边带相位噪声是指在距离载波的指定频率偏移处，1 Hz带宽内相对于载波的噪声功率。

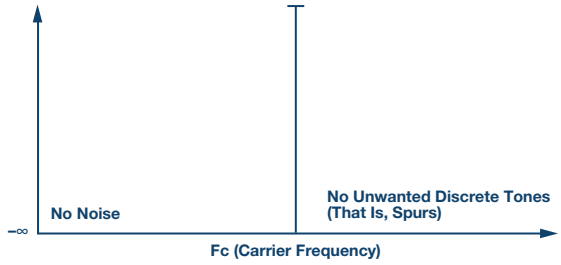


图10. 理想LO频谱

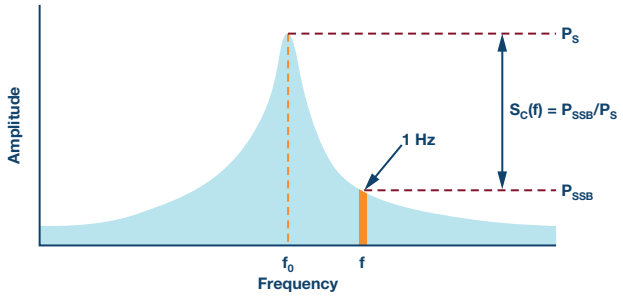


图11. 单边带相位噪声

整数N和小数N分频器

在窄带应用中，通道间隔很窄(通常<5 MHz)，反馈计数器N很高。通过使用双模P/P + 1预分频器，如图12所示，可以利用一个小电路获得高N值，并且N值可以利用公式N = PB + A来计算；以8/9预分频器和90的N值为例，计算可得B值为11，A值为2。对于A或2个周期，双模预分频器将进行9分频。对于剩余的(B-A)或9个周期，它将进行8分频，如表1所示。预分频器一般利用较高频率电路技术设计，例如双极性射极耦合逻辑(ECL)电路，而A和B计数器可以接受这种较低频率的预分频器输出，它们可以利用低速CMOS电路制造，以减少电路面积和功耗。像ADF4002这样的低频净化PLL省去了预分频器。

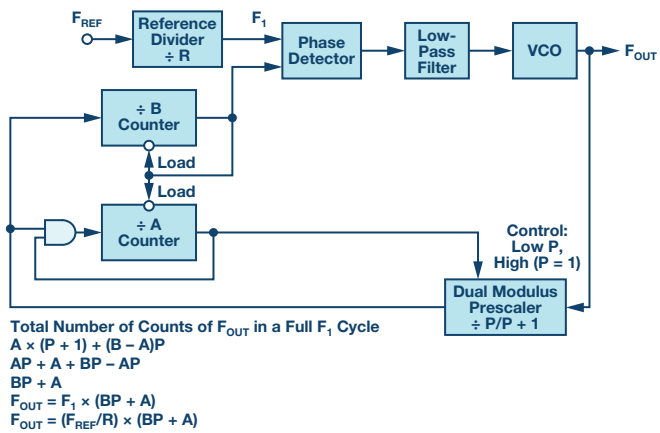


图12. 具有双模N计数器的PLL

表1. 双模预分频器操作

N Value	P/P + 1	B Value	A Value
90	9	11	2
81	9	10	1
72	8	9	0
64	8	8	0
56	8	7	0
48	8	6	0
40	8	5	0
32	8	4	0
24	8	3	0
16	8	2	0
8	8	1	0
0	8	0	0

带内(PLL环路滤波器带宽内)相位噪声受N值直接影响，带内噪声增幅为20log(N)。因此，对于N值很高的窄带应用，带内噪声主要由高N值决定。利用小数N分频合成器(例如ADF4159或HMC704)，可以实现N值低得多但仍有精细分辨率的系统。这样一来，带内相位噪声可以大大降低。图13至图16说明了其实现原理。在这些示例中，使用两个PLL来生成适合于5G系统本振(LO)的7.4 GHz至7.6 GHz频率，通道分辨率为1 MHz。ADF4108以整数N分频配置使用(图13)，HMC704以小数N分频配置使用。HMC704(图14)可以使用50 MHz PFD频率，这会降低N值，从而降低带内噪声，同时仍然支持1 MHz(或更小)的频率步长——可注意到性能改善15 dB(在8 kHz偏移频率处)(图15与图16对比)。但是，ADF4108必须使用1 MHz PFD才能实现相同的分辨率。

对于小数N分频PLL务必要小心，确保杂散不会降低系统性能。对于HMC704之类的PLL，整数边界杂散(当N值的小数部分接近0或1时产生，例如147.98或148.02非常接近整数值148)最需要关注。解决措施是对VCO输出到RF输入进行缓冲，以及/或者做精心的规划频率，改变REF_{IN}以避免易发生问题的频率。

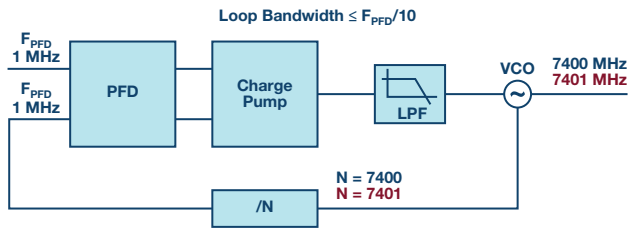


图13. 整数N分频PLL

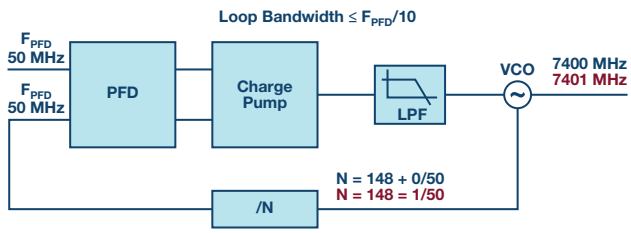


图14. 小数N分频PLL

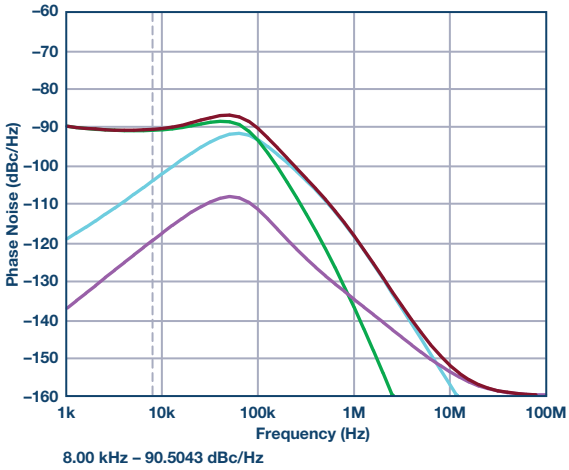


图15. 整数N分频PLL带内相位噪声

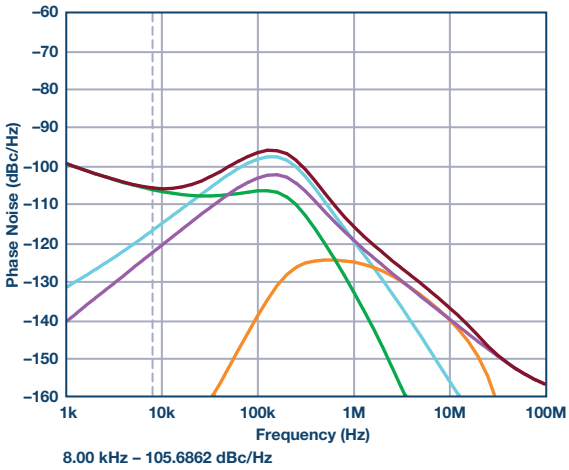


图16. 小数N分频PLL带内相位噪声

对于大多数PLL，带内噪声高度依赖于N值，也取决于PFD频率。从带内相位噪声测量结果的平坦部分减去20log(N)和10log(F_{PFD})得到品质因数(FOM)。选择PLL的常用指标是比较FOM。影响带内噪声的另一个因素是1/f噪声，它取决于器件的输出频率。FOM贡献和1/f噪声，再加上参考噪声，决定了PLL系统的带内噪声。

用于5G通信的窄带LO

对于通信系统，从PLL角度来看，主要规格有误差矢量幅度(EVM)和VCO阻塞。EVM在范围上与积分相位噪声类似，考虑的是一系列偏移上的噪声贡献。对于前面列出的5G系统，积分限非常宽，从1 kHz开始持续到100 MHz。EVM可被认为是理想调制信号相对于理想点的性能降幅百分比(图17)。类似地，积分相位噪声将相对于载波的不同偏移处的噪声功率进行积分，表示通过配置可以计算EVM、积分相位噪声、均方根相位误差和抖动。现代信号源分析仪也会包含这些数值(图18)，只需按一下按钮即可得到。随着调制方案中密度的增加，EVM变得非常重要。对于16-QAM，根据ETSI规范3GPP TS 36.104，EVM最低要求为12.5%。对于64-QAM，该要求为8%。然而，由于EVM包括各种其他非理想参数(功率放大器失真和不需要的混频产物引起)，因此积分噪声通常有单独的定义(以dBc为单位)。

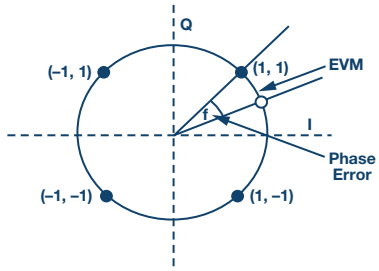


图17. 相位误差可视化

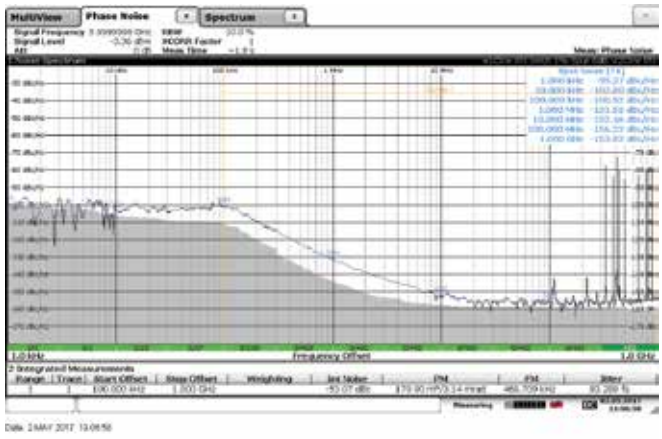


图18. 信号源分析仪图

VCO阻塞规范在需要考虑强发射存在的蜂窝系统中非常重要。如果接收器信号很弱，并且VCO噪声太高，那么附近的发射器信号可能会向下混频，淹没目标信号(图19)。图19演示了如果接收器VCO噪声很高，附近的发射器(相距800 kHz)以-25 dBm功率发射时，如何淹没-101 dBm的目标信号。这些规范构成无线通信标准的一部分。阻塞规范直接影响VCO的性能要求。

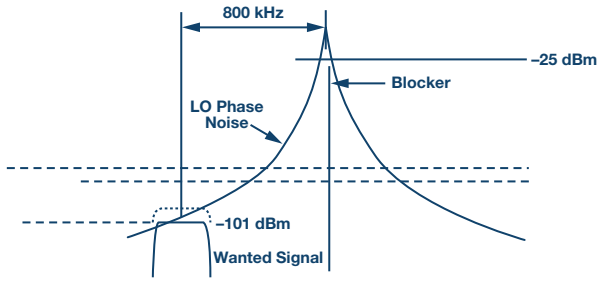


图19. VCO噪声阻塞

压控振荡器(VCO)

我们的电路中需要考虑的下一个PLL电路元件是压控振荡器。对于VCO，相位噪声、频率覆盖范围和功耗之间的权衡十分重要。振荡器的品质因数(Q)越高，VCO相位噪声越低。然而，较高Q电路的频率范围比较窄。提高电源电压也会降低相位噪声。在ADI公司的VCO系列中，HMC507的覆盖范围为6650 MHz至7650 MHz，100 kHz时的VCO噪声约为-115 dBc/Hz。相比之下，HMC586覆盖了从4000 MHz到8000 MHz的全部倍频程，但相位噪声较高，为-100 dBc/Hz。为使这种VCO的相位噪声最小，一种策略是提高VCO调谐电压V_{TUNE}的范围(可达20 V或更高)。这会增加PLL电路的复杂性，因为大多数PLL电荷泵只能调谐到5 V，所以利用一个由运算放大器组成的有源滤波器来提高PLL电路的调谐电压。

多频段集成PLL和VCO

另一种扩大频率覆盖范围而不恶化VCO相位噪声性能的策略是使用多频段VCO，其中重叠的频率范围用于覆盖一个倍频程的频率范围，较低频率可以利用VCO输出端的分频器产生。ADF4356就是这种器件，它使用四个主VCO内核，每个内核有256个重叠频率范围。该器件使用内部参考和反馈分频器来选择合适的VCO频段，此过程被称为VCO频段选择或自动校准。

多频段VCO的宽调谐范围使其适用于宽带仪器，可产生范围广泛的频率。此外，39位小数N分辨率使其成为精密频率应用的理想选择。在矢量网络分析仪等仪器中，超快开关速度至关重要。这可以通过使用非常宽的低通滤波器带宽来实现，它能非常快地调谐到最终频率。在这些应用中，通过使用查找表(针对每个频率直接写入频率值)可以绕过自动频率校准程序，也可以使用真正的单核宽带VCO，如HMC733，其复杂性更低。

对于锁相环电路，低通滤波器的带宽对系统建立时间有直接影响。低通滤波器是我们电路中的最后一个元件。如果建立时间至关重要，应将环路带宽增加到允许的最大带宽，以实现稳定锁定并满足相位噪声和杂散频率目标。通信链路中的窄带要求意味着使用HMC507时，为使积分噪声最小(30 kHz至100 MHz之间)，低通滤波器的最佳带宽约为207 kHz(图20)。这会贡献大约-51 dBc的积分噪声，可在大约51 µs内实现频率锁定，误差范围为1 kHz(图22)。

相比之下，宽带HMC586(覆盖4 GHz至8 GHz)以更接近300 kHz带宽的更宽带宽实现最佳均方根相位噪声(图21)，积分噪声为-44 dBc。但是，它在不到27 µs的时间内实现相同精度的频率锁定(图23)。正确的器件选择和周围电路设计对于实现应用的最佳结果至关重要。

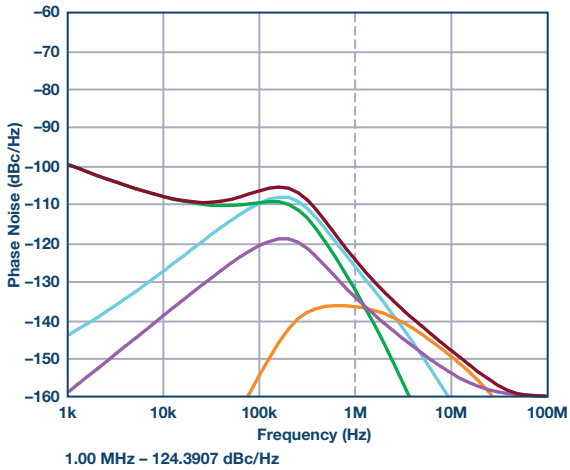


图20. 相位噪声HMC704加HMC507

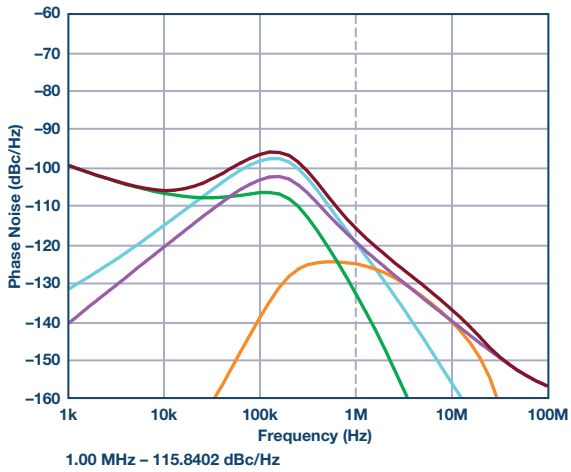


图21. 相位噪声HMC704加HMC586

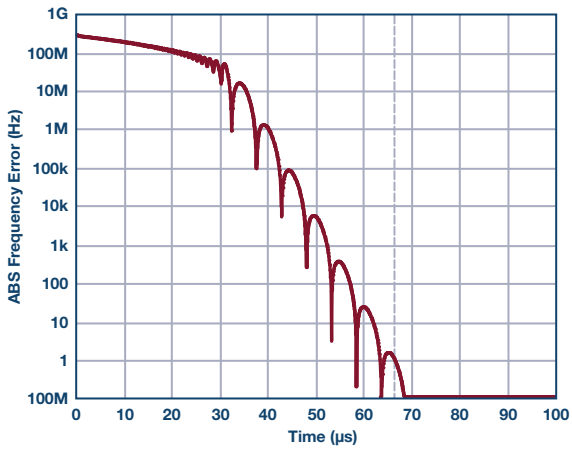


图22. 频率建立：HMC704加HMC507

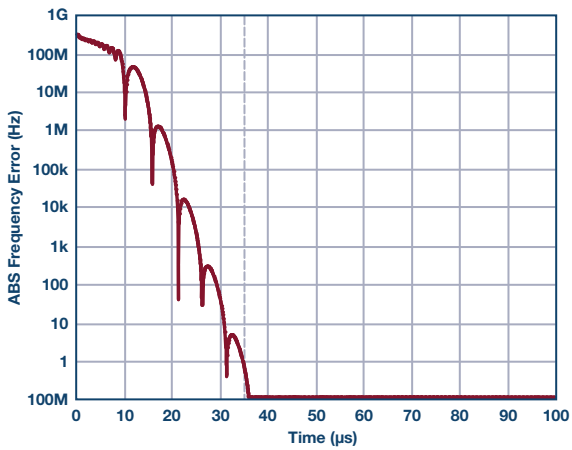


图23. HMC704加HMC586

低抖动时钟

对于高速数模转换器(DAC)和高速模数转换器(ADC)，干净的低抖动采样时钟是必不可少的构建模块。为使带内噪声最小，应选择较

低的N值；但为使杂散噪声最小，最好选择整数N值。时钟往往是固定频率，因此可以选择频率以确保REF_{IN}频率恰好是输入频率的整数倍。这样可以保证PLL带内噪声最低。选择VCO(无论集成与否)时，须确保其噪声对应用而言足够低，尤其要注意宽带噪声。然后需要精心放置低通滤波器，以确保带内PLL噪声与VCO噪声相交——这样可确保均方根抖动最低。相位裕度为60°的低通滤波器可确保滤波器峰值最低，从而最大限度地减少抖动。这样的话，低抖动时钟就落在本文讨论的第一个电路的时钟净化应用和所讨论的最后一个电路的快速开关能力之间。

对于时钟电路，时钟的均方根抖动是关键性能参数。这可以利用ADIsimPLL估算，或使用信号源分析仪测量。对于像ADF5356这样的高性能PLL器件，相对较宽的低通滤波器带宽(132 kHz)，配合Wenxel OCXO之类的超低REF_{IN}源，允许用户设计均方根抖动低于90 fs的时钟(图26)。操纵PLL环路滤波器带宽(LBW)的位置表明，如果降低太多，VCO噪声在偏移较小时(图24)将开始占主导地位，带内PLL噪声实际上会降低，而如果提高太多的话，带内噪声在偏移处占主导地位，VCO噪声则显著降低(图25)。

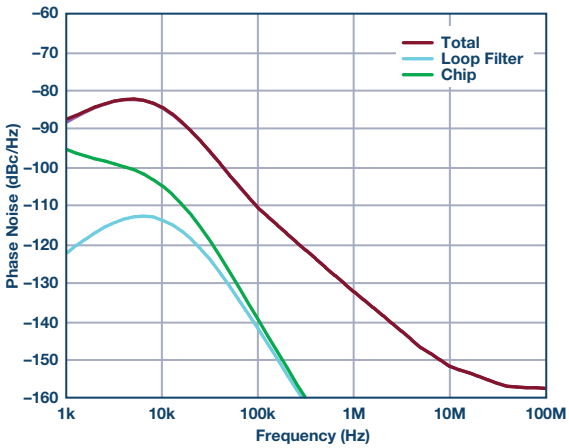


图24. LBW = 10 kHz，331 fs抖动

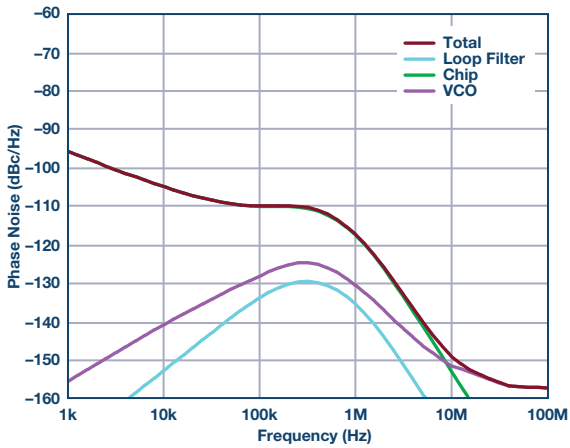


图25. LBW = 500 kHz，111 fs抖动

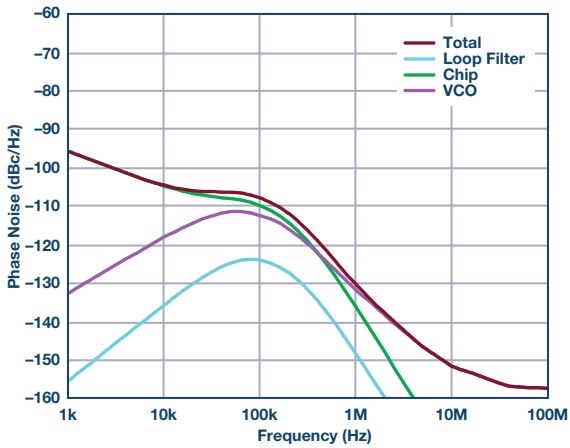


图26. LBW = 132 kHz，83 fs抖动

参考文献

Ian Collins。“用于无线应用的集成PLL和VCO。”*Radio Electronics*，2010年。

Mike Curtin和Paul O'Brien。“用于高频接收器和发射器的锁相环。”《*模拟对话*》，第33卷，1999年。

Ian Collins [ian.collins@analog.com]毕业于爱尔兰科克大学，拥有电气和电子工程学位，从2000年起在ADI公司的射频和微波部工作。他目前是微波频率生成部的应用经理，主要负责锁相环(PLL)和压控振荡器(VCO)产品方面的工作。非工作时间或不陪伴家人时，Ian喜欢摄影和戏剧(无论是在台上还是在台下)、阅读以及听音乐。



Ian Collins

非常见问题解答—第155期
直击增益范围：利用仪表放大器获得多个增益范围

作者：**Scott Hunt**

分享至

问：

我有一个仪表放大器，但我需要更宽的动态范围，而不是单一增益。我可以通过多路复用增益电阻来获得可编程增益吗？



答：

为了实现高精度传感器测量动态范围的最大化，可能需要使用可编程增益仪表放大器(PGIA)。由于大多数仪表放大器使用外部增益电阻(R_G)来设置增益，似乎通过一组多路复用增益电阻就可以实现所需的可编程增益。虽然这是可能的，但在以这种方式将固态多路复用器施加于系统之前需要考虑三个主要问题：电源与信号电压的限制、开关电容和导通电阻。

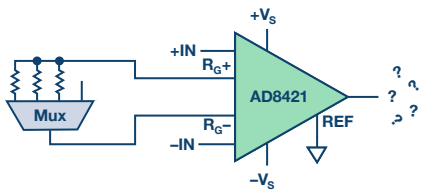


图1. AD8421 PGIA带有多路复用器。

保持在信号电压范围内

固态CMOS开关需电源供电。源电压或漏极电压超过电源电压时，故障电流流过，会导致输出不正确。每个电阻R_G引脚的电压通常处于二极管相应输入端的压降范围内；因此，该开关的信号电压范围须大于仪表放大器的输入范围。

考虑电容

该开关电容类似于将电容悬于其中一个R_G引脚上，并保持另一个R_G引脚不变。足够大的电容可能导致峰化或不稳定，但更容易被忽视的问题是对共模抑制比的影响。在电路板布局中，接地层一般从R_g引脚下方移除，因为小于1 pF的电容不平衡会大大降低AC CMRR。开关电容可为几十pF，会导致较大误差。以具有完美CMRR的仪表放大器为简单示例，不存在R_G，仅在一个R_G引脚上存在电容，由电容引起的CMRR的估算如下：

$$CMRR(f) = -20 \times \log_{10}(f \times 2\pi \times RF \times C_{RG})$$

例如，如果内部反馈电阻RF = 25 kΩ，C_{RG} = 10 pF，则10 kHz时的CMRR仅为36 dB。这表明需要使用低电容开关或平衡开关架构，如图2所示的SPST开关。

关于阻抗

最后，根据仪表放大器的增益公式，开关的导通电阻直接影响增益。如果导通电阻足够低，以至于仍能实现所需增益，这或许可行。然而，此开关的导通电阻随漏极电压发生变化(指定为$R_{FLAT(ON)}$)。开关电阻的变化使增益既依赖于共模电压，又会产生非线性效应。例如，使用1 kΩ的R_G和具有10 Ω $R_{FLAT(ON)}$的开关，在共模范围内会引起1%的增益不确定性。一部分将转化为差分信号(即2 Ω变化将会引起2000 ppm的非线性度)。这表明需要使用低导通电阻开关，与上述建议的低电容开关截然相反，因为大尺寸晶体管器件尺寸可实现低导通电阻，而小尺寸晶体管可实现低电容。ADG5412F故障保护四通道SPST开关在许多情况下提供了很好的解决方案。这些故障保护开关的架构能够提供10 Ω的导通电阻，在整个信号范围内，导通电阻曲线非常平坦，并且关断电容仅为12 pF。

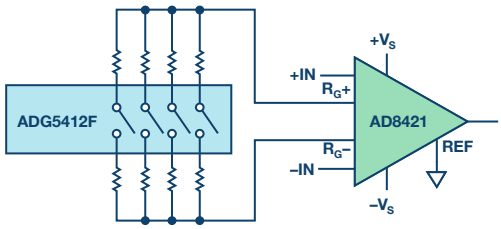


图2. 采用ADG5412F四通道SPST和AD8421的平衡式PGIA。

了解替代方案

如果这些电路仍不能满足设计要求，还可以采用其他方法来实现仪表放大器的可编程增益功能。强烈建议选择集成式PGIA(如果有合适的)。集成式PGIA旨在实现高性能、更小的尺寸，比分立解决方案的寄生效应更少，并且规格包含内部开关效应。AD8231、AD8250/AD8251/AD8253以及LTC6915便是集成式PGIA很好的例子。此外，还有一些更高集成度的解决方案包含此功能，如AD7124-8和ADAS3022。

结论

仪表放大器是在芯片级尽可能保持平衡的高精度元件，以实现共模抑制。使用固态开关的确有可能构建可编程增益仪表放大器，但是这种方式也非常容易使仪表放大器失去其特有的平衡，同时降低电路精度。为了进行必要的取舍，需要考虑开关的非理想效应。平衡开关架构和现代开关(如ADG5412F)是优化这些设计的利器。建议使用集成式PGIA，因为它们已经在规格中考虑了开关效应。

Scott Hunt [scott.hunt@analog.com] 是ADI公司线性和精密技术部(美国马萨诸塞州威明顿市)的系统应用工程师，主要从事精密仪器仪表工作。Scott于2011年作为一名产品应用工程师加入ADI公司，负责仪表放大器等高性能集成式精密放大器。他拥有伦斯勒理工学院电气和计算机系统工程学士学位。Scott荣获ADI公司2015年杰出技术写作奖和2015年杰出计划支持奖。



Scott Hunt

该作者的其他文章：

如何避免用电桥传感器进行设计时陷入困境

第48卷，第1期

接收器技术的最新发展：接收器百年创新史选编

作者：**Brad Brannon**

分享至

第1部分：初期

虽然很多人都对早期无线技术的发展做出了贡献，但古列尔莫•马可尼(Guglielmo Marconi)却是其中的佼佼者。虽然他以无线技术而闻名，但很多人并不熟悉他在20世纪初创建的无线技术事业。在20世纪的头20年中，他建立了一项至关重要的事业，使无线世界走向了今天的方向。



图1. 马可尼展示他的技术。

虽然他的商业化技术并不是最新的技术，而且技术发展迅速，但该技术已经足够好了，因为他想到了办法，知道如何利用现有技术来创造一个新的行业。20世纪初，殖民主义走向终结，战争和灾难大规模爆发，1912年4月，皇家邮轮泰坦尼克号沉没；值此世界大乱之际，马可尼着手部署一个全球网络，以便以无线方式发送和转发信息。泰坦尼克号沉没后，无线技术在救援幸存者和传播事故新闻方面发挥了积极作用，提升了这一新兴技术的重要性。公众和军方都意识到了无线技术的重要性，尤其是后来成为美国海军部长的约瑟夫•丹尼尔斯(Joseph Daniels)。在美国及其他地区，像丹尼尔斯这样的领导认为，军方应将无线电国有化，确保他们在战争期间能使用无线电。必须记住，在此期间，唯一可用的频谱低于200 kHz左右。至少有一段时间，事情是朝着这个方向发展的，但在第一次世界大战之后，政府对无线技术的控制减弱，不过，这是在形成政府特许垄断权并因此成立美国无线电公司(RCA)之后。[1]

根据我们的推测，马可尼时代的无线电非常原始。发射器采用火花隙装置(后来才使用机械交流发电机)产生射频，但在接收端，系统完全是无源的，由天线、谐振式LC调谐器和某种检波器组成。我们很快就会讨论这些检波器，但在当时，它们可能是机械式的，也有可能是化学式的或有机式的。其中一些系统通过电池对它们进行简单的偏置，但不提供任何电路增益，不同于今天。这些系统的输出被提供给某种头戴式耳机，把信号转换成音频，这种音频总是非常弱，不过是简单的咔哒声或嗡嗡声。

因为这些系统未在接收端提供增益，所以其有效范围取决于发射功率的大小、接收器的质量、操作员在调整方面的经验，当然还有大气条件。马可尼意识到，在可合理预测有效范围的情况下，可以建立一个站点网络，在大洲和大洋之间可靠地传递信息。其中包括在陆上和海上安装设备。马可尼开始在全球各地和海上安装无线电台，包括在客船和货船上。通过在航海船只上安装无线电系统，他不仅使这些船只能与其在岸上的商业利益相关者进行沟通，而且还能在必要的地方提供中继和冗余，从而马可尼填补了其网络中的关键空白。

马可尼拥有的一项技术是早期的真空管。真空管公认的发明者约翰•安布罗斯•弗莱明(John Ambrose Fleming)曾为马可尼公司工作，但弗莱明和马可尼当时分析认为，他们现有的技术足以检测无线电信号。此外，他们认为，他的发现虽有好处，但尚不值得为阀管运行投入额外的资金或电池。马可尼已经拥有了数种信号检测技术，与阀管不同，这些技术不需要高功率来运行灯丝和加热板。因此，他们开始时放弃了这种技术。

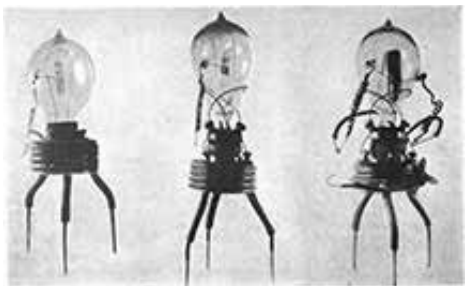


图2. 首批弗莱明管原型。

然而，所谓的无线电之父李•德•福雷斯特(Lee de Forest)捡起这种技术，意识到了其巨大的潜力。通过在灯丝和加热板之间插入帘栅极，他不仅可以整流信号，还能控制加热板中的电流量。这就实现了放大。尽管有证据表明，他并不理解其三极管的工作原理，但他确实意识到了其巨大的潜力，并尽力发挥这一发明的优势，不但将其作为一项技术，同时也作为与马可尼的发明类似的一种增值服务。通过建立各种企业，德•福雷斯特尝试制造和销售他的真空管，并建立了与马可尼类似的无线网络。然而，这些企业注定要失败，并不是因为技术不好，而是因为德•福雷斯特的商业伙伴往往不够诚实，而且常常让他独自为别人的错误承担责任。最后，德•福雷斯特不得不卖掉自己发明的权利，让其他人享受该发明带来的利润。

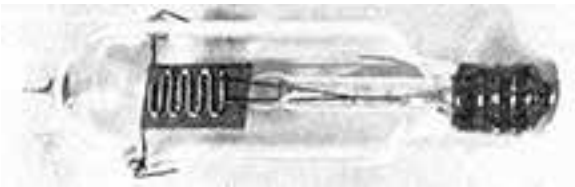


图3. 第一个德•福雷斯特音频三极管。

埃德温•阿姆斯特朗(Edwin Armstrong)是早期率先认识到真空管各种可能性的人之一。他还在上高中的时候，家里一位朋友就送了一个德•福雷斯特三极管给他玩。阿姆斯特朗已经获得了无线技术专家的声誉，还在家里建了自己的无线电台，他很快就想到办法，知道如何利用该装置开发出更好的接收器。在大学期间，他继续开发这项技术，并开发出了再生式接收器，与当时所有无线电台采用的无源系统相比，该接收器具有卓越的性能。

大卫•沙诺夫(David Sarnoff)是美国马可尼公司的高级人物。与马可尼本人长期建立的合作关系，专注的敬业精神，使他在公司快速崛起。刚开始时，沙诺夫就在AMC跑跑腿，在马可尼一次访美时，偶然遇到了马可尼。沙诺夫给马可尼留下了深刻印象，马可尼为他在公司的发展创造了条件，最终，沙诺夫先后成为AMC和RCA的高级领导。在参观纽约工程实验室时，他偶然遇到了阿姆斯特朗。得益于阿姆斯特朗渊博的无线技术知识及其再生式接收器的强大功能，二人建立起了长期的职业合作关系和个人关系。

第一次世界大战爆发时，阿姆斯特朗感到责任的召唤，应征入伍。但当时，他已经享有无线技术专家的声誉，因而没有被派往作战岗位，而是被派往法国，为各地的作战军种检修和安装无线电台。他的职责使他能使用设备、实验室和各种技术，还能附带地继续从事研究活动。在1918年初的一次空袭中，他获得一系列发现，使他合成了超外差接收器。整个1918年，他全力发展自己的概念，到11月，他与一群亲密的朋友会面，展示了超外差无线电的原型。朋友们印象深刻，敦促他继续开发。到1918年底，战争行将结束，在返回美国之前，阿姆斯特朗于1918年12月30日申请了法国专利。回到美国后，他用了几周时间才从一场疾病中恢复过来，使他推迟了提交美国专利申请。最终，1919年2月8日，他为超外差接收器申请了美国专利。

虽然马可尼在无线技术愿景方面只关注两方电报承载的商业信息，沙诺夫的愿景则要广阔得多——把信号发给多方。开始时，沙诺夫的愿景并未得到广泛认同，但其他人最终意识到，这项新技术提供了一种方法，借助该方法可以轻松实现新闻和娱乐节目的远距离传送，包括传送到美国的农村地区。为了推动实现这一愿景，沙诺夫和他的团队想到一个办法，准备于1921年7月2日广播Dempsey与Carpentier的拳击比赛。此次广播活动的成功使其他人看到了我们今天所熟知的这种广播无线电的巨大潜力。

然而，当时的真正挑战是技术性的。早期的收音机很难使用，并且功能不佳。阿姆斯特朗、沙诺夫和美国无线电公司的故事就从这里继续下去。通过之前发展的关系和RCA获得的专利，包括超外差接收器专利，无线电技术已经大大简化，能实现便携，人人都可轻松使用。从技术角度来看，超外差架构是这一成就的关键，时至今日，也是基本如此。



图4. 埃德温•阿姆斯特朗(Edwin Armstrong)和妻子马里昂(Marion)带着第一台便携式收音机度蜜月。

检波器

无线电必须通过某种方式，产生承载着有意义的信息的输出信号。在早期，这就是在接收环形天线中产生的共振火花。人们很快就意识到，需要用一种更敏感的方式，把辐射能转换成有意义的信号。早期的技术存在很大的局限性，通常利用多种属性，包括化学、机械和电气等属性。

最开始时，使用的首批检波器中有一款被称为金属屑检波器，这款检波器是以一个名叫爱德华•布兰里(Édouard Branly)的法国人的发现为基础开发的。该金属屑检波器由两块金属板构成，金属板之间的间距很小，注入一定量的金属粉。当射频信号到达金属板时，金属粉会吸附到金属板上，使电路闭合。这种方式对检波非常有效，但是，一旦射频信号撤离，金属粉会继续吸附在金属板上。为解决这个问题，安排了某种敲击器，用于敲击装置侧面，强制去除金属板上的金属粉。由于这个原因，这种原始检波器虽然有效，但使用起来却非常笨重。尽管如此，到了1907年，人们还在使用这种检波器。



图5. 金属屑检波器。

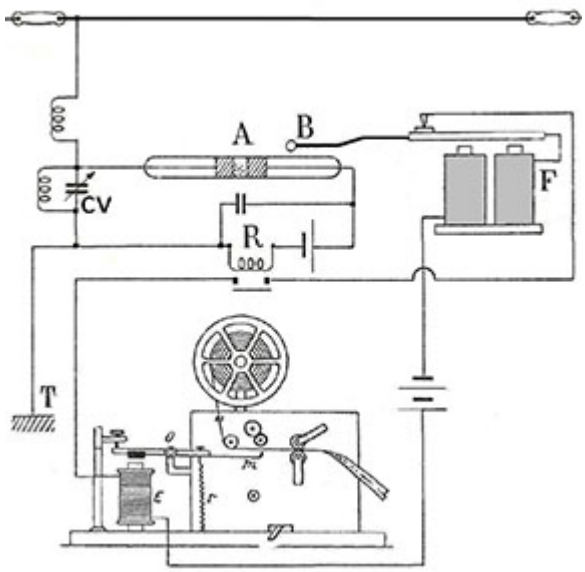


图6. 金属屑接收器原理图。[2]

一种更实用的解决方案是电解检波器。这种装置由浸入硫酸或硝酸溶液的一条超细铂丝组成。用电池将该电路偏置到电解点。这会在铂丝表面上形成气泡，使电流下降。如果射频电流耦合到该电路中，它将调制电解点并使电流随耦合射频信号的强弱变化。这项技术由费森登(Fessenden)开发，1903年至1913年间被人们广泛使用。德•福雷斯特基于这种技术开发了一种变体，被称为应答器，由浸入过氧化铅溶液中的两块金属板构成。

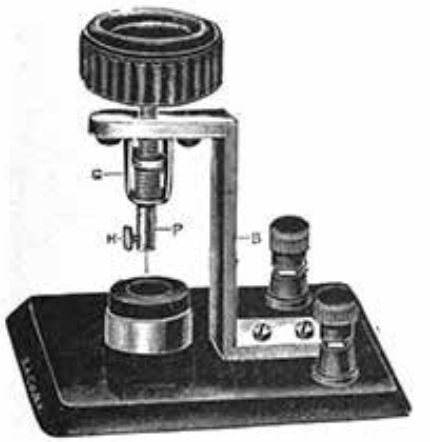


图7. 电解检波器。

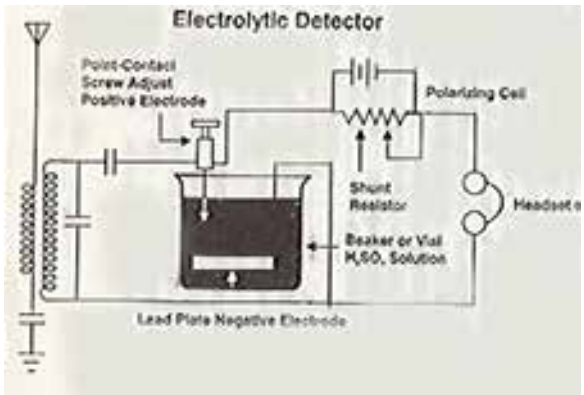


图8. 电解无线电接收器。

马可尼更喜欢被称为磁检波器的另一种方案。这些装置被用户亲切地称为玛吉。它们的工作原理是，形成一个无端钢丝环，使钢丝环呈圆形旋转的同时借助永磁体使其磁化。钢丝磁化部分通过与天线相连的线圈。该线圈中的射频场根据存在的接收信号电平对钢丝去磁。然后，通过另一个线圈拾取钢丝磁场的变化，该线圈连接到耳机，耳机负责提供听得见的射频信号。直到1912年，所有马可尼装置都使用这种方案，包括泰坦尼克号上的装置。



图9. 像马可尼那样使用的磁检波器。[3]

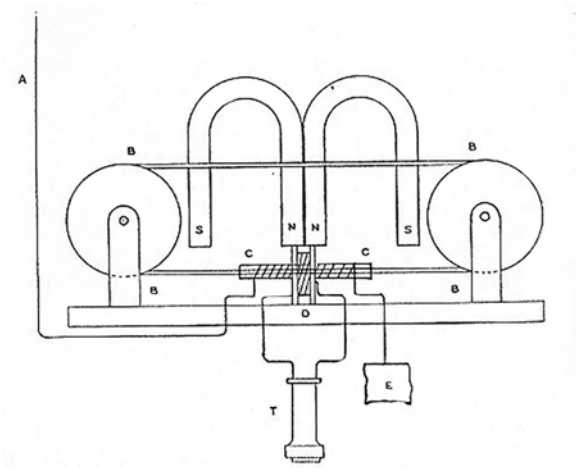


图10. 磁检波器无线电原理图。

另一类常见的检波器是晶体检波器，一直流行到1925年。这类流行器件通常被称为晶须(cat whisker)，基本上是由各类矿物制成的早期半导体结。典型的矿物包括方铅矿(PbS)、黄铁矿(FeS2)、辉钼矿(MoS2)和碳化硅(SiC)。在金属杯制作这些岩石的小样，用细线在岩石上形成点接触。可以移动该点接触，放在岩石的各个位置，以发现最佳工作点。当今的市场上仍有晶体收音机销售；电路与100年前的电路完全相同，只是半导体二极管制成品取代了晶须。晶体检波器的一个优点是，这些装置提供更多的线性检波，这在AM广播发展之初变得非常重要。这使语音通信成为可能，而早期的传输仅由莫尔斯电码发送。



图11.方铅矿晶须检波器。

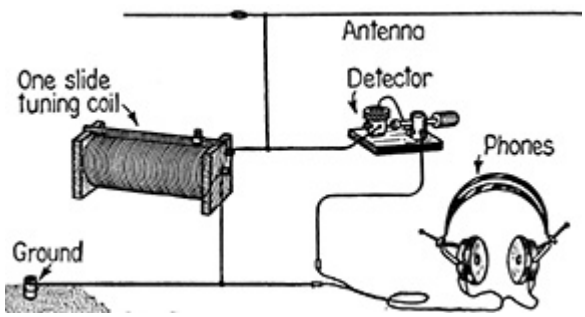


图12.典型晶体管收音机原理图。[4]

另一类检波器是由一名为马可尼工作的工程师在1904年构建的。约翰•安布罗斯•弗莱明(John Ambrose Fleming)发现，通过在爱迪生白炽灯泡上添加一块板，就形成了一个通常被称为整流器或整流

阀的装置。马可尼和安布罗斯认为，他们现有的检波方案(通常为玛吉)的效果优于弗莱明整流阀，于是，他们暂时中止了寻找更好方案的努力，直到1912年之后才重启此项工作。然而，包括德•福雷斯特在内的其他人却看到了该方案的直接价值，他们在弗莱明和马可尼的基础上继续探索，在灯丝与加热板之间添加了一个帘栅极。这项工作成功申请专利，并于1906年正式发布。虽然德•福雷斯特意识到了他的发明对改进收音机的价值，但他无法利用这一点，部分是因为商业伙伴的不端行为，部分是因为针对其专利的各种侵权案件。

第2部分：接收器架构

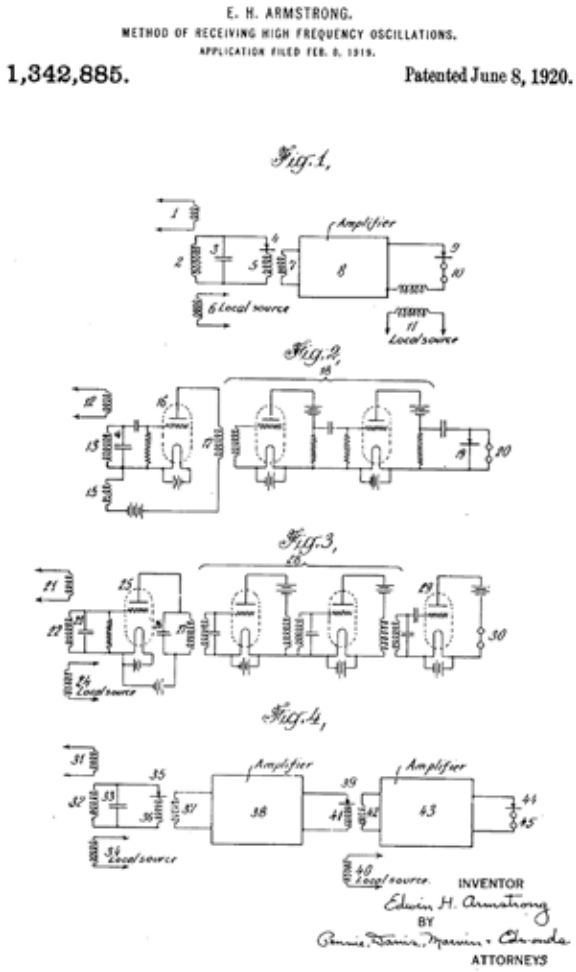
像德•福雷斯特和阿姆斯特朗这些无线电技术早期的先驱们都明白一个关键点：他们的成功离不开坚固可靠的检波器；早期时，这主要靠无线电报员，他们的技术实力和听力使其成为可能。然而，随着行业的发展，其他方面的重要性也逐渐突显，例如线性度、带宽等。

1912年，为了解决这些问题，德•福雷斯特想出了再生方案以及这种技术可能给接收器带来哪些好处。几乎在同一时间，阿姆斯特朗取得了类似的发现，他指出，如果从加热电路把能量耦合回帘调谐器，当放大器响应在自由振荡之前达到峰值时会产生明显的放大效果。这些发现引发了一场长达数十年的专利纠纷，因为每位发明家都声称首先问世的是自己的发明。

无论如何，再生式接收器的关键优势在于，除了取得非常高的增益水平之外，接收器还有助于将输出连接到扬声器，而不是像之前那样，连接到音频输出很弱的小型耳机上。阿姆斯特朗指出，通过这种安排，他可以从纽约实验室轻松复制马可尼在爱尔兰的装置，而马可尼通常需要一个中继站来实现跨大西洋的覆盖。得到满意结果后，阿姆斯特朗邀请沙诺夫来到实验室，分享他的发现。借助再生设置，他们整个晚上都在接收远程无线电信号，轻松地接收到了来自西海岸和太平洋的信号。这是检波器技术的一次重大改进。再生式接收器面临的最大挑战是调整反馈以确保正常运行；即使是经验丰富的电报员也很难做好。随着再生式和超再生式无线电的早期型号被投入生产，这一挑战变得非常明显，需要在无线电技术普及之前找到解决办法。

第一次世界大战最终迫使美国参战，阿姆斯特朗在法国领受任务，负责在现场安装无线电装置。这使他有机会继续研究工作；1918年2月，与法国和英国的同事合作之后，他提出了超外差架构。最终，这种架构解决了许多问题，无需像超再生等以前的架构那样，进行繁琐的调整，而且不会牺牲性能。

整个1918年，阿姆斯特朗继续开发超外差架构，解决了再生和超再生接收器面临的许多难题。这一发展实现了简单易用的无线电，与目前的量产型无线电一致。虽然超外差接收器不是严格意义上的检波器，但它具有增益功能和额外的选项，提供固定中频，不受被监控射频频率影响，有助于提高检波性能和一致性。这样就可以优化检波器，无需担心所需射频频率会导致性能下降，而这正是早期无线电面临的一个巨大挑战，并且继续挑战着今天的无线电设计师，只是频率要高得多而已。即使我们已经继续探索零中频、直接射频采样等新型架构，挑战仍然存在。


E. H. ARMSTRONG.
METHOD OF RECEIVING HIGH FREQUENCY OSCILLATIONS.
APPLICATION FILED FEB. 6, 1919.

1,342,885. Patented June 8, 1920.

Fig. 1.

Fig. 2.

Fig. 3.

Fig. 4.

INVENTOR
Edwin H. Armstrong
BY
ATTORNEYS

图13. 超外差专利数据。

这些优势巩固了外差架构的重要性，并且今天仍在继续。虽然实施技术已从电子管走向晶体管，再走向集成电路，但该架构仍然是许多现代系统的关键。

除了技术类型的转变以外，无线电架构几乎未发生变化，直到20世纪70年代，通用型DSP和FPGA的出现才改变了这种状况。检波器的功能从线性检波器元件(如二极管、鉴频器和PLL)转向模数转换器，然后是数字信号处理。这为旧技术无法实现的许多功能创造了条件。虽然数据转换器加DSP确实能执行传统的AM和FM[5]解调，但运用数字处理技术可以实现广泛用于数字电视的复杂数字解调，比如美国的HD Radio®以及欧洲和世界其他地区的DAB。

在早期的数字系统中，通常会通过I/Q解调器把中频级转换为基带信号，然后用双低频ADC进行数字化，如图14所示。这些早期的ADC带宽相对较低，因此无线电通常是窄带系统。虽然这些系统可用于低带宽系统，但它们存在正交失配问题，结果会导致镜像抑制问题，必须通过模拟和后来的数字技术进行校正。由于早期系统没有高度集成，因此难以在I/Q之间保持平衡，结果导致镜像误差(正交)。由于必须仔细考虑时间和温度的变化，问题非常复杂。即使在高度集成的系统中，如果不采用某种校正算法，I/Q平衡通常限制在40 dB，或者镜像抑制效果会变差。

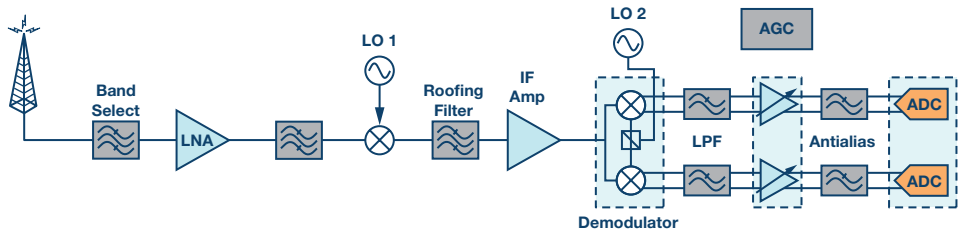


图14. 双通道转换基带采样。

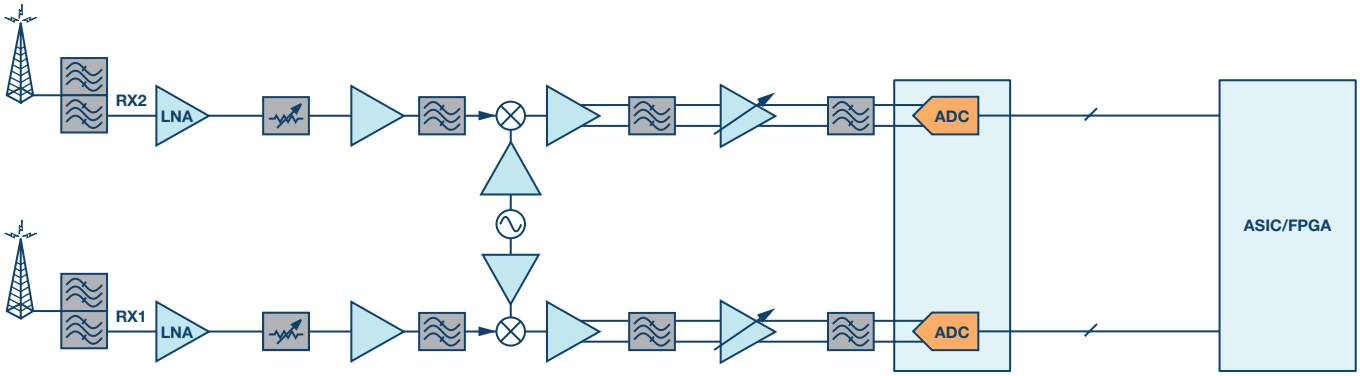


图15. 典型的中频采样架构。

到90年代中期，转换器技术开始得到充分改进，可以用中频采样取代基带I/Q采样。这有几个好处。首先，可以省去解调器和基带转换器对，并用单个ADC代替，从而节省功耗和电路板空间。更重要的是，可以消除与模拟I/Q抽取相关的误差。当然，DSP处理仍然需要复杂数据，但可以通过使用AD6624等数字下变频器(DDC)轻松抽取数据，这些数字下变频器可提供完美的正交性能，不随时间或温度漂移。

最初这些中频采样转换器均为窄带，但到了90年代后期，宽带中频采样转换器开始上市，包括AD9042、AD6645等器件。这些新器件可以采样高达200 MHz的中频频率，并提供高达35 MHz的信号带宽。结果变得非常有意思，许多高性能接收器开始采用中频采样以简化无线电设计并提高性能。该技术的诸多优点之一是，一条接收器信号路径可以处理多个射频载波。[6] 这样就可以用一个无线电取代多个模拟窄带无线电，大幅降低许多电信应用的拥有成本。处理多个独立(或从属)射频信号的任何应用都可以从这种类型的架构中受益，从而达到降低成本、减小尺寸和降低复杂性的目的。可以在数字数据流中轻松分出各个射频载波，并根据需要对其进行独立处理。可以使用唯一的信息对每个信号进行不同的调制，也可以扩展信号带宽以增加数据吞吐量。包括ADRF6612和ADRF6655在内的集成混频器技术继续推动着中频采样外差无线电的发展，可与AD9684和AD9694等新型中频采样转换器相结合，实现高度集成的低成本解决方案。这些新型ADC包括数字下变频器(DDC)，不仅可以对不需要的频谱进行数字滤波，还可以通过数字手段抽取I/Q分量。

并排比较：过去与现在

阿姆斯特朗的[7]号专利称：“众所周知，随着接收信号强度的降低，所有检波器都会迅速失去灵敏度，而当高频振荡的强度低于某一点时，检波器的响应会变得十分微弱，无法接收到信号。”阿姆斯特朗声称，随着振幅下降或频率增加，检波器的灵敏度会降低。他和其他人试图找到一种方法，将无线电的有效性扩展到更高频率，提高整体性能。

在三极管、再生管等早期工作的基础上，阿姆斯特朗意识到，可以转换输入频率，使其与现有检波器配合使用时能更高效地工作。另外，可以应用增益，以同时增加射频信号电平和提供给用户的音频信号电平。

图16所示为该专利的示意图之一，“详细说明了如何通过调谐放大器系统，利用[阿姆斯特朗的]方法，其中，21是输入振荡(信号)的来源，真空管整流系统22-23-25转换输入信号和独立外差器件24(本振)的组合振荡。电路26-27被调谐到两个振荡的转换组合(目标混频器积)。多管高频放大器28放大由真空管系统29进行外差处理并检波的所得能量，由电话30指示。”[7]通过使用这种方法，阿姆斯特朗得以取得射频能量并将频率转换为可以轻松有效地检波的频率，同时提供充分的放大，使音频电平达到令人舒适的水平。在专利中，他继续指出，可以应用多个外差级，其优点是能提供额外的选项和更高的增益水平，不用担心不受控制的反馈导致振荡——这个问题长期困扰着再生接收器等早期无线电架构。

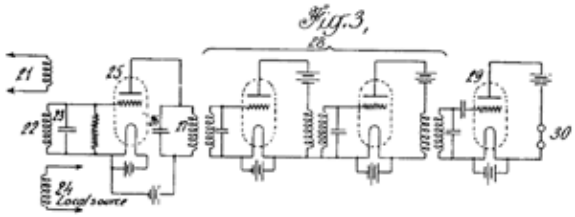


图16. 阿姆斯特朗的超外差示意图

以下两图有助于我们更好地比较电子管技术与现代实施方案，同时向我们展示了，现代设计与100年前提出的原始设计有多相似。

图17对两个电路进行了并排比较。根据阿姆斯特朗的专利，第一电子管级包括一个真空管整流系统。该第一级利用电子管的整流属性生成典型混频积，把目标信号与LO的混频组合起来。阿姆斯特朗暗示，10 MHz(如图18所示)为射频，一方面是因为，这超出了他那个时代的检波器可以响应的范围，另一方面是因为，在他开发超外差接收器期间，这对他来说是一个技术挑战。现代接收器通常在混频器之前包括至少一个射频放大器，用于实现低噪声和高灵敏度，如低位信号链所示。这些器件通常采用低噪声FET设计，针对工作频率范围进行了优化。阿姆斯特朗最初申请的专利和现代设计之间唯一的根本区别是放置在混频器之前的独立射频放大器。到二战时，很容易发现一些电子管设计，其采用的前端放大器与今天的FET前端相当。

他暗示称，该输入射频信号可以与大约10.1 MHz的LO组合，在第一级产生0.1 MHz的新单音。我们认为，这是典型混频器的和差积，如图19所示。在图18的管示意图中，LO直接耦合到输入电路中，其中，电子管的非线性行为导致了这些积。这种原创设计带来的一个挑战是，LO会因直接耦合到天线而发生意外辐射。现代设计发生这种辐射的可能性很低，不过也不是完全不可能，因为如图19所示，LO被耦合到通过前端放大器与输入隔离的混频器中。阿姆斯特朗提出的一个改进方案是，除了检波器以外，利用从板到栅极电路的反馈，也可以将放大器1作为本振，就像他和德•福雷斯特用再生式接收器所做的那样。这样将形成紧凑型的前端功能。在今天的电路中，混频器、本振以及射频和中频放大器通常包含在单个IC中。这些器件被广泛用于从消费者需求到工业需求的众多不同应用之中。

对于电子管和单片前端，混频过程会产生射频与LO的和与差。在阿姆斯特朗的案例中，这意味着0.1 MHz和20.1 MHz。此外，通常也会将射频和LO泄漏到输出端。必须滤除混频器形成的、不必要的项，以便接收目标信号。由于检波器的带宽有限，所以，阿姆斯特朗专注于差项，即100 kHz。除了他所包含的谐振LC结构之外，他的2级中频放大器很可能还能对其他项进行一些滤波处理。现代中频放大器也将包括某类中频滤波器。图19所示为基本LC滤波器，但通常要采用某种形式的高Q滤波器。窄带无线电通常在中频级中使用石英或陶瓷滤波器；更宽的频带设计通常根据需要运用SAW或BAW。通常，这种滤波器被称为修平滤波器，用于保护后续级免受强带外信号的影响。

有了经过良好滤波的强大中频信号，阿姆斯特朗现在可以轻松检测到曾经处于其检波器带宽之外的微弱射频信号。现在，在中频下，这些信号能轻松匹配检波器的功能。在采用电子管的情况下，这些信号被整流然后放大，因此可以直接驱动扬声器，至少对于调幅信号是这样。在现代接收器中，模数转换器对模拟中频采样并产生数字等效信号，然后以数字方式进行处理(包括解调)。在音频应用的情况下，该信号可以通过数模转换器转换回模拟信号，以便在必要时驱动扬声器。

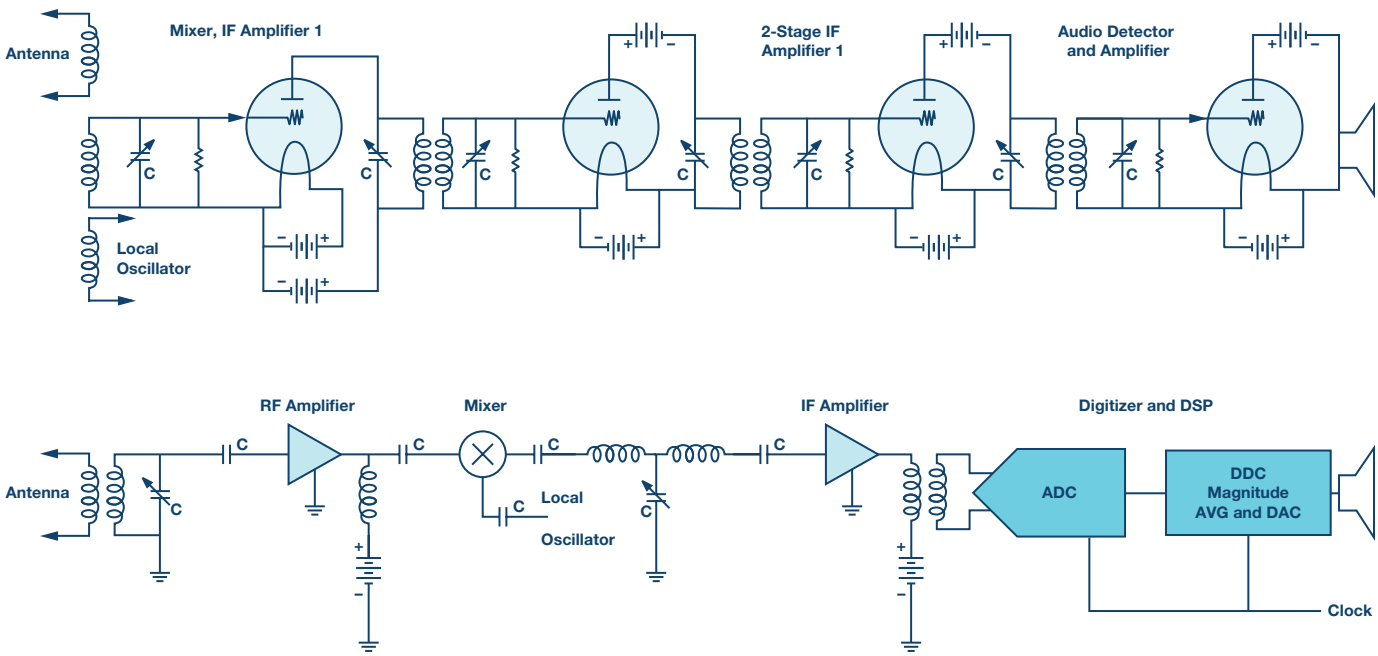


图17. 管与现代超外差设计。

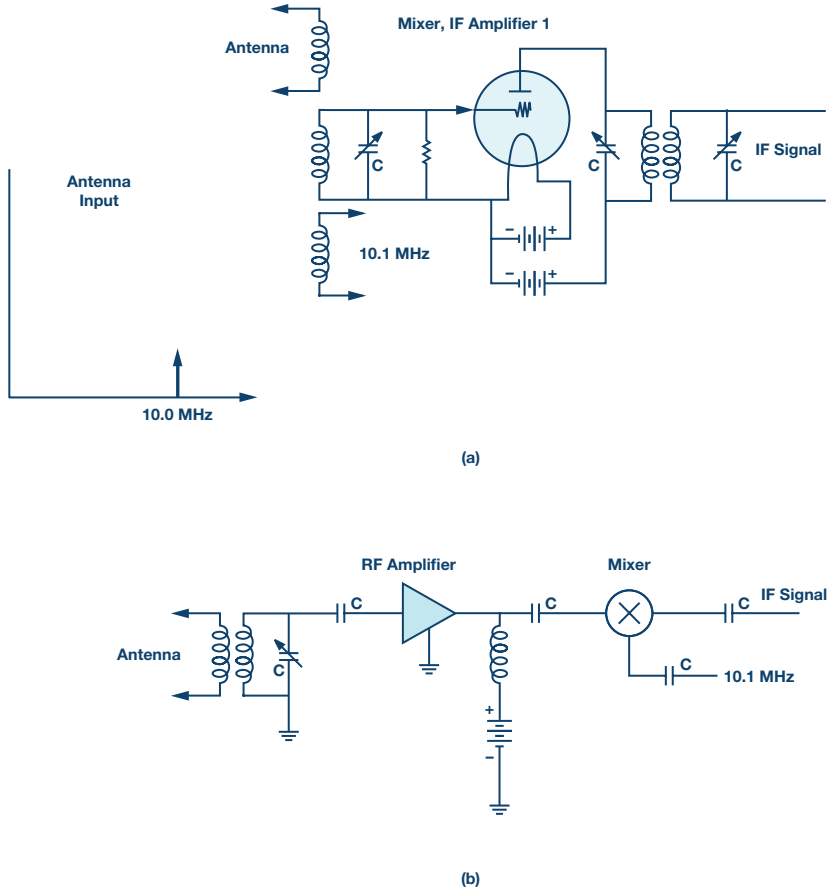


图18. (a) 管式前端，(b) 前端。

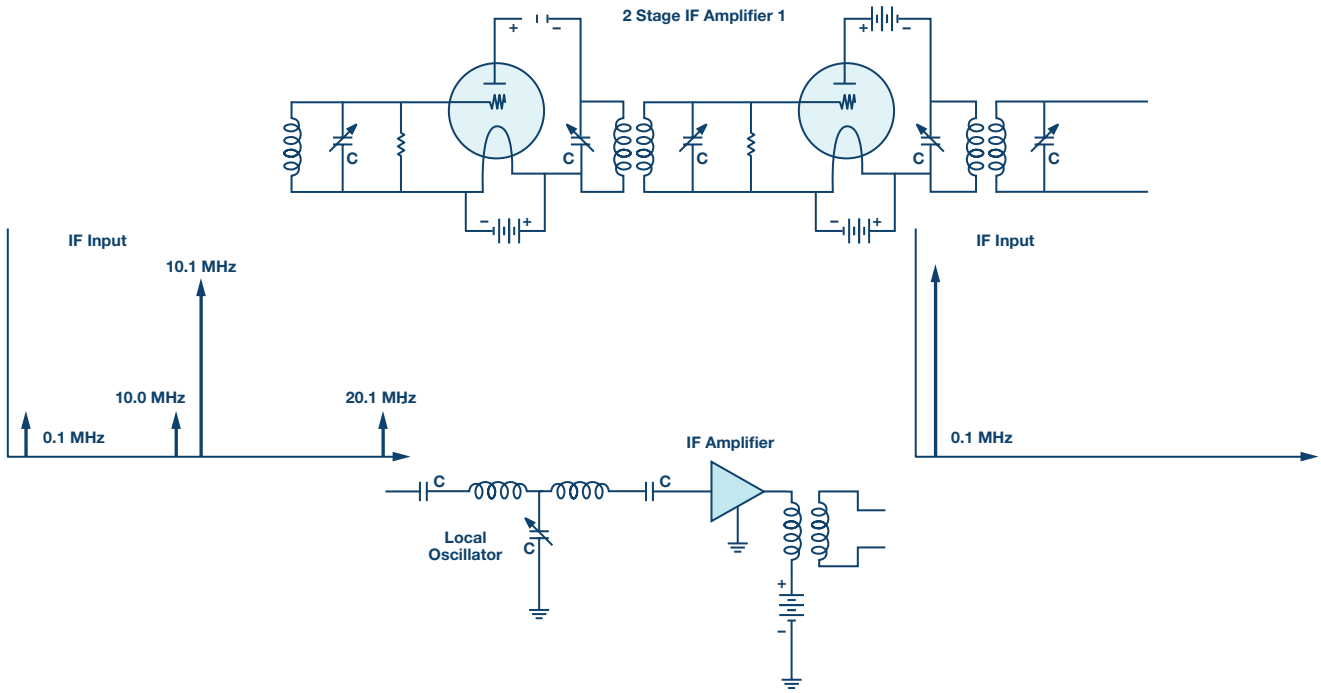


图19. 中频放大器级。

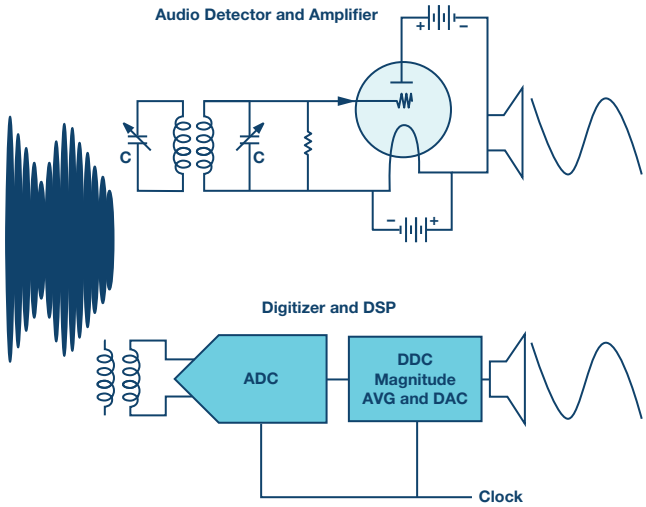


图20. 检波器。

虽然电子管和晶体管版本的无线电都能实现类似的结果，但现代设计具有一系列的优点。值得注意的是，现代设计要小得多，并且功率需求大大降低。虽然便携式电子管无线电从一开始就存在，但晶体管带来了袖珍型无线电。集成电路实现了单芯片无线电，从短距离无线电应用(如ADF7021)到高性能应用(如AD9371)，应用范围十分广泛。在许多情况下，这同时包括接收器和发射器。

由于单片无线电通常采用模数转换器和数模转换器，因此借助这些无线电很容易实现复杂的调制。管式无线电历来局限于基本调制类型，例如AM和FM。当将数据转换器添加到无线电中时，单片无线电通常就是这样做的，就可以通过数字技术引入新的调制形式，包括扩频和OFMD，它们是我们每天都离不开的大多数现代通信的核心(数字电视、高清无线电、DAB、手机)。

随着无线电技术的继续演进，将会出现更多进步，可能带来目前无法实现的无线电架构或功能。今天，我们拥有高度集成的中频采样超外差架构和零中频架构。初露端倪的其他架构包括直接射频采样架构，在这一架构下，信号被直接转换为数字信号且无需模拟下变频。随着无线电技术的继续演进，可用选项的数量将会增加。然而，某种形式的外差架构可能会在未来一段时间内与我们相伴。

结论

在超外差无线电的百年发展史上，除了实施技术之外，架构上几乎没有变化。多年来，我们目睹了用于构建无线电的介质的多次变化，我们看到，技术从电子管到晶体管，一直发展到单片集成电路。这些变化带来了各种可能性，在无线电发展初期的先驱眼中，这些不过是白日梦，但我们的日常生活却与这些可能性紧密地联系在一起。

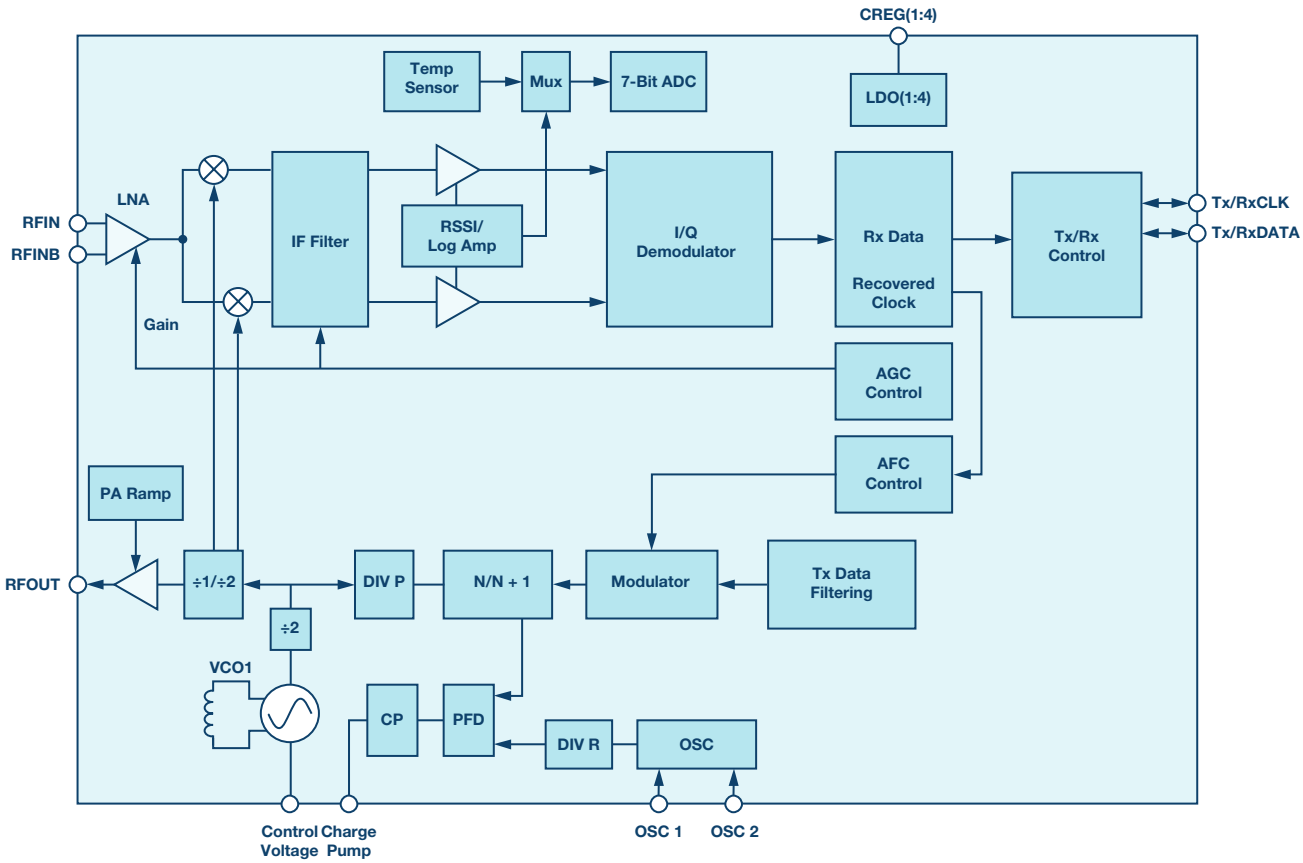


图21. ADF7021短距离无线(简化版)。

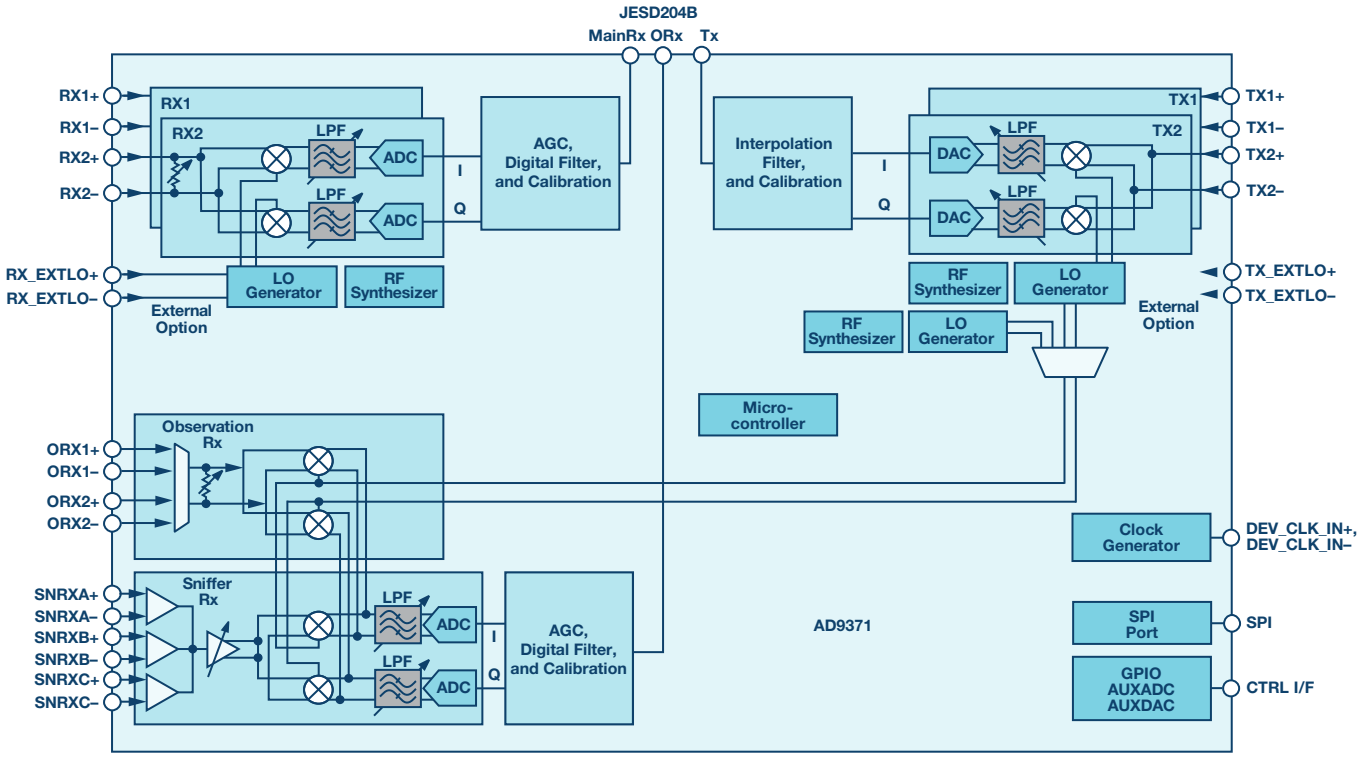


图22. AD9371 ZIF收发器。

使这成为可能的关键因素之一是在当今的无线电技术中由高速ADC实现的检波器。过去几年在数据转换器和其他技术方面的改进带来了我们的互联世界，这正在改变着我们的日常生活和现代社会的结构。令人兴奋的是，这项核心技术正在不断发展，将继续带来当今可能尚不为人所知的新型无线解决方案。就像阿姆斯特朗和利维(Levy)的发明为过去100年带来巨大潜力一样，在接下来的100年中，下一代无线技术定将当仁不让，造就无尽可能。

参考文献

[1] Tom Lewis，空中帝国：造出无线电的人。Harper Collins，1991年。

[2] F1jmm，Recepteur tube limaille，1902年3月。

[3] Alessandro Nassiri，Detector magnetico Marconi 1902—Museo scienza e tecnologia Milano，Museo nazionale scienza e tecnologia Leonardo da，2012年12月。

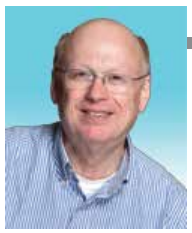
[4] JA.Davidson，晶体无线电，2007年9月。

[5] Fred Harris，“复杂时间序列的精确FM检波”，圣地亚哥州立大学电气与计算机工程系。

[6] Walter Tuttlebee，软件定义无线电：赋能技术，第4章：软件定义无线电中的数据转换，Wiley，2002年。

[7] Edward H.Armstrong，美国专利1342885，“高频振荡接收方法”，申请于1919年2月8日提交，1920年6月8日签发

Brad Brannon[brad.brannon@analog.com]自北卡罗来纳州立大学毕业至今，已在ADI公司工作32年。在ADI公司，他先后在设计、测试、应用和系统工程等领域担任多个职位。Brad撰写过大量论文和应用笔记，主题涉及数据转换器计时、无线电设计、ADC测试等。目前，Brad负责4G和5G接收架构系统工程的工作。



Brad Brannon

该作者的其它文章：

零中频的优势：PCB尺寸减小50%，成本降低三分之二

第50卷，第3期

200 mA精密基准电压源的众多用途

作者：**Michael Anderson**

分享至

LT6658不是普通的基准电压源或稳压器，因为它能同样出色地执行这两种功能。此外，由于架构布局独特，其作用不仅仅是提供精密电压和充足的电流。本文将讨论的以下电路展示了广泛的电路可能性。虽然本文说明了不少应用，但毫无疑问，肯定存在本文未明确实现的其他应用，LT6658对这些应用来说也会是非常有效的解决方案。作为一款既是基准电压源又是稳压器的产品，LT6658被称为Refulator™。

Refulator旨在用于需要精密基准电压源且能够为相关信号链器件(如数据转换器、放大器、桥式传感器和其他高性能电路器件)供电的设计。

简介

下面的主要规格和特性列表说明了LT6658的性能。基准电压源的主要规格包括10 ppm/°C的漂移和0.05%的初始精度。稳压器的主要规格包括0.25 µV/mA的负载调整率，两路输出的拉电流为150 mA和50 mA。出色的PSRR、低噪声、输出跟踪和降噪引脚相结合，将基准电压源和稳压器二者的最佳特性整合到一个封装中。

双路输出：

- 拉电流：150 mA和50 mA
- 灌电流：20 mA/缓冲器
- 漂移：10 ppm/°C
- 精度：0.05%
- 负载调整率：0.25 µV/mA
- 输出跟踪：±150 µV
- PSRR：>100 dB (10 Hz)
- 0.1Hz至10 Hz噪声：1.5 ppm p-p
- 最大电源电压：36 V
- 降噪引脚
- 输出禁用引脚
- 电流保护
- 热保护
- 小尺寸
- 温度范围：–40°C至+125°C

LT6658的典型应用如图1所示。内部框图显示，带隙功能之后是可选滤波器功能，然后是两个缓冲器，其同相输入连接在一起。在此应用中，缓冲器的反相输入V_{OUT1_S}和V_{OUT2_S}连接到输出V_{OUT1_F}和V_{OUT2_F}，作为具有开尔文检测功能的电压跟随器。

LT6658与许多基准电压源和稳压器的不同之处在于，它具有一个A/B类输出级，能够主动灌电流和拉电流。此外，它还能驱动1 µF至50 µF或更高的容性负载。将1 µF陶瓷电容与大电容并联放置在输出端时，大容性负载即可保持稳定。

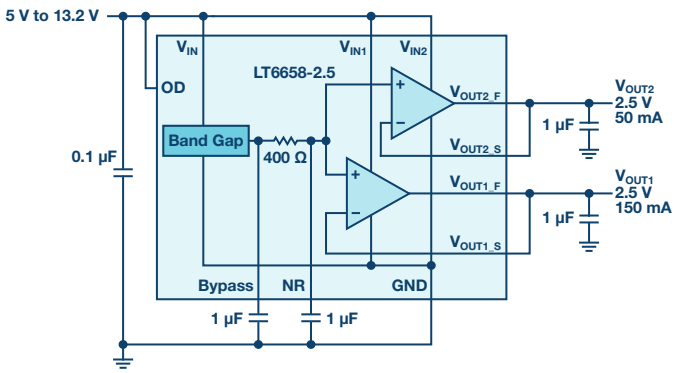


图1. LT6658典型应用。

调整输出缓冲器以使漂移最小，从而在工作和负载条件下实现出色的跟踪。完整数据手册及规格参见此处。

简单的输出配置和应用

由于反相输入可用，因此可将其配置为非单位增益，如图2所示。LT5400-4的匹配精度为0.01%，故LT6658的精度可保持不变。该示例提供精确的5 V和2.5 V电压轨，可用作±2.5 V稳压器应用，分离电源地由2.5 V输出提供。非单位增益可应用于两路输出，以产生1 V至6 V之间的任何输出电压。

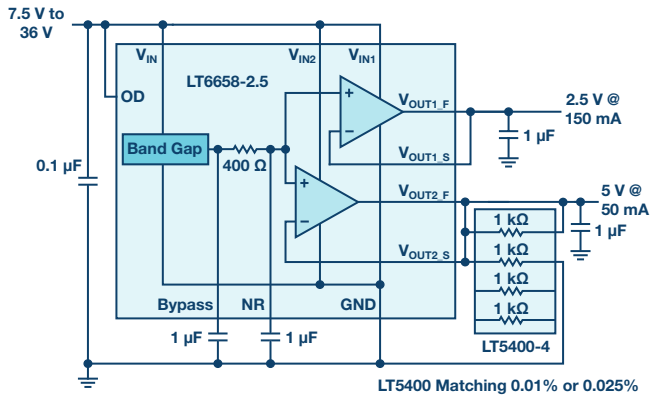


图2. 简单的非单位增益电路，产生±2.5 V分离电源及地。

利用反相输入可以从较高输出电压产生较低输出电压。图3演示了如何通过3.3 V输出产生1.8 V输出。由于同相输入连接到2.5 V，因此可以轻松产生较低的输出电压。V_{OUT2_F}的表达式为：

$$V_{OUT2_F} = 2.5\ \text{V}\left(1 - \frac{R_{F1}R_{F2}}{R_{IN1}R_{IN2}}\right)$$

其中，R_{F1}和R_{F2}是缓冲器反馈电阻，R_{IN1}和R_{IN2}是缓冲器输入电阻。

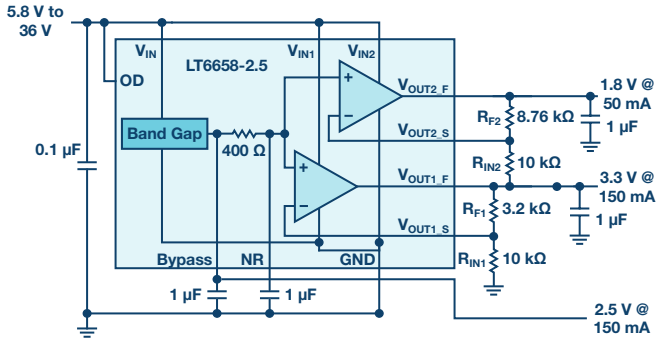


图3. 具增益和反相功能的应用。

此应用中唯一受影响的参数是精度，其取决于R_F/R_{IN}的比率。此外，该应用还演示了如何将BYPASS输出用作±10 mA拉电流和灌电流输出。请注意，BYPASS引脚上的任何变化都会直接影响V_{OUT1}和V_{OUT2}输出。

输出电压可以调整为2.5 V到6 V之间的值，如图4所示。调整可以利用机械或数字调整电位计完成。数字调整对校正ADC和DAC误差特别有帮助。调整电位计可以组合起来以产生同一输出电压，或者输出电压可以独立加以控制。

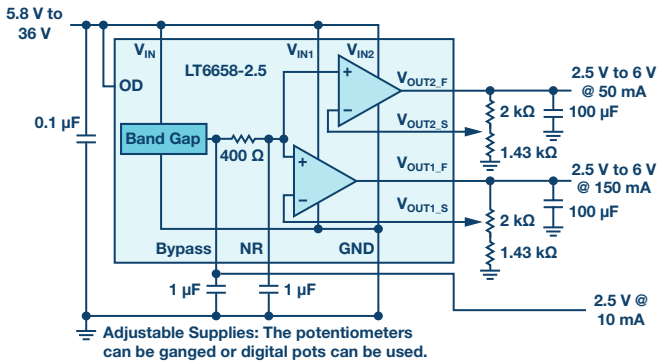


图4. 可调增益。

两个输出缓冲器提供了灵活性，一路输出可提供必要的电压，另一路输出可提供精密电流源，如图5所示。

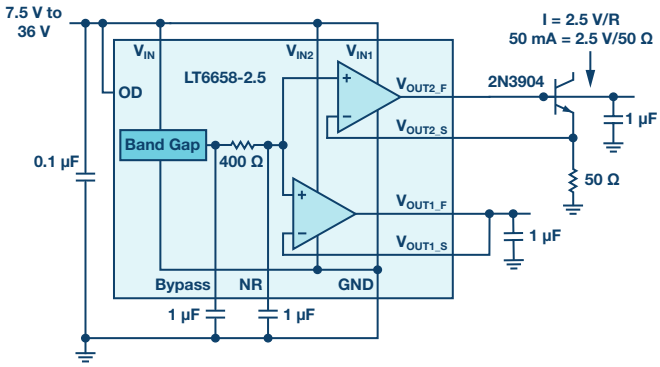


图5. 精密电压源和精密电流源应用。

请注意，输出V_{OUT2_F}引脚将比检测线路高一个V_{BE}。应调整电源电压以适应V_{OUT2_F}上的较高输出电压。每路输出都有一个独立电源输入，因此可以分别驱动这些输出以改善通道间隔离性能，或适应不同输出电压而不会消耗过多功率。

当基准电压源和振荡出现在同一句话里时，通常意味着不良行为发生。然而，为了突出说明LT6658的独特架构，图6a显示了多谐振荡器电路，图6b为所产生的波形。这里，2.2 µF电容和1 kΩ电阻设置时间常数。400 Ω外部正反馈电阻和400 Ω内部电阻设置迟滞并影响输出频率，其关系式大致为 f = 1/2.2 RC。内部电阻的值为400 Ω±15%，这会影响输出频率。

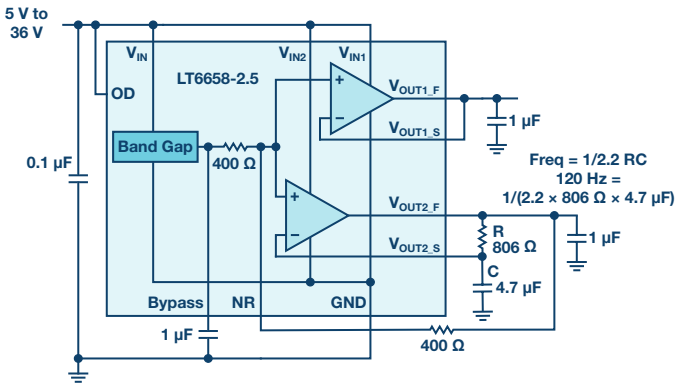


图6a. 多谐振荡器应用。

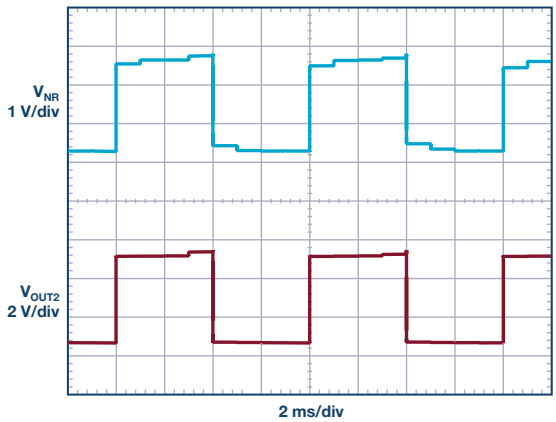


图6b. 多谐振荡器输出。

此电路示例显示输出电压摆幅略小于4 V，输出低电压低至0.9 V，输出高电压达到V_{IN} - 2.5 V。此示例中的V_{IN}为6 V，输出未满载。当V_{IN}提高到8.5 V以上时，输出将箝位在6 V左右，输出占空比将降至约40%。

电流流过400 Ω内部电阻，NR引脚的电压会发生变化，导致V_{OUT1}也与V_{OUT2}同步振荡。

另一个通常与基准电压源无关的动态电路是音频放大器。两路A/B类输出可以配置来驱动8 Ω和16 Ω扬声器，如图7所示。单端源驱动V_{OUT1}的反相输入，继而驱动V_{OUT2}的反相输入。带隙基准设置精密共模电压，而输出用作差分驱动器。要提高压摆率，LT6658上应使用最小输出电容。

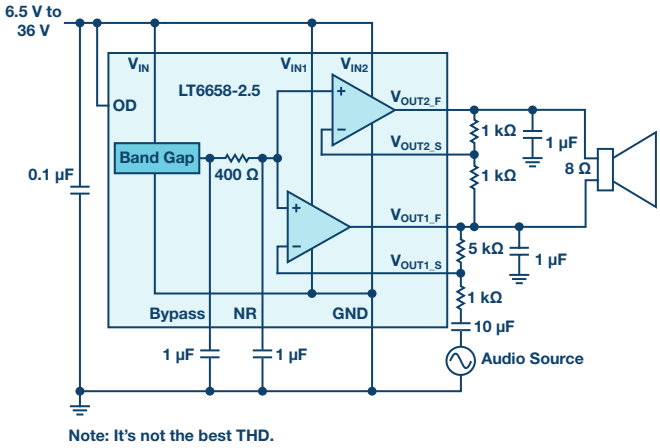


图7. 音频应用电路。

通过增加互补分立BJT输出器件，图8中的电路可以提供更多功率。该电路仅显示一个放大器电路，但两路输出可以驱动两个扬声器以产生立体声。虽然有更好的音频放大器选择，但这些应用展示了LT6658架构的灵活性。

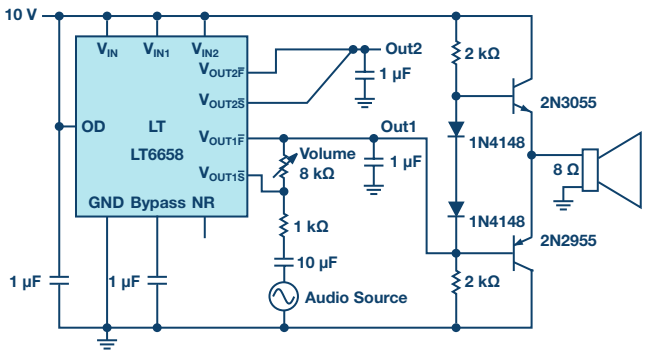


图8. 采用分立BJT的音频应用电路。

应变计应用

LT6658可用作稳压器和基准电压源，如以下应变计应用所示(图9)。LT6658为四个LTC2440提供基准电压和电源电压，2.5 V电压轨为四个应变计提供偏置。每个应变计消耗7.5 mA电流，总计消耗30 mA，完全在V_{OUT2}的50 mA输出规格以内，并能提供ADC基准输入。V_{OUT1}为每个LTC2440提供8 mA电流，总计32 mA。

图10显示了具有三个称重传感器的桥式电路应用。即使总负载电阻仅为82 Ω，需要60 mA电流，LT6658仍能精确稳定地工作。高增益缓冲器将维持一个能够驱动称重传感器的精密电压。第二路输出可以驱动另一个应变计或向下游ADC转换器供电。

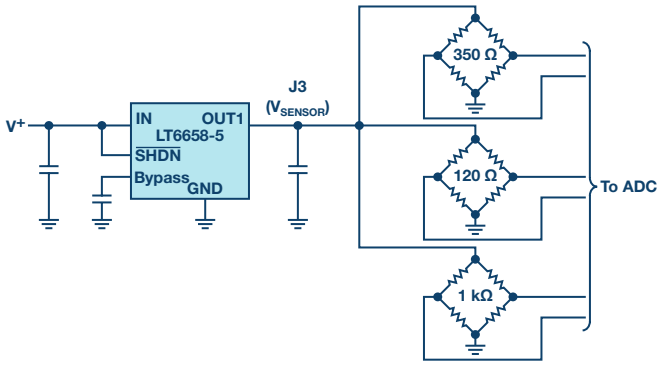


图10. 桥式电路应用。

数据采集应用

对于使用DAC的精密应用(基准电流取决于数字码)，必须特别注意电路板布局和寄生电阻。采用LTC2641时，为了维持INL < 0.1 LSB，负载调整率需要小于19 ppm/mA。此外，基准输出阻抗和PCB电阻需要小于48 mW。LT6658的直流输出电阻约为0.2 mW，这为PCB电阻留下了47.8 mW的误差预算。

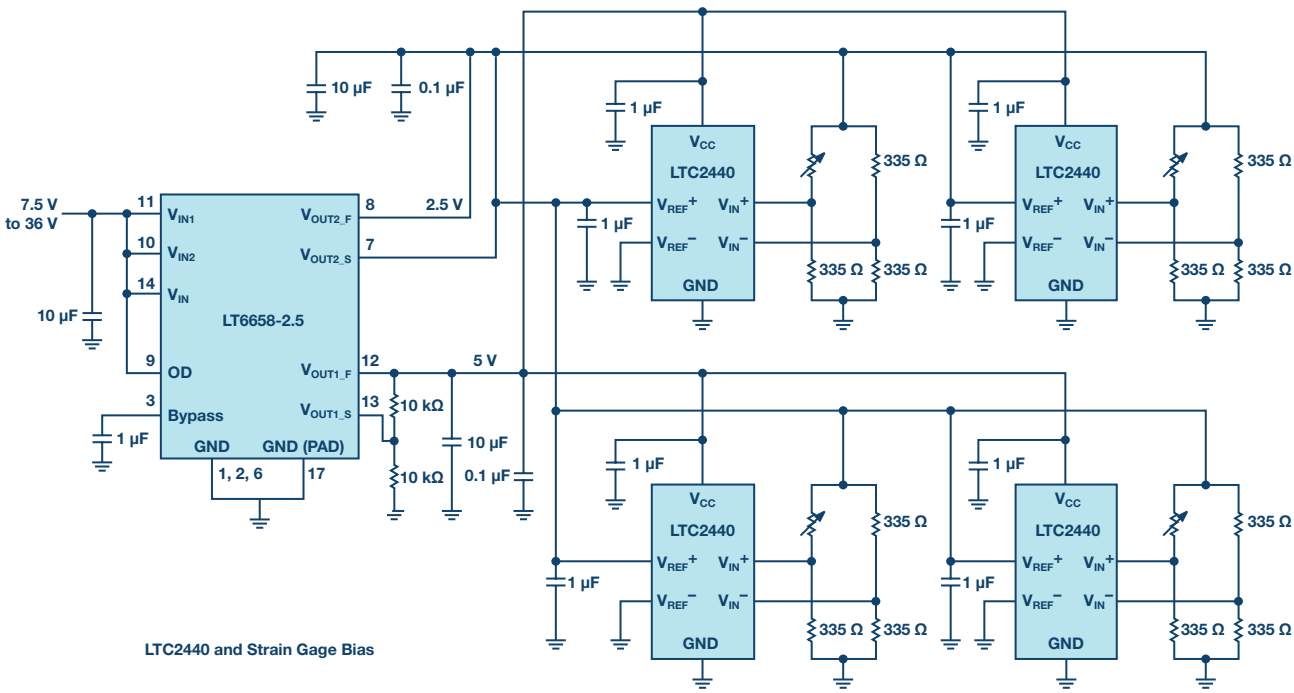


图9. LT6658用作应变计应用的基准电压源和稳压器。

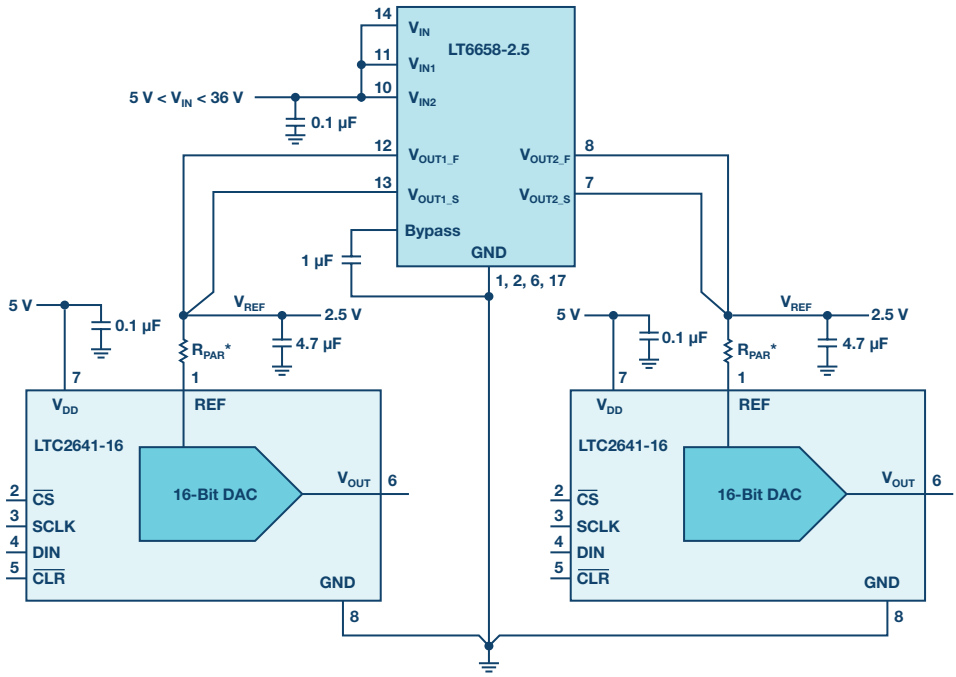


图11. LT6658驱动两个数字码相关的DAC基准输入。

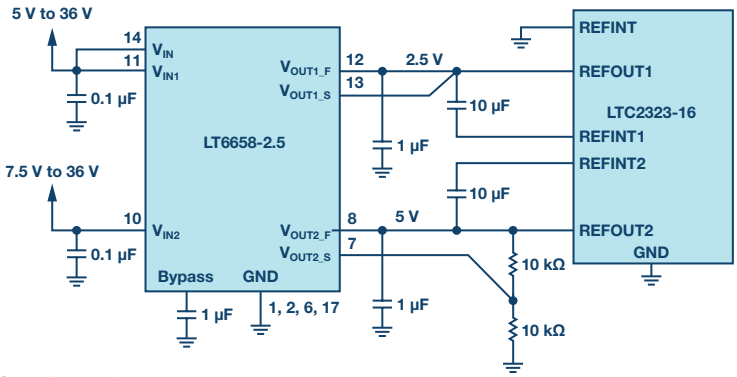


图12. LT6658驱动具有独立基准电压的双通道ADC LTC2323-16。

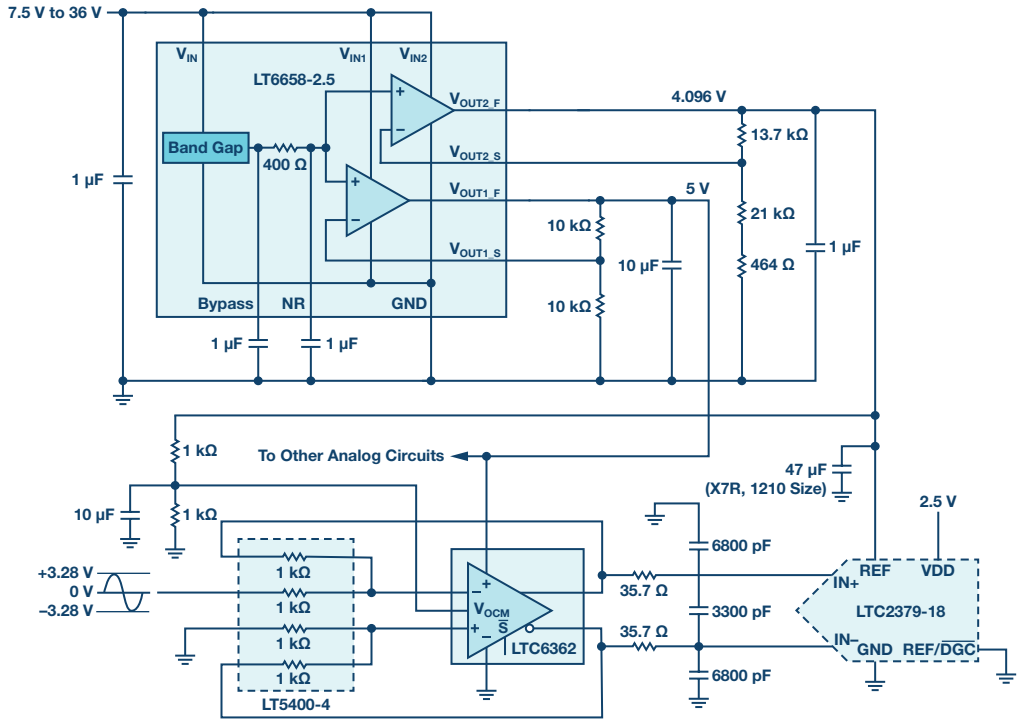


图13. 18位数据采集应用。

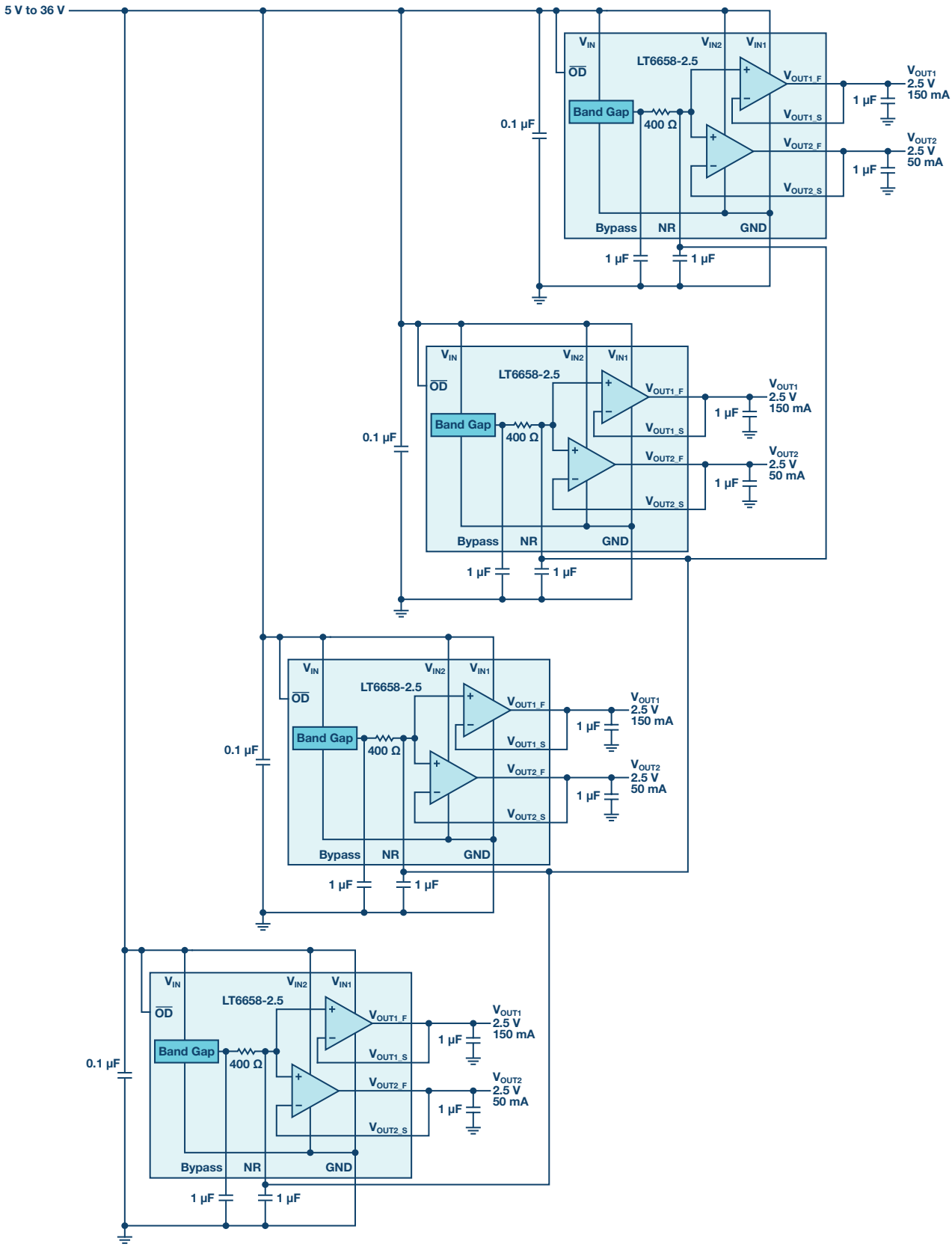


图14. 并联NR引脚以实现具有输出跟踪功能的多通道电源。

图11显示了使用两个精密16位DAC LTC2641的应用。LTC2641的基准电流取决于数字码，因此两个DAC基准输入需要单独的基准电压源。LT6658输出缓冲器出色的跟踪能力意味着DAC也有出色的跟踪能力。

如果只需要一个DAC，LT6658的第二路输出可以为DAC和其他精密模拟电路提供输入电压。

LTC2323-16是一款双通道16位ADC，具有独立的基准输入。每个ADC可以有不同的基准电压。图12显示了一种配置，其中2.5 V和5 V基准电压驱动不同的基准输入。同样，LT6658输出缓冲器出色的跟踪能力使得转换结果也有很好的跟踪能力。

精密信号处理和调理可能涉及多个集成电路。在图13所示例子中，LT6658为18位转换器提供电源电压和基准电压。容性SAR转换器不断对内部电容阵列进行充电和放电。SAR转换器的动态基准电流可能会严重破坏基准电压源。LT6658可以通过提供精密电压来保持稳定性，而第二路输出可以提供精密功率。此外，LT6658具有为多个基准输入提供电压的电流驱动能力。换句话说，LT6658具有强大的基准扇出能力。

前述应用中的缓冲器为精密电路提供基准电压。一个合理的担忧是，一个缓冲器的输出上的活动是否会影响另一个缓冲器的输出。当NR引脚上有一个10 µF电容时，在DC到1 kHz时，电源抑制能力大于100 dB。这是当V_{IN1}和V_{IN2}引脚连接在一起的时候。关于交流PSRR的详细信息，参见LT6658数据手册。在DC至100 Hz时，输出电源的通道间隔离大于130 dB。

具有跟踪功能的多通道输出电源

多个LT6658的NR引脚可以连接在一起，形成一个具有跟踪功能的多通道精密电源。在图14所示例子中，四个LT6658的NR引脚连接在一起。由此产生的电源有八路跟踪输出。也就是说，由于所有NR引脚都连接在一起，因此每一个LT6658的输出缓冲器都将跟踪温度。图15a显示了精密调整的输出如何在很宽温度范围内进行跟踪。该图中的七条迹线与第一个V_{OUT1}有关。这证明了输出缓冲器的低失调电压和低温漂移特性。

NR引脚连接在一起，缓冲器的输入电压相同，C_{NR}电容器将组合成更大的值，从而减小带隙电路的噪声带宽。输出缓冲器产生的噪声密度频谱如图15b所示，噪声以输出缓冲器噪声为主，带隙噪声在小于10 Hz的频率滚降。

此例显示所有通道都配置为单位增益。输出电压可配置为各种输出电压值。这些器件虽然共用NR引脚和电源电压，但仍能保持出色的PSRR、负载隔离和负载调整率。

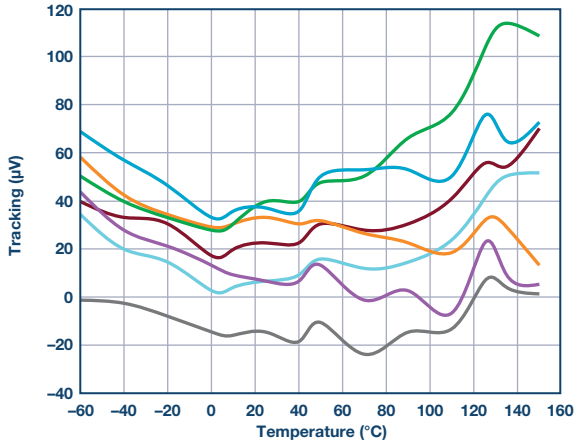


图15a. 跟踪。

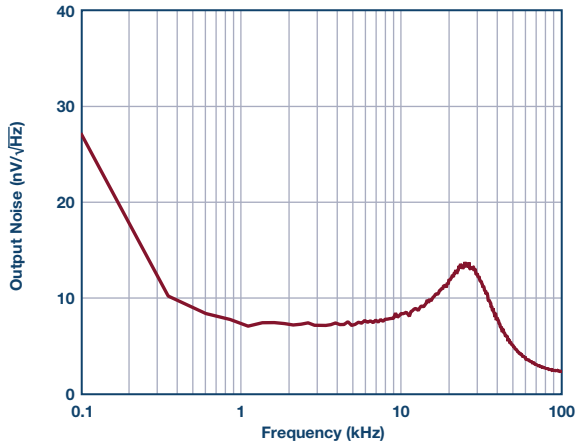


图15b. 输出电压噪声密度。

高电流、低温度系数电路

图16显示了LTC6655-2.5低噪声基准电压源如何过驱LT6658的NR引脚。结果得到一个双路输出、低温度系数(TC)、高电流基准电压源。该电路的一种变化是给其中一个通道增加增益并驱动LTC6655的V_{IN}引脚。LTC6655-2.5需要500 mV的裕量，因此LT6658的一个缓冲器至少要提供3 V输出。

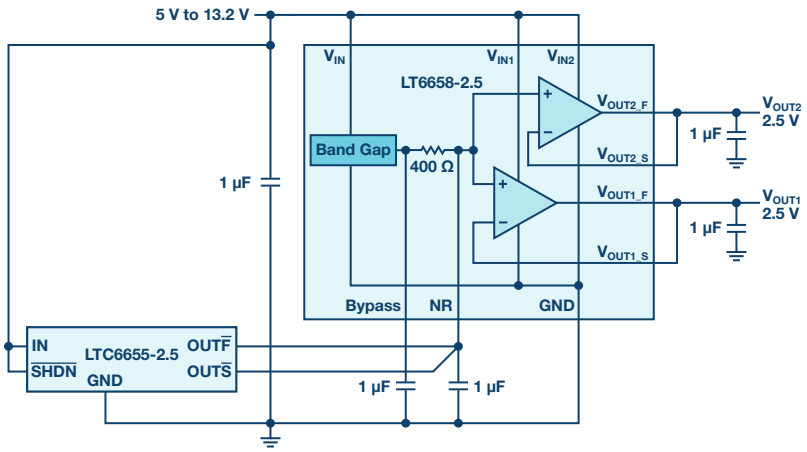


图16. 低漂移、高电流应用。

电源应用

缓冲器输出可以组合在一起，提供单路200 mA输出。电阻允许输出连接在一起而不会造成严重破坏。图17中电路的负载调整率受电阻值的限制，为3 ppm/mA。此外，器件的典型负载调整率为0.25 µV/mA。电阻也可以调整以降低负载调整率。由于电阻值非常低，因此功耗不是问题。

电阻可以由印刷电路板走线构成。可以使用一两盎司的铜，或者配置0.01 Ω电阻的组合。该电路灌电流的比率与拉电流相同。

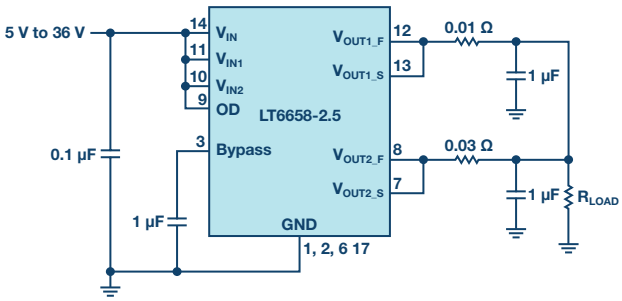


图17. 并联输出以提供200 mA输出。

两路输出会试图相互补偿，它们之间需要一定的电阻。两路输出之间的电压差可达±70 µV。使用所示的0.01 Ω和0.03 Ω值，输出缓冲器之间最多有几毫安的电流流过。随着电阻值增大，此共享电流会减小。但是，大隔离电阻意味着负载调整率误差较大，如表1所示。

表1. 负载调整率是输出电阻的函数。

R1 (Ω)	R2 (Ω)	负载调整率(ppm/mA)
0.01	0.03	3
0.02	0.06	6
0.03	0.09	9
0.04	0.12	12
0.05	0.15	15

对于需要大量精密电流的应用，LT6658可与几个晶体管和镇流电阻结合使用，以产生精密、低噪声、5 A固定直流电源，如图18所示。

进行一些修改，即可从图18所示电路获得可变电源，如图19所示。有一篇博客文章讨论了这种设计，参见此处。

为RF电路供电

图20中的应用让LT6658提供电源，一路输出提高到3 V，另一路输出降低到1.4 V。它为I和Q信号放大器/滤波器和调制器提供电源。3 V输出为滤波器和调制器供电，1.4 V输出设置共模电压。LT6658的OD引脚用于使电路在发送和待机状态之间切换。

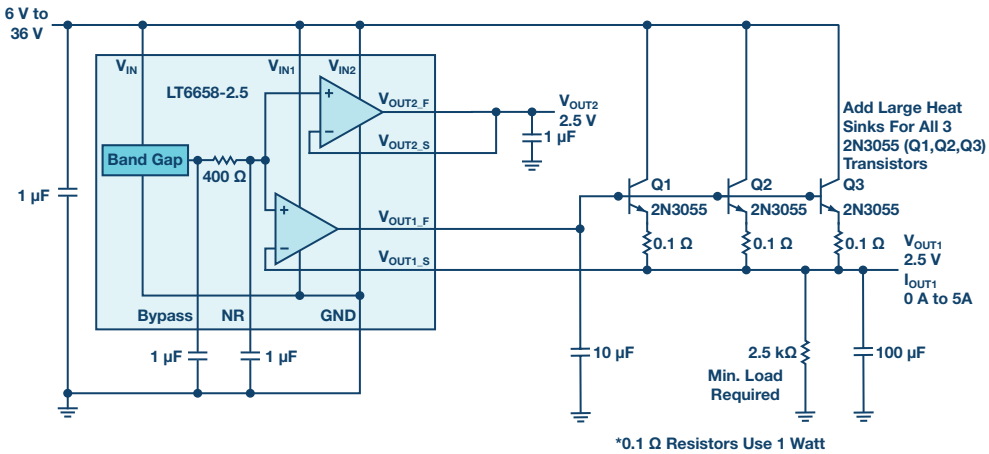


图18. 精密、低噪声、固定2.5 V、5 A电源电路。

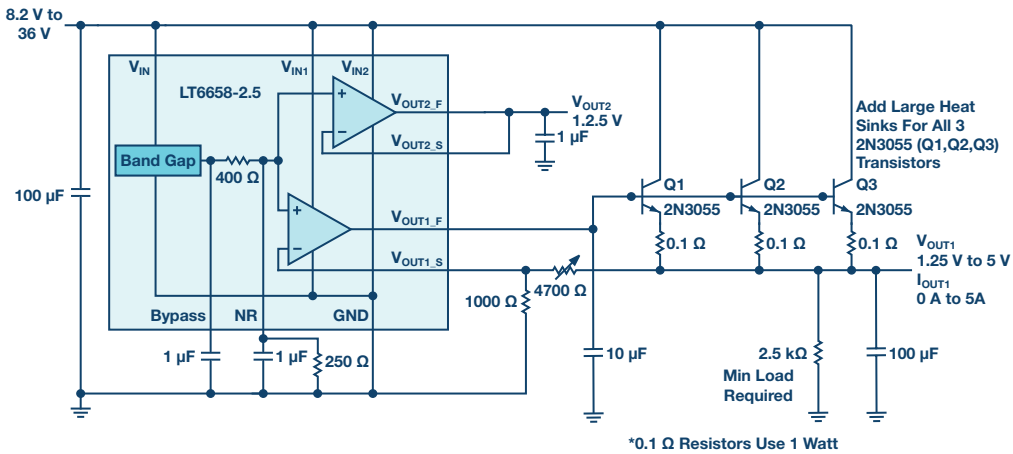


图19. 精密、低噪声、1 V至5 V可变、5 A电源。

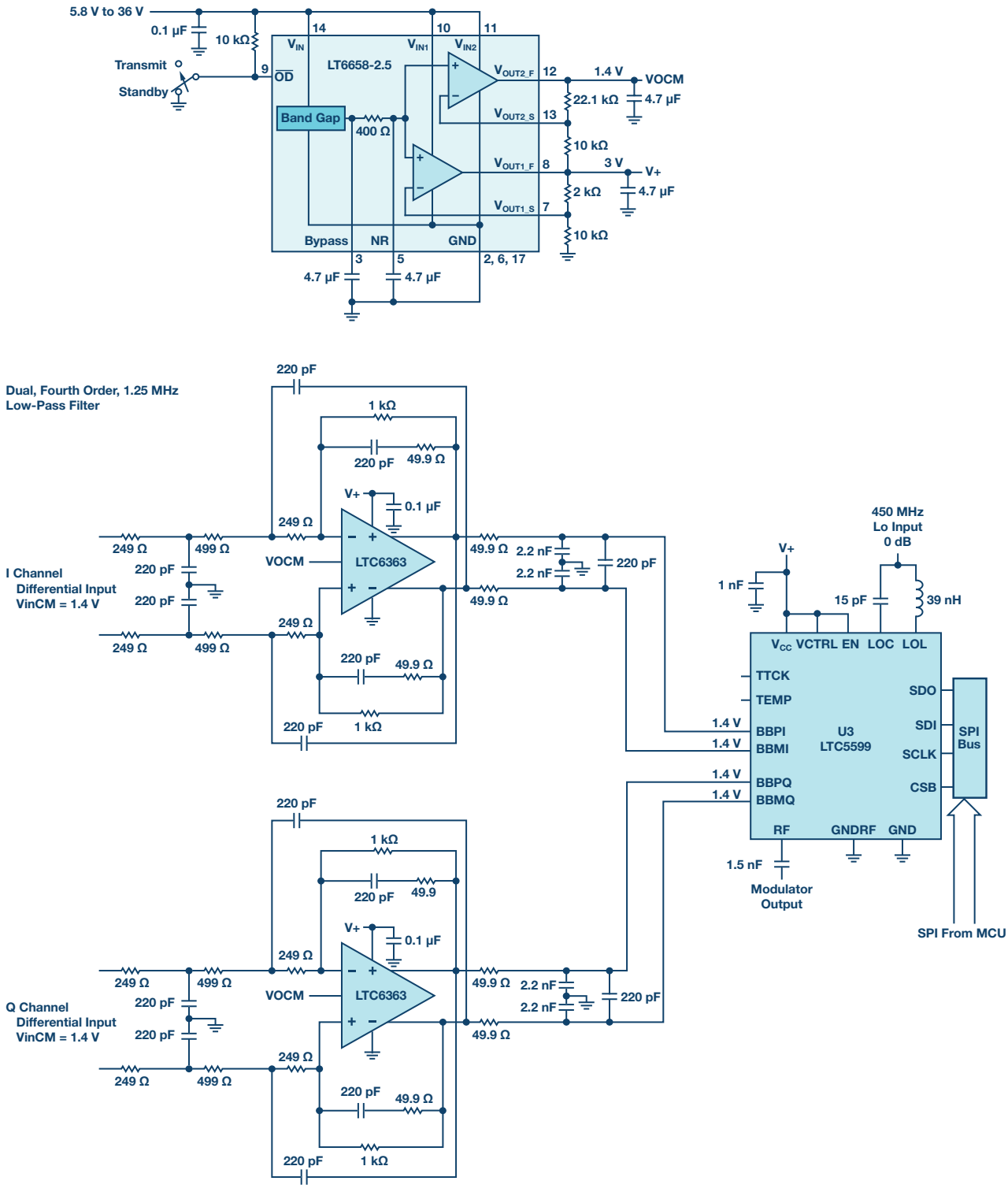


图20. 低功耗、低噪声I和Q信号放大器/滤波器和调制器。

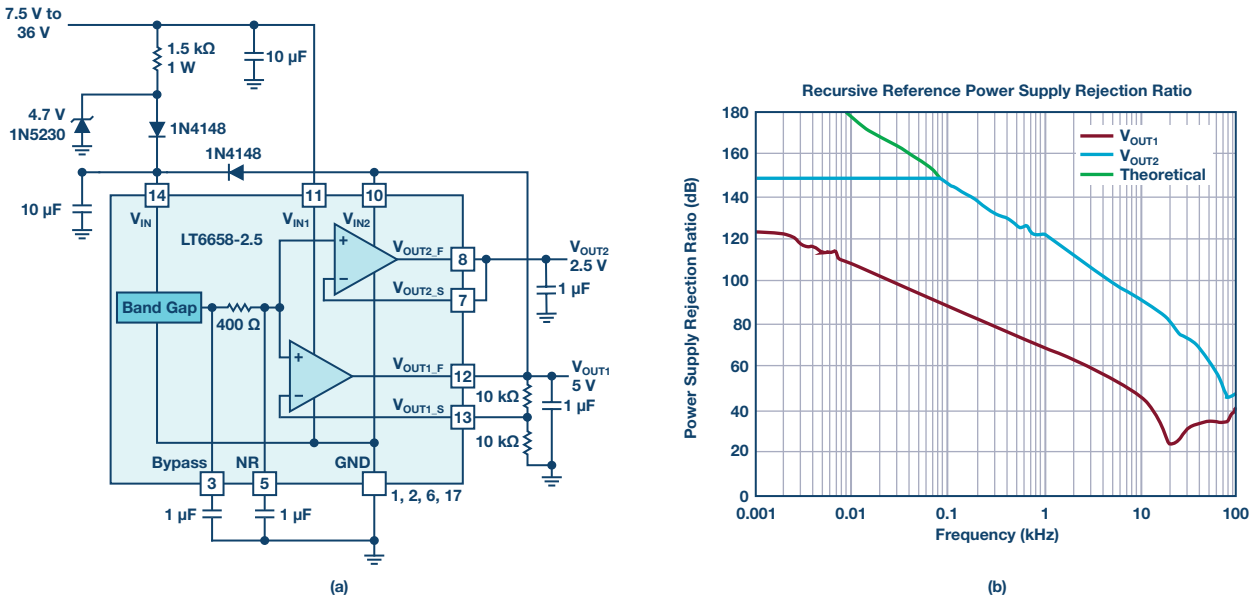


图21. a) 极端电源抑制电路；b) 递归基准电压源的交流电源抑制比。

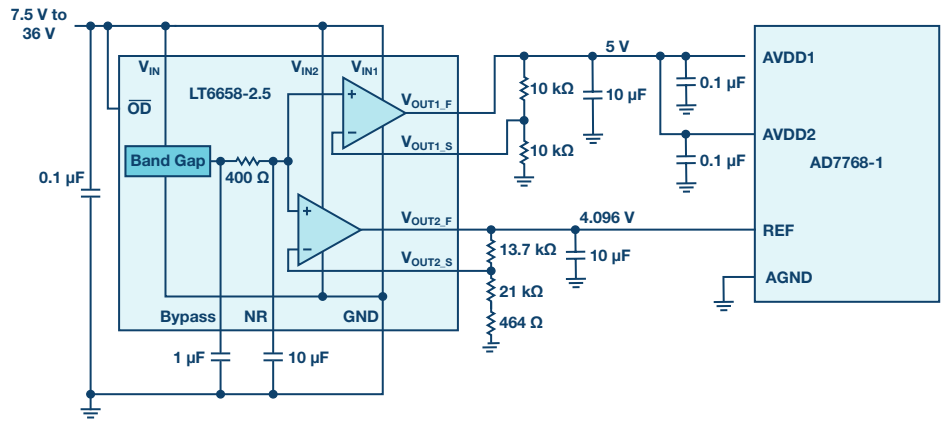


图22. 由LT6658供电的24位同步采样 Σ-Δ转换器。

递归基准电压源

虽然LT6658具有出色的电源抑制性能，但图21将电源抑制性能提升到一个新的水平。图21所示的递归基准电压源在V_{OUT2}上产生一个输出，该输出与电源电压彻底隔离。V_{IN1}和V_{IN}由外部电源驱动，在V_{OUT1}上产生5 V电源。一旦激活，V_{OUT1}便接管为V_{IN}供电的任务，随后V_{IN2}将这些电源输入与外部电源隔离。

如图21b中的曲线所示，在我们的测试设置限值下，可测量的低频电源抑制比超过140 dB。图中包含了一条理论曲线，其指示的是更有可能的电源抑制性能。

24位高分辨率ADC应用

AD7768-1是一款精密24位Σ-Δ转换器，专为宽带宽、高密度仪器仪表、能源和医疗健康设备而设计。AD7768-1是一款要求很高的转换器，需要低噪声、精密且稳定的基准电压源来驱动其基准输入引脚。对于此应用，LT6658的一路输出为模拟电源引脚AVDD1和AVDD2提供5 V电压，另一路输出为基准输入提供4.096 V电压。

在1 kHz输入信号音和最快可用采样速率下，得到的FFT如下图23所示。具体说来，4.096 V基准电压被分成488 nV的LSB。在测量结果中，任何噪声、纹波或馈通都会变得非常明显。

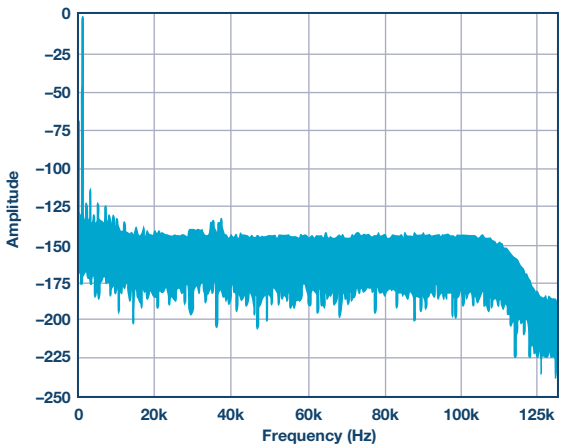


图23. AD7768-1和LT6658应用的FFT。

结论

本文结合若干应用考虑了LT6658的多功能性和灵活性。本文给出的应用使用2.5 V选项，但还有其他五种电压选项可用，即1.2 V、1.8 V、3 V、3.3 V和5 V。所有六种选项都有同样严格的特性，并经过ADI公司因之闻名的严格测试。

LT6658旨在满足那些希望从基准电压源获得更多电源电流的客户。两路输出似乎是明智的，而且有前述架构。如上文所述，此架构可用于各种应用。毫无疑问，我们的客户会发现许多其他应用LT6658的创新方法。

有关LT6658功能的更多信息，请访问我们的网站，查看《*模拟对话*》文章*Refulator：200 mA精密基准电压源的能力*。

致谢

文章中的电路由ADI公司的众多人才提供、构建和测试。感谢Philip Karantzalis、Noe Quintero、Niall McGinley、Robert Keily和Tom Westenberg。还要感谢Aaron Schultz和Catherine Chang对这篇文章提供的有益反馈。感谢Brendan Whelan的评论和支持。

Mike Anderson [michael.anderson@analog.com]是ADI公司高级IC设计工程师，负责精密基准电压源和放大器等信号调理产品。他曾在Maxim Integrated Products担任高级技术人员和部门领导，负责设计ADC和混合信号电路。1997年前，Mike在Symbios Logic担任原理IC设计工程师，主要负责设计高速光纤通道电路。他获得普渡大学电气工程学士学位和电气工程硕士学位。Mike拥有16项专利，偶尔发表文章。



Michael Anderson

该作者的其他文章：

Refulator：200 mA精密基准电压源的能力
第52卷，第2期

60 V和100 V、低I_Q升压/SEPIC/反相转换器，适用于紧凑、高效率、低EMI电源

作者：**Joey Yurgelon, Jesus Rosales** 和 **Mark Marosek**

分享至

汽车和工业市场需要低发热运行、适应狭小空间且满足低EMI标准的电源。开关稳压器LT8362、LT8364和LT8361满足升压、SEPIC或反相拓扑中的这些要求。每个器件均支持2.8V至60V的宽输入范围，适合工业或汽车环境，具有低I_Q模式(Burst Mode®)能力，并提供可选SSFM以降低EMI。这些器件内置稳定可靠的60 V/2 A、60 V/4 A和100 V/2 A功率开关(在高达2 MHz的频率下高效工作)，可在狭小空间中提供高功率，同时满足严格的散热和EMI要求。

汽车输入瞬态和预升压

随着当今汽车中电子器件含量的急剧提高，电源数量成倍增加，其中很多需要将宽范围电池电压直接转换为可用的稳压输出。LT836x系列所有器件的最小输入电压为2.8 V，可在冷启动或启停场合中运行；最大输入电压能力达60 V，可处理电源切断等高输入电压瞬变。

如此宽的输入电压范围使LT836x系列非常适合汽车预升压应用。在电池输入电压可能降到降压输出电压以下的应用中，汽车降压调节器需要预升压级。LT8361、LT8362和LT8364在低电池电量期间可提供必要的升压，而在正常电池电压下或电源切断期间可关闭，功耗极低。

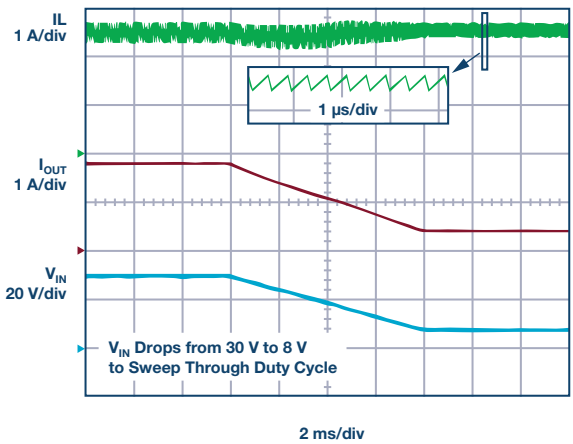


图1. 在峰值开关电流达到限值时，LT836x转换器提供正常工作所需的全斜率补偿，而峰值开关电流限值不会随着占空比而直流降低。

稳定可靠的功率开关

任何开关稳压器都有一项关键要求，那就是在整个输入电压范围内为给定应用提供足够的功率，同时保证可靠运行。这些功率开关稳定可靠，提供60 V/2 A (LT8362)、60 V/4 A (LT8364)和100 V/2 A (LT8361)的电压/峰值电流，支持广泛的应用。除扩展SEPIC和反相转换器的输入电压范围外，LT836x系列的高功率开关电压额定值还能扩展输出电压能力。

功率输送最大化：平坦的限流值与占空比

为使整个输入电压范围内的功率输送最大化，LT836x系列的功率开关在整个占空比范围内保持峰值开关限流值不变。宣传的开关电流是多少，用户就能获得多少电流，不打折扣。这与有些转换器在高占空比下峰值开关电流限值可能下降30%或更多相比，是一个显著的优势。

电流模式DC-DC转换器通常对峰值开关电流限值进行斜率补偿，以避免在达到峰值开关电流限值时出现次谐波振荡。缺点是当占空比提高时(随着输入电压降低)，峰值开关电流限值会减小。在峰值开关电流达到限值时，LT836x系列提供正常工作所需的全斜率补偿，而峰值开关限流值不会随着占空比而直流降低。

2 MHz工作频率：AM频段以上的紧凑型电源

为了满足对紧凑型电源的需求，DC-DC转换器使用高开关频率以最大程度地缩减器件尺寸和成本。此外，汽车应用要求在AM频段以上运行，频率推高至2 MHz。

传统上，高开关频率会导致开关损耗增加，占空比范围受限。LT836x系列采用快速功率开关驱动器以使开关损耗最小，并具有很短的最小导通和关断时间，即使在2 MHz时也能支持宽转换范围。例如，很多应用传统上以400 kHz运行以使效率最高，而LT836x系列能实现更低的损耗和更高的占空比范围。涉及的每种拓扑(升压、SEPIC和反相)的热性能如图2所示。

突发工作模式：轻负载时效率高

轻负载时的高效率是汽车环境中的一个关键特性，这对延长电池寿命至关重要。利用可选突发工作模式(可使用SYNC/MODE引脚选择)，LT836x系列在轻负载下提供高效率(参见表2)。在较低开关频率时，突发工作模式使用均匀间隔的单开关脉冲以降低开关损耗，同时使输出电压纹波最小。在深度休眠模式下或在预升压应用中的直通模式下，LT836x系列从输入引脚汲取的电流低至9μA。

SSFM模式：三种拓扑均符合CISPR 25 Class 5的标准

利用展频(SSFM)模式以及电路板布局时的适当滤波，LT836x系列能够满足CISPR 25 Class 5标准。

在EMI敏感环境中，设计人员传统上是避免使用开关稳压器。开关稳压器的大电容和麻烦的热环路提升了PCB布局对实现良好EMI性能和小尺寸解决方案的重要性，给电路板设计和制造带来负担。LT8362、LT8364和LT8361的工厂演示电路包括必要的输入/输出滤波器及示范性PCB布局，当选择SSFM模式时满足CISPR 25 Class 5标准(经过测试)(参见表2)。EMI考虑中基本上不涉及到转换器，应用开发时间和成本得以减少。图4显示了升压解决方案的EMI测试结果。

两全其美：突发工作模式和SSFM

直到最近，选择SSFM模式以降低EMI还意味着必须在轻负载时使用效率较低的跳脉冲模式，但LT836x系列不需要这种权衡。只需在SYNC/MODE引脚与地之间添加一个100 kΩ电阻(参见表2)，LT836x系列便可在负载变轻时从SSFM模式无缝转换为突发工作模式。其结果是在所有负载下都能实现低EMI和高效率。

封装、引脚兼容性和温度等级

对于喜欢有引脚封装的客户，每个器件都提供引脚兼容的16(12)引脚MSE TSSOP，移除四个引脚是为了符合HV引脚间距要求。如需更小尺寸的解决方案，LT8362和LT8364也提供DFN封装。LT8362(3mm×3mm) 10引脚DFN与LT8364引脚兼容，可将前者放置在(4 mm × 3 mm) LT8364 12引脚DFN PCB空间上(参见图6)。所有封装均有耐热增强型裸露接地焊盘，并提供E、I和H温度等级。

升压/SEPIC/反相：用于正或负输出的FBX引脚

单个FBX引脚即可提供正输出电压和负输出电压，所有拓扑结构皆可实现。反相应用与升压或SEPIC一样可获得，节省设计时间和精力。

升压转换器

有些应用要求输出电压高于输入电压，LT836x系列具有2.8 V至60 V输入能力和功率开关额定值范围，因而是许多升压转换器应用的理想选择。对于大转换比设计，以断续导通模式(DCM)工作可能是最佳解决方案；连续导通模式(CCM)可以提供更高的输出功率。

图7中的转换器为LT8364低I_Q、低EMI、2 MHz、24 V升压转换器，采用SSFM，符合CISPR 25 Class 5辐射和传导EMI标准(图4)。输入电压为12 V时，该应用可轻松达到94%的峰值效率。

SEPIC转换器

汽车和工业应用的输入电压可能高于或低于所需的输出电压。对于需要给输入升压和降压的DC-DC转换器应用，SEPIC拓扑常常是解决方案。SEPIC支持需要断开输出的应用，以确保在关断期间无输出电压，且能容忍输出短路故障，因为输入到输出之间没有直流路径。开关额定值为60 V/100 V，最小导通和关断时间很短，支持宽输入电压范围。LT836x系列提供可选BIAS引脚，其可用作$INTV_{CC}$稳压器的第二输入电源以提高效率。

图8中的SEPIC转换器使用LT8361来展示额定值100 V开关的多功能性。开关电压额定值必须大于最大输入和输出电压之和。输入为48 V，输出为24 V，该开关可轻松处理所需的72 V电压。当输入大于输出时，BIAS引脚连接到V_{OUT}时可提高效率。采用SSFM工作模式时，该应用符合CISPR 25 Class 5辐射和传导EMI标准(图9)。12 V输入时的峰值效率为88%。

反相转换器

负电源在当今电子产品中很常用。但是，许多应用只有正输入电压可用。配置为反相拓扑时，LT836x系列可以从高于或低于负输出电压幅度的正输入电压进行调节。与SEPIC拓扑一样，60V/100V的高开关额定值及很短的最小导通和关断时间支持宽输入电压范围。

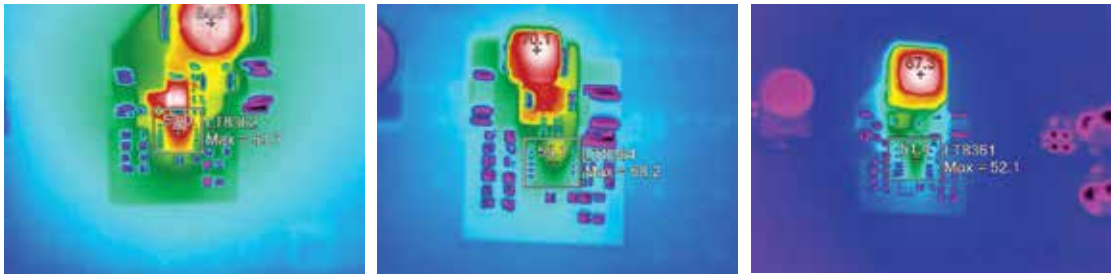
工作在2 MHz时，LT8362提供了一种从正输入电源产生负电压的简便方法，如图10所示——使用SSFM的低I_Q、低EMI、2 MHz、-12 V反相转换器。利用稳定可靠的60 V开关，该应用可在高达42 V ($|V_{OUT}| + V_{IN}$ 60 V)的输入下工作。V_{IN}为12 V时，峰值效率可达85%。采用SSFM工作模式时，该应用符合CISPR 25 Class 5辐射和传导EMI标准（图11）。

结论

为满足汽车和工业市场对紧凑、高效率、低EMI电源的需求，LT836x系列提供稳定可靠的LT8362 (60 V/2 A)、LT8364 (60 V/4 A)和LT8361 (100 V/2 A)开关稳压器，并且支持升压、SEPIC和反相拓扑。低I_Q突发工作模式，占空比范围内平坦的开关电流限值，2 MHz工作频率下的低开关损耗，以及2.8 V至60 V的宽输入范围，使这些器件显著优于同类器件。

通过适当的演示板布局和滤波器设计并使用SSFM模式，可实现低EMI性能以满足CISPR 25 Class 5 EMI标准。

所有器件都有16(12) MSE引脚兼容性，LT8362 (3 mm × 3 mm DFN(10))和LT8364 (4 mm × 3 mm DFN(12))尺寸兼容，因而设计开发得以简化。LT836x系列的所有器件均提供E、I和H温度等级。



(a) LT8362 DC2517A Inverting Converter. (b) LT8364 DC2716A Boost Converter. (c) LT8361 DC2599A SEPIC Converter.

图2. LT8362 Cuk反相、LT8364升压和LT8361 SEPIC设计方案的热性能。



(a) LT8362 low EMI Inverting Converter. (b) LT8364 Low EMI Boost Converter (c) LT8361 Low EMI SEPIC Converter.

图3. 紧凑型低EMI转换器解决方案。

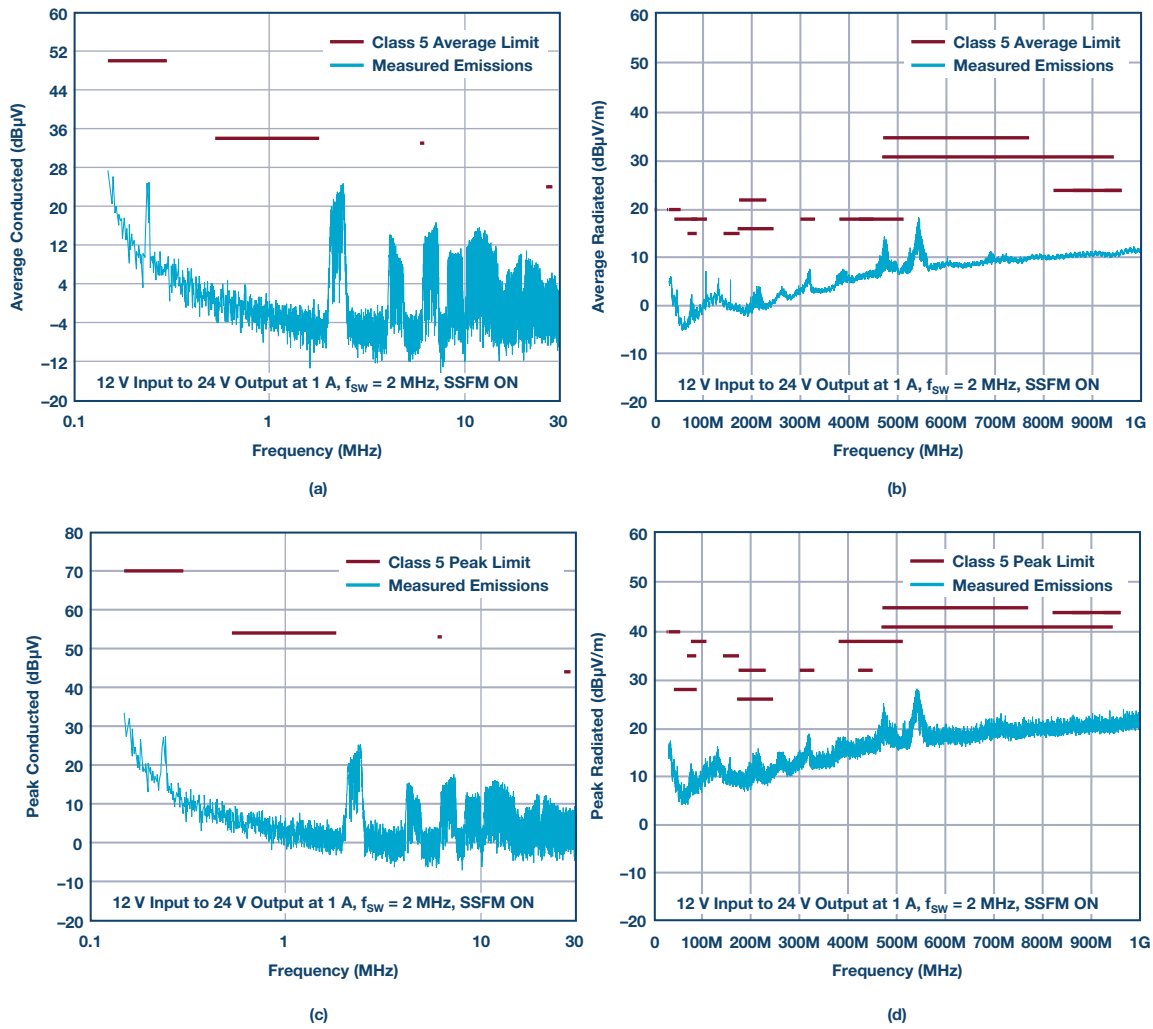
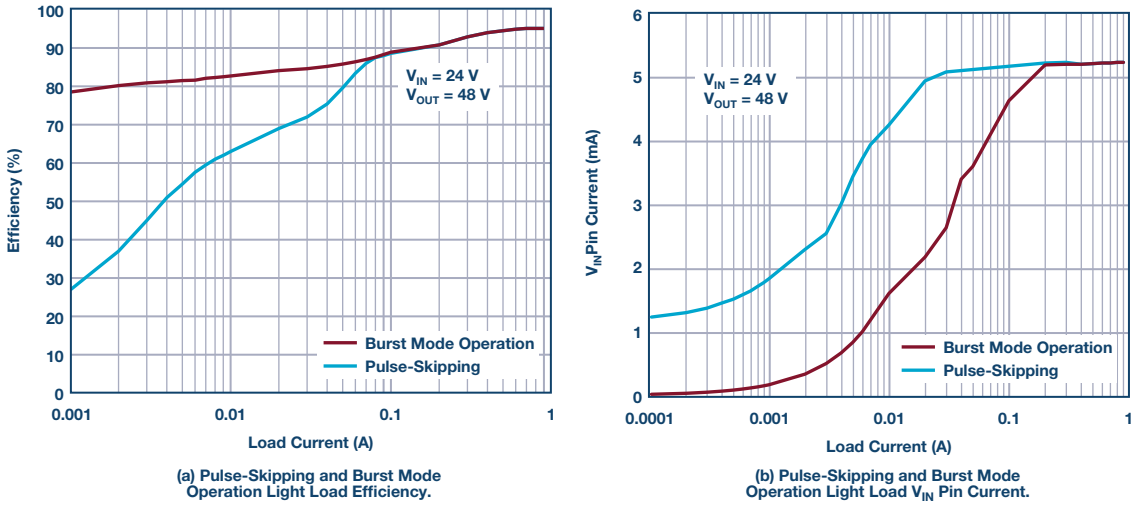


图4. LT8364升压解决方案的EMI测试结果。



(a) Pulse-Skipping and Burst Mode Operation Light Load Efficiency.

(b) Pulse-Skipping and Burst Mode Operation Light Load V_{IN} Pin Current.

图5. LT8362升压解决方案的跳脉冲与突发工作模式的关系(24 V输入、48 V输出)。

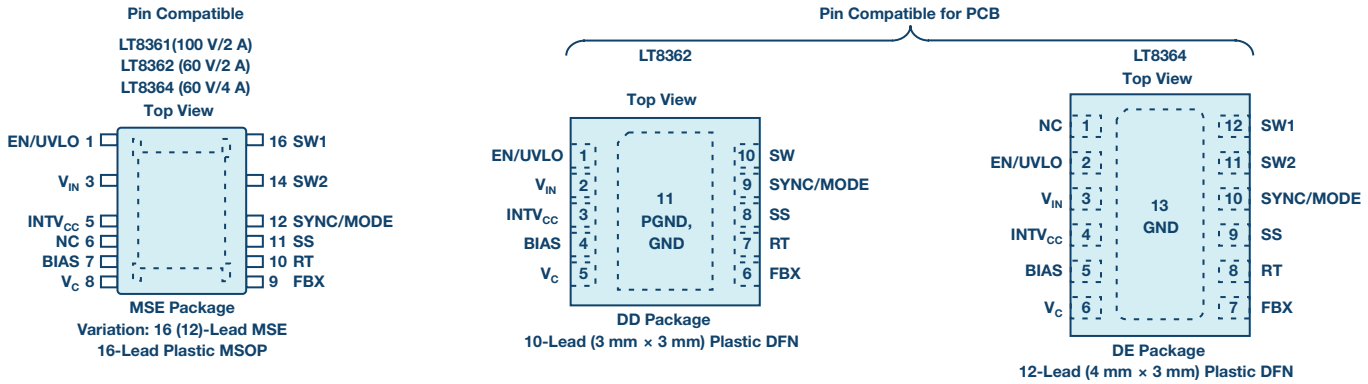


图6. LT8361、LT8362和LT8364封装的引脚兼容性。

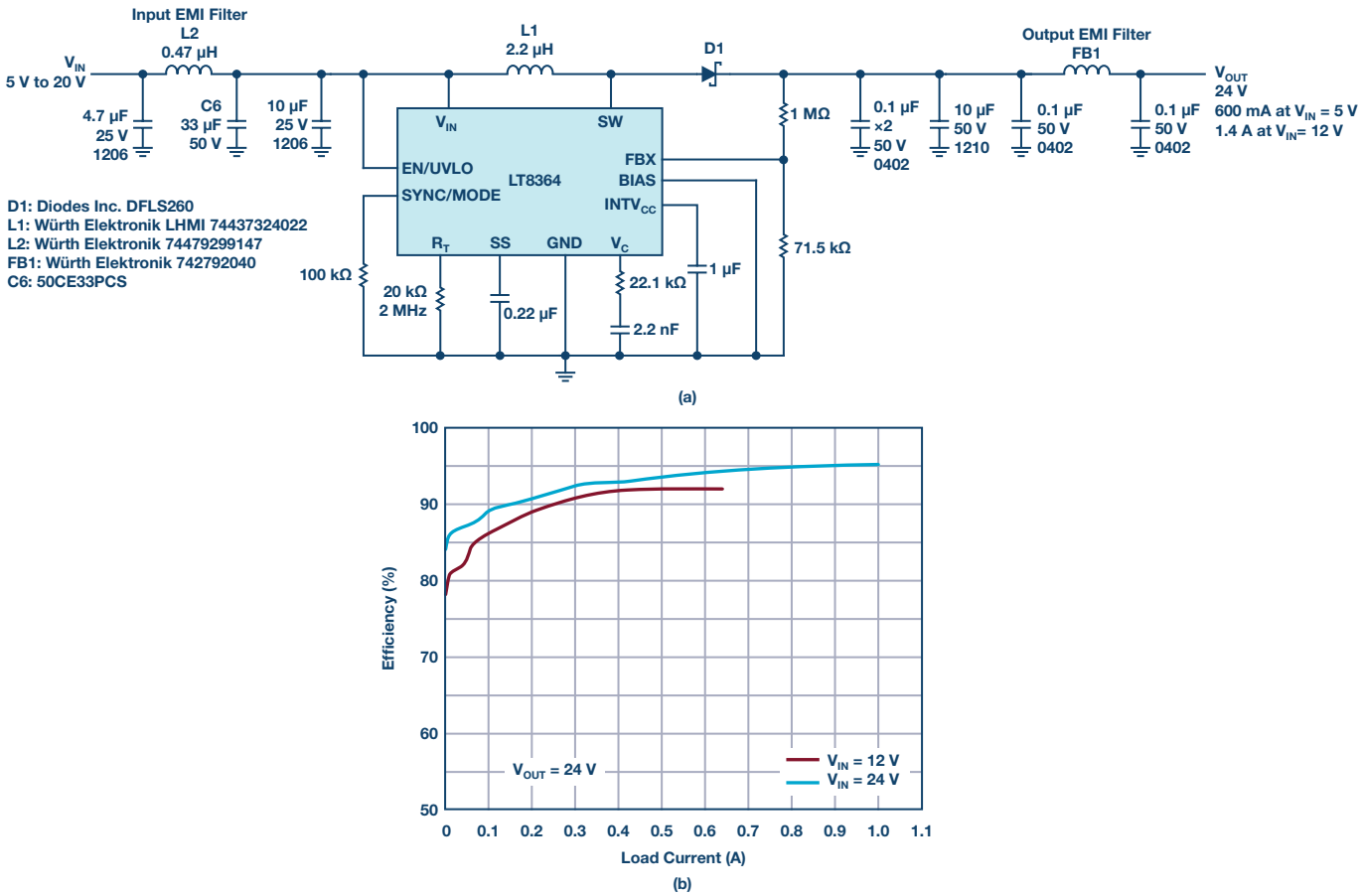


图7. LT8364、2 MHz、24 V输出升压转换器符合CISPR 25 Class 5 EMI标准(见图4)。

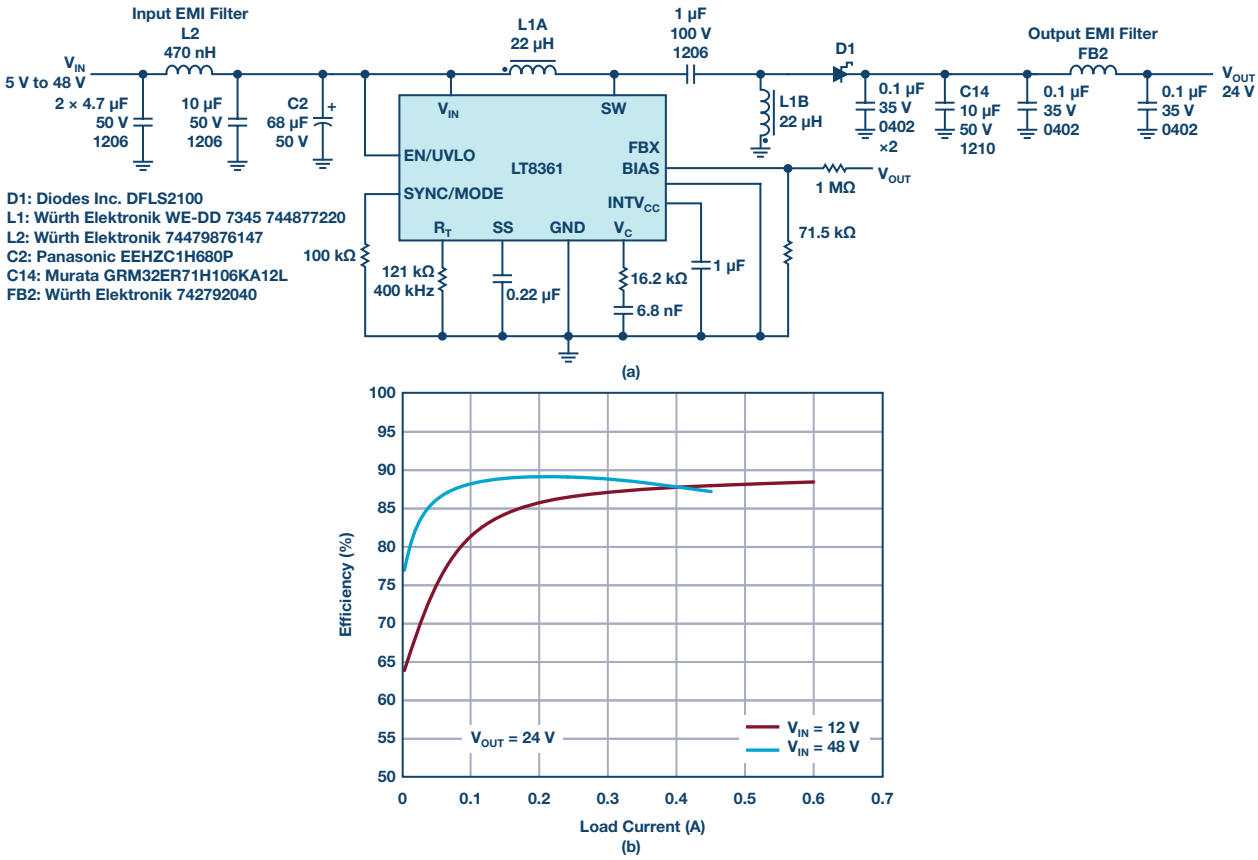


图8. LT8361、400 kHz、24 V输出SEPIC转换器符合CISPR 25 Class 5 EMI标准。

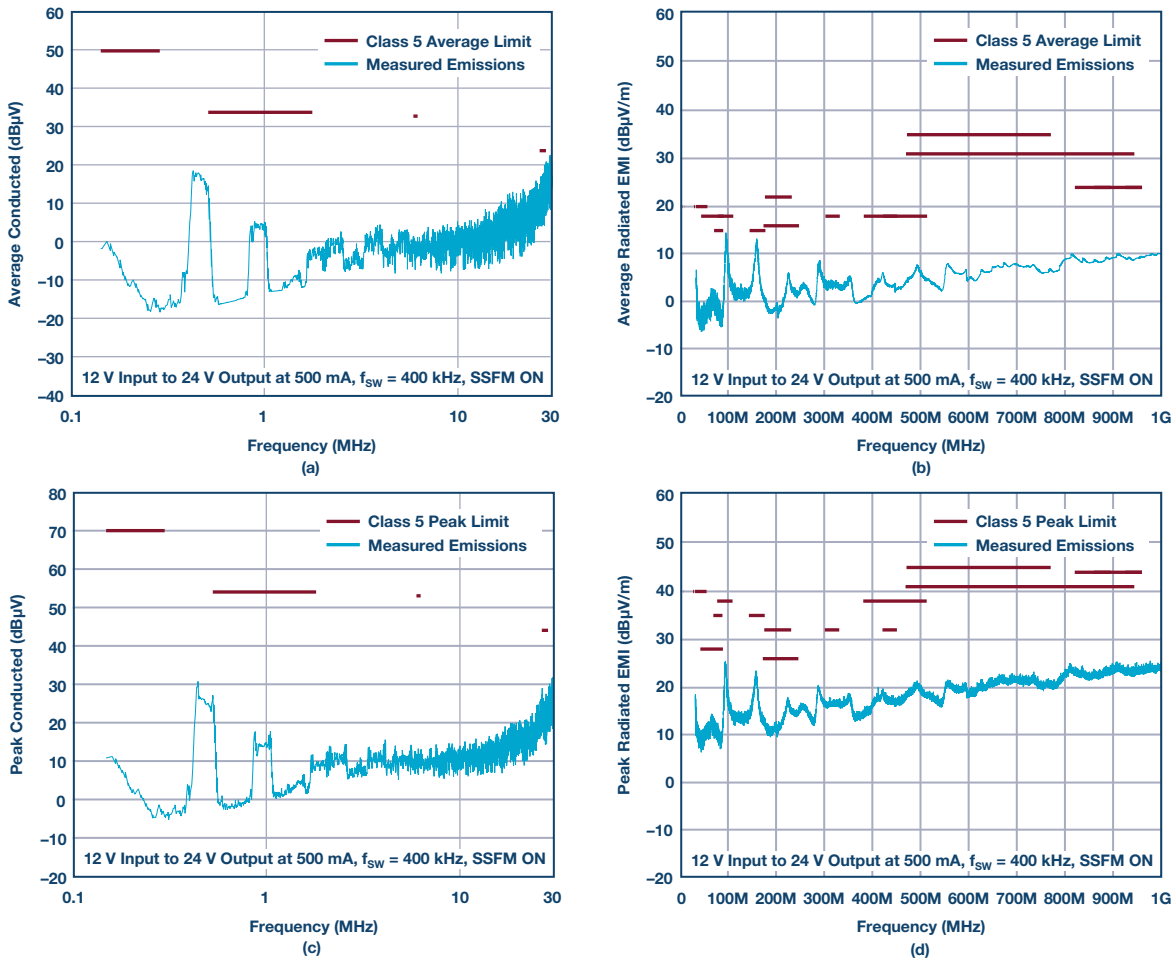


图9. LT8361 SEPIC解决方案的EMI测试结果。

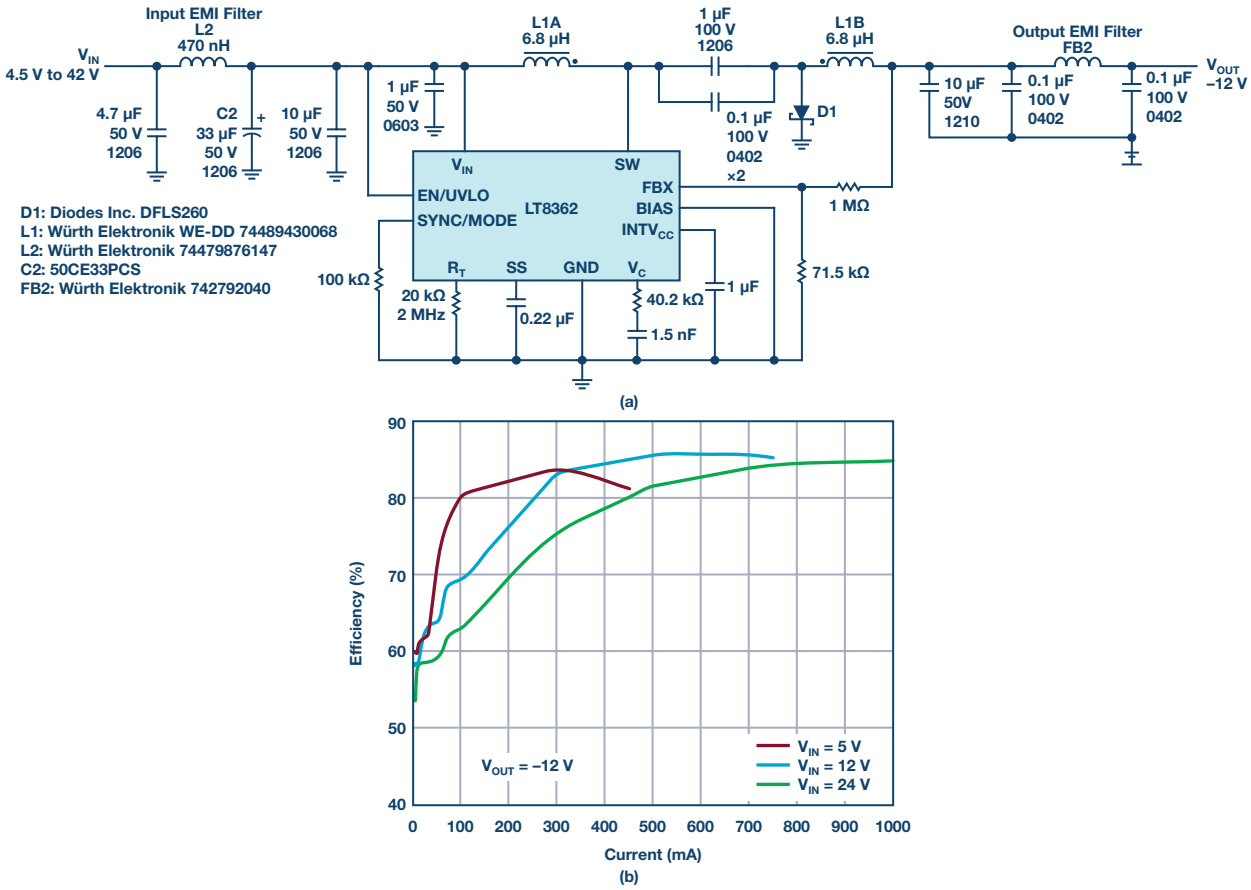


图10. LT8362、2 MHz、-12 V输出反相转换器符合CISPR 25 Class 5 EMI标准。

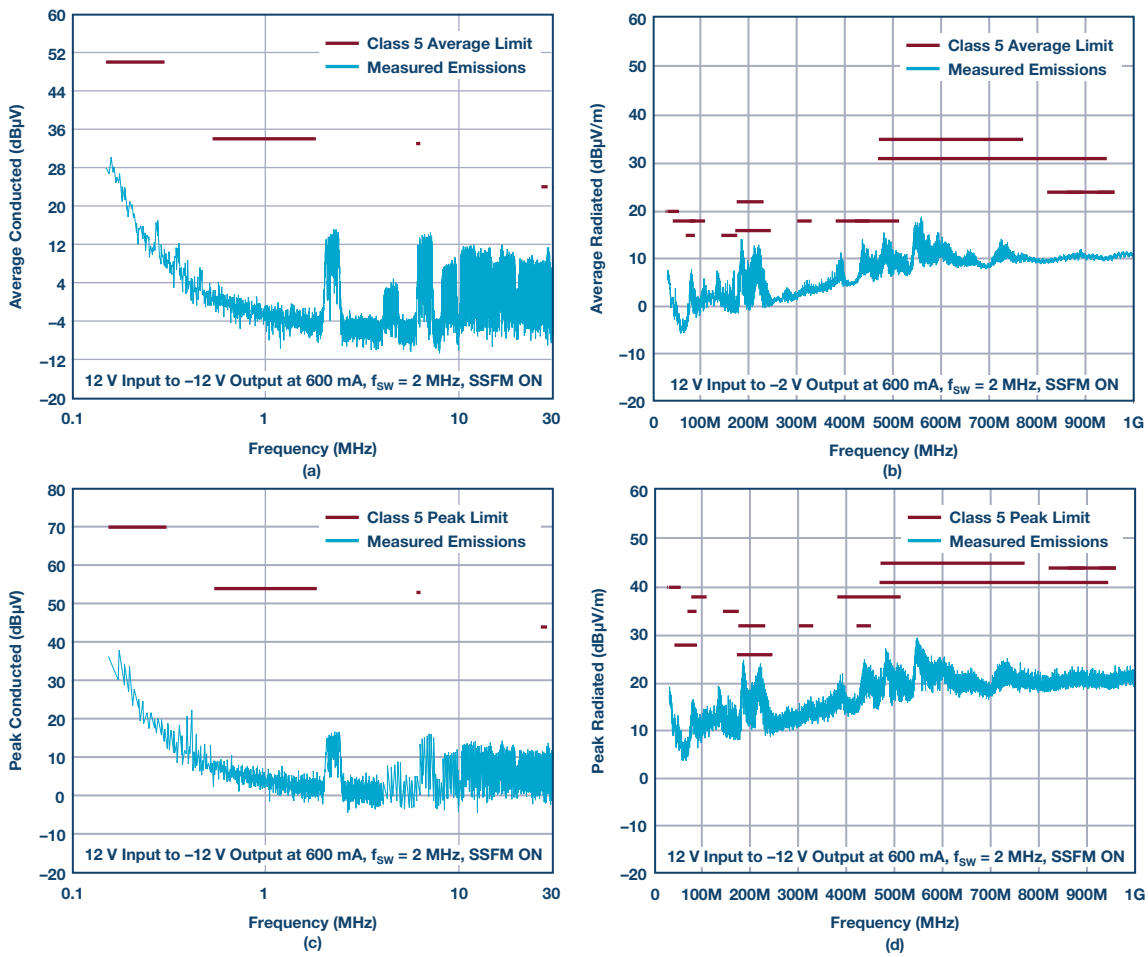


图11. LT8362反相解决方案的EMI测试结果。

表1. 低I_Q升压/SEPIC/反相转换器；本文中描述的器件以高亮显示。

	LT8362	LT8364	LT8361	LT8330	LT8331	LT8335
突发模式I_Q	9μA	9μA	9μA	6μA	6μA	6μA
输入电压范围	2.8 V至60 V	2.8 V至60 V	2.8 V至60 V	3 V至40 V	4.5 V至100 V	3 V至25 V
可编程/固定开关频率	300 kHz至2 MHz	300 kHz至2 MHz	300 kHz至2 MHz	2 MHz	100 kHz至500 kHz	2 MHz
扩展频谱频率调制用于实现低EMI	是	是	是			
功率开关电压/电流	60 V/2 A	60 V/4 A	100 V/2 A	60 V/1 A	140 V/0.5 A	28 V/2 A
封装	3 mm × 3 mm DFN，16(12)引脚MSE	4 mm × 3 mm DFN，16(12)引脚MSE	16(12)引脚MSE	3 mm × 2 mm DFN, TSOT- 23	16(12)引脚MSE	3 mm × 2 mm DFN
温度等级	E, I, H	E, I, H	E, I, H	E, I, H	E, I, H	E, I, H

表2. LT836x系列支持的工作模式。

SYNC/MODE引脚输入	支持的工作模式
(1) GND 或 <0.14 V	突发工作模式
(2) 外部时钟	跳脉冲/同步
(3) 100 kΩ 电阻接 GND	突发/SSFM
(4) 浮空(引脚断开)	跳脉冲
(5) $INTV_{CC}$ 或 > 1.7 V	跳脉冲/SSFM
温度等级	E, I, H



Joey Yurgelon

Joey Yurgelon [joey.yurgelon@analog.com]是ADI公司位于加利福尼亚州米尔皮塔斯的Power by Linear部门的模拟IC设计工程师。他的兴趣包括电源管理IC遥测和单片升压/SEPIC/反相转换器，重点关注用于汽车激光雷达的高压APD偏置解决方案。Joey毕业于拉斯维加斯内华达大学，获电气工程学士学位。2016年加入凌力尔特公司(现为ADI的一部分)，此前他曾效力于私营和公共部门。



Jesus Rosales

Jesus Rosales [jesus.rosales@analog.com]是ADI公司位于加利福尼亚州米尔皮塔斯的应用部门的应用工程师。1995年加入凌力尔特公司(现为ADI的一部分)，担任助理工程师；2001年晋升为应用工程师。此后他一直为升压/反相/SEPIC系列单片转换器和一些离线隔离应用控制器提供技术支持。他于1982年毕业于Bay Valley技术学院，获电子学副学士学位。



Mark Marosek

Mark Marosek [mark.marosek@analog.com]是ADI公司位于加利福尼亚州米尔皮塔斯的Power by Linear部门的设计工程经理。他的兴趣包括单片升压/反相/SEPIC转换器和多串LED驱动器，主要关注汽车和工业应用。他的团队目前重点关注用于汽车激光雷达的高压APD偏置解决方案和激光二极管电源。Mark毕业于苏格兰爱丁堡大学，获电气与电子工程学士学位和硕士学位。1988年至1998年间，他在National Semiconductor工作，曾为汽车业一级供应商设计定制电源IC。1998年加入凌力尔特公司(现为ADI公司的一部分)，担任高级电源IC设计师。

非常见问题解答—第156期
优化电源测量设置

作者：**Frederik Dostal**

分享至

问：

如何确保尽可能高效地测试开关稳压器？



答：

电路设计人员在决定使用某个特定电源之前，首先会对它进行仔细测试。开关稳压器IC的数据手册提供了整个电源在实际应用中如何运行，以及如何通过实验室测试来获得相应特性的有价值信息。电路仿真(例如LTspice®)很有用，可以帮助优化电路。但是，仿真并不能代替硬件测试。就此而言，寄生参数要么难以估计，要么难以仿真。

因此，电源要在实验室中进行彻底测试。用于测试的可以是内部开发的原型，大多数情况下则是使用相应电源IC制造商的现有评估板。

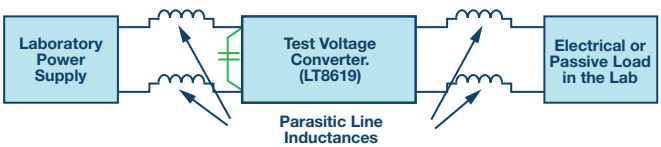


图1. 用于电源运行的连接

连接测试电路时，应考虑若干事项。图1所示为测试设置的原理图。被测电路的输入侧必须连接到电源，输出侧连接到负载。这听起来微不足道，但有一些重要细节必须注意。

尽可能减小线路电感

图1是用于评估电源转换器的设置原理图。我们要测试的是电源电路的行为，而不是测试板与实验室电源之间或与输出端负载之间的连接线路的影响。为降低这些连接线路的影响，应采取两项重要措施。第一，连接线路应尽可能短，短线路的电感值比长线路低。第二，尽量缩小电流路径面积可进一步降低寄生电感。为实现目标，一个显而易见的办法是使用绞合线。这使得电流路径面积仅取决于线路长度和绞合线外皮的厚度。图2显示了测试电压转换器的连接，其使用绞合连接线来降低线路寄生电感。



图2. 使用短绞合线的实用操作设置

在基于开关稳压器的电源中，输入侧和输出侧均有交流电。根据电路拓扑结构，输入侧可能出现脉冲电流，例如在降压转换器(降压控制器)中就会如此。启动行为以及负载跳变也需要测试。在这些工作条件下，测试设置中的连接线路也承载交流电。

输入端增加本地储能器件

如果要测试电源对负载瞬变的响应速度有多快，则被测设计必须提供足够多的能量。被测设计输入侧的能量来源不应是限制因素。为确保不出现这种情况，建议在电源输入端放置一个较大容值的电容，如图1中的绿色部分所示。它确保负载瞬变测试可以正确执行。

但是，必须确保电源的后续使用受到非常明确的条件限制。对输入端储能器件的影响必须有很好的了解，以便可以正确选定电源输入电容的大小。

还必须考虑图1中大电容的另一个方面。如果需要在电源输入端施加电压瞬变以测试相应的行为，则此电容会大大减慢被测电路经受的电压瞬变。因此，对于这些测试，应移除该电容。

总之，与电源设计相关的任务看似简单，但有很多事情必须考虑，例如将电路连接到实验室工作台。被测电路的电源线以及远离被测电路的电源线需要作为交流电路处理，因此，这些电缆必须很短并绞合，以减小这些连接电缆的寄生电感。对电路设计人员而言，这并不是多余的工作，这样做会使测试结果接近我们测试的初衷。如果测试设置的影响得以降低，其余结果将更有价值。随着时间推移，经验丰富的电源工程师已开发出优化电路评估的方法。如果遵循本文中的所有提示，就能顺利地完成评估。

Frederik Dostal [frederik.dostal@analog.com]就读于德国爱尔兰根大学微电子学专业。他于2001年开始工作，涉足电源管理业务，曾担任多种应用工程师职位，并在亚利桑那州凤凰城工作了4年，负责开关模式电源。Frederik于2009年加入ADI公司，担任欧洲分公司的电源管理技术专家。



Frederik Dostal

该作者的其他文章：

FPGA的电源管理

第52卷，第1期

SPI接口简介

作者：**Piyu Dhaker**

分享至

串行外设接口(SPI)是微控制器和外围IC(如传感器、ADC、DAC、移位寄存器、SRAM等)之间使用最广泛的接口之一。本文先简要说明SPI接口，然后介绍ADI公司支持SPI的模拟开关与多路转换器，以及它们如何帮助减少系统电路板设计中的数字GPIO数量。

SPI是一种同步、全双工、主从式接口。来自主机或从机的数据在时钟上升沿或下降沿同步。主机和从机可以同时传输数据。SPI接口可以是3线式或4线式。本文重点介绍常用的4线SPI接口。

接口

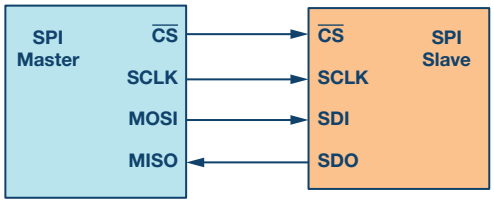


图1.含主机和从机的SPI配置

4线SPI器件有四个信号：

- 时钟(SPI CLK，SCLK)
- 片选(CS)
- 主机输出、从机输入(MOSI)
- 主机输入、从机输出(MISO)

产生时钟信号的器件称为主机。主机和从机之间传输的数据与主机产生的时钟同步。同I^2C接口相比，SPI器件支持更高的时钟频率。用户应查阅产品数据手册以了解SPI接口的时钟频率规格。

SPI接口只能有一个主机，但可以有一个或多个从机。图1显示了主机和从机之间的SPI连接。

来自主机的片选信号用于选择从机。这通常是一个低电平有效信号，拉高时从机与SPI总线断开连接。当使用多个从机时，主机需要为每个从机提供单独的片选信号。本文中的片选信号始终是低电平有效信号。

MOSI和MISO是数据线。MOSI将数据从主机发送到从机，MISO将数据从从机发送到主机。

数据传输

要开始SPI通信，主机必须发送时钟信号，并通过使能CS信号选择从机。片选通常是低电平有效信号。因此，主机必须在该信号上发送逻辑0以选择从机。SPI是全双工接口，主机和从机可以分别通过MOSI和MISO线路同时发送数据。在SPI通信期间，数据的发送(串行移出到MOSI/SDO总线上)和接收(采样或读入总线(MISO/SDI)上的数据)同时进行。串行时钟沿同步数据的移位和采样。SPI接口允许用户灵活选择时钟的上升沿或下降沿来采样和/或移位数据。欲确定使用SPI接口传输的数据位数，请参阅器件数据手册。

时钟极性和时钟相位

在SPI中，主机可以选择时钟极性和时钟相位。在空闲状态期间，CPOL位设置时钟信号的极性。空闲状态是指传输开始时CS为高电平且在向低电平转变的期间，以及传输结束时CS为低电平且在向高电平转变的期间。CPHA位选择时钟相位。根据CPHA位的状态，使用时钟上升沿或下降沿来采样和/或移位数据。主机必须根据从机的要求选择时钟极性和时钟相位。根据CPOL和CPHA位的选择，有四种SPI模式可用。表1显示了这4种SPI模式。

表1. 通过CPOL和CPHA选择SPI模式

SPI模式	CPOL	CPHA	空闲状态下的时钟极性	用于采样和/或移位数据的时钟相位
0	0	0	逻辑低电平	数据在上升沿采样，在下降沿移出
1	0	1	逻辑低电平	数据在下降沿采样，在上升沿移出
2	1	1	逻辑低电平	数据在下降沿采样，在上升沿移出
3	1	0	逻辑低电平	数据在上升沿采样，在下降沿移出

图2至图5显示了四种SPI模式下的通信示例。在这些示例中，数据显示在MOSI和MISO线上。传输的开始和结束用绿色虚线表示，采样边沿用橙色虚线表示，移位边沿用蓝色虚线表示。请注意，这些图形仅供参考。要成功进行SPI通信，用户须参阅产品数据手册并确保满足器件的时序规格。

图3给出了SPI模式1的时序图。在此模式下，时钟极性为0，表示时钟信号的空闲状态为低电平。此模式下的时钟相位为1，表示数据在下降沿采样(由橙色虚线显示)，并且数据在时钟信号的上升沿移出(由蓝色虚线显示)。

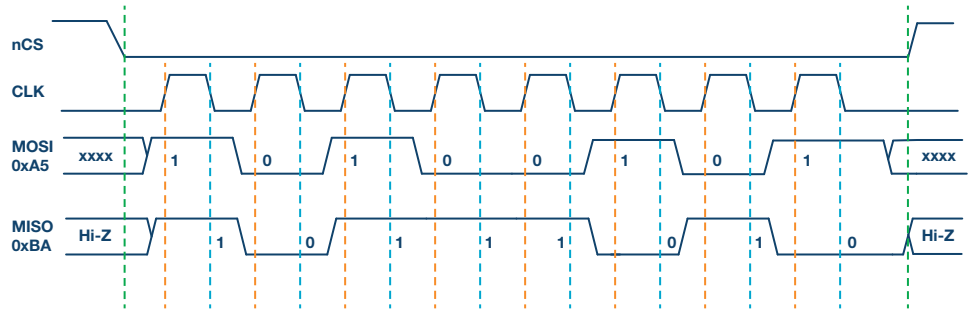


图2. SPI模式0，CPOL = 0，CPHA = 0：CLK空闲状态 = 低电平，数据在上升沿采样，并在下降沿移出。

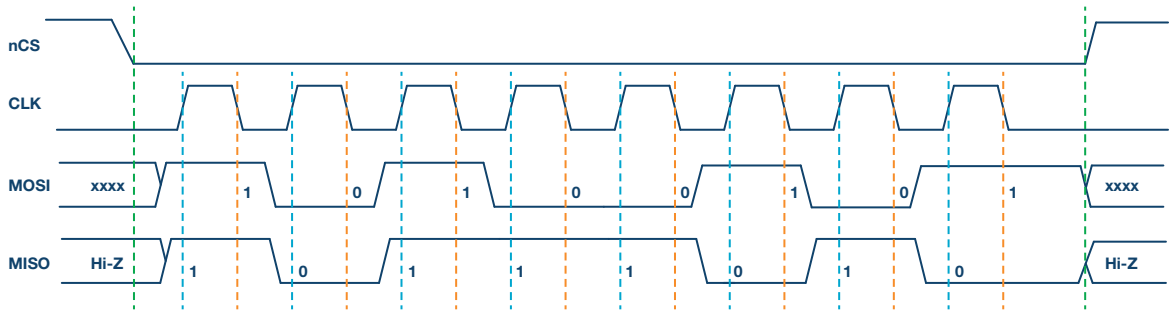


图3. SPI模式1，CPOL = 0，CPHA = 1：CLK空闲状态 = 低电平，数据在下降沿采样，并在上升沿移出。

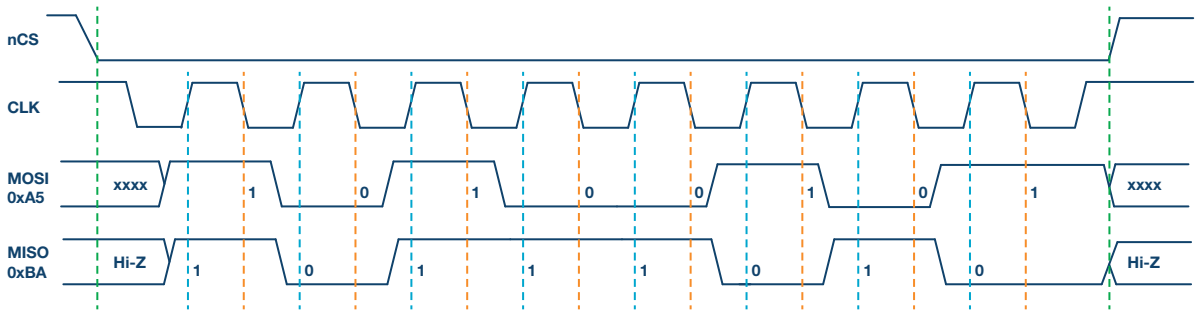


图4. SPI模式2，CPOL = 1，CPHA = 1：CLK空闲状态 = 高电平，数据在下降沿采样，并在上升沿移出。

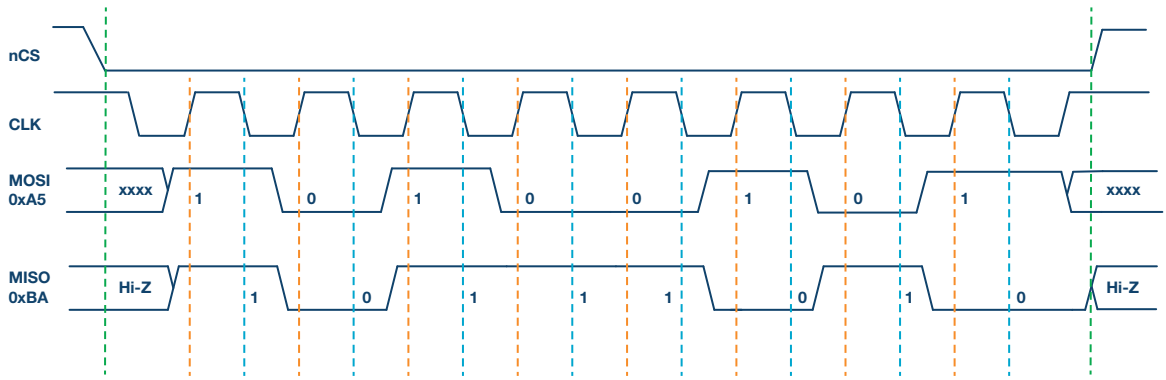


图5. SPI模式3，CPOL = 1，CPHA = 0：CLK空闲状态 = 高电平，数据在上升沿采样，并在下降沿移出。

图4给出了SPI模式2的时序图。在此模式下，时钟极性为1，表示时钟信号的空闲状态为高电平。此模式下的时钟相位为1，表示数据在下降沿采样(由橙色虚线显示)，并且数据在时钟信号的上升沿移出(由蓝色虚线显示)。

图5给出了SPI模式3的时序图。在此模式下，时钟极性为1，表示时钟信号的空闲状态为高电平。此模式下的时钟相位为0，表示数据在上升沿采样(由橙色虚线显示)，并且数据在时钟信号的下降沿移出(由蓝色虚线显示)。

多从机配置

多个从机可与单个SPI主机一起使用。从机可以采用常规模式连接，或采用菊花链模式连接。

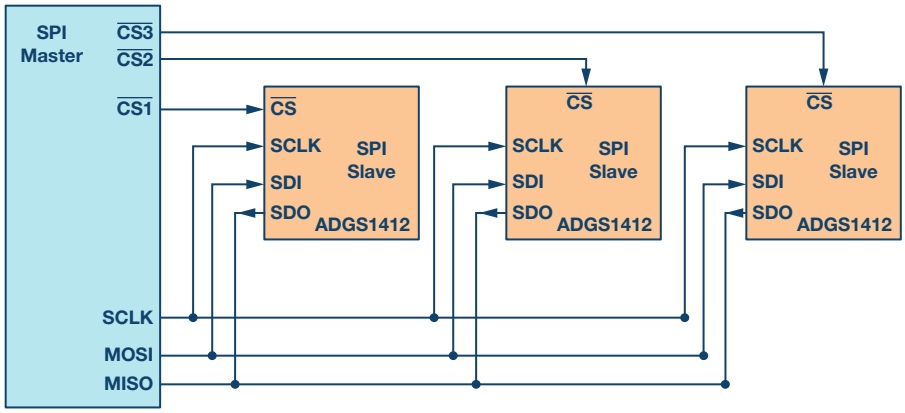


图6. 多从机SPI配置

常规SPI模式：

在常规模式下，主机需要为每个从机提供单独的片选信号。一旦主机使能(拉低)片选信号，MOSI/MISO线上的时钟和数据便可用于所选的从机。如果使能多个片选信号，则MISO线上的数据会被破坏，因为主机无法识别哪个从机正在传输数据。

从图6可以看出，随着从机数量的增加，来自主机的片选线的数量也增加。这会快速增加主机需要提供的输入和输出数量，并限制可以使用的从机数量。可以使用其他技术来增加常规模式下的从机数量，例如使用多路复用器产生片选信号。

菊花链模式：

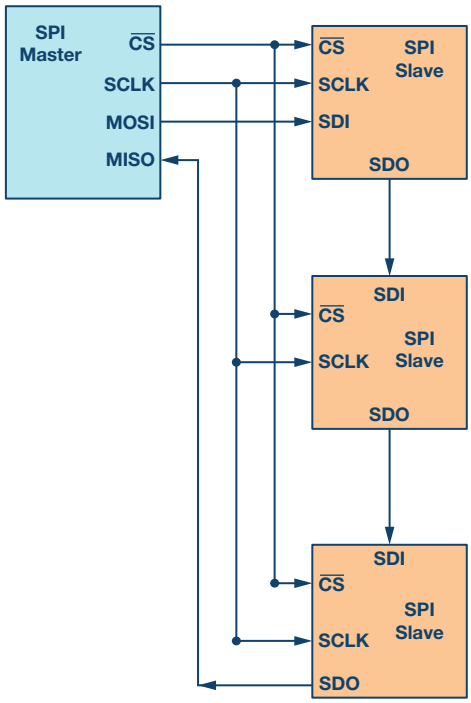


图7. 多从机SPI菊花链配置

在菊花链模式下，所有从机的片选信号连接在一起，数据从一个从机传播到下一个从机。在此配置中，所有从机同时接收同一SPI时钟。来自主机的数据直接送到第一个从机，该从机将数据提供给下一个从机，依此类推。

使用该方法时，由于数据是从一个从机传播到下一个从机，所以传输数据所需的时钟周期数与菊花链中的从机位置成比例。例如在图7所示的8位系统中，为使第3个从机能够获得数据，需要24个时钟脉冲，而常规SPI模式下只需8个时钟脉冲。图8显示了时钟周期和通过菊花链的数据传播。并非所有SPI器件都支持菊花链模式。请参阅产品数据手册以确认菊花链是否可用。

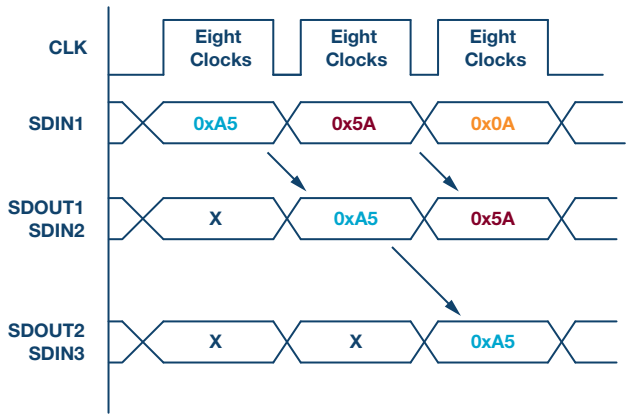


图8. 菊花链配置：数据传播

ADI公司支持SPI的模拟开关与多路转换器

ADI公司最新一代支持SPI的开关可在不影响精密开关性能的情况下显著节省空间。本文的这一部分将讨论一个案例研究，说明支持SPI的开关或多路复用器如何能够大大简化系统级设计并减少所需的GPIO数量。

ADG1412是一款四通道、单刀单掷(SPST)开关，需要四个GPIO连接到每个开关的控制输入。图9显示了微控制器和一个ADG1412之间的连接。

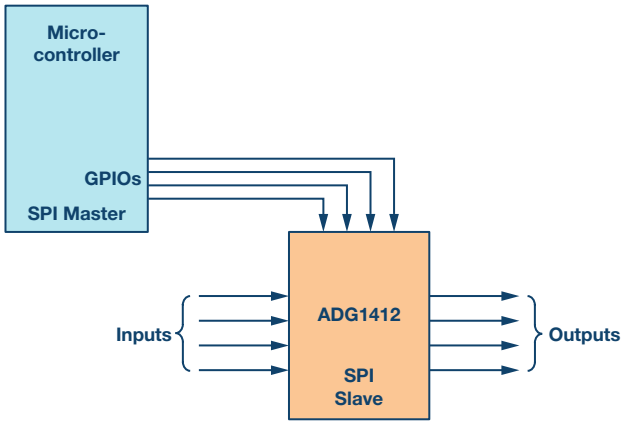


图9. 微控制器GPIO用作开关的控制信号。

随着电路板上开关数量的增加，所需GPIO的数量也会显著增加。例如，当设计一个测试仪器系统时，会使用大量开关来增加系统中的通道数。在4 × 4交叉点矩阵配置中，使用四个ADG1412。此系统需要16个GPIO，限制了标准微控制器中的可用GPIO。图10显示了使用微控制器的16个GPIO连接四个ADG1412。

为了减少GPIO数量，一种方法是使用串行转并行转换器，如图11所示。该器件输出的并行信号可连接到开关控制输入，器件可通过串行接口SPI配置。此方法的缺点是外加器件会导致物料清单增加。

另一种方法是使用SPI控制的开关。此方法的优点是可减少所需GPIO的数量，并且还能消除外加串行转并行转换器的开销。如图12所示，不需要16个微控制器GPIO，只需要7个微控制器GPIO就可以向4个ADGS1412提供SPI信号。

开关可采用菊花链配置，以进一步优化GPIO数量。在菊花链配置中，无论系统使用多少开关，都只使用主机(微控制器)的四个GPIO。

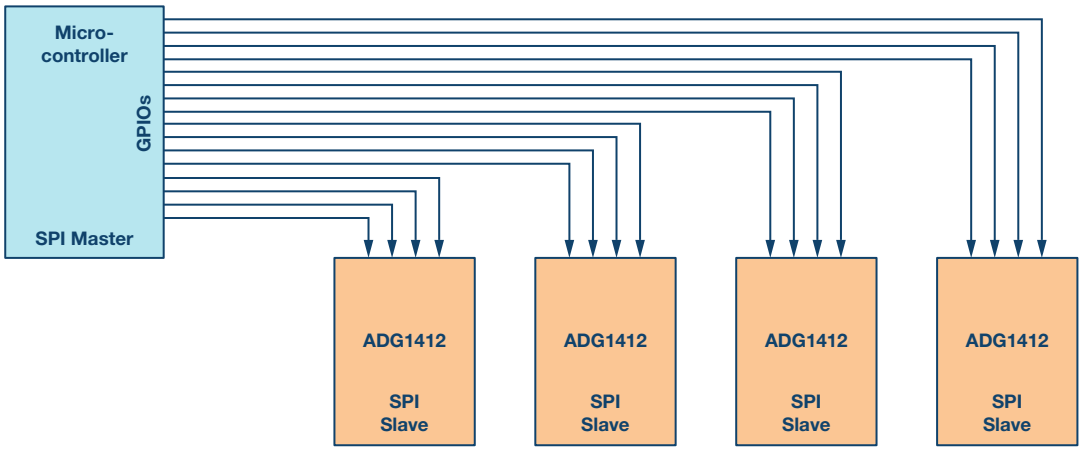


图10. 在多从机配置中，所需GPIO的数量大幅增加。

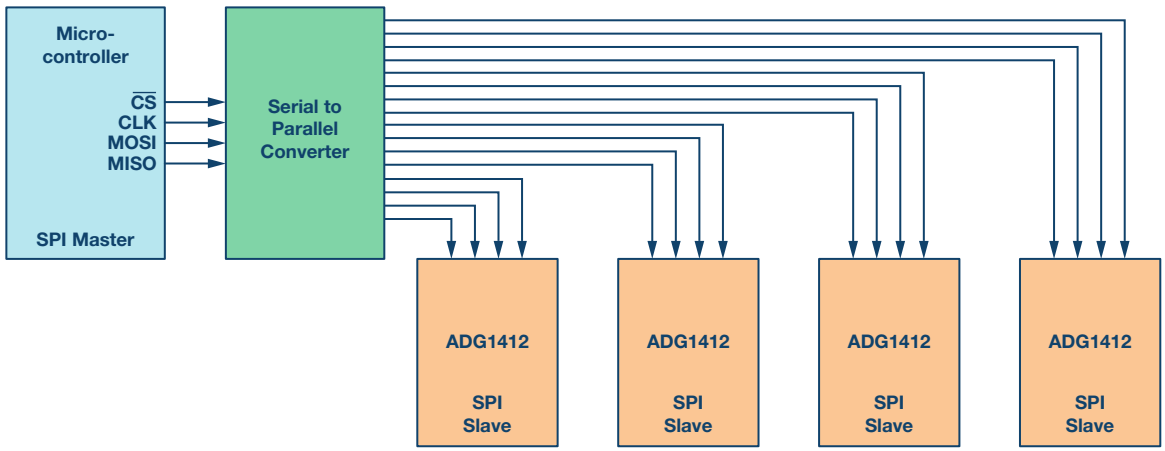


图11. 使用串行转并行转换器的多从机开关

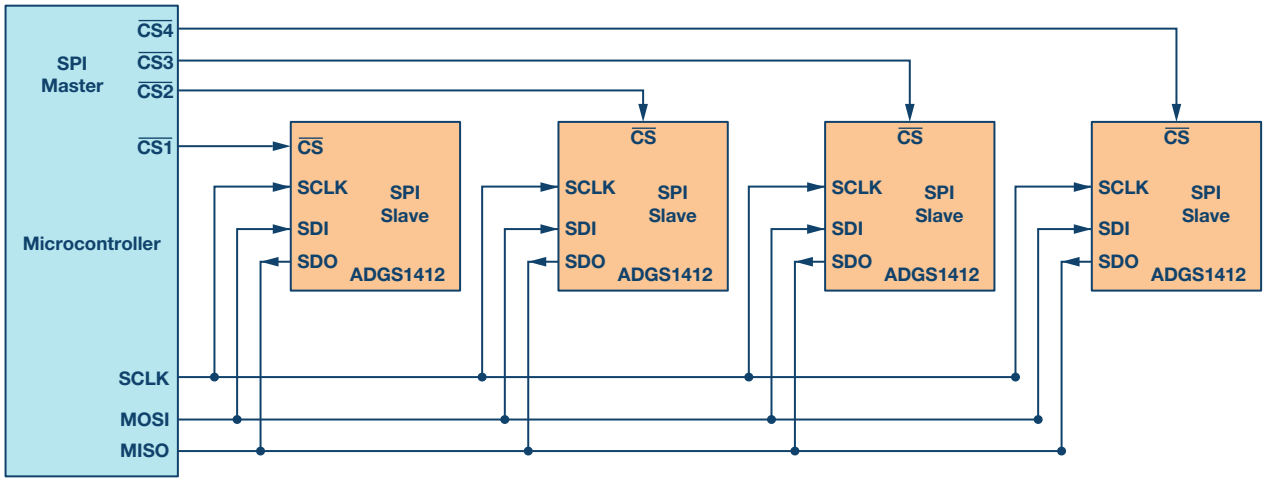


图12. 支持SPI的开关节省微控制器GPIO

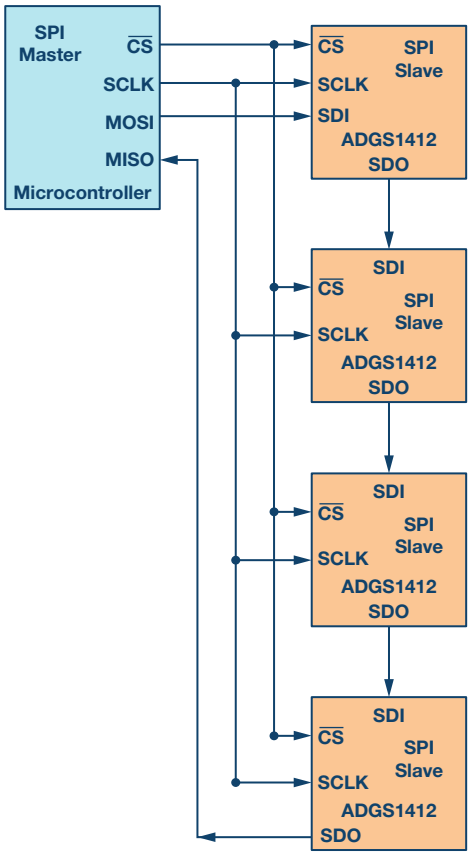


图13. 菊花链配置的SPI开关可进一步优化GPIO。

图13用于说明目的。ADGS1412数据手册建议在SDO引脚上使用一个上拉电阻。有关菊花链模式的更多信息，请参阅ADGS1412数据手册。为简单起见，此示例使用了四个开关。随着系统中开关数量的增加，电路板简单和节省空间的优点很重要。在6层电路板上放置8个四通道SPST开关，采用4 × 8交叉点配置时，ADI公司支持SPI的开关可节省20%的总电路板空间。文章“精密SPI开关配置提高通道密度”详细说明了精密SPI开关配置如何提高通道密度。

ADI公司提供多种支持SPI的模拟开关与多路转换器。欲了解更多信息，请访问这里。

参考文献

ADuCM3029数据手册。ADI公司，2017年3月。

Nugent，Stephen。“精密SPI开关配置提高通道密度”。*《模拟对话》*，2017年5月。

Usach, Miguel。应用笔记AN-1248：*SPI接口*。ADI公司，2015年9月。

Piyu Dhaker [piyu.dhaker@analog.com]是ADI公司北美核心应用部门的应用工程师。2007年毕业于圣何塞大学，获电气工程硕士学位。2017年6月加入北美核心应用部门。此前，她也在ADI公司的汽车传动系统部门和电源管理部门工作过。



Piyu Dhaker

高精度SAR模数转换器的抗混叠滤波考虑因素

作者：**Patrick Butler**

分享至

简介

在物联网和云计算成为生活一部分，在行业媒体大肆宣扬之际，通过采用最先进的技术和优化设计，老式电子元件并未停止前进的步伐。其中一个例子是模数转换器，该器件现在可以超过每秒一兆次采样(MSPS)的速率实现32位分辨率，轻松通过传统的计量基准测试。

这些高精度转换器除了在仪表仪器和大型通用采集系统(测试、设备认证)、专业系统(医疗应用和光谱学数字成像)等专用领域以外，它们已经进入许多过程控制应用、可编程控制器、大型电机控制以及电能输配等领域。目前，几种ADC架构在精度方面不相上下；根据不同需求，具体的选择视模数转换原理、逐次逼近寄存器(SAR)以及Σ-Δ而定，在数MSPS速率下，这些架构分别支持最高24位或以上的分辨率，为24位或更多，在几百kSPS速率下支持32位分辨率。当面对这些分辨率和精度水平时，这些转换器提供的有用动态范围很容易超过100 dBFS(满量程)的神奇屏障，用户面临的真正挑战体现在为要数字化的信号设计模拟调理电路，以及相关抗混叠滤波器的设计两个方面。在过去的二十年中，采样速率和滤波技术已经有了很大的发展，现在我们可以结合运用模拟和数字滤波器，在性能和复杂性之间达到更好的平衡。

图1所示为适用于数据采集系统的这类分区的一个典型示例。在调节差分或非差分信号(放大、缩放、自适应和电平转换等)之后，在数字化之前对后者进行滤波以满足奈奎斯特准则。根据ADC的过采样速率，要使用额外的数字滤波来达到采集系统的规格要求。

由于对超宽输入动态范围的需求增加，许多上述应用采用了最先进的高分辨率ADC。随着动态范围的增加，系统性能预计会提高，模拟调节链会减小，拥堵、能耗，甚至是材料成本都会下降。

过采样及其好处

在超快高分辨率模数编码器出现之前，一般通过以下办法解决动态范围问题：使用快速可编程增益放大器、更快的比较器和/或并联若干ADC，最后加上合适的数字处理模块，以实现强信号的数字化，区分接近噪声水平的小信号。在这些陈旧并且现已过时的架构中，这样做会带来复杂的电路，很难开发，并且在线性度、带宽和采样频率方面都受到限制。当今的替代方案是，借助更经济的现代ADC的高采样速率，达到运用过采样技术的目的。以高于奈奎斯特定理要求的最小值的 F_{SE} 速率对信号进行采样，可以通过处理和增加编码器的信噪比来执行增益运算，并因此增加有效位的数量。实际上，量化噪声和热噪声被同化为白噪声，该噪声在整个奈奎斯特频带及以外均匀分布。过采样之后，通过滤波和严格以最小所需采样速率(或2 × BW)限制有用频带，频带每降低一个倍频程，噪声能量将降低3 dB，如图2所示。换句话说，过采样因子为4时最为理想，在理论上使信噪比增加了6dB；即是说，增加了一位，如等式1所示：

$$\frac{S}{B} = 6.02 \times N + 1.76 + 10 \times log\left(\frac{F_{se}}{2 \times BW}\right) \quad (1)$$

总之，过采样有两个优点，一是可以提升信噪比，二是可以放宽对位于ADC之前的抗混叠模拟滤波器的要求。

抗混叠滤波器：分区困境

理想情况下，与ADC相关的滤波器，特别是那些负责解决频谱混叠问题的滤波器，相比其精度，其幅度响应带宽必须尽可能平坦，同时其带外衰减还要能满足其动态范围要求。过渡带一般要尽可能陡。因此，这些抗混叠低通滤波器在特性上有特定的要求，必须能消除寄生镜像、噪声和其他杂散音。根据具体应用，还要特

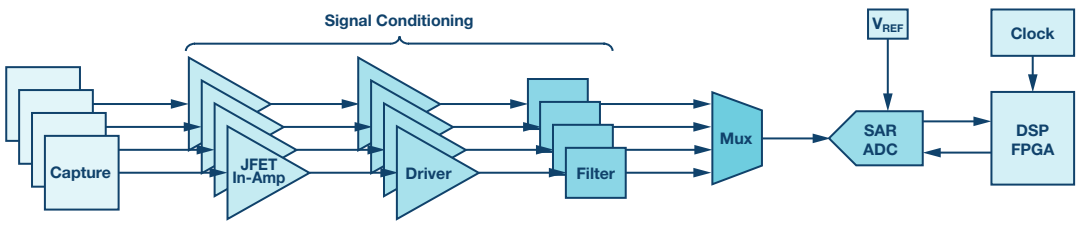


图1. 典型测量信号链。

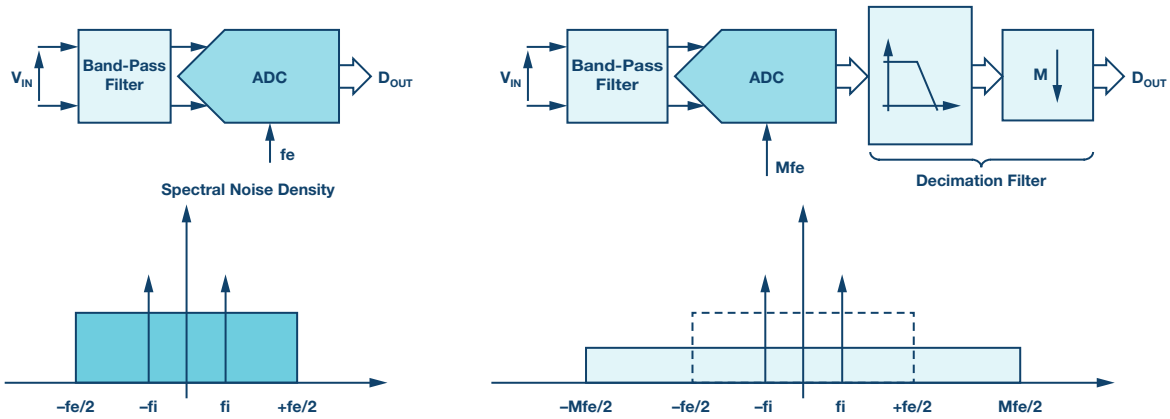


图2. 通过添加数字抽取滤波器比较频谱噪声密度。

别注意相位响应，也要补偿任何过大的相移。虽然有许多建议被认为属于基础建议，但是，如果要将这些建议与指定的24位或32位转换器的要求结合起来，并且这些转换器的积分非线性误差仅为几LSB，再加上其他类似的静态和动态参数，有些建议实现起来会极其困难。

如前所述，过采样在此非常重要，因为它不仅能提升信噪比，还能放宽对模拟抗混叠滤波器规格及其截止频率的要求。如图3所示，过采样分布在-3 dB条件下截止频率与阻带起点之间的过渡带。

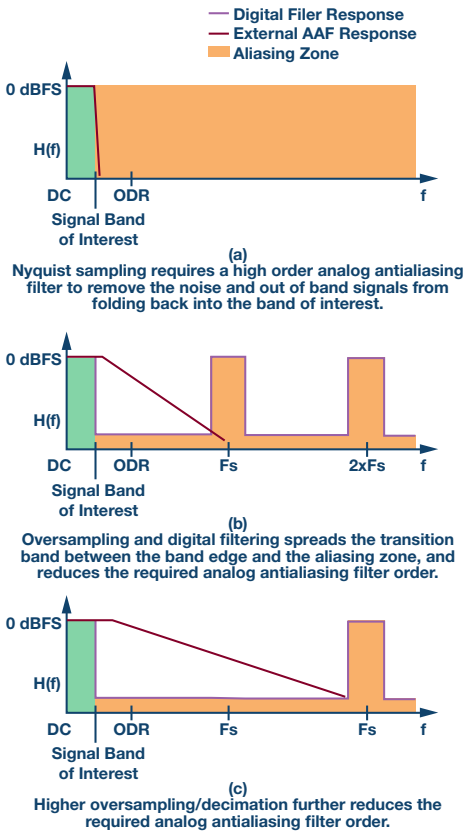


图3. 过采样分布在-3 dB条件下截止频率与阻带起点之间的过渡带。

最新的技术为近年来显著提升的高精度SAR ADC转换速率提供了可能，目前在18位分辨率下，此等转换速率在1 MSPS与15 MSPS之间。相比之下，具有同等分辨率的宽带Σ-ΔADC的速率几乎要低一个数量级，存在突出的延迟问题，并且其通带纹波太高，无法用于数据采集系统、其他测量仪器仪表等应用。基本而言，总体计量精度决定着后者的特性，这与静态(dc)和动态(ac)参数都有关系，因此这些系统中的转换器和附带的模拟调理电路在规格上必须达到顶级要求。

相反，除LTC2512和LTC2500-32以外，大多数SAR ADC不包括数字滤波器，因此其运行不受一些不可避免的数字低通滤波的阻碍或限制，否则，就会在计算精度、带通纹波、衰减阻带抑制、传播时间和功耗之间进行平衡。在大多数情况下，用户无法控制这些Σ-Δ转换器的内部滤波器系数值，不得不凑合了事。

LTC2378-20：市场上的首款20位SAR ADC

在对性能的角逐中，凌力尔特公司(现为ADI公司的一部分)向客户推出了具有20位分辨率和真正线性度的第一款逐次逼近型ADC，将竞争对手打了个措手不及。LTC2378-20是一款出色的转换器，在接近MSPS的所有其他竞争产品中仍然保持着自己的优势。

LTC2378曾经的友敌，AD4020是ADI公司首款能以1.8 MSPS速率数字化10 V峰峰值差分信号的20位SAR ADC。它结合了低噪声、低功耗以及LTC2378的所有特性：动态压缩、钳位电路、电荷转移补偿，支持使用低功耗精密放大器(高阻抗模式)等。采用1.8 V电源供电，1.8 MSPS速率下，功耗仅为15 mW。350 ns的转换时间创下纪录，使其在延长采集时间或读取数据方面游刃有余。其采用10引脚MSOP或10引脚QFN封装，与AD40xx家族的其他16位至18位成员相同。在–40°C至125°C温度范围内，其规格和运行完全有保证。

LTC2378-20和AD4020的采样速率分别为1 MSPS和1.8 MSPS，为过采样带来了具有重要意义的可能性，特别是音频频段或更高频段。为此，必须在外部FPGA或DSP中搭载定制型抽取滤波器。如前所述，可以绕过后者，以在必要时将其延迟降至最低。基于这些初级采样速率值，考虑到0 kHz至25 kHz频段，相应的过采样因子约为16或32，处理增益为12 dB至18 dB，同时还严格按照奈奎斯特定理，简化了常规操作条件下的抗混叠低通滤波器。

ADC至DSP链路：一切皆为串行

近年来，半导体行业及其设计师圈子明显倾向于减小元件尺寸，使外壳引脚真正瘦身，并且还要调整需要与SPI总线、同步串口等连接的几乎所有串行数字输入或输出。问题是，这些转换器却没有留下用于抽取样本和控制ADC的各功能选项的串行接口。根据其规格，这些串行接口兼容SPI或DSP串口，但实际并非如此。它们最多隐藏了负责设置时钟信号节奏的移位寄存器，用于从器件中提取数据，或者在配置期间注入数据。就如所有这些SARADC一样，LTC2378-20和AD4020在频率上要求串行时钟(SCK)在额定采样速率下，以20位为单位恢复数据。由于数据读取阶段严格限制在采集时间(约300 ns)范围以内，因此在转换期间，必须将外部访问时的数字活动减至完全静音；并且要以1 MSPS的采样速率，在分配的时间内从采样恢复所有位，时钟频率必须达到60MHz以上。无论是产生这样的时钟频率，还是要在接收器端实现的时间规格，对于负责从ADC收集数据的控制器上的接口来说，这都是严格的限制。LTC2378-20要求最低SCK信号频率达到64 MHz，这意味着，它不能连接任何通用微控制器或搭载最高频率略微超过50 MHz的同步串口(SPORT)的DSP，Blackfin处理器®家族的一些成员除外，如ADSP-BF533、ADSP-BF561，其速率可以达到90 Mbps。因此，有人担心，需要使用搭载了低抖动时钟产生电路相关的大型CPLD或FPGA。串行输出SAR ADC的大多数数字接口或多或少具有相同的时序和逻辑信号模式，如图4所示。对于SDI配置输入，除了级联模式之外，还对它提出了低得多的频率要求。ADC采样周期的等效全周期时间为

$$t_{cyc} = t_{conv} + t_{acq} \quad (2)$$

故定义最大采样频率，其构成为：

$$F_S = \frac{1}{t_{cyc}} \quad (3)$$

其本身由输出数据的读取速率调理，其中，

$$t_{acq} = \frac{1}{F_{sck}} \quad (4)$$

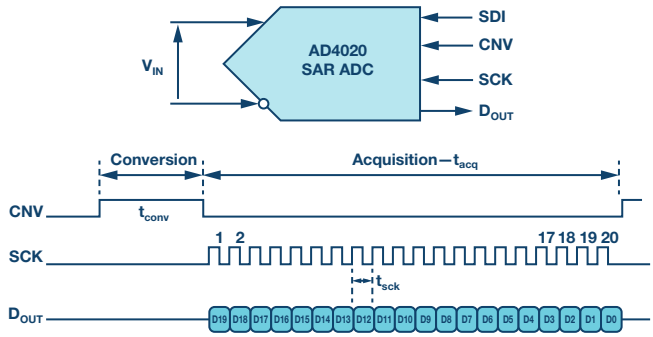


图4. AD4020的时序图。

幸运的是，AD4020的转换时间超短，为325 ns，采样速率为1MSPS，采样时间为675 ns，基于此，其串行数据读取频率低于33 MHz，与DSP同步串口(如SHARC®ADSP-21479)相当，功耗也非常低。

一款超低功耗的多通道系统

出于能耗、精度和操作模式选择灵活性的原因，同时也是出于商业考虑，在这些应用中不能考虑基于FPGA的解决方案。要处理来自这些20位ADC的串行输出并实现最优抽取滤波器，只能使用DSP浮点处理器。

如今，有许多数据采集系统都能通过大量信道同时采样。这就导致许多ADC并行运行，同时由同一个控制器控制，该控制器还要负责收集数据并将其存储在存储器中以供后续分析。

运用SHARC ADSP-21479或其快速版ADSP-21469和ADSP-21489(时钟频率为450 MHz)等高性能SAR ADC构建的系统不但现实可行，而且在性能、开发时间、能耗和紧凑性等方面也是可圈可点。这些处理器具有支持8个模数数字化通道所需要的全部功能和外设，包括同步串行接口、不同时钟信号的发生以及触发转换等。在所有SHARC处理器中，ADSP-21479是唯一一款采用低泄漏65纳米CMOS工艺制造的32/40位浮点DSP，其优势是能大幅降低泄漏或静态电流，并且其结温几乎呈指数级演进。作为处理器及其外设频率和活动函数的动态电流也低于以标准或快速CMOS工艺制造的处理器。不足之处则在于，相比常规版本，其最大CPU频率下降了约30%-40%，但仍然足以满足此类应用的需求。

ADSP-21479搭载了多种外设，其中有一个特殊模块被称为串行输入端口(SIP)，该模块能同时从同步运行的8个外部串口发射器接收信号流以及时钟和同步信号。事实上，可以将与AD4020类似的8个ADC直接接入该接口，从而接入处理器。如图5所示，8个通道有自己的IDP_SCK时钟、IDP_FS同步和IDP_DAT输入信号，一旦解串行，它们的数据会自动复用到32位、8字FIFO存储器中，然后通过64位DMA数据包或CPU执行的读取操作，传输到SHARC内部RAM。DMA传输操作中，SIP由运行于自动乒乓模式下的双索引DMA通道伺服。此外，ADSP-21479还搭载有四个精密时钟发生器(用于低抖动，缩

写为PCG)，能够从内部或外部源(TCXO)生成独立的时钟和同步信号对。通过编程20位内部分频器可取得这些激励的频率、周期、脉冲宽度和相位。每个PCGx生成单元提供由一对AD4020转换器共享的一对CLK/FS信号，但在转换阶段时钟必须静音，所以需要一个逻辑门，以便把IDP_FS信号和IDP_SCK信号结合起来形成SCK时钟。图5中的时序图显示，一旦转换时间tconv已经过去，必须尽可能快地以33.3 MHz的速率，从当前样本中读取20位数据，以在采样频率中维持1 MSPS的神奇屏障。大约600 ns后，数据被传输到其中一个SIP缓冲器中，此时可以使用IDP_FS或CNV信号启动新的转换周期，使AD4020进行新的转换操作。使后者的最大转换时间达到325 ns，这对应于CNV信号的脉冲宽度，即12个IDP_SCK时钟周期或360 ns。总之，如图5中的时序图所示，一个完整的扫描周期需要32个IDP_SCK信号周期，总时间为960 ns，因此其最大采样速率为1.040 MSPS。

同样，ADC LTC2378-20可以与ADSP-21489相关联，因为它能够在高达50 MHz的外设时钟频率下工作，在这种情况下，采样速率为900 kSPS，如表1所示。遗憾的是，静态电源电流(Iddint)或后者的泄漏电流远高于动态电流，使得该配置的总功耗超过可用功率，达到不可接受的程度。

抽取滤波

假设将这些转换器用于过采样模式，如此，就有必要提供一个能满足上述要求且针对目标频带定制的抽取滤波器，在所需计算能力和功耗方面尽量降低对DSP的影响。目前，用于改变采样速率的程序已经成为一种标准的数字信号处理操作，可以用内插器和数字抽取器实现。出于相位响应线性度考虑，低通抽取滤波器采用有限脉冲响应(FIR)拓扑结构，可以根据效率要求采用不同的拓扑结构：

- 抽取专用直接或优化FIR 滤波器
- 级联多速率FIR 滤波器(½ 频段)
- 多相FIR 滤波器

无论是FIR还是IIR类型的多相滤波器都是抽取或插值滤波器最有效的实现方案之一。然而，传统数字处理方案要求在抽取之前进行滤波。在此假设下，1/M抽取滤波器由低通滤波器和紧随其后的采样频率降级组成(图6a)。预先对信号滤波，避免频谱混叠，然后以M-1的速率定期消除样本。然而，常规FIR或其他结构针对这些抽取滤波器的直接实现方案存在资源浪费问题，因为被拒样本是几十甚至几百次累乘(MAC)的结果。使用分解成若干滤波器组的多相滤波器或是针对抽取进行优化的滤波器，可以基于某些特点(如图6b所示)形成高效的滤波器。

凭借FIR滤波专用SIMD架构和硬件加速器，以及针对数字信号处理而优化的指令集，SHARC ADSP-21479特别适合实现这些类型的滤波器。每个SHARC处理单元都有一个32/40位乘法器累加器，能够在266 MHz的CPU频率下，每秒实现533次定点或浮点MAC计算。然而，对于一些存在显著延迟(房间均衡或音效)的应用，需要增加计算能力，使内核从诸如FIR、IIR、FFT滤波等密集和持续乘法运算中解脱出来，用专门的硬件加速器去执行这些运算。如此，用户就能完全自主决定，将CPU用于计算需要执行复杂搜集的复杂算法。FIR滤波专用加速器有专门的本地存储器，用于存储数据和系数，并具有以下特征：

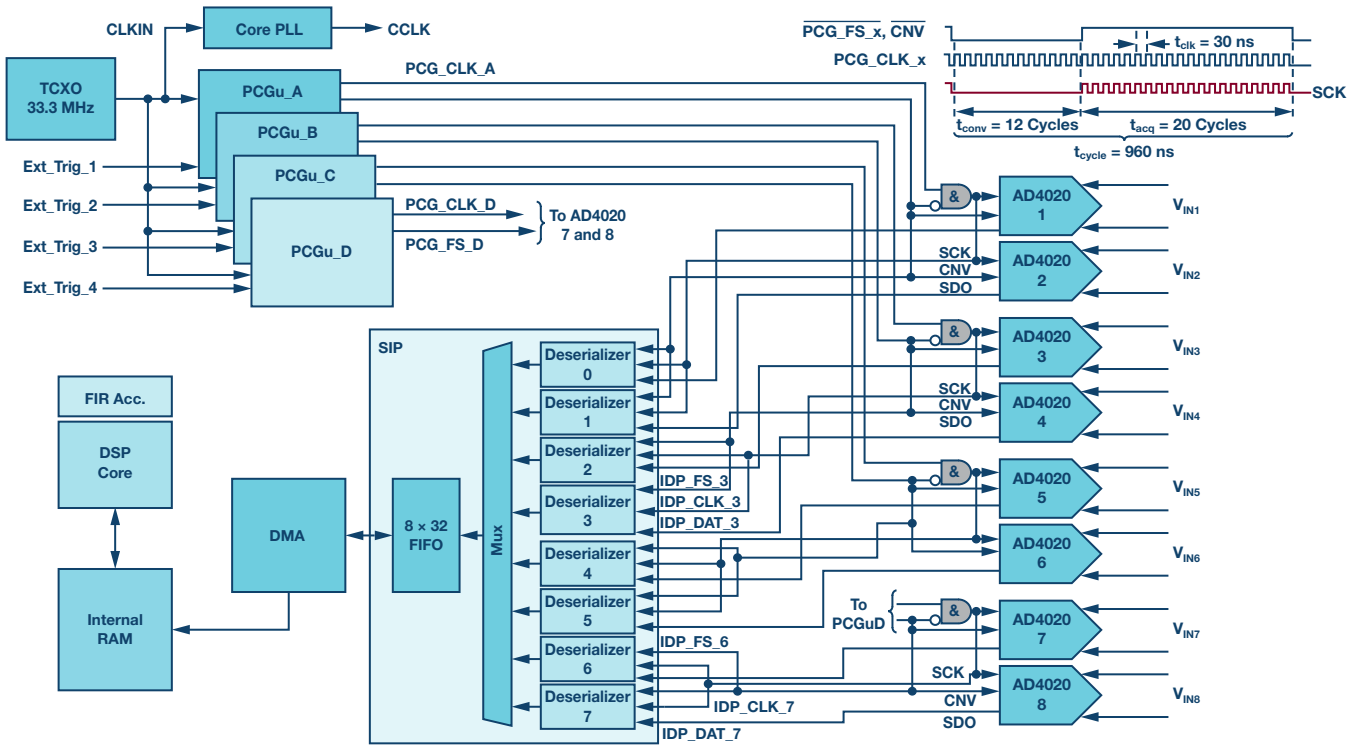


图5. 通过解串行将8个20位1 MSPS SAR ADC接入SHARC DSP；DMA数据传输进DSP内部RAM。

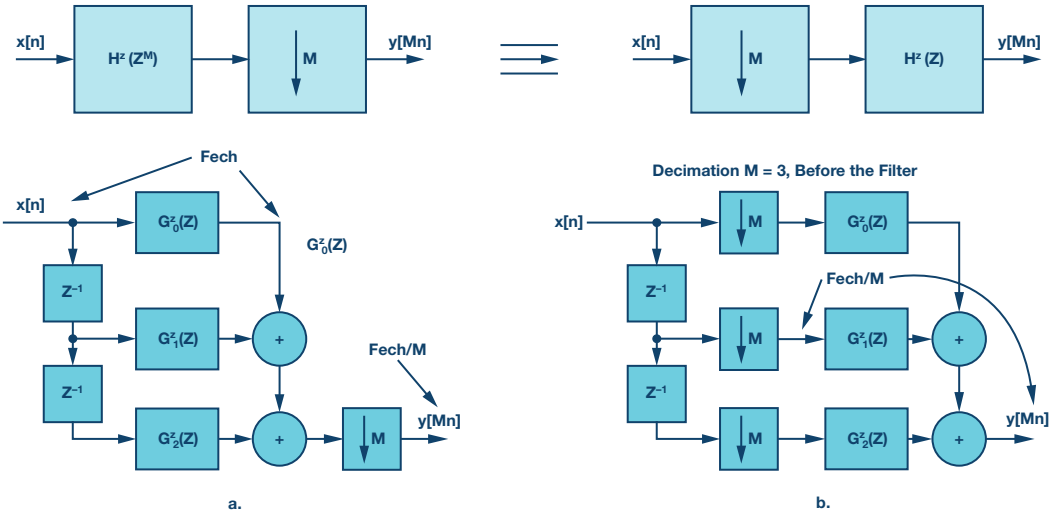


图6a和6b. 常规抽取滤波器和采用多相方案的抽取滤波器。

- 支持IEEE-754 定点或浮点32 位算术格式
- 有四个并行运行的累乘单元
- 支持单速率和多速率处理模式(抽取或插值)
- 一次简单迭代可以处理最多32 个FIR 滤波器，总共多达1024个系数

ADSP-21479的加速器的时钟速率与系统时钟或PCLK外设的速率相同，为CPU CCLK时钟频率的一半；即133 MHz。基于此，其总计算能力为533 MAC/秒。加速器不要求执行指令；其运算由特定寄存器的配置决定，并且完全依靠DMA传输在内部和/或外部存储器之间移动数据。

显然，该加速器能以最优方式执行多速率滤波器的实现方案(插值或抽取)。由于简单的抽取滤波器仅为M个输入信号提供一个输出结果，因此，输出速率比输入速率低1/M倍。这种优化型FIR滤波器的实现方案没有采用复杂的多相滤波器组，因为后者需要大量的存储器指针，实现起来非常复杂；相反，该方案只是把M-1个样本的输出搁置起来，避免执行这些计算，并且只计算能产生有用样本的数据。这就消除了浪费，结果，运算次数以M-1的比率减少——在本例中为15——从而大大地节省了CPU周期。然而，在这样的抽取速率和如此短的计算窗口下，加速器不如有两个计算单元的内核有效，并且在信号从一个过滤器传到另一个过滤器的过程中，其DMA通道因被重新编程会造成不利影响。如果在SISD模式下用一个计算单元实现，则这类滤波器在CCLK周期数方面的成本可表示为：

$$FIR_Decim_Cycles = N + 2 \times M + 19 \quad (5)$$

N为滤波器的系数的个数，M为抽取速率。

对于这种抽取滤波器一次迭代的实现成本，FIR滤波器条件下约为150个周期(源到汇编器21k)，在0 kHz至24 kHz频段，纹波规格为±0.00001 dB，在62,500 SPS采样速率下，带外衰减为-130 dB。这款滤波器有97个系数(以32位FP IEEE-754格式量化)，其响应如图7所示，该图是用MATLAB® Filter Designer制成的。对于接入的SIP或ADC的每个活动通道，响应以该采样频率在DMA中断实例中重复出现。

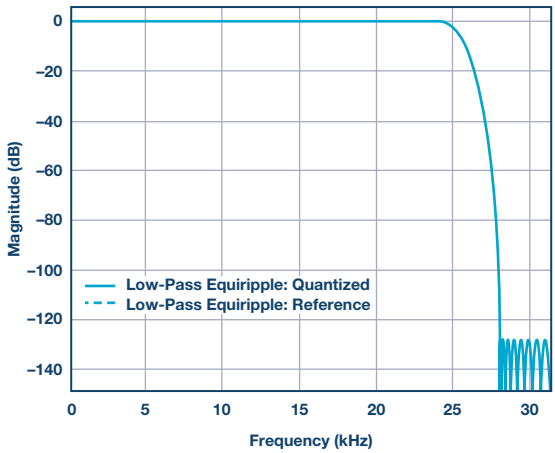


图7. 抽取滤波器的滤波器响应。

对于实时和DSP负载，滤波操作以62.5 kSPS的频率重复，代表9,375,053个CCLK周期，而8个ADC转换通道的重复频率则略多于8倍，因为每个滤波器的存储器指针值都存储在SHARC数据地址生成器中，可以实现快速保存和恢复。这相当于，在SISD模式下，一个SHARC DSP为每秒8000万个执行周期(或80 MIPS)，在SIM模式下，由于两个处理单元并行运行，则为该值的一半。在前述两种模式下，这8个抽取器FIR滤波器在执行时，分别以30%和15%的速率以及266 MHz的时钟频率占用ADSP-21479。

功耗

虽然转换器的功耗可以从其规格中轻松、准确地推算出来，但处理器的功耗则要困难得多，因为处理器功耗的计算公式涉及多个参数，并且实时条件和工作模式会对其造成极大的影响。这里虽然没有详细说明，但读者可以在相关技术笔记中，轻松找到与ADSP-214xx和ADSP-21479处理器各组件功耗估算相关的说明，其中考虑了功能模块的活动、静态电流结温、电源电压值、使用的输入输出引脚数、各种外部频率和容性负载。依据图5中的功能描述，针对DSP和ADC的若干组合，给出了与DSP在这类抽取滤波应用中活动情况相对应的功耗。对于这些搭载四个或八个ADC

的相关DSP变体，需要根据功能容量、输入/输出的数量、处理器的计算能力以及ADC的整体性能确定其功耗。凭借超低的静态电流，以ADSP-21479及其八个SAR ADC集群为核心构建的解决方案不但是功耗最低的解决方案，同时提供丰富的滤波算法选择和其他数字功能，在整体性能方面也是出类拔萃。

这个多通道数据采集系统(DAQ)的例子同时证明，实施数字信号处理任务不一定要使用FPGA，浮点DSP更适合高精度SAR ADC，尤其是在高度关注功耗的情况下。

参考文献

ADSP-21000系列应用手册第一卷，ADI公司。

Fliege，N.J.Multirate *Digital Signal Processing:Multirate Systems—Filter Banks—Wavelets(多速率数字信号处理：多速率系统——滤波器组——小波)*，Wiley，1999。

Harris，Frederic J，*Multirate Signal Processing for Communications* Systems(通信系统多速率信号处理)，Prentice Hall，2004。

Vaidyanathan，P.P.*Multirate Systems and Filter Banks(多速率系统与滤波器组)*，Prentice Hall, 1993。

表1. 不同SAR ADC与DSP相比的情况对比

参数	AD4020 and ADSP-21479	LTC2378 and ADSP-21489	AD4020 and ADSP-BF532	LTC2378 and ADSP-BF532	LTC2512 -24	LTC2500 -32	AD7768 -1 中速模式	AD7768 -1 快速模式
转换A/N	SAR	SAR	SAR	SAR	SAR	SAR	WB-Σ-Δ	WB-Σ-Δ
分辨率	20	20	20	20	24	24 + 8	24	24
过采样	是	是	是	是	是	是	是	是
带内纹波(dB)	±0.00001	±0.00001	±0.00001	±0.00001	±0.001	±0.001	±0.003 可编程	±0.003 可编程
阻带衰减(dB)	<–130	<–130	<–120	<–120	<–65	<–65	–110 可编程	–110 可编程
抽取滤波器	选项FIR	选项FIR	选项FIR	选项FIR	FIR	FIR	FIR	FIR
采样频率(MSPS)	1	0.91	1.8	1	1	1	4	8
有效过采样率	16	16	32	16	16	16	128	256
第一混叠区(MHz)	1	1	2	1	1	1	8	16
抽取后频率(kSPS)	62.5	62.5	62.5	62.5	62.5	62.5	62.5	62.5
实现–110 dB混叠抑制所需的AAF阶数	5	5	4	5	5	5	3	3
具有以上滤波器阶数(dB)的混叠抑制	–123.4	–123.4	–123.4	–123.4	–123.4	–123.4	–130	–147.5
SNR(3 kHz，5 V基准电压，dBFS)	112	116	115	116	114	116	113.7	116.9
SFDR(2 kHz，dBc)	122	128	122	128	120	128	128	128
THD(20 kHz，dBFS)		–113		–113		–115	–120	–120
数字滤波器旁路	是	是	是	是	是	是	否	否
频率SCK/SDO (MHz)	33.3	50	61.5	64.1	1.5	1.5	1.5	1.5
ADC能耗(mW)	10.8	24.8	15	24.8	32	30	19.7	36.8
DSP能耗(mW)	185	832	70	75				
通道数	8	8	4	4	1	1	1	1
总能耗(Tj = 55°C下的典型值)(mW)	272	1030	130	175				
每通道的能耗(mW)	34	129	33	43	32	30	19.7	36.8
ADC工作温度范围(°C)	–40°C至 +125°C	–40°C至 +85°C	–40°C至 +125°C	–40°C至 +85°C	–40°C至 +85°C	–40°C至 +85°C	–40°C至 +125°C	–40°C至 +125°C

Patrick Butler [patrick.butler@analog.com]是ADI公司南欧销售集团的一名现场应用工程师，为法国全球市场和部分ADEF客户提供支持。从1984年至今，他已在ADI公司工作30多年，主要负责DSP构建模块IC以及高速转换器的开发。在此以前，他在法国圣艾蒂安斯伦贝谢公司ATE部门工作了5年，任设计工程师，之后法国南特Matra-MHS、AMD和Harris SC-Intersil担任多个应用工程师和FAE职位。如今，他的主要爱好是收集老式音响组件，在两个儿子的帮助下，动手制作高效的有源喇叭扬声器系统。



Patrick Butler

汽车USB Type-C电源解决方案：1平方英寸的45 W、2 MHz降压-升压控制器

作者：**Kyle Lawrence**

分享至

USB Type-C是一种相对较新的高功率USB外设标准，用于计算机和便携式电子设备。USB Type-C标准推动了USB供电规范的改变，不同于长期存在的5 V USB标准，Type-C标准的总线电压最高可达20 V，电流输送能力最高可达5 A。连接的USB-C设备可以相互识别并协商总线电压——从默认5 V USB输出到几个更高的预设电压等级，以便在需要时实现更快的电池充电和更高的功率输送(最高可达100 W)。

电池充电器中使用的简单紧凑型降压调节器和线性稳压器，仅需要5 V、500 mA至2 A的USB供电，并未充分覆盖全部Type-C USB电源范围。Type-C USB电源增加的电压范围(5 V至20 V)，需要的不仅仅是9 V至36 V(或60 V)汽车电池或其他充电电源的降压转换，还需要一个可调降压-升压转换器，以便能够同时对输入至输出电压进行升压和降压。

此外，对于高功率汽车USB充电器，降压-升压转换器应支持10 A或更高峰值开关电流额定值，并提供低EMI性能。将开关频率设置在AM无线电频带之外并使解决方案保持小尺寸的能力是颇受追捧的特性。高压单片转换器(带片上开关)不能承受如此高的峰值开关电流而不烧毁。

LT8390A是一款独特的2 MHz同步四开关降压-升压控制器。在2 MHz开关频率时，它可提供5V至15V的输出电压(3 A时最高45 W)，以通过汽车电池为USB-C设备供电。如此高的控制器开关频率使得解决方案尺寸很小，带宽很高，并且AM无线电频带之外的EMI很低。扩频调频和低EMI电流检测架构均有助于LT8390A应用通过CISPR 25 Class 5级EMI标准的严格考验。

高功率密度转换：尺寸(和功率)、效率、热量

在汽车或便携式电子设备环境中工作的电压调节器系统的设计，受到电路的空间需求以及工作时产生的热量的限制。在给定设计约束条件下工作时，以上两个因素决定了可实现功率水平的上限。

提高设计的开关频率允许使用较小的电感，而这常常是宽输入电压四开关降压-升压稳压器设计中尺寸最大的元件。与150 kHz或400 kHz设计相比，LT8390A的2 MHz开关频率能力支持使用尺寸小得多的电感。图1显示了一个完整设计。除了较小的电感外，该解决方案仅使用陶瓷型输出电容，无需使用体积较大的电解电容。该设计所需的全部元器件(包括IC)都包含在一个1平方英寸的小型电路板上，如图1所示。



图1. 1平方英寸大小的高效率、低EMI USB Type-C电源解决方案。

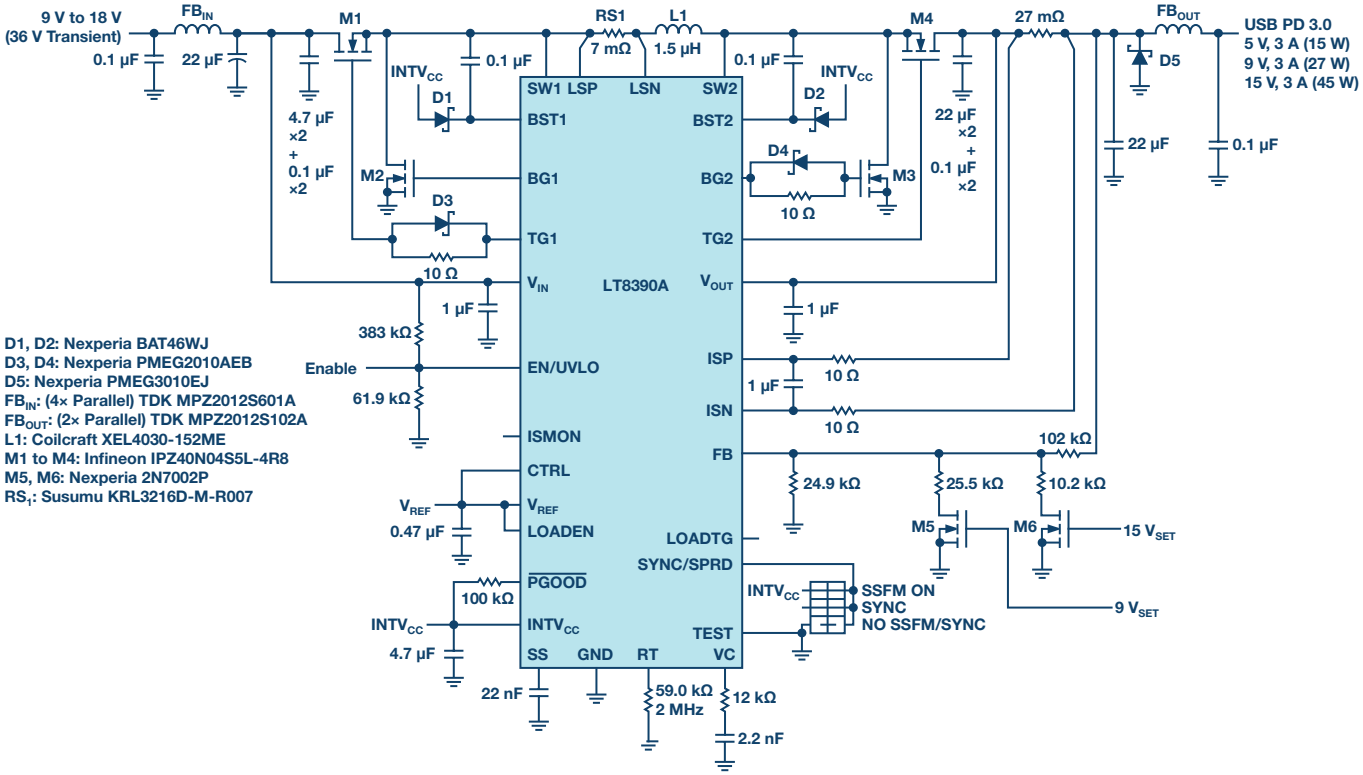


图2. 这款LT8390A稳压器解决方案采用符合AEC标准的MOSFET、磁性元件和电容，提供最高3 A电流和可选的5 V、9 V或15 V低EMI输出。

图2显示了一个采用符合AEC标准的元器件的45 W LT8390A解决方案。该设计相比环境温度的最高温升为65°C，如图3所示。尽管解决方案尺寸很小，但LT8390A系统在提供45 W输出时的峰值效率可达94%；在全输入范围内，对于所产生的每个输出电压，效率偏差小于10%，如图4中的图表所示。

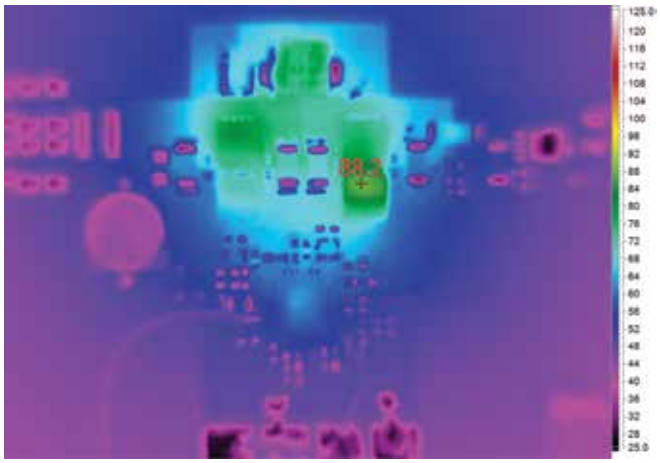


图3. 在产生45 W输出功率的同时，该小型电路的最大温升仅比环境温度高65°C。

适合汽车应用的低EMI

LT8390A具有多种独特的降低EMI的特性，可实现高功率转换和低噪声性能，从而简化其在汽车系统中的实施。LT8390A与其他四开关控制器之间的显著差异在于电感电流检测电阻的位置。大多数四开关降压-升压控制器往往使用接地基准电流检测方案来获得开关电流信息，而LT8390A将其电流检测电阻与电感串联。通过将检测电阻与电感串联，便可有效地将电阻从降压和升压热环路中移除，从而缩小环路尺寸并改善EMI性能。

除了电感检测电阻位置的架构优势外，LT8390A还内置扩频调频功能以进一步降低控制器产生的EMI。此外，降压和升压功率开关的边沿速率仅使用几个分立元件来控制，以减缓MOSFET的导通，确保在降低功率开关的高频EMI与温升之间达成适当的平衡。凭借这些降低EMI的特性，满足CISPR 25标准所需的唯一滤波器由输入和输出上的小型铁氧体滤波器提供，而不是大型铁氧体外壳和粗笨的LC滤波器。图1所示的解决方案采用符合AEC-Q100标准的元器件设计。

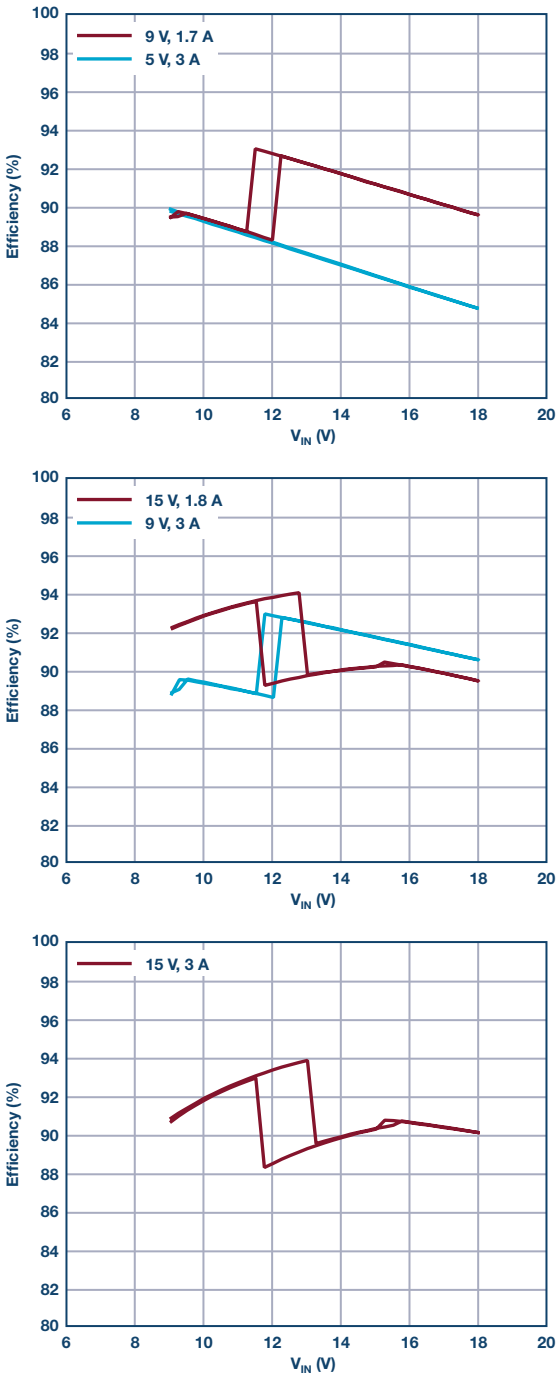


图4. 利用汽车SLA电池供电时，对于全输出电压，LT8390A稳压器系统保持94%至84%的效率。

输出电压的无缝转换

LT8390A的输出电压可以在不关闭转换器的情况下进行调整，方法是使用逻辑电平信号来驱动MOSFET，从而调节输出端的电阻分压器以改变设定电压。带GPIO引脚的USB PD源控制器可与LT8390A系统配合使用，为主机和USB连接设备之间的协商过程提供便利，并设置所需的总线电压。

图5显示了LT8390A系统输出从一个输出电压非常平稳地转换到另一个输出电压。当从12 V输入电源供电时，从数字控制信号的上升沿开始测量，每次转换到更高输出电压最多需要150 µs就能稳定。在输出电压改变期间，降压-升压控制器经历降压、升压和降压-升压操作之间的模式转换，具体取决于输入与输出电压的关系。这些模式转换以受控方式执行，防止输出电压过度过冲或下降。

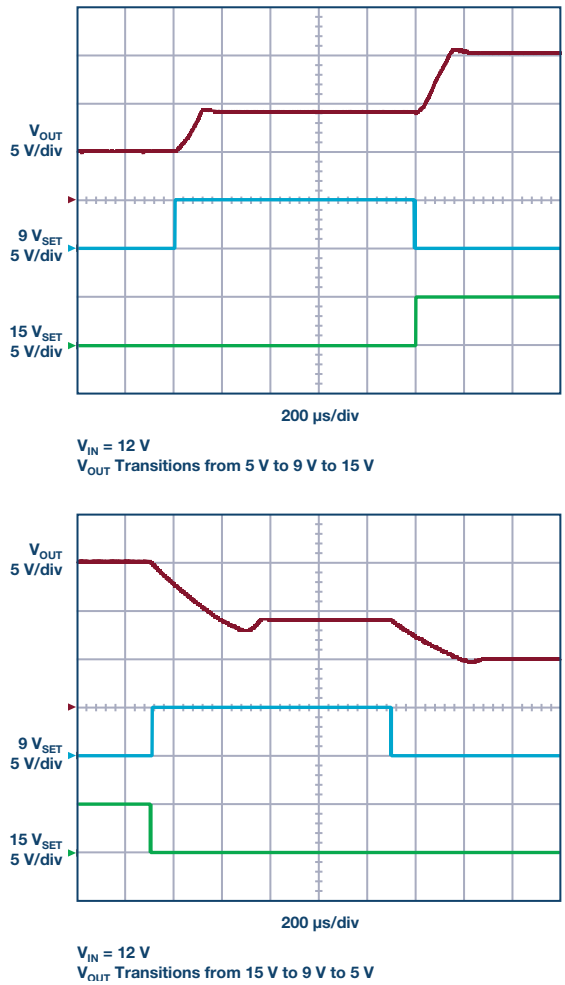


图5. LT8390A系统输出在5 V、9 V和15 V输出之间平稳转换，同时向输出端连续输送功率。

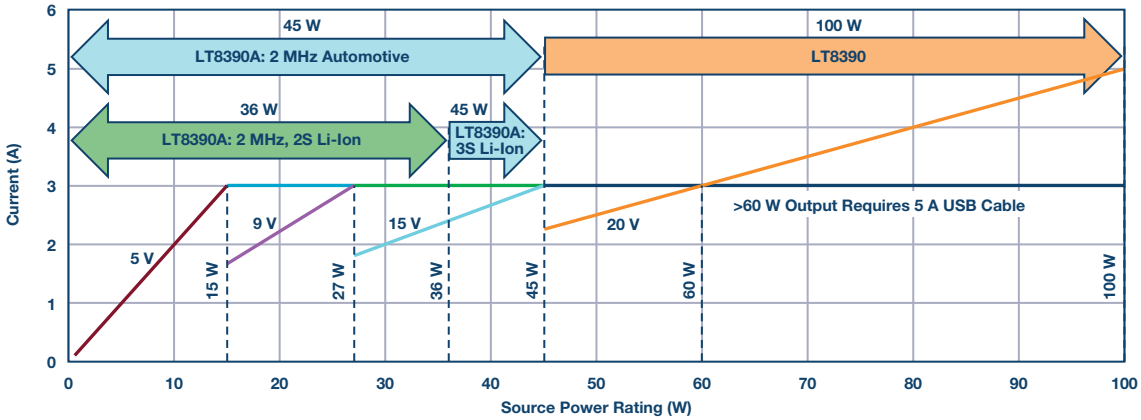


图6. LT8390A和LT8390涵盖了USB供电的各种输出功率等级。

扩展到45 W以上

要将输出功率水平提高到45 W以上，需要以较低开关频率工作，以便降低开关损耗，否则这种功率水平可能会给MOSFET带来热应力。作为LT8390A的替代产品，LT8390的工作频率介于150 kHz和600 kHz之间，具有与LT8390A相同的特性组合，可实现低EMI、高功率降压-升压设计。采用较大电感和输出电容的400 kHz LT8390系统，可轻松利用汽车电池输入实现100 W的输出功率，温升在可接受范围内。图6显示了各种电池供电输入下LT8390A和LT8390产品线的功率能力。

结论

针对为连接设备供电的稳压器的新USB标准，支持通过增加稳压器可提供的输出电压范围和电流输送来实现更高的功率传输。便携式和汽车电池供电的USB-C充电器设备需要一种宽V_{IN}/V_{OUT}降压-升压稳压器，以便输送高于或低于输入电压的总线电压。2 MHz开关频率使LT8390A可以提供最高45 W的输出功率，解决方案尺寸很小。对于超过45W的功率水平，可以使用LT8390，不过解决方案尺寸会略微增大，开关频率会降低。

Kyle Lawrence [kyle.lawrence@analog.com]是ADI公司应用工程师。他负责设计和测试各种DC-DC转换器，包括针对低EMI汽车应用的4开关降压-升压稳压器和LED驱动器。他2014年毕业于加州大学圣克鲁兹分校，获电气工程学士学位。



Kyle Lawrence

该作者的其他文章：

用于高功率机器视觉闪光灯的LED驱动器

第52卷，第2期

非常见问题解答—第157期
RTD测量模块的过压保护

作者：**Yao Zhao**

分享至

问：

是否能设计一个带过压保护的完整RTD模块？



答：

引言

RTD(电阻温度检测器)具有出色的稳定性和精度，有较强的抗干扰能力。RTD传感器包括2线、3线和4线版本，通过电流激励能产生输出电压。AD7124-4/AD7124-8集成了两个匹配良好的电流源、PGA、基准电压缓冲器和诊断功能，非常适合高可靠性RTD模块。

在工业环境中，不当操作、错误的连接线和裸露的导线通常会导致过压故障，这会损坏电子器件，造成不良后果。过压保护能力是RTD模块的一项关键要求。除瞬态过压保护之外，实际生产过程中还必须考虑持续过压保护。

本文重点说明如何为具有过压保护功能的多线RTD模块(基于AD7124)提供全面解决方案，并介绍带有过压保护和检测功能的多路复用器及通道保护器。本文可以帮助设计人员了解此方法并选择合适的器件。

带有过压保护和检测功能的多路复用器及通道保护器：

- 在ADC引脚前面使用串联电阻有助于轻松保护AD7124。这些引脚包括模拟输入和激励输出引脚，但电阻会限制顺从电压。
- 电流源的保护可以通过分立元件实现。该解决方案可实现更高的过压保护和更大的顺从电压范围。但是，模拟开关与多路复用器仍然暴露在外。
- ADI公司的带过压保护和检测功能的多路复用器及通道保护器(ADG52xxF和ADG54xxF)可用于RTD模块保护和不同线数RTD传感器切换。这些器件在有电和无电模式下均可提供±55 V故障电压保护，并能实现防闩锁的故障检测。其高密度封装占用的PCB面积要比传统解决方案小得多。

基于AD7124的RTD模块

比率测量法被广泛的用于RTD模块，因为它能消除激励电流源的误差和漂移。图1是基于AD7124-8的4线RTD测量的典型示意图。

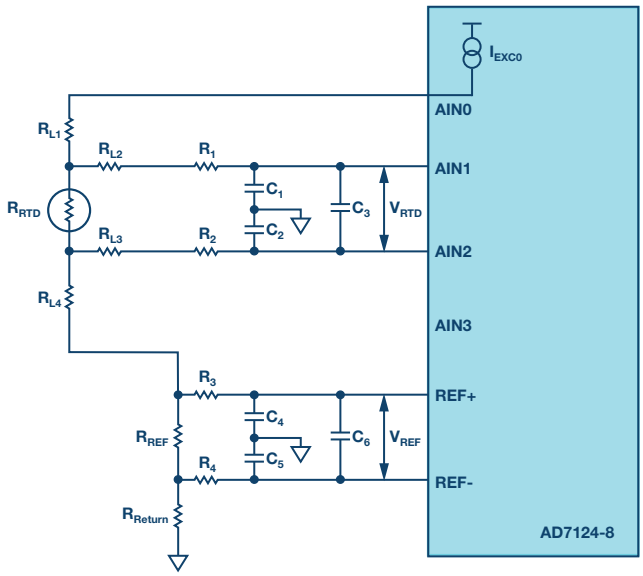


图1. 基于AD7124-8的4线RTD比率测量

AIN0提供激励电流，AD7124集成了基准电压缓冲器和PGA，REF_{IN}及A_{IN}都是高阻抗输入，因此会有相同电流流过RTD传感器和基准电阻。ADC转换结果是输入电压(V_{RTD})和基准电压(V_{REF})之比，其等于R_{RTD}和R_{REF}之比。如果R_{REF}是已知的高精度且稳定的基准电阻，则可通过R_{REF}值和ADC转换结果计算R_{RTD}。

采用4线RTD配置，该系统可以实现高精度和高可靠性，并且可以消除引线电阻引起的误差。相应地，其成本高于3线或2线配置。3线RTD传感器有较高的性价比，图2显示了基于AD7124的3线RTD测量方案。

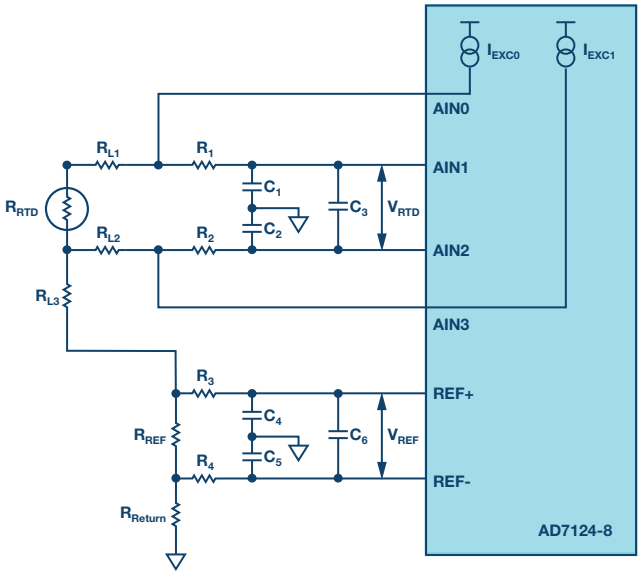


图2.基于AD7124-8的3线RTD比率测量

两个集成的、匹配良好的电流源有助于3线RTD测量。V_{REF}和V_{RTD}可以用以下两个函数表示：

$$V_{REF} = (I_{EXC0} + I_{EXC1}) \times R_{REF}$$
$$V_{RTD} = I_{EXC0} \times R_{RTD} + I_{EXC0} \times R_{L1} - I_{EXT1} \times R_{L2} \quad (1)$$

AD7124集成了两个匹配良好的电流源，这意味着I_{EXC0}接近或等于I_{EXC1}，并且引线电阻RL1和RL2非常相似。上述函数可表示为：

$$V_{RTD} = I_{EXT0} \times R_{RTD}$$
$$V_{REF} = 2 \times I_{EXC0} \times R_{REF} \quad (2)$$

转换结果可以用以上两个函数表示为：

$$Code/Code_{FS} = V_{RTD}/V_{REF} = \frac{R_{RTD}}{(2 \times R_{REF})} \quad (3)$$

根据此函数，RTD电阻值可通过转换结果和基准电阻值计算。详情请参阅CN-0383。

对于2线RTD，引线电阻引起的误差无法抵消，但此类RTD传感器的成本低于其他传感器；AD7124-8可配置为2线RTD传感器，如图3所示。

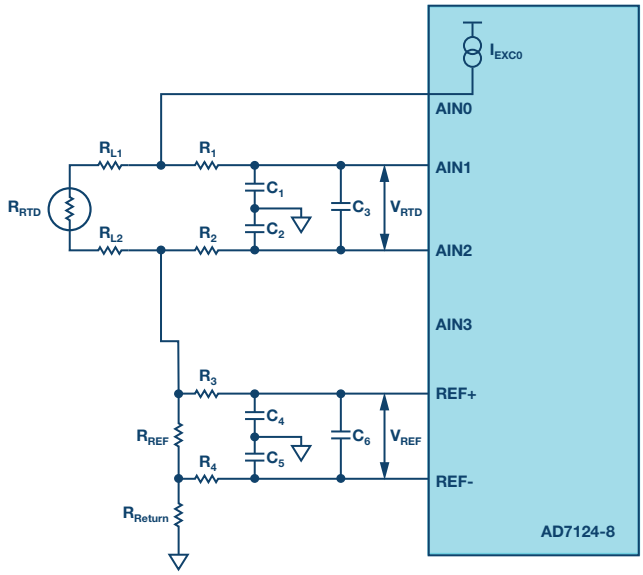


图3.基于AD7124-8的2线RTD比率测量

在实践中，许多工业客户要求用RTD模块的同一端口连接许多不同类型的RTD传感器，以方便平衡RTD传感器的成本和性能。图4显示了RTD模块的通用接口，它可以支持不同线数的RTD传感器。

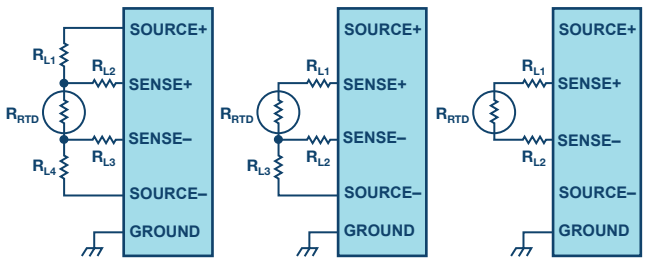


图4.不同线数传感器的RTD接口

对于这一要求，此类RTD模块需要通过软件加以配置来支持不同线数的RTD传感器。图5显示了基于AD7124-8和开关的不同线数RTD传感器的框图。AD7124-8支持4通道、2线/3线/4线RTD测量。

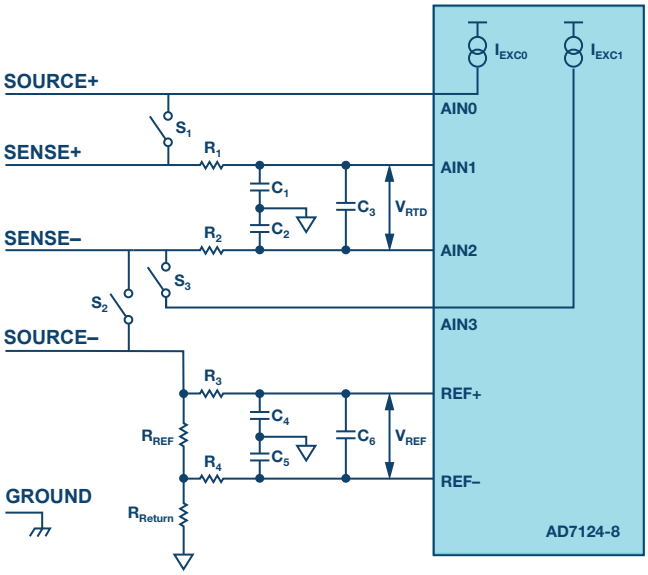


图5. 基于AD7124-8的不同线数RTD传感器测量

针对不同传感器，使用控制器可以轻松更改配置。表1显示了不同配置下的开关和电流源状态。

表1. 不同线数RTD传感器的开关和I_{EXT}状态

	S1	S2	S3	I_{ETX1}	I_{ETX2}
2-wire RTD	Closed	Closed	Open	Enable	Disable
3-wire RTD	Closed	Open	Closed	Enable	Enable
4-wire RTF	Open	Open	Open	Enable	Disable

通过计算选择合适的电阻和电容值，可以优化噪声性能。文章“RTD比率温度测量的模拟前端设计考虑”可用作指南。除了优化噪声性能之外，还需要一些额外的措施来实现过压保护。

首先，AD7124的某些模拟引脚直接暴露在外部环境中，根据AD7124在25°C下的绝对最大额定值，模拟输入电压应介于-0.3 V至AVDD+0.3 V之间，这意味着发生高过压时，该模块无法提供保护。其次，三个开关需要承受高压。

增加限流电阻

在AD7124的每个引脚上增加限流电阻可以为AD7124提供过压保护。

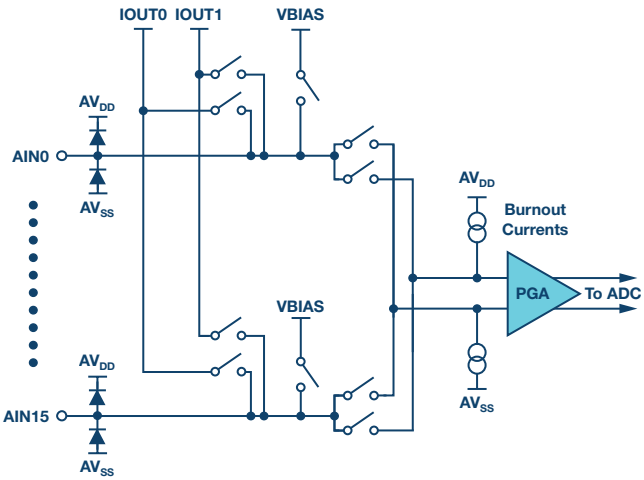


图6. AD7124-8模拟引脚内部架构

图6显示了AD7124的模拟引脚架构。每个模拟引脚上有两个钳位二极管，我们可以利用这些二极管直接实现保护，而不会引入任何其他漏电流。

图7显示了该方法的示意图，R1至R4分别位于AIN1、AIN2、REF+和REF-的前面。此设置用于消除噪声。同时，这些电阻可以用于限流；在AIN0和AIN3前面增加限流电阻可以保护AD7124的其余裸露模拟引脚。

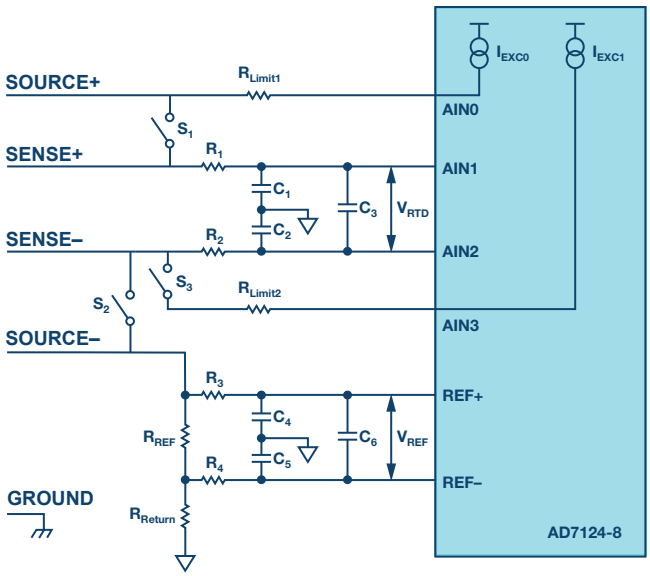


图7. 在ADC输入引脚前面添加限流电阻

这些电阻和内部钳位二极管可以防止某种程度的正负过压。当发生正或负过压故障时，电流将通过电阻和内部钳位二极管流向AVDD或AVSS。根据AD7124的绝对最大值规格，电流值必须限制在10 mA以下。如果R_{Limit}等于3 kΩ，则该模块可以防范±30 V持续过压。

但是，当该模块在正常模式下工作时，R_{LIMIT}上会出现压降。如果激励电流为500 µA，R_{LIMIT}上的压降将为1.5 V，传感器电阻和R_{REF}将受到限制。增加R_{LIMIT}可以获得更好的保护，但传感器和参考电阻阻值范围会更小。基于该保护方法，顺从电压将随着过压保护要求的提高而降低。需要注意R_{REF}和R_{Return}的功耗，需要注意。

除AD7124-8模拟引脚外，开关也暴露在高压下，因此应选择能够防范±30V电压的器件。过去几年中，光电MOS和继电器已经用于这些情况，但高价格和大封装限制了应用范围。

利用分立晶体管保护电流源

使用限流电阻的最大缺点是SOURCE+上的顺从电压很低。使用分立晶体管和二极管可以实现过压保护，并提高SOURCE+引脚上的最大允许电压。图8显示了该方法的示意图。

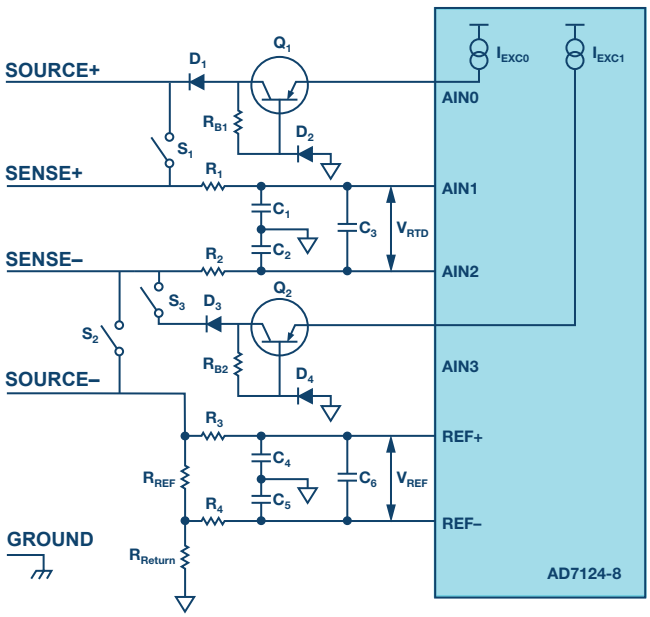


图8. 利用分立晶体管和二极管实现过压保护

这种结构可以让激励电流在正常情况下总是流向RTD传感器，并防止发生高过压损坏。其他模拟输入引脚可以通过限流电阻来保护，因为模拟输入引脚没有顺从电压限制。

如果对此RTD传感器施加一个很大的正电压，D1会防止电流源受正高压影响。如果对此RTD传感器施加一个很大的负电压，Q1的集电极和基极之间的PN结会反向偏置，导致R_{B1}和此PN结上出现高压降，防止损坏AIN0。

在正常模式下，D2用作反向偏置二极管，使得流过该元件的电流非常小。经过Q1发射极流向基极的电流非常小，因此R_{B1}上的压降可以忽略不计。这种方法可以使得顺从电压高于使用限流电阻的情况，并且能防范高得多的故障电压。

使用具有过压保护功能的模拟开关与多路转换器

使用分立元件保护这种高精度RTD模块的缺点是显而易见的：不容易选择合适的元件；这些元件会使保护电路复杂化；并且会占用较大的PCB面积。

尽管AD7124模拟输入引脚的漏电流非常小，但这些引脚串联的大电阻(如R_1和R_2)会产生明显的误差，而且这些电阻的热噪声会降低分辨率。在实际设计中，RTD模块可能有多个通道，电流源从一个通道切换到另一个通道，大电阻值会增加模拟输入RC组合的建立时间，而RTD模块应该花更多时间给电容充电，如C_1、C_2和C_3。保护功能和精度很难平衡。开关同样需要防范高过压。

在这种情况下，使用具有故障保护功能的模拟开关与多路转换器可以提供开关和过压保护。图9给出了一个示例。

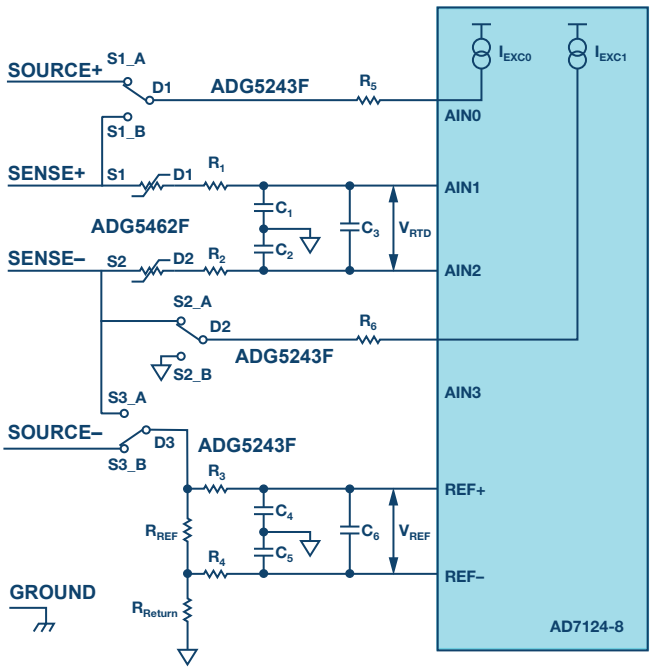


图9. 带故障保护的模拟开关与多路转换器。

在图9中，AD7124前端使用了ADG5243F中的三个SPDT开关，AIN1和AIN2前端使用了ADG5462F中的两个可变电阻。这些保护功能可以通过ADG5243F和ADG5462F来实现，二者具有用户自定义故障保护和检测功能。

这些器件的突出特性有：

- 源极引脚具有过压保护功能，可以耐受高于副供电轨、从–55 V到+55 V的电压。
- 在未供电情况下，源极引脚的过压保护范围是–55 V至+55 V。
- 过压检测提供数字输出，指示开关的工作状态。
- 沟槽隔离可防止闩锁。
- 针对低电荷注入和导通电容而优化。
- ADG5243F既可采用±5 V至±22 V的双电源供电，也可采用8 V至44 V的单电源供电。

抗闩锁、低漏电流和业界领先的RON平坦度也是这些器件的优点。低漏电流和低电阻可以提高该RTD模块的精度和噪声性能。

如果对RTD接口施加正或负电压，则漏极引脚上的电压将箝位在POSFV + V_T或NEGFV - V_T。如果POSFV设置为4.5 V且NEGFV设置为AGND，则路径中用于保护AD7124的串联电阻要容易选择得多。如果过压发生在无电状态下，则开关保持高阻抗状态，以帮助防止损坏器件。

这些器件的检测功能可用于系统诊断。ADG5243F和ADG5462F的源极输入电压持续受到监控。低电平有效数字输出引脚FF指示开关的状态。FF引脚上的电压指示是否有任何源极输入引脚发生故障。AD7124提供许多强大的系统安全诊断功能。处理器可以将这些器件的诊断功能组合起来以构建更加稳健的系统。

结语

AD7124中的功能模块和诊断功能可提高精度和稳健性。比较RTD模块中的三种过压保护方法之后，可发现使用具有过压保护功能的模拟开关与多路转换器具有许多优点：

- 让RTD模块能承受更高的故障电压
- 漏电流低、噪声低且建立时间短
- 取代传统的继电器和光电MOS，节省PCB面积和成本
- 诊断功能增强系统稳健性
- 易于使用

Yao Zhao [yao.zhao@analog.com]在ADI北京设计中心担任产品应用工程师。他负责中国市场Σ-Δ ADC产品的技术支持工作。在业余时间，他喜欢看Jim Williams画的漫画。



Yao Zhao

使用微型模块SIP中的集成无源器件

作者：**Mark Murphy** 和 **Pat McGuinness**

分享至

简介

集成无源器件在我们的行业中并不是什么新事物——它们由来已久且众所周知。实际上，ADI公司过去曾为市场生产过这类元件。当芯片组将独立的分立无源器件或者是集成无源网络作为其一部分包含在内时，需要对走线寄生效应、器件兼容性和电路板组装等考虑因素进行仔细的设计管理。虽然集成无源器件继续在业界占据重要地位，但只有当它们被集成到系统级封装应用中时才能实现其最重要的价值。

几年前，ADI开始推出新的集成无源技术计划(iPassives™)。ADI旨在通过这项计划提供二极管、电阻、电感和电容等无源元件，从而能够更广泛地涵盖信号链设计，同时克服现有采用无源元件方法的局限性和复杂性。ADI的客户群对具有高效空间尺寸的更完整解决方案的需求，也推动了这项计划的发展。从设计人员的角度来看，iPassives可以被视为一种灵活的设计工具，能够在极短的开发周期内设计出具有同类最佳性能和鲁棒性的系统解决方案。ADI拥有许多信号调理IC，我们拥有的独特硅制造工艺使这些IC能够实现卓越的性能。ADI可以充分利用其现有产品的多样性来生产具有卓越性能特征的即插即用系统，而无需开发高度复杂的集成流程。在高度可定制的网络中将集成无源技术与所有这些现有技术紧密结合，并利用系统级封装技术进行封装，从而可创建完全经过认证、测试和表征的µModule®器件。以前采用板级解决方案的系统现在可以简化为单个器件。从我们的客户角度来看，他们现在可以获得完整的解决方案，具有出色的开箱即用性能，可缩短开发周期并节约成本，而且所有这些都在非常紧凑的封装内实现。

无源技术

现在，我们来简要回顾一下基础知识，回想一下什么是无源元件。无源元件是无需电源供电的器件，它们的电流和电压之间的关系相对简单。这些元件包括电阻、电容、电感、变压器(即有效耦合电感)和二极管。有时电流-电压之间的关系非常简单，就像电阻中电流随电压线性变化一样。对于二极管来说，电流和电压之间也存在直接关系，只是这种关系是指数关系。在电感和电容中，该关系是电流对电压的瞬态依赖性。表1所示为四种基本无源元件定义这些关系的公式：

表1. 主要无源元件的基本公式

分立元件	公式	符号	
电阻	$V = I \times R$		V=电压 I=电流 t=时间 R=电阻(欧姆) C=电容(法拉) L=线圈电感(亨利) I_S=二极管饱和电流 V_T=热电压 h=二极管理想因子
电容	$I = C\frac{dV}{dt}$		
电感	$V = L\frac{dI}{dt}$		
二极管	$I = I_S\left(e^{\frac{V}{\eta V_T}} - 1\right)$		

无源器件既可以单独使用，也可以串联或并联，是模拟信号处理(RLC用于放大、衰减、耦合、调谐和滤波)、数字信号处理(上拉电阻、下拉电阻和阻抗匹配电阻)、EMI抑制(LC噪声抑制)和电源管理(R用于电流检测和限制，LC用于能量累积)的重要组成部分。

分立元件的局限性

过去，无源元件是分立的，这意味着它们是分别制造的，并且在电路中通过印刷电路板(PCB)上的导线或电源轨相连。随着时间的推移，它们沿着三条路径发展演变：更小的尺寸、更低的成本和更高的性能。这些发展现在已经很成熟并经过了优化，但是占位尺寸和高度尺寸意味着分立无源元件总是限制了缩小整体解决方案的面积和体积的努力成效。无源器件通常在一个应用中占物料清单的80%以上，占线路板面积约60%，占整个元件支出约20%。这些因素综合在一起带来了非常复杂的库存控制和存储挑战。

就其本质而言，分立器件是单独处理的元件。尽管可能有一些方法可以确保从某些工艺批次中选择元件，但每个元件仍然具有高度的独特性。然而，当需要非常匹配的元件时，这是一个显著的缺点。对于需要匹配的设备来说，元件之间的独特性和差异性会导致误差，从而降低时间零点的电路性能。此外，在电路的工作温度范围内及使用寿命期间，这种性能下降总是越来越糟糕。

分立无源器件的另一个缺点是各个元件的组装和布线非常耗时，并且还占用很大的空间。这些元件使用焊接工艺连接，一般是通过通孔或表贴封装技术(SMT)组装。通孔是一种比较老的组装技术，它将带引线的器件插入PCB的孔中，任何多余的引线长度都将被折弯并切除，并通过波峰焊将器件的引线连接至PCB互连电源轨。表贴封装帮助实现了更小的无源元件。在这种情况下，在PCB上蚀刻贴装连接图案，将焊锡膏覆盖在图案上，接着使用贴片机来定位放置SMT元件。然后，PCB经过回流焊工艺(其间焊锡膏液化并建立电气连接)，并在冷却时，焊锡膏凝固并将SMT元件机械连接到PCB上。这两种组装技术的主要问题是，焊接过程可能非常不可靠，在缺陷目标是每百万分之几的行业中，这一点越来越令人担忧。在确保焊点可靠性方面有几个因素非常重要：焊锡膏的实际成分(现在基本上都是无铅的，因此可靠性降低)、回流焊工艺中的机械稳定性(机械振动可使焊点干燥)、焊锡膏的纯度(任何污染物都会对焊点的可靠性产生负面影响)，以及回流焊工艺中的时间与温度。焊锡膏加热的速度如何、实际温度和温度的均匀性怎样以及焊锡膏加热的时间都非常关键。其中的任何变化都可能导致连接焊盘或通孔的损坏，或者也可能引起器件上的机械应力，随着时间的推移而导致故障。

在PCB上采用无源元件的另一个局限是，由于它们板上分布在各处，走线需要很长。这可能会引入未计入的寄生参数，从而使性能和结果的可重复性受限。通常，PCB走线具有大约1 nH/mm自感的长度和电容，取决于线宽和与附近走线的距离。PCB走线的容差导致了寄生参数的变异，所以不仅带来寄生效应的破坏性，而且它们还是不可预测的。在PCB板上缩小容差会增加成本。

无源器件还提供了许多与外界的潜在接触点，这些接触点经手动处理或机器处理可能会引起ESD事件。同样，这对整体可靠性和鲁棒性会造成不利影响和风险。

集成无源器件的优势

在深入探讨集成无源器件相比分立无源器件的优势之前，我们首先概述一下集成无源器件的起源。集成电路现在包含了许多晶体管(实际上是数百万个)，它们由精细的金属互相连接在一起。针对模拟类的应用，业界还开发了特殊的工艺，如DAC和ADC中除了晶体管，还包含电阻和电容等无源元件。为了实现这些精密的模拟应用所需的性能，已经开发出质量非常高的无源元件。用来构建集成无源器件的正是这些高质量的无源元件。正如集成电路中包含许多晶体管一样，集成无源器件可以在一个非常小的封装内包含许多高质量的无源元件。与集成电路一样，集成无源器件在大面积衬底(晶圆)上制造，同时生成多个无源网络。

与分立无源元件相比，集成无源器件最引人注目的优势之一是可以实现精确匹配。在制造集成无源网络时，网络内的所有元件都是在相同条件下同时制造的，具有相同的材料，而且由于网络紧凑，基本上是在同一位置。采用这种方式制造的无源元件比分立无源元件更可能具有出色的匹配。为了说明这一点，我们假设有一个应用需要两个匹配的电阻。这些电阻在圆形衬底(如硅晶圆)上制造，如图1所示。由于细微的工艺差异，如电阻薄膜的厚度、薄膜的化学性质、接触电阻等，因此在同一个批次内将存在一定的阻值差异，而在多个批次里差异值更大。在图1所示的例子中，深绿色表示电阻在容差范围的高位值端，黄色表示电阻在容差范围的低位值端。对于标准的分立器件来说，两个电阻中的任意一个都可能来自不同的制造批次，如图中用红色表示的两个单独的电阻。这两个分立电阻之间可观察到的容差范围可能是整个工艺的容差范围，因此匹配较差。对于有特殊的订购限制而言，有可能从同一个批次中选择这两个分立电阻，如图中用蓝色标出的两个单独的电阻。这两个电阻之间可观察到的容差只会是在同一个批次内的容差范围。虽然这两个电阻之间的匹配将优于随机分立器件的情况，但仍有可能出现某种程度的不匹配。最后，对于集成无源器件，两个电阻来自同一个芯片，如图1黑色所示。这两个电阻之间唯一可观察到的容差是在同一个管芯内的容差范围。因此，这两个电阻之间的匹配将非常出色。此外，使用交叉四边形布局的其他技术和其他方法可以进一步严格限制两个电阻之间的扩散，使元件的匹配达到最佳值。集成无源元件之间的匹配不仅在时间零点比分立无源元件要好得多，而且由于其制造已经很好地耦合，因此在整个温度、机械应力和使用寿命范围内都可保持更好的匹配记录。

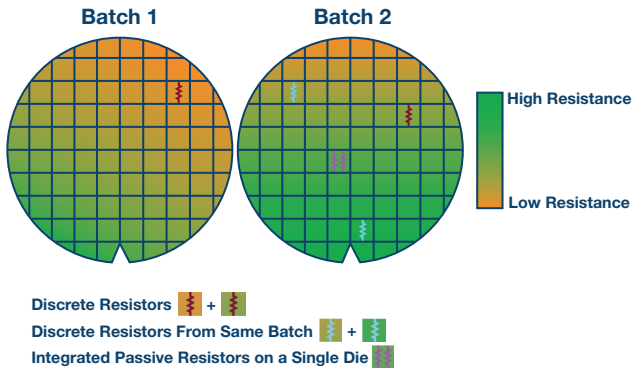


图1. 分立电阻与无源电阻的匹配比较。

集成无源器件中的各个元件紧密地放置在一起(实际上在微米范围内)，因此，互连寄生参数(如布线电阻和电感)可以保持在极低的水平。在PCB上，由于走线容差和元件放置容差，互连寄生参数可能会发生变化。由于制造工艺中采用微影工艺，因此使用集成无源器件的互连容差和元件放置容差都很小。在集成无源器件中，不仅寄生参数非常小，而且这些为数不多的参数还是可预测的，因此可靠性很高。

通过集成无源器件实现无源网络的小型化，为电路板直接带来小尺寸的优势。这直接使电路板成本降低，并允许在更小的占位空间上实现更多功能和更高性能。使用集成无源器件时，构建多通道系统变得更加实际可行。

集成无源器件的另一个显著优势是其整个布线网络周围的鲁棒性。集成无源器件本质上是在一个完整的单元里一起锻造，用玻璃密封，然后进一步由牢固的塑料封装进行保护，而不需要大量的焊接连接。在集成无源网络中，不存在焊点干燥、腐蚀或元件错位的问题。

集成无源网络密封性能出色带来的另一个优势是，系统中暴露节点的数量大大减少。因此，系统因意外短路或静电放电(ESD)事件损坏的可能性显著降低。

维护和控制任何电路板组装的元件库存都是一项非常复杂的任务。集成无源器件在一个器件内包含多个无源元件，大大减轻了客户的物料清单负担，从而降低拥有成本。客户可以获得经过完全测试和充分验证的集成无源网络。这意味着，最终线路板构建的产量得到提高，这不仅可以进一步节省成本，还可以提高供应链的可预测性。

使用ADI的集成无源器件(*i*Passives)

如前所述，高质量的无源器件一直是ADI多年来众多产品所实现的电路性能的核心。在此期间，无源器件的范围不断扩大并且质量不断提高，集成无源器件产品组合现在包含大量元件。集成无源器件采用模块化工艺，这意味着只有在需要特定元件时才需要执行生产某种类型无源器件所需的工艺步骤。*i*Passives网络的构建基本上只需要必需的工艺复杂性，不多也不少。如图2所示，有许多无源构建块可供选择，构建一个集成无源网络就像将所需元件拼装在一起一样简单。

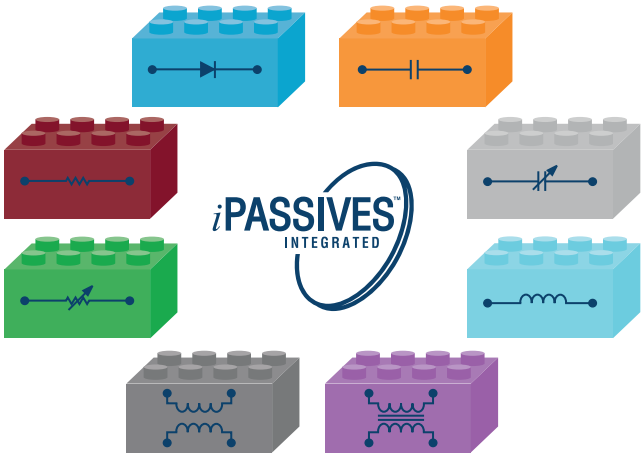


图2. iPassives构建块。

如本文前面所述，集成无源器件与分立无源器件相比具有许多优势。ADI将它们用于µModule器件中，进一步加强了这些优势。这些模块利用了各种集成电路的功能。这些电路通过量身定制的工艺进行制造，所提供的增强性能是无法通过其他任何单一工艺实现的。ADI正在使用*i*Passives将这些集成电路连接在一起，由此在单个器件内构建完整的精密信号链。图3中的两个µModule器件示例包括数据转换器、放大器和其他元件，通过采用集成无源器件构建的无源增益和滤波网络将它们结合在一起。

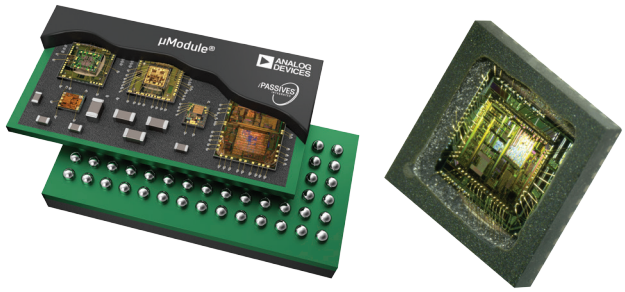


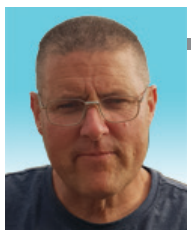
图3. 使用iPassives的µModule产品示例。

ADI生产高度可定制的精密信号调理系统。采用来自大量经现场验证的IC产品组合的可重复使用的方法，并将其与*i*Passives的多功能性相结合，从而使开发周期时间和成本都显著下降。这一决定为客户提供了巨大的优势，使客户可以自行利用最先进的性能更快、更高效地进入市场。

结论

乍一看，使用集成无源器件可能只会比其他更成熟的方法显得略微有利。然而，实际优势更为显著，ADI采用*i*Passives不仅重新定义了可以实现的功能，还重新定义了速度、成本和设计尺寸，使之对客户更为有利。

Mark Murphy [mark.murphy@analog.com]是爱尔兰利默里克精密转换器部的产品营销工程师。他拥有梅里马克学院电子工程学士学位和利默里克大学工商管理硕士学位。



Mark Murphy

Pat McGuinness [pat.mcguinness@analog.com]是ADI公司的产品工程师，负责在封装应用系统中使用集成无源器件。自1994年加入ADI以来，Pat一直致力于产品产量改进活动、电路设计、器件建模和新工艺开发。在ADI期间，他设计了精密转换器、开关、传感器和无源网络。Pat毕业于科克大学，获得电气与微电子工程学士学位。



Pat McGuinness

高精度、快速建立的大电流源

作者：**Nick Jiang**

分享至

电压控制型电流源(VCCS)广泛用于医疗器械、工业自动化等众多领域。VCCS的直流精度、交流性能和驱动能力在这些应用中至关重要。本文分析了增强型Howland电流源(EHCS)电路的局限性，并阐述了如何利用复合放大器拓扑进行改进，以实现高精度、快速建立的±500 mA电流源。

增强型Howland电流源

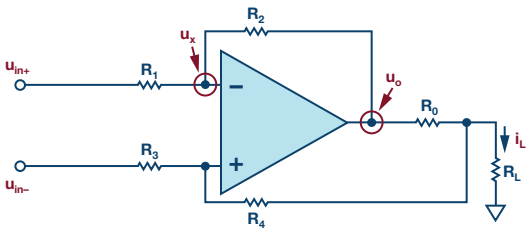


图1. Howland电流源电路。

图1所示为传统的Howland电流源(HCS)电路，而公式1显示了如何计算输出电流。如果R2足够大，输出电流将保持恒定。

$$i_L R_0\left[1+\frac{R_1}{R_2}+R_L\left(\frac{1}{R_2}+\frac{1-\frac{R_1}{R_2}\times\frac{R_4}{R_3}}{R_0}\right)\right]= u_{in+}\left(\frac{R_0}{R_2}+\frac{R_4}{R_3}+1\right)-u_{in-}\left(\frac{R_4}{R_3}+\frac{R_1}{R_2}\times\frac{R_4}{R_3}\right) \quad (1)$$

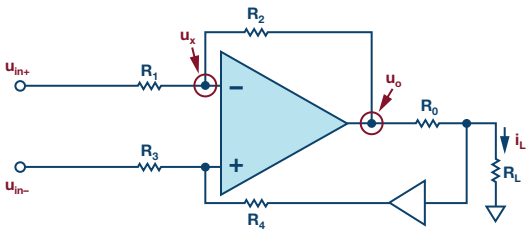


图2. 增强型Howland电流源电路。

虽然较大的R2会降低电路速度与精度，但在反馈路由中插入一个缓冲器，形成一个增强型Howland电流源可以解决这一问题，如图2所示。所有通过R_0的电流都流入R_L。输出电流由公式2计算。

$$i_L R_0\left[1+\frac{R_1}{R_2}+R_L\left(1-\frac{R_1}{R_2}\times\frac{R_4}{R_3}\right)\right]= u_{in+}\left(\frac{R_4}{R_3}+1\right)-u_{in-}\left(\frac{R_4}{R_3}+\frac{R_1}{R_2}\times\frac{R_4}{R_3}\right) \quad (2)$$

如果R1/R2 = R3/R4 = k，则该公式变为公式3。输出电流与负载无关，仅受输入电压控制。这是一个理想的VCCS。

$$i_L=\frac{u_{in+}-u_{in-}}{kR_0} \quad (3)$$

性能分析

公式3基于一个理想系统。图3显示了EHCS的直流误差分析模型。V_{OS}和IB+/IB–是主放大器的输入失调电压和偏置电流。V_{OSbuf}和I_{Bbuf}是缓冲器的输入失调电压和偏置电流。总输出误差可以通过公式4计算。

$$\begin{aligned} I_O\left[R_0+R_L\left(1-\frac{R_1+R_2}{R_1}\times\frac{R_3}{R_3+R_4}\right)\right]= &\left(\frac{R_2}{R_1}+1\right)\times V_{os}+\left(\frac{R_2}{R_1}+1\right)\times \\ &\frac{R_3R_4}{R_3+R_4}\times I_{B+}-\left(\frac{R_2}{R_1}+1\right)\times \\ &\frac{R_1R_2}{R_1+R_2}\times I_{B-}+\left(\frac{R_2}{R_1}+1\right)\times \\ &\frac{R_3}{R_3+R_4}\times V_{OSbuf}-I_{Bbuf}R_0 \end{aligned} \quad (4)$$

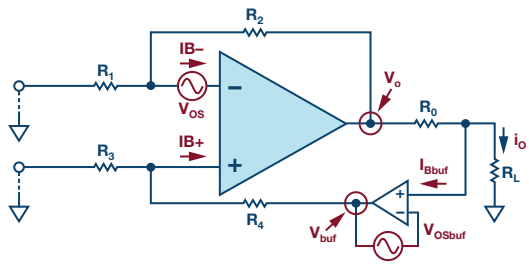


图3. 失调电压计算。

忽略增益电阻的不匹配，并考虑$R_1/R_2 = R_3/R_4 = k$，$R_1//R_2 = R_3//R_4$。输出失调电流取决于放大器的失调和偏置电流，如公式5所示。

$$I_O = \left(\frac{1}{k}+1\right)\times\frac{1}{R_0}\times V_{os} + \left(\frac{1}{k}+1\right)\times \frac{1}{R_0}\times\frac{R_1R_2}{R_1+R_2}\times I_{os} + \frac{1}{R_0}\times V_{OSbuf} - I_{Bbuf} \quad (5)$$

考虑R_1/R_2和R_3/R_4的不匹配，R_L将会影响输出失调电流。最差相对误差如公式6所示。这个误差取决于R_L/R_0和k。减小负载电阻并提高k将减少失调误差。

$$Max\ Relative\ Error\ of\ I_O = \frac{R_L}{R_0}\times\frac{2\Delta_k}{k(k+1)} \quad (6)$$

我们还可以计算电路的温度漂移，它来自放大器和电阻。放大器的失调电压和偏置电流随工作温度而变化。对于大多数CMOS输入放大器而言，温度每升高10°C，偏置电流便增加一倍。不同类型电阻的漂移变化很大。例如，碳膜电阻的TC约为1500 ppm/°C，而金属膜和体金属电阻的TC可能是1 ppm/°C。

表1. 精密放大器参数

器件	V_{OS}最大值 (µV)	IB最大值 (pA)	GPB (MHz)	压摆率 (V/µs)	Isc (mA)
ADA4522	5	150	3	1.3	22
ADA4077	25	1500	4	1	22
LTC2057HV	4	120	2	1.2	26
LT1012	25	100	1	0.2	13

选择精密放大器有利于输出电流的直流精度。然而，精密放大器的选择也存在许多局限性。其驱动能力和交流性能都不够好。表1列出了一些常见的精密放大器。我们希望构建一个±500 mA的电流源，建立时间为1 µs。对于电流源，我们需要高驱动能力。对于还要具有快速建立时间的电流源，我们需要出色的交流性能。一般来说，精密放大器无法提供这两个规范的组合，因为其压摆率和带宽不够好。这需要从其他类型的放大器中进行选择。

EHCS实现

ADA4870是一款高速、高电压、高驱动能力的放大器。它可提供10V至40V电压，输出电流限制为1.2A。大信号下的带宽超过52 MHz和压摆率高达2500 V/µ s。所有这些规格使它很适合快速建立和大电流源。图4显示了基于ADA4870的EHCS电路，它通过10 V输入可生成一个±500 mA输出电流源。

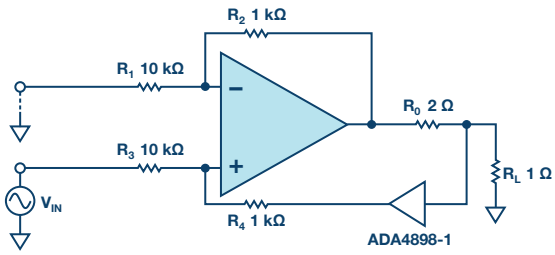


图4. 基于ADA4870的EHCS电路。

在交流规格中，我们更关心建立时间、压摆率、带宽和噪声。如图5所示，建立时间约为60 ns，带宽约为18 MHz。输出电流压摆率可以通过测量上升阶段和下降阶段的斜率来计算。正负压摆率分别为+25 A/µs和−25 A/µs。输出噪声密度曲线显示了噪声性能，在1 kHz时大约为24 nV/√Hz。

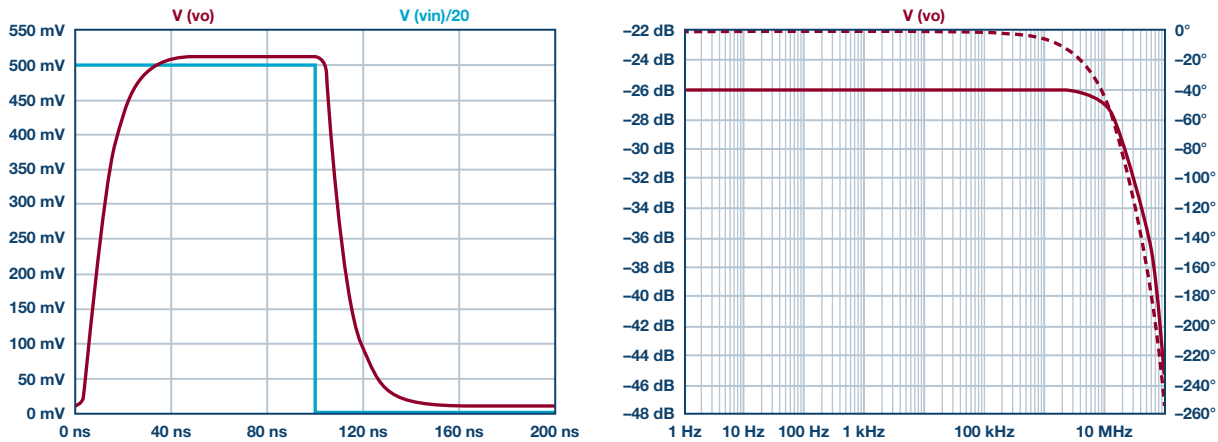


图5. 基于ADA4870的EHCS建立时间和频率响应

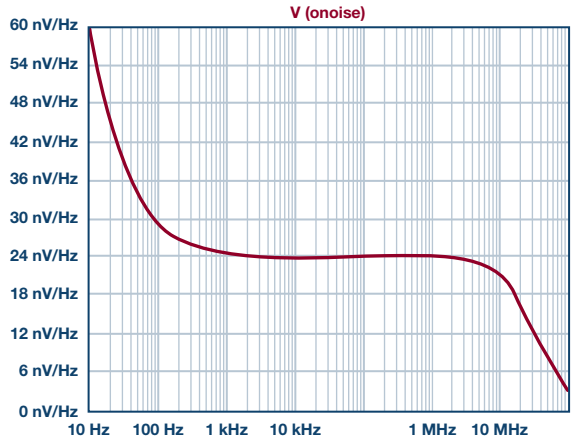


图6. 基于ADA4870的EHCS输出噪声密度曲线。

由于输入失调电压和偏置电流较大，该电路的直流精度不高。表2显示了不同的直流误差源与贡献。主要的直流误差来自ADA4870的V_{OS}和I_B。典型输出电流失调约为11.06 mA，这相当于500 mA全程时2.21%左右的误差范围。

表2. 基于ADA4870的EHCS直流误差

误差源	参数(典型值)	误差输出(mA)	百分比
IB	–12 µA	6.00	54.2%
IB+	+9 µA	4.50	40.7%
V_{OS}	1 mV	0.55	5.0%
I_{Bbuf}	–0.1 µA	0.00	0.0%
V_{OSbuf}	0.02 mV	0.01	0.1%
总计		11.06	100%

复合放大器技术

ADA4870这样的高驱动放大器的直流参数限制了输出电流的精度，而高精度放大器的速度又不够。为此，我们可以利用复合放大器技术在单个电路中集成所有这些特性。图7所示为一个复合放大器增强型Howland电流源(CAEHCS)，它由ADA4870和ADA4898-2组成。

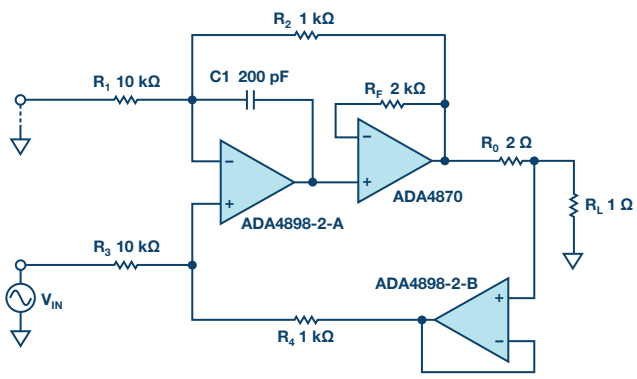


图7. 复合放大器EHCS电路。

选择ADA4898-2构成复合放大器是因为它具有出色的交流和直流性能。其-3 dB带宽为63 MHz。它在输出阶跃为5 V时的0.1%建立时间为90ns，压摆率可达55 V/µs。它还具有超低噪声。电压噪声密度为0.9 nV/√Hz，电流噪声密度为2.4 pA/√Hz。至于直流规格参数，它的性能表现也很好。典型输入失调电压为20 µV，温度漂移为1 µV/°C。偏置电流为0.1 µA。表3显示了CAEHCS的直流误差。输出电流失调降低至0.121 mA，这意味着误差范围在0.03%以下。

表3. 基于ADA4898的CAEHCS直流误差

误差源	参数(典型值)	误差输出(mA)	百分比
IB–	–0.1 µA	0.050	41.3%
IB+	+0.1 µA	0.0050	41.3%
V_{OS}	20 mV	0.011	9.1%
I_{Bbuf}	–0.1 µA	0.000	0.1%
V_{OSbuf}	20 µV	0.01	8.2%
总计		0.121	100%

CAEHCS的交流性能如表4所示。由于复合放大器的环路延迟，其建立时间和带宽均低于EHCS。由于ADA4898-2的电流噪声低，因此CAEHCS的输出噪声远低于EHCS的输出噪声。如数据手册中所标明的，ADA4870的反向输入电流噪声密度为47 pA/√Hz。通过使用几个kΩ级阻值的电阻，它将产生比电压噪声(2.1 nV/√Hz)高很多的噪声。然而，CAEHCS中的输入电流噪声密度为2.4 pA/√Hz。它产生的输出噪声要低很多。

表4. CAEHCS的交流规格

参数	CAEHCS	EHCS
建立时间(ns)	200	60
压摆率(A/µs)	7.7	25
带宽(MHz)	6	18
1kHz时的输出噪声密度(nV/√Hz)	4	24

首先，CAEHCS大大提高了VCCS的直流精度，并具有同等驱动能力和交流性能。此外，可供选择的复合放大器产品很多，以满足不同的需求。表5显示了CAEHCS电路中不同放大器的性能。LT6275的交流性能最好。它的建立时间可达100 ns以内，压摆率高达15 A/µs。ADA4522-2等零漂移放大器非常适合输出电流失调误差约为0.002 mA的高精度应用。

表5. CAEHCS中主放大器的选择

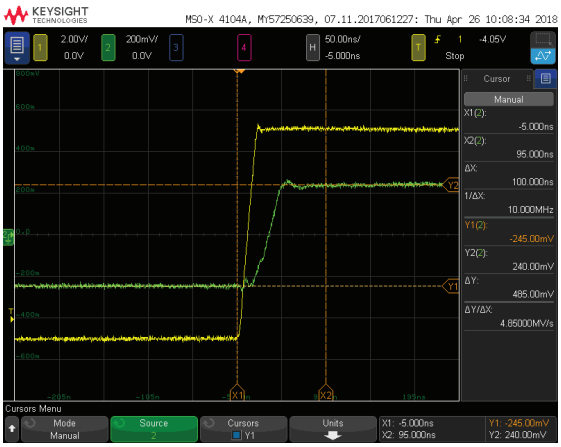
主放大器	DC性能	AC性能
ADA4898	好	好
LT6275	好	极佳
ADA4522	极佳	不好

测试结果

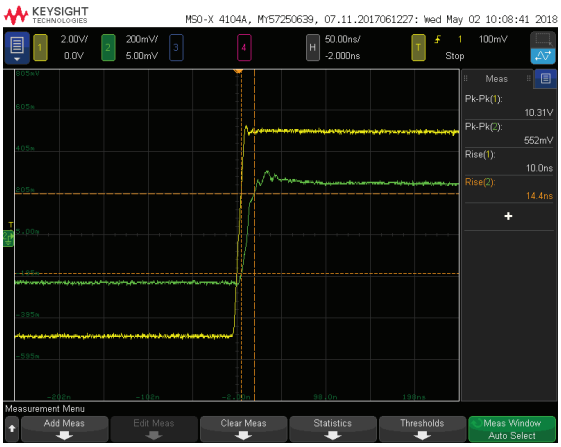
基于ADA4898的EHCS和CATHCS的性能如表6和图8所示。

表6. EHCS与CAEHCS的比较

主放大器		EHCS	CAEHCS
直流参数	输出电流失调(mA)	10.9	0.2
交流参数	建立时间(ns)	100	100
	压摆率(A/μs)	22.2	12.6
	带宽(MHz)	18	8



(a)



(b)

图8. ADA4898-2(CH1-输入、CH2-输出)的建立时间。

CAEHCS电路具有比EHCS电路好很多的直流规格。其输出电流失调为0.2 mA，而EHCS电路的输出电流失调为10.9 mA。CAEHCS电路也具有很好的交流规格。两者的建立时间均为100 ns。EHCS电路的带宽为18 MHz，而CAEHCS电路的带宽为8 MHz。

基于ADA4522-2和LT6275的CAEHCS性能如表7所示。ADA4522-2版本的输出失调误差更低，低至0.04 mA。LT6275的建立时间约为60 ns，输出电流压摆率高达16.6A/μs(如图9所示)。

表7. CAEHCS中不同主放大器的测试结果

主放大器	Ios (mA)	建立时间(ns)	压摆率(A/μs)	带宽(MHz)
ADA4898	0.2	100	12.6	10
LT6275	0.8	60	16.6	11
ADA4522	0.04	1000	0.4	1.2



图9. LT6275(CH1-输入、CH2-输出)的建立时间。

散热考虑

VCCS的输出电流可以达到几百毫安。整体功耗可达几瓦。如果输出效率不高，器件的温度将快速上升。ADA4870不使用散热器时的热阻(θ_{JA})为15.95°C/W。温升可采用公式7计算。

$$T_{rise} = \theta_{JA} \times P \quad (7)$$

R_0的取值将影响ADA4870的功耗。表8显示了在±20 V电源电压下选择不同R_0值的温升。当选用较大的R_0时，温升会大大降低。因此，建议使用较大的R_0以降低温升。

表8. ADA4870的功耗和温升与RO的关系(Io = 500 mA)

RL/Ω	功耗(W)			温升(°C)
	R_0 = 2 Ω	R_0 = 10 Ω	R_0 = 2 Ω	R_0 = 10 Ω
1	6.92	4.92	110.4	78.5
5	5.92	3.92	94.5	62.6
10	4.67	2.67	74.6	42.7

结论

CAEHCS电路将高驱动放大器和高精度放大器相结合，可在VCCS应用中提供出色的交流和直流性能以及大输出容量。建议在此电路中将ADA4870与ADA4898、LT6275和ADA4522结合使用。

Nick Jiang是ADI公司线性和精密技术部的产品应用工程师，工作地点在北京。他毕业于西安交通大学，拥有电气工程学士和硕士学位。



Nick Jiang

带有次级LC滤波器的电流模式降压转换器的建模与控制

作者：**Ricky Yang**

分享至

简介

利用ADC、PLL和RF收发器的现代信号处理系统设计通常需要更低的功耗和更高的系统性能。为这些噪声敏感的设备选择合适的电源始终是系统设计人员的难点。这些设计总是需要在高效率和高性能之间做出取舍。

传统上，LDO稳压器通常被用于为那些噪声敏感的设备供电。LDO稳压器能够抑制系统电源中经常出现的低频噪声，并且为ADC、PLL或RF收发器提供干净的电源。但是LDO稳压器通常效率较低，尤其是在LDO稳压器必须将高于输出电压几伏的电源轨降压的那些系统中。在这种情况下，LDO稳压器通常可提供30%至50%的效率，而使用开关稳压器则可实现90%甚至更高的效率。

开关稳压器虽然比LDO稳压器效率更高，但它们的噪声太大，无法在不显著降低ADC或者PLL的性能的同时，直接为它们供电。开关稳压器的噪声源之一是输出纹波，它可能在ADC的输出频谱中表现为明显的信号音或杂散。为避免降低信噪比(SNR)和无杂散动态范围(SFDR)，最大程度地减少开关稳压器的输出纹波和输出噪声非常重要。

为了同时保持高效率和高系统性能，通常需要在开关稳压器的输出端增加一个次级LC滤波器(L_2和C_2)，以减少纹波和抑制噪声(如图1所示)。然而，二级LC输出滤波器也具有相应的缺点。理想情况下，功率级传输函数的建模为四阶系统，很不稳定。如果再考虑电流环路[1]的采样数据效应，则完整的控制至输出的传递函数为五阶系统。另一种替代解决方案是检测初级LC滤波器(L_1和C_1)点的输出电压来稳定系统。然而，当负载电流很大时，由于次级LC滤波器上的压降很大，应用这种方法会导致输出电压调节性能较差，这在某些应用中令人无法接受。

本文提出了一种新的混合反馈方法，能够在应用中采用带有次级LC滤波器的开关稳压器为ADC、PLL或RF收发器提供高效率、高性能的电源，同时在所有负载条件下提供足够的稳定性裕量并保持输出精度。

有些已经发表的关于带有次级LC输出滤波器的DC-DC转换器的研究性文章[2-5]，具体而言，“带有低电压/高电流输出的二级DC-DC转换器的控制环路设计”和“带有二级LC输出滤波器的高带宽交流电源的多环路控制方案的比较评估”这两篇文章讨论了二级电压模式转换器的建模和控制(该转换器不能直接应用于电流模式转换器)。文章“用于电流模式控制转换器的次级LC滤波器分析和设计技术”和“用于多模块转换器系统的三环路控制”讨论了带有次级LC滤波器的电流模式转换器的分析和建模。不过，这两篇文章都假设次级电感的电感值比初级电感小得多，这在实际应用中并不总是合适。

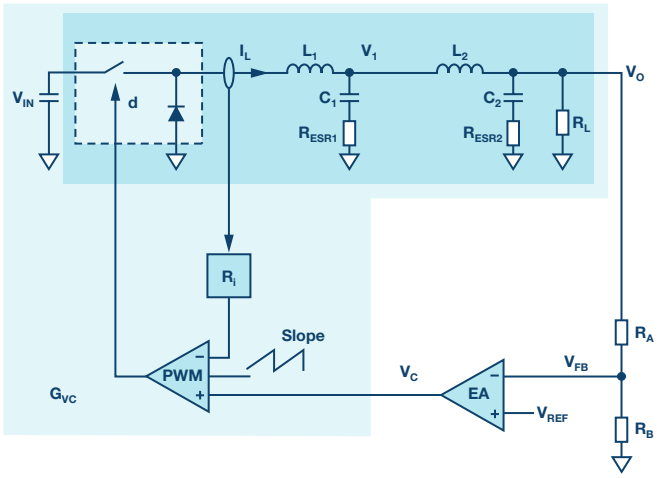


图1. 带有次级LC滤波器的电流模式降压转换器的电路图。

本文的内容提纲如下：

分析了具有次级LC滤波器的降压转换器的小信号建模。提出了一个新的五阶控制至输出的传递函数，无论外围电感和电容参数如何，都非常精确。

提出了一种新的混合反馈方法，可在提供足够的稳定性裕量的同时保持输出电压良好的直流精度。首次分析了反馈参数的限值，为实际设计提供了基本依据。

基于功率级小信号模型和新的混合反馈方法，设计了补偿网络。利用奈奎斯特图评估了闭环传递函数的稳定性。

提供了一个基于电源管理产品ADP5014的简单设计实例。借助次级LC滤波器，ADP5014在高频范围内的输出噪声性能甚至优于LDO稳压器。

附录I和附录II分别列出了功率级和反馈网络所需的小信号传递函数。

功率级小信号建模

图2显示了对应于图1的小信号框图。控制环路由内部电流环路和外部电压环路组成。电流环路中的采样数据系数$H_e(s)$是指Raymond B. Ridley在“用于电流模式控制的新型连续时间模型”中提出的模型。请注意，在图2所示的简化小信号框图中，假设输入电压干扰和负载电流干扰为零，因为本文不讨论与输入电压和负载电流相关的传递函数。

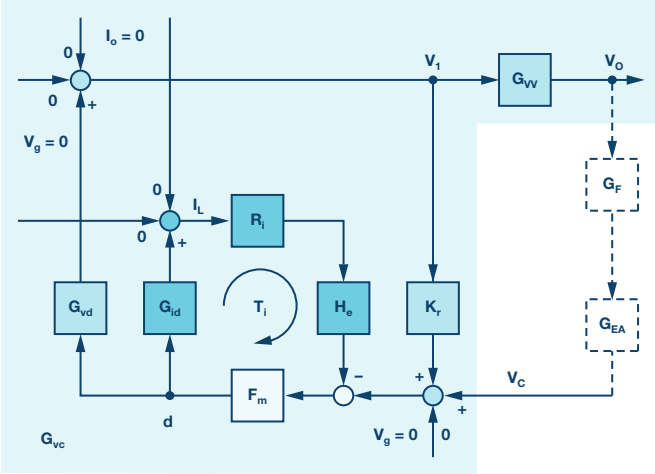


图2. 带有次级LC滤波器的电流模式降压转换器的小信号框图。

降压转换器示例

使用电流模式降压转换器所演示的新的小信号模型具有以下参数：

- V_g = 5 V
- V_o = 2 V
- L_1 = 0.8 µH
- L_2 = 0.22 µH
- C_1 = 47 µF
- C_2 = 3× 47 µF
- R_{ESR1} = 2 mΩ
- R_{ESR2} = 2 mΩ
- R_L = 1 Ω
- R_i = 0.1 Ω
- T_s = 0.833 µs

电流环路增益

我们关心的第一个传递函数是在占空比调制器的输出点测得的电流环路增益。由此产生的电流环路传递函数(见附录I中的公式16)表现为具有两对复数共轭极点的四阶系统，该系统产生两个系统谐振频率(ω_1和ω_2)。这两个谐振频率均由L_1、L_2、C_1和C_2决定。负载电阻R_L以及C_1和C_2产生主零点。一对复数共轭零点(ω_3)由L_2、C_1和C_2决定。此外，电流环路中的采样数据系数$H_e(s)$将在开关频率的1/2处引入一对复数的右半平面(RHP)零点。

与不带次级LC滤波器的传统电流模式降压转换器相比，新的电流环路增益增加了一对复数共轭极点和一对复数共轭零点，并且它们彼此的位置非常接近。

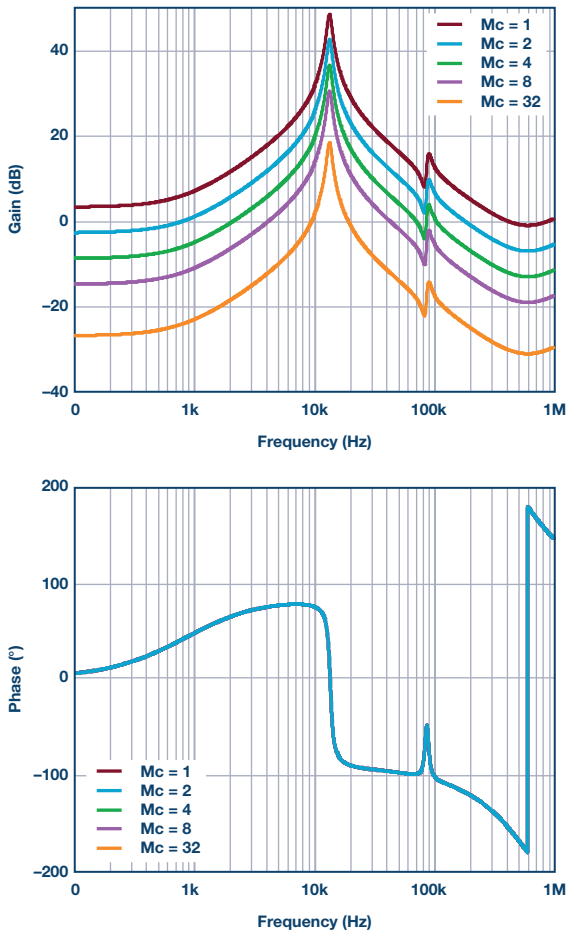


图3. 降压转换器电流环路增益。

图3显示了具有不同外部斜坡值的电流环路增益图。对于没有外部斜率补偿(M_c= 1)的情况，可以看出电流环路中的相位裕量非常小，这可能导致次谐波振荡。通过增加外部斜率补偿，增益和相位曲线的形状不会改变，但增益的幅度将减小，相位裕量将增加。

控制至输出增益

当电流环路闭合时，会产生一个新的控制至输出的传递函数。由此产生的控制至输出的传递函数(见附录I中的公式19)表现为具有一个主极点(ω_p)和两对复数共轭极点(ω_i和ω_h)的五阶系统。主极点主要取决于负载电阻R_L、C_1,和C_2。频率较低的一对共轭极点由L_2、C_1和C_2确定，而频率较高的一对共轭极点位于开关频率的1/2处。此外，C_1的*ESR*和C_2的*ESR*分别影响两个零点。

图4显示了具有不同外部斜坡值的控制至输出的环路增益图。与传统的电流模式降压转换器相比，在带有次级LC滤波器的电流模式降压转换器的控制至输出的增益中增加了一对复数共轭极点(ω_i)。额外的谐振极点可以提供最大可达180°的额外的相位延迟。相位裕量将急剧下降，即便使用III型补偿系统也会很不稳定。此外，图4清楚地显示了随着斜率补偿的增加，从电流模式控制到电压模式控制的转换。

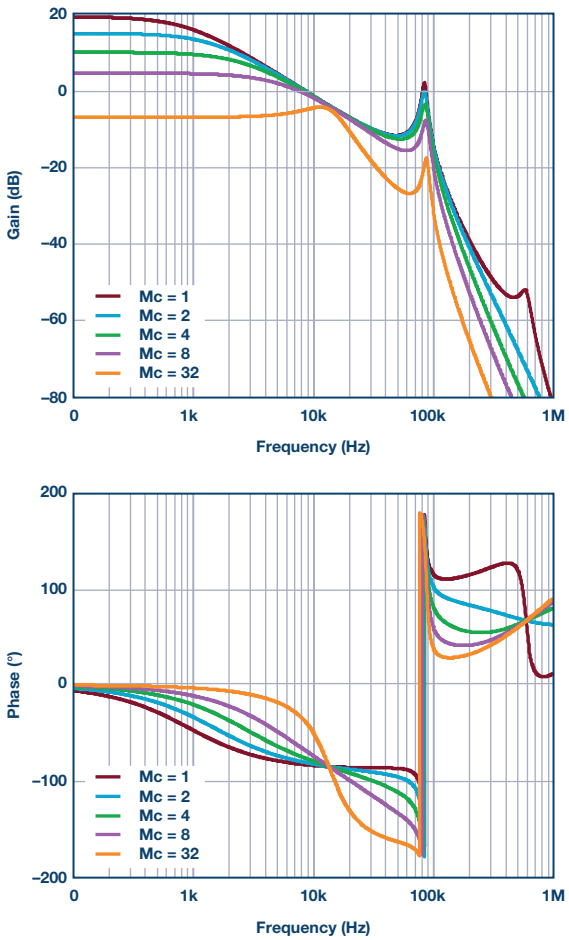


图4. 降压转换器的控制至输出的传递函数

混合反馈方法

本文将介绍一种新的混合反馈结构，如图5(a)所示。混合反馈的构思是通过利用来自初级LC滤波器的附加电容反馈来稳定控制环路。从输出端经过电阻分压器的外部电压反馈定义为远程电压反馈，而经过电容器C_F的内部电压反馈将在下文中定义为本地电压反馈。远程反馈和本地反馈在频域上承载不同的信息。具体而言，远程反馈检测低频信号以便提供良好的直流输出调节，而本地反馈检测高频信号以便为系统提供良好的交流稳定性。图5(b)显示了对应于图5(a)的简化小信号框图。

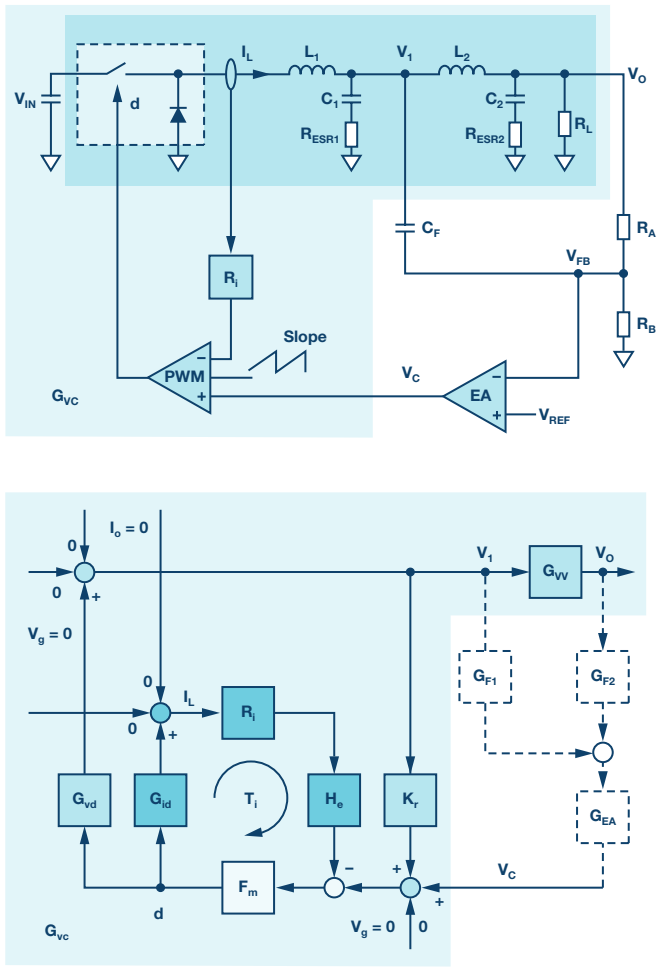


图5. 使用所提出的混合反馈方法的电流模式降压转换器，图(a)所示为电路图，图(b)所示为小信号模型。

反馈网络的传递函数

由此产生的混合反馈结构的等效传递函数(见附录II中的公式31和公式32)与传统电阻分压器反馈的传递函数明显不同。新的混合反馈的传递函数零点比极点更多，并且额外的零点将在由L_2和C_2确定的谐振频率处产生180°的相位提前。因此，利用混合反馈方法，控制至输出的传递函数中的附加相位延迟将通过反馈传递函数中的附加零点进行补偿，这可以实现基于整个控制至反馈的传递函数的补偿设计。

反馈参数的限值

除了功率级中的那些参数之外，反馈传递函数中还包含两个参数。众所周知，参数β(见附录II中的公式30)是输出电压放大率。而参数α则是一个全新的概念。

可以调整反馈参数α(参见附录II中的公式29)来理解反馈传递函数的行为。图6显示了当α减小时反馈传递中零点的变化趋势。该图清楚地表明，随着α逐渐减小，一对共轭零点将从左半平面(LHP)向RHP推进。

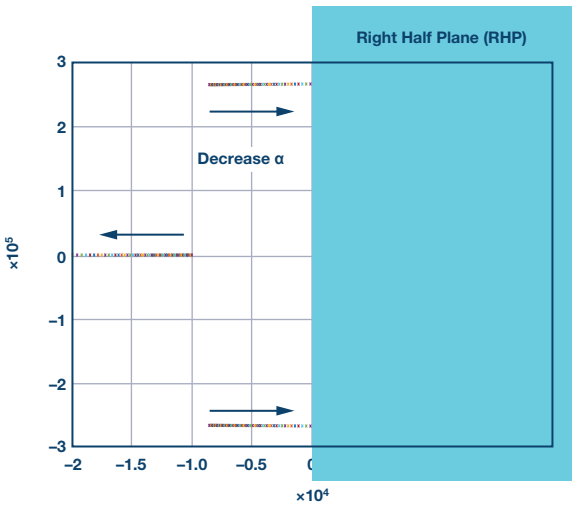


图6. 反馈参数α对反馈网络零点的影响。

图7是具有不同α值的反馈传递函数的曲线图。它表明当α减小至10^{-6}时(例如：$R_A = 10k$，$C_F = 1\ nF$)，反馈网络的传递函数将表现为180°的相位延迟，这意味着复数零点已成为RHP零点。反馈传递函数已简化为新形式（参见附录II中的公式33）。要将零点保持在LHP中，参数α应始终满足以下条件：

$$\alpha > \frac{L_2 \times C_2}{\frac{L_2}{R_L} + R_{ESR2} \times C_2} \qquad \text{(公式1)}$$

公式1给出了反馈参数α的最小限值基准。只要满足这一条件，控制系统就很容易保持稳定。但是，由于R_A和C_F在负载瞬态跳变期间将作为输出电压变化的RC滤波器工作，因此负载瞬态性能将因很大的α值而降低。所以α值不应该太大。在实际设计中，建议参数α比最小限值大20%到30%左右。

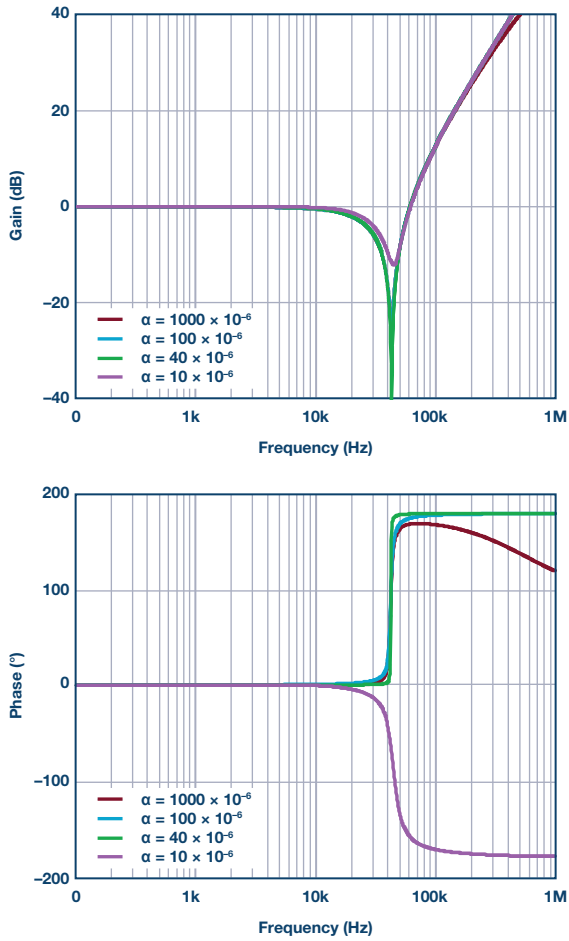


图7. 具有不同参数α的混合反馈网络的传递函数。

环路补偿设计

设计补偿

控制至反馈的传递函数GP(s)可以通过控制至输出的传递函数$G_{vc}(s)$和反馈传递函数$G_{FB}(s)$的乘积导出。补偿传递函数$G_C(s)$设计为具有一个零点和一个极点。控制至反馈的传递函数和补偿传递函数以及闭环传递函数$T_V(s)$的渐近波特图如图8所示。以下步骤说明了如何设计补偿传递函数。

确定穿越频率(f_c)。由于带宽受f_{z1}限制，建议选择小于f_{z1}的f_c

在f_c处计算$G_P(s)$的增益，而$G_C(s)$的中频带增益应为$G_P(s)$的相反数

将补偿零点置于功率级的主极点(f_{p1})处

将补偿极点置于由输出电容C_1的ESR产生的零点(f_{z2})处。

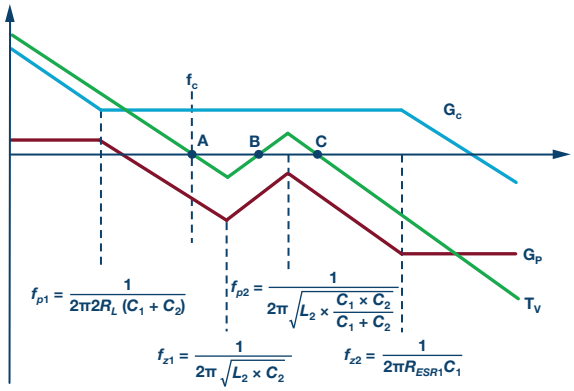


图8. 基于所提出的控制至输出和混合反馈的传递函数的环路增益设计。

使用奈奎斯特图分析稳定性

根据图8，闭环传递函数$T_V(s)$已经三次经过0dB点。奈奎斯特图用于分析闭环传递函数的稳定性，如图9所示。由于曲线图远离(–1, j0)，闭环稳定并具有足够的相位裕量。请注意，奈奎斯特图中的点A、B和C对应于波特图中的点A、B和C。

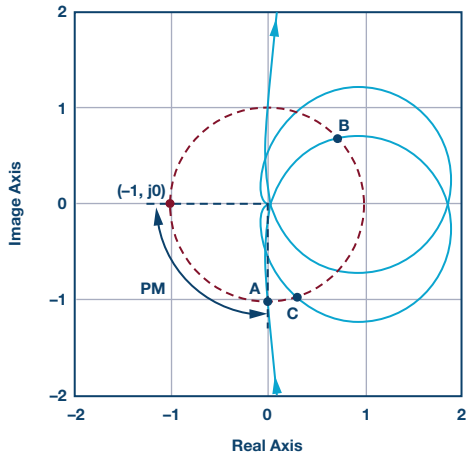


图9. 闭环传递函数的奈奎斯特图。

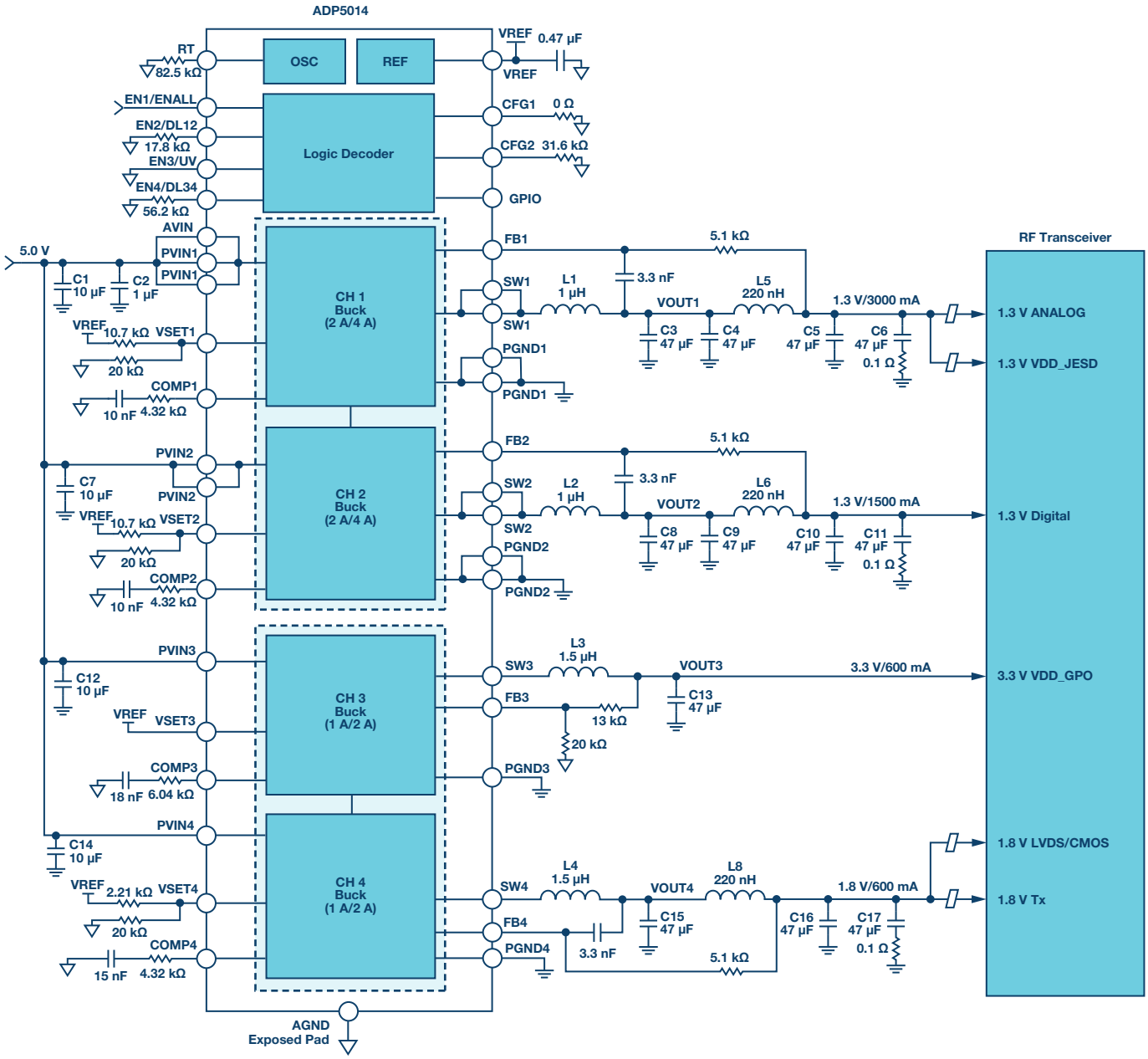


图10. 由带有次级LC滤波器的ADP5014供电的RF收发器。

设计示例

ADP5014对许多模拟模块进行了优化，可在低频范围内实现更低的输出噪声。当V_{OUT}设置为小于V_{REF}电压时，单位增益电压基准结构也可使输出噪声与输出电压设置无关。设计中又增加了一个次级LC滤波器，从而可以衰减高频范围的输出噪声，特别是对于基波下的开关纹波及其谐波。图10显示了设计详情。

图11显示了ADP5014在10 Hz至10 MHz频率范围内的噪声谱密度测量结果，以及10 Hz至1 MHz频率范围内的积分有效值噪声，与之作比较的ADP1740则是另一款传统的2A低噪声LDO稳压器。ADP5014在高频范围内的输出噪声性能甚至优于ADP1740。

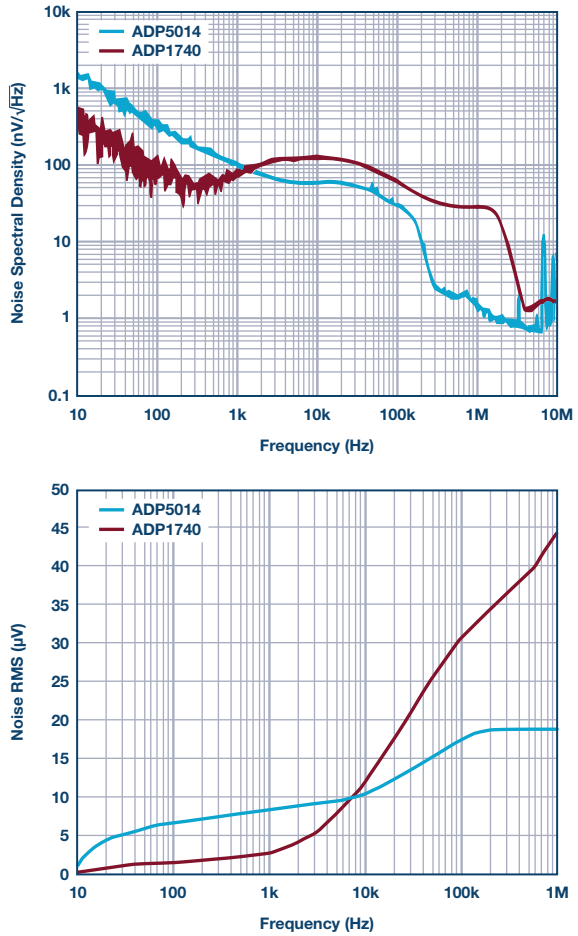


图11. ADP5014与ADP1740的输出噪声性能比较，图(a)所示为噪声谱密度，图(b)所示为积分有效值噪声。

结论

本文介绍了用于建模和控制带有次级LC输出滤波器的电流模式降压转换器的通用分析框架，讨论了精确的控制到输出的传递函数，提出了一种新的混合反馈结构，并对反馈参数限值进行了推导。

设计示例表明，带有次级LC滤波器和混合反馈方法的开关稳压器可以提供干净、稳定的电源，性能堪比LDO稳压器，甚至更好。

本文中的建模和控制主要关注电流模式降压转换器，但此处描述的方法也适用于电压模式降压转换器。

附录I

图2中的功率级传递函数如下。

$$G_{id}=\frac{i_L}{d}=\frac{V_g}{R_L}\times\frac{[1+R_L\times(C_1+C_2)\times S]\times\left(1+\frac{S}{Q_3\times\omega_3}+\frac{S^2}{\omega_3{}^2}\right)}{\left(1+\frac{S}{Q_1\times\omega_1}+\frac{S^2}{\omega_1{}^2}\right)\times\left(1+\frac{S}{Q_2\times\omega 2}+\frac{S^2}{\omega_2{}^2}\right)} \quad (1)$$

$$G_{vd}=\frac{v_1}{d}=\frac{V_g\times(1+R_{ESR1}\times C_1\times S)\times\left(1+\frac{S}{Q_4\times\omega_4}+\frac{S^2}{\omega_4{}^2}\right)}{\left(1+\frac{S}{Q_1\times\omega_1}+\frac{S^2}{\omega_1{}^2}\right)\times\left(1+\frac{S}{Q_2\times\omega 2}+\frac{S^2}{\omega_2{}^2}\right)} \quad (2)$$

$$G_{vv}=\frac{v_o}{v_1}=\frac{1+R_{ESR2}\times C_2\times S}{1+\frac{S}{Q_4\times\omega_4}+\frac{S^2}{\omega_4{}^2}} \quad (3)$$

其中：

$$\omega_1=\frac{1}{\sqrt{L_1\times(C_1+C_2)+L_2\times C_2}} \quad (4)$$

$$Q_1=\frac{1}{\omega_1\times\left(\frac{L_1}{R_L}+\frac{L_2}{R_L}+R_{ESR1}\times C_1+R_{ESR2}\times C_2\right)} \quad (5)$$

$$\omega_2=\frac{1}{\sqrt{\frac{L_1\times L_2\times C_1\times C_2}{L_1\times(C_1+C_2)+L_2\times C_2}}} \quad (6)$$

$$Q_2=\frac{1}{\omega_2\times\left(\frac{(L_1+L_2)\times C_1\times C_2\times R_{ESR1}+\frac{L_1\times L_2\times C_1}{R_L}+L_1\times C_1\times C_2\times R_{ESR2}}{L_1\times C_1+L_1\times C_2+L_2\times C_2}\right)} \quad (7)$$

$$\omega_3=\frac{1}{\sqrt{L_2\times\frac{C_1\times C_2}{C_1+C_2}}} \quad (8)$$

$$Q_3=\frac{1}{\omega_3\times\frac{L_2\times C_1+R_{ESR1}\times R_L\times C_1\times C_2+R_{ESR2}\times R_L\times C_1\times C_2}{R_L\times(C_1+C_2)}} \quad (9)$$

$$\omega_4=\frac{1}{\sqrt{L_2\times C_2}} \quad (10)$$

$$Q_4 = \frac{1}{\omega_4 \times \left(\frac{L_2}{R_L} + R_{ESR2} \times C_2\right)} \tag{11}$$

其中：L_1为初级电感。

C_1为初级电容。

R_{ESR1}为初级电容的等效串联电阻。

L_2为次级电感。

C_2为次级电容。

R_{ESR2}为次级电容的等效串联电阻。R_L为负载电阻。

电流环路中的增益模块如下。

$$F_m = \frac{1}{m_c \times S_n \times T_s} \tag{12}$$

$$H_e = 1 - \frac{T_s}{2} \times S + \frac{S}{\omega_h{}^2} \tag{13}$$

其中：

$$m_c = 1 + \frac{S_e}{S_n} \tag{14}$$

$$\omega_h = \frac{\pi}{T_s} \tag{15}$$

其中：R_i为等效电流检测电阻

S_e为斜率补偿的锯齿斜坡

S_n为电流检测波形的导通时间斜率

T_s为开关周期

电流环路增益为

$$T_i(S) = F_m \times R_i \times G_{id} \times H_e = \frac{L_1}{R_L \times D' \times m_c \times T_s} \times \frac{[1 + R_L \times (C_1 + C_2) \times S] \times \left(1 + \frac{S}{Q_3 \times \omega_3} + \frac{S^2}{\omega_3{}^2}\right)}{\left(1 + \frac{S}{Q_1 \times \omega_1} + \frac{S^2}{\omega_1{}^2}\right) \times \left(1 + \frac{S}{Q_2 \times \omega 2} + \frac{S^2}{\omega_2{}^2}\right)} \times H_e \tag{16}$$

其中：

$$D' = 1 - D \tag{17}$$

其中：

D为占空比

根据图2，增益块k_i的计算如下

$$k_r = \frac{R_i \times T_s}{2 \times L_1} \tag{18}$$

控制至输出的传递函数为

$$G_{vc} = \frac{v_o}{v_c} = \frac{R_L}{R_i} \times \frac{1}{1 + \frac{R_L \times T_s}{L_1} \times (mc \times D' - 0.5)} \times F_l(s) \times F_h(s) \tag{19}$$

其中：

$$F_l(s) = \frac{(1 + R_{ESR1} \times C_1 \times S) \times (1 + R_{ESR2} \times C_2 \times S)}{\left(1 + \frac{S}{\omega_p}\right) \times \left(1 + \frac{S}{Q_1 \times \omega_1} + \frac{S^2}{\omega_1{}^2}\right)} \tag{20}$$

$$F_h(s) = \frac{1}{1 + \frac{S}{Q_h \times \omega_h} + \frac{S^2}{\omega_h{}^2}} \tag{21}$$

$$\omega_p = \frac{1 + \frac{R_L \times T_S}{L_1} \times (mc \times D' - 0.5)}{R_L \times (C_1 + C_2)} \tag{22}$$

$$\omega_1 = \frac{1}{\sqrt{L_2 \times \frac{C_1 \times C_2}{C_1 + C_2}}} \tag{23}$$

$$Q_1 = \frac{1}{\omega_1 \times \frac{L_2 \times C_1 + (R_{ESR1} + R_{ESR2}) \times R_L \times C_1 \times C_2}{R_L \times (C_1 + C_2)}} \tag{24}$$

$$Q_h = \frac{1}{\pi \times [m_c \times (1 - D) - 0.5]} \tag{25}$$

附录II

在图5中，本地反馈和远程反馈传递函数为

$$G_{F1} = \frac{R_A \times C_F \times S}{1 + \frac{R_A}{R_B} + R_A \times C_F \times S} \tag{26}$$

$$G_{F2} = \frac{1}{1 + \frac{R_A}{R_B} + R_A \times C_F \times S} \tag{27}$$

根据公式1至公式27，控制至反馈传递函数的计算如下

$$G_P = \frac{v_{FB}}{v_C} = \frac{1 + (\alpha + R_{ESR2} \times C_2) \times S + \alpha \times \left(\frac{L_2}{R_L} + R_{ESR2} \times C_2\right) \times S^2 + \alpha \times L_2 \times C_2 \times S^3}{(\beta + \alpha \times S) \times (1 + R_{ESR2} \times C_2 \times S)} \times G_{VC} \tag{28}$$

其中：

$$\alpha = R_A \times C_F \tag{29}$$

$$\beta = 1 + \frac{R_A}{R_B} \tag{30}$$

其中：R_A为反馈电阻分压器的上部电阻

R_B为反馈电阻分压器的下部电阻

C_F为本地反馈电容

等效反馈网络传递函数为

$$G_{FB} = \frac{v_{FB}}{v_o} = \frac{1 + (\alpha + R_{ESR2} \times C_2) \times S + \alpha \times \left(\frac{L_2}{R_L} + R_{ESR2} \times C_2\right) \times S^2 + \alpha \times L_2 \times C_2 \times S^3}{(\beta + \alpha \times S) \times (1 + R_{ESR2} \times C_2 \times S)} \tag{31}$$

近似反馈传递函数为

$$G_{FB_appr} = \frac{1 + \alpha \times S}{(\beta + \alpha \times S) \times (1 + R_{ESR2} \times C_2 \times S)} \times \Delta \tag{32}$$

其中：

$$\Delta = 1 + \left(\frac{L_2}{R_L} + R_{ESR2} \times C - \frac{L_2 \times C_2}{\alpha}\right) \times S + L_2 \times C_2 \times S^2 \tag{33}$$

在典型的低噪声应用中，通常应用单位增益电压参考结构，因此参数β将等于1。那么，反馈传递函数为

$$G_{FB} = \frac{\Delta}{1 + R_{ESR2} \times C_2 \times S} \tag{34}$$

参考文献

[1]Raymond B. Ridley，“用于电流模式控制的新型连续时间模型”，《*IEEE电源电子会刊*》，第6卷第2期，1991年。

[2]Julie Yixuan Zhu和Brad Lehman，“带有低电压/高电流输出的二级DC-DC转换器的控制环路设计”，《*IEEE电源电子会刊*》，第20卷第1期，2005年。

[3]Patricio Cortes、David O. Boillat、Hans Ertl和Johann W. Kolar，“带有二级LC输出滤波器的高带宽交流电源的多环路控制方案的比较评估”，IEEE可再生能源研究与应用国际会议，2013年。

[4]Raymond B. Ridley，“用于电流模式控制转换器的次级LC滤波器分析和设计技术”，《*IEEE电源电子会刊*》，第3卷第4期，1988年。

[5]Byungcho Choi、Bo H. Ch、Fred C. Lee和Raymond B. Ridley，“用于多模转换器系统的三环路控制”，《*电力电子IEEE电源电子会刊*》，第8卷第4期，1993年。

Ricky Yang [ricky.yang@analog.com]于2008年4月加入ADI公司，在中国上海的电源管理部担任应用工程师。他毕业于上海交通大学，拥有信息与控制工程学士学位和电力电子硕士学位。他在各种开关稳压器和相关系统设计的应用方面拥有10年的工作经验。



Ricky Yang

非常见问题解答—第158期
用双极性方法驱动单极性栅极驱动器

作者：**Ryan Schnell**

分享至

问：

是否需要专门的栅极驱动器来提供正负电压？



答：

不需要。可以调整单极性栅极驱动器，改用双极性方式驱动。

如果一个特殊的功率器件需要正负栅极驱动，电路设计人员无需特别寻找可进行双极性操作的特殊栅极驱动器。使用一个简单的技巧，就可以使单极性栅极驱动器提供双极性电压！

当驱动中/高功率MOSFET和IGBT时，一旦功率器件上的电压变化速率较高，就会存在密勒效应导通风险。电流通过栅极-漏极电容或栅极-集电极电容注入到功率器件的栅极。如果电流注入足够大，使栅极电压高于器件的阈值电压，则可以观察到寄生导通效应，从而导致效率降低，甚至出现器件故障。

通过使用一个从功率器件栅极到源极或漏极的超低阻抗路径，或者通过为栅极提供一个相对于源极或漏极的负驱动电压，可以缓解密勒效应。密勒效应导通缓解技术的目标是当通过密勒电容的电流达到尖峰时，保持栅极电压在期望的阈值以下。

某些功率器件类型的完全关断甚至需要负电压，必须要求来自栅极驱动器的负电压驱动。器件制造商建议使用负栅极驱动电压的器件包括标准的硅基MOSFET、IGBT、SiC和GaN器件。

可在副边(功率器件驱动边)单极性电源下工作的隔离栅极驱动器种类繁多，但是，允许显式双极性电压驱动的栅极驱动器器件相比之下要少很多。克服缺少负栅极驱动器件的一种方法是将栅极驱动器件相对于功率器件偏移，从而形成相对于功率器件的源极或漏极的负栅极驱动电压，而栅极驱动器IC仍然只看到单极性电源。单极性和双极性栅极驱动波形示例如图1所示。

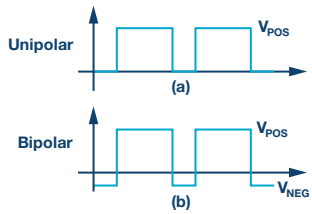


图1. (a)单极性和(b)双极性栅极驱动波形。

一个具有理想电压源的原理图如图2所示。在这个示例中，驱动器IC的供电电压等于V_1、V_2之和，而MOSFET的栅极驱动电压为导通状态下的+V_1和关断状态下的–V_2(相对于MOSFET的源极节点)。请注意，在此示例中，两个电压源都已使用单独的电容去耦。栅极驱动器IC的有效去耦是电容的串联组合，小于每个单独电容的容值。如有需要，可以在V_{DD}和GND之间添加额外的去耦，但最重要的是要保持C_1和C_2作为提供低阻抗路径栅极电流的电容，在打开和关闭期间各自独立。

隔离栅极驱动器IC通常带有欠压闭锁(UVLO)，以防止栅极驱动器的栅极电压太低时，功率器件发生弱驱动。如图2所示，在驱动单极性栅极驱动器时，必须注意UVLO的预期操作，因为UVLO通常以栅极驱动器的地为基准。考虑V_1 = 15 V，V_2 = 9 V，且栅极驱动器UVLO约为11 V的情况，这是常见的IGBT的工作状况。如果V_1下降超过4 V，则UVLO不会触发，但在导通期间将在11 V以下驱动IGBT，因此IGBT发生欠压驱动。

为了解决这一问题，可以通过使用两个隔离电源来创建两个单独的电压源，但这种方法的成本往往令人担忧。如果使用反激式拓扑，则可以使用多个绕组抽头，从而可以相对容易地获得多个电压。

有些隔离电源模块可以提供隔离电源，并且一些制造商正选用适合功率器件的电压。其中一个例子是RECOM，其针对IGBT的器件产品线生成+15 V和-9 V的隔离电源轨。

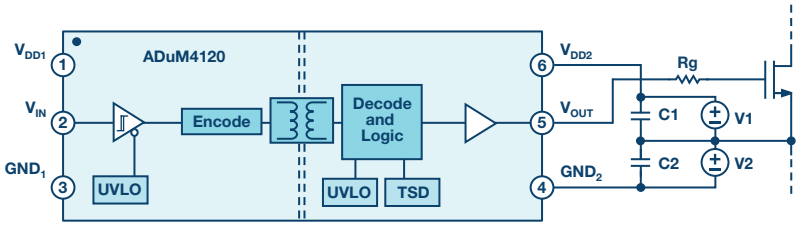


图2. 双极性电源的设置示例。

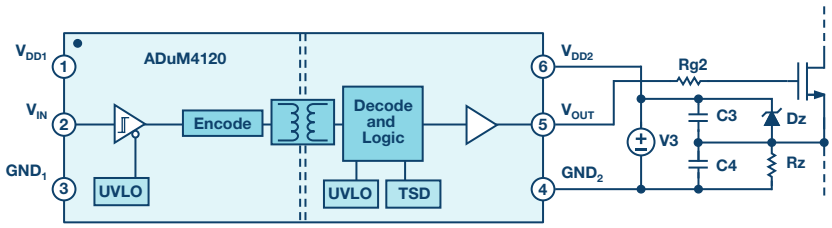


图3. 齐纳二极管示例。

对于如此大的电压摆幅，栅极驱动器所能承受的电压范围必须比其他器件更大。ADI采用 *i*Coupler®技术的ADuM4135和ADuM4136 IGBT栅极驱动器能在这种电压范围下正常工作，它们的建议电压范围可高达30 V。两款器件在输出边都提供了一个专门的接地引脚，使驱动器的UVLO能够以正电源轨为基准。ADuM4135还包括一个集成的密勒箝位，可进一步抑制密勒效应导致的栅极电压突变。

从单电压源产生双极性电源的一个简单方法是使用偏置齐纳二极管以生成第二个电压源。虽然栅极驱动器在功率器件的导通和关断期间提供高电流，但是实际需要电源提供的平均电流相对较低，对于大多数应用而言通常在几十毫安范围内。

使用齐纳二极管既可以调节正电压，又可以调节负电压，并且可以基于哪个电压轨需要更高的精度来进行选择。图3所示的设置示例是调节正电压，而不是负电压。需要正电压调节的一个可能原因是，栅极驱动器对栅极电压有严格的容差要求(例如某些GaN器件的情况)。调节正电源还有一个额外的优势，即允许栅极驱动器的UVLO按预期工作，因为V_3的任何波动都会被齐纳二极管衰减，直到V_3低至无法提供齐纳二极管的工作电压。

使用齐纳二极管由一个电源生成两个电源还具有节省布局空间的优势。齐纳二极管和电阻不仅有效地取代了整个隔离电压源，而且通过使用单极性隔离栅极驱动器，可以采用六引脚器件(例如ADI采用 *i*Coupler技术的ADuM4120)，从而可在栅极驱动器IC附近的隔离爬电区域节省更多空间。

使用ADI的ADuM4121和GaN Systems的GS66508T创建的齐纳二极管双极性设置参考示例，可创建一个半桥。这个示例的设计旨在以器件源极为基准生成一个+5 V和–4 V驱动。通过使用不同的齐纳二极管和相同的9V隔离电源，可以很轻松地将这个示例改为+6 V和-3 V驱动。较大的死区时间用于将密勒突变与其他关断瞬变从视觉上区分开，但实际上，ADuM4121可实现更短的死区时间(几十纳秒范围内),这是高效GaN设计的一个重要指标。

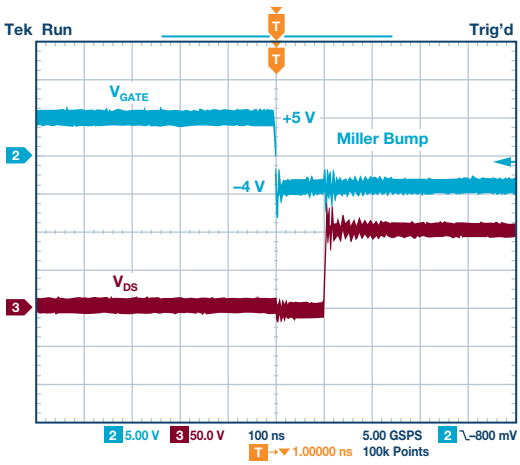


图4. ADuM4121和GS66508T的实验结果。

创建可以缓解密勒效应寄生导通的栅极负电压驱动器并不一定很复杂。许多现有的单极性工作的栅极驱动器，借助很少的外部电路就可以轻松驱动栅极负电压。确实还需要考虑一些其他因素(如有效UVLO电压)，但这种方法的优势更大。

Ryan Schnell [ryan.schnell@analog.com]是ADI公司的应用工程师。他的工作涉及使用iCoupler技术来实现隔离的隔离式栅极驱动器，以及各种电源管理产品。他拥有科罗拉多大学电气工程学士和硕士学位，以及电源电子学博士学位。



Ryan Schnell

嵌入式微控制器应用中的无线(OTA)更新：设计权衡与经验教训

作者：**Benjamin Bucklin Brown**

分享至

摘要

许多嵌入式系统部署在操作人员难以或无法接近的地方。物联网(IoT)应用尤其如此，这些应用通常大量部署并且电池寿命有限。实例包括监控人员或机器健康状况的嵌入式系统。这些挑战加上快速迭代的软件生命周期，导致许多系统需要支持无线(OTA)更新。OTA更新用新软件替换嵌入式系统的微控制器或微处理器上的软件。虽然很多人非常熟悉移动设备上的OTA更新，但在资源受限的系统上设计和实施会带来许多不同的挑战。本文将介绍针对OTA更新的若干不同软件设计，并讨论其优缺点。我们将了解OTA更新软件如何利用两款超低功耗微控制器的硬件特性。

构建模块

服务器和客户端

OTA更新用新软件替换器件上的当前软件，新软件以无线方式下载。在嵌入式系统中，运行此软件的器件通常是微控制器。微控制器是一种小型计算器件，其存储器、速度和功耗均很有限。微控制器通常包含微处理器(核心)和用于执行特定操作的数字硬件模块(外设)。工作模式下典型功耗为30µA/MHz至40µA/MHz的超低功耗微控制器是此类应用的理想选择。使用这些微控制器上的特定硬件外设并将其置于低功耗模式，是OTA更新软件设计的重要组成部分。图1显示了一个可能需要OTA更新的嵌入式系统实例。可以看到，一个微控制器与无线电和传感器相连，这可用在物联网应用中，利用传感器收集有关环境的数据，并利用射频收发器定期报告数据。系统的这一部分称为边缘节点或客户端，是OTA更新的目标。系统的另一部分称为云或服务器，是新软件的提供者。服务器和客户端利用无线收发器通过无线连接进行通信。

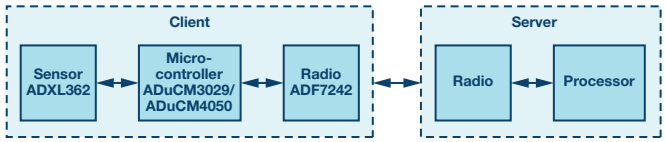


图1. 示例嵌入式系统中的服务器/客户端架构

何为软件应用程序?

OTA更新过程的大部分操作是将新软件从服务器传输到客户端。软件从源格式转换为二进制格式之后，作为一个字节序列进行传输。这个转换过程包括编译源代码文件(例如*c*、*cpp*)，将其链接成一个可执行文件(例如*exe*、*elf*)，然后将可执行文件转换为可移植的二进制文件格式(例如*bin*、*hex*)。概言之，这些文件格式包含一个字节序列，此字节序列需要存放在微控制器中存储器的特定地址。通常，我们将通过无线链路发送的信息概念化为数据，例如更改系统状态的命令或系统收集的传感器数据。就OTA更新而言，数据就是二进制格式的新软件。在很多情况下，二进制文件非常大，无法通过单次传输从服务器发送到客户端，这意味着需要将二进制文件放入多个不同的数据包中，此过程称为“分包”。为了更好地说明此过程，图2演示了软件的不同版本如何生成不同的二进制文件，从而在OTA更新期间发送不同的数据包。在这个简单例子中，每个数据包包含8字节数据，前4个字节表示客户端存储器中用来存储后4个字节的地址。

主要挑战

基于对OTA更新过程的这种高层次描述，OTA更新解决方案必须应对三大挑战。第一个挑战与存储器有关。软件解决方案必须将新软件应用程序组织到客户端器件的易失性或非易失性存储器中，以便在更新过程完成时可以执行它。解决方案必须确保将前一版

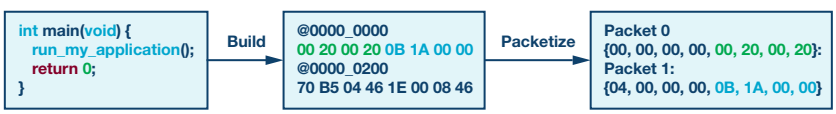


图2. 软件应用程序的二进制转换和分包过程

本的软件保留为后备应用程序，以防新软件出现问题。此外，当复位和断电重启时，我们必须让客户端器件的状态——例如当前运行的软件版本以及它在存储器中的位置——保持不变。第二大挑战是通信。新软件必须以离散数据包的形式从服务器发送到客户端，每个数据包都要放在客户端存储器中的特定地址。分包方案、数据包结构和数据传输协议必须在软件设计中考虑周全。最后一个主要挑战是安全性。当新软件以无线方式从服务器发送到客户端时，我们必须确保服务器是可信任方。这种安全挑战称为身份验证。我们还必须对新软件进行模糊处理以防被窃，因为其中可能包含敏感信息。这种安全挑战称为保密。安全性的最后一个要素是完整性，即确保新软件在通过无线方式发送时不会损坏。

第二阶段引导加载程序(SSBL)

了解引导序列

主引导加载程序是一种软件应用程序，永久驻留在微控制器的只读存储器中。主引导加载程序所在的存储区域称为信息空间，有时用户无法访问。每次复位都会执行该应用程序，一般完成一些必要的硬件初始化，并且可能将用户软件加载到存储器中。但是，如果微控制器包含片内非易失性存储器(如闪存)，则引导加载程序不需要进行任何加载，只需将控制权转移到闪存中的程序即可。如果主引导加载程序不支持OTA更新，则必须有第二阶段引导加载程序。与主引导加载程序一样，SSBL会在每次复位时运行，但将实施OTA更新过程的一部分。此引导序列如图3所示。本节将说明为什么需要第二阶段引导加载程序，并解释如何设计这个应用程序是一个重要设计权衡。

经验教训：务必有一个SSBL

从概念上讲，省略SSBL并将所有OTA更新功能放入用户应用程序似乎更简单，因为这样的话，OTA过程可以无缝利用现有的软件框架、操作系统和设备驱动程序。图4显示了一个选择此方法的系统的存储器映射和引导序列。

应用程序A是部署在现场微控制器上的原始应用程序。此应用程序包含OTA更新相关软件，当服务器请求时，利用该软件可下载应用程序B。下载完成且应用程序B经过验证之后，应用程序A将对应用程序B的复位处理程序执行分支指令，以将控制权转移给应用程序B。复位处理程序是一小段代码，用作软件应用程序的入口点，并在复位时运行。在这种情况下，复位是通过执行一个分支来模拟，这相当于函数调用。这种方法有两大问题：

- 许多嵌入式软件应用程序采用实时操作系统(RTOS)，其允许将软件拆分为多个并发任务，每个任务在系统中具有不同的职责。例如，图1所示的应用程序可能有用于读取传感器的RTOS任务，对传感器数据运行某种算法的RTOS任务，以及与无线电接口的RTOS任务。RTOS本身始终处于活动状态，负责根据异步事件或特定的基于时间的延迟切换这些任务。因此，从RTOS任务分支到新程序是不安全的，因为其他任务会在后台继续运行。对于实时操作系统，终止某个程序的唯一安全方法是通过复位。

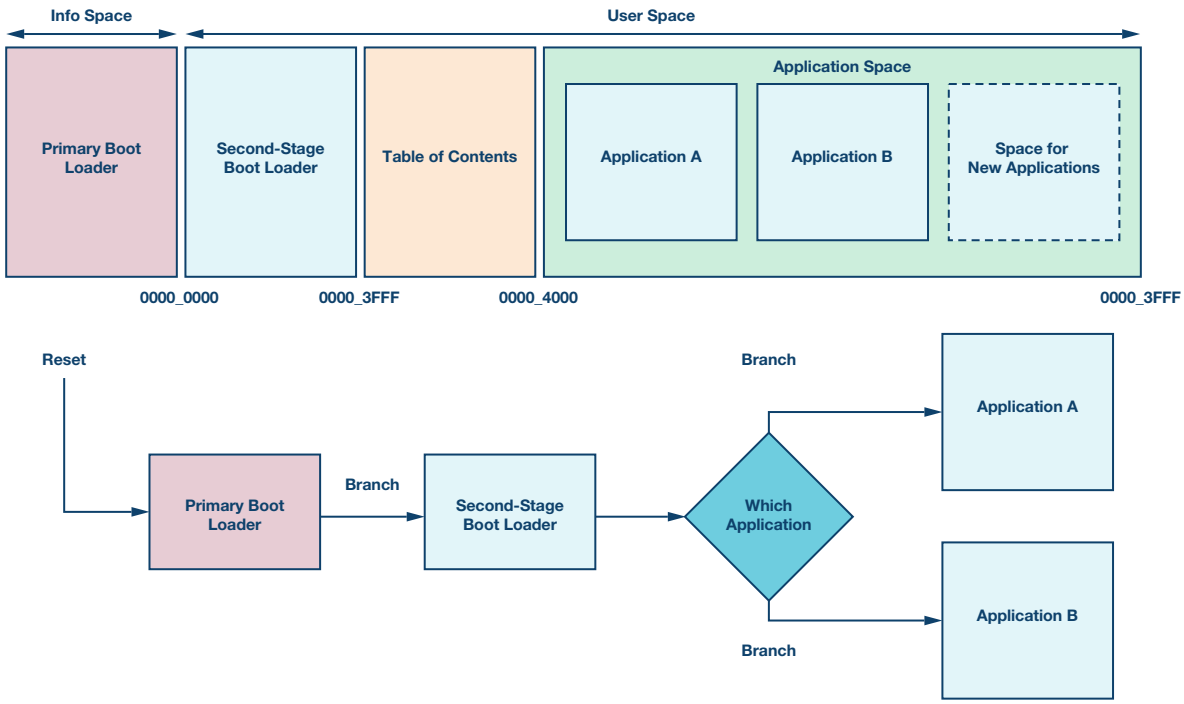


图3. 使用SSBL的存储器映射和引导流程示例

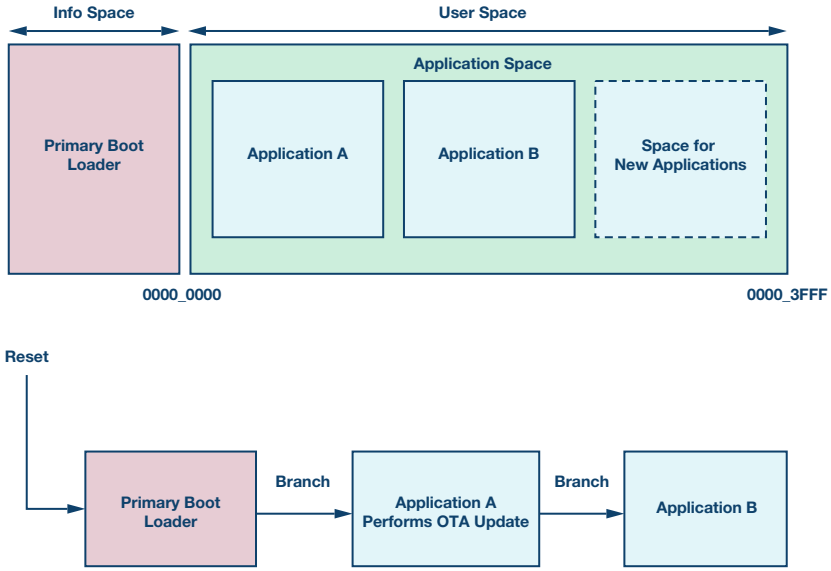


图4. 没有SSBL的存储器映射和引导流程示例

- 基于图4，上述问题的解决办法是让主引导加载程序分支到应用程序B而不是应用程序A。但在某些微控制器上，主引导加载程序总是运行具有中断向量表(IVT)的程序；IVT是应用程序的一个关键部分，描述中断处理函数，位于地址0。这意味着必须以某种形式重定位IVT，使其复位映射到应用程序B。如果在IVT重定位期间发生断电重启，则系统可能会处于永久破损状态。

将SSBL固定在地址0可以解决这些问题，如图3所示。SSBL不是RTOS程序，因此可以安全地分支到新应用程序。地址0处的SSBL的IVT永远不会重新定位，所以不必担心断电重启会将系统置于灾难性状态。

设计权衡：SSBL的作用

我们花了很多时间讨论SSBL及其与应用软件的关系，但SSBL程序有何作用？至少，该程序必须确定当前应用程序是什么(其开始位置)，然后分支到该地址。微控制器存储器中各种应用的位置一般保存在目录(ToC)中，如图3所示。这是常驻内存中的一个共享区域，SSBL和应用软件均利用它来相互通信。当OTA更新过程完成时，新的应用程序信息会更新ToC。OTA更新功能的某些部分也可以被推送到SSBL。开发OTA更新软件时，确定推送哪些部分是重要的设计决策。上述最小SSBL将非常简单，易于验证，并且在应用程序的生命周期中很可能不需要修改。但是，这意味着每个应用程序都要负责下载和验证下一个应用程序。这可能导致通信协议栈、设备固件和OTA更新软件的代码重复。另一方面，我们可以选择将整个OTA更新过程推送到SSBL。在这种情况下，应用程序只需在ToC中设置一个标志以请求更新，然后执行复位。SSBL随后执行下载序列和验证过程。这将最大限度地减少代码重复并简化应用专用软件。然而，这会引入一个新的挑战，那就是可能需要更新SSBL本身(即更新更新代码)。最终，决定SSBL中放置哪些功能将取决于客户端器件的存储器限制、下载的应用程序之间的相似性以及OTA更新软件的可移植性。

设计权衡：缓存和压缩

OTA更新软件中的另一个关键设计决策是在OTA更新过程中如何组织存储器中传入的应用程序。微控制器上通常有两类存储器：非易失性存储器(例如闪存)和易失性存储器(例如SRAM)。闪存用于存储应用程序的程序代码和只读数据，以及其他系统级数据，例如ToC和事件日志。SRAM用于存储软件应用程序的可修改部分，例如非常数全局变量和堆栈。图2所示的软件应用程序二进制文件仅包含非易失性存储器中存在的程序的某些部分。在启动例程期间，应用程序将初始化属于易失性存储器的部分。

在OTA更新过程中，每次客户端器件从服务器收到一个包含该二进制文件一部分的数据包时，便会将其存储到SRAM中。该数据包可以是压缩的，也可以是未压缩的。压缩应用程序二进制文件的好处是文件会变小，从而要发送的数据包会减少，下载过程中存储数据包所需的SRAM空间相应地减小。这种方法的缺点是压缩和解压缩会增加更新过程的处理时间，并且必须在OTA更新软件中捆绑压缩相关代码。

新应用软件应该存放在闪存，但在更新过程中到达SRAM，因此OTA更新软件需要在更新过程中的某个时刻执行对闪存的写操作。暂时将新应用程序存储在SRAM中的操作称为缓存。概言之，OTA更新软件可以采取三种不同的缓存方法。

- 不缓存：每次包含新应用程序一部分的数据包到达时，便将其写入闪存中的目标位置。这种方案非常简单，可以最大限度地减少OTA更新软件中的逻辑数量，但要求完全擦除新应用程序对应的闪存区域。此方法会消磨闪存并增加开销。
- 部分缓存：保留一个SRAM区域用于缓存，当新数据包到达时，将其存储在该区域中。当该区域填满时，将数据写入闪存以清空该区域。如果数据包无序到达或新应用程序二进制文件中存在间隙，这种方案可能会变得很复杂，因为需要一种方法来将SRAM地址映射到闪存地址。一种策略是让缓存

充当闪存一部分的镜像。闪存被划分为若干称为页面的小区域，这是可供擦除的最小区域。得益于这种自然划分，一个好办法是在SRAM中缓存闪存的一页，当其填满或下一数据包属于其他页面时，便将该页写入闪存以清空缓存。

- 完全缓存：在OTA更新过程中将整个新应用程序存储在SRAM中，只有从服务器完全下载好新应用程序之后才将其写入闪存。这种方法克服了前述方法的缺点，写入闪存的次数最少，OTA更新软件无需复杂的缓存逻辑。但是，这会限制所下载新应用程序的大小，因为系统的可用SRAM量通常远小于可用闪存量。

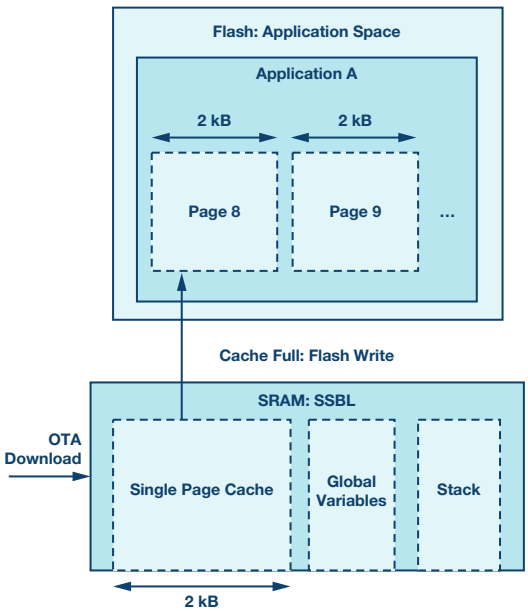


图5. 使用SRAM缓存闪存的一页

图5显示了OTA更新过程中的第二种方案——部分缓存，来自图3和图4的应用程序A所对应的闪存部分被放大，并且显示了用于SSBL的SRAM的功能存储器映射。示例闪存页面大小为2 kB。最终，此设计决策将取决于新应用程序的大小和OTA更新软件容许的复杂度。

安全和通信

设计权衡：软件与协议

OTA更新解决方案还必须解决安全和通信问题。如图1所示，许多系统会在硬件和软件中实现通信协议，以支持系统的正常(非OTA更新相关)操作，例如交换传感器数据。这意味着服务器和客户端之间已经建立了(可能是安全的)无线通信的方法。类似图1所示的嵌入式系统可以使用的通信协议有低功耗蓝牙® (BLE)或6LoWPAN等。有时候，这些协议支持安全性和数据交换，OTA更新软件在OTA更新过程中可以利用。

OTA更新软件中必须构建的通信功能量最终将取决于现有通信协议提供的抽象程度。现有通信协议具有用于在服务器和客户端之间发送和接收文件的工具，OTA更新软件可以简单地将该工具用于下载过程。但是，如果通信协议较为原始，只有发送原始数据的工具，那么OTA更新软件可能需要执行分包处理，并提供元数据和新应用程序二进制文件。这也适用于安全挑战。如果通信协议不支持，OTA更新软件可能要负责对无线保密发送的字节进行解密。

总之，在OTA更新软件中实施哪些功能，例如自定义数据包结构、服务器/客户端同步、加密和密钥交换等，将取决于系统的通信协议提供了什么内容以及对安全性和稳健性的要求。下一节将提出一个完整的安全解决方案，其解决了之前介绍的所有挑战，我们将展示如何在此解决方案中利用微控制器的加密硬件外设。

解决安全挑战

我们的安全解决方案需要让新应用程序以无线方式保密发送，检测新应用程序中的任何损坏，并验证新应用程序是从受信任的服务器而不是恶意方发送的。这些挑战可通过加密操作来解决。具体而言，该安全解决方案可以使用两种加密操作：加密和哈希处理。加密使用客户端和服务器共享的密钥(密码)来对无线发送的数据进行模糊处理。微控制器的加密硬件加速器可能支持的特定加密类型是AES-128或AES-256，具体取决于密钥大小。除了加密数据，服务器还可以发送一个摘要以确保没有损坏。摘要通过对数据包进行哈希处理来生成，这是一种用于生成唯一代码的不可逆数学函数。在服务器产生消息或摘要之后，如果其任何部分遭到修改，比如在无线通信期间有一位发生翻转，则客户端在对数据包执行相同的哈希函数处理并比较摘要时，会注意到此修改。微控制器的加密硬件加速器可能支持的特定哈希处理类型是SHA-256。图6显示了微控制器中的加密硬件外设的框图，OTA更新软件驻留在Cortex-M4应用层中。此图还显示了其支持将受保护密钥存储在外设中，OTA更新软件解决方案可以利用这一点来安全存储客户端密钥。

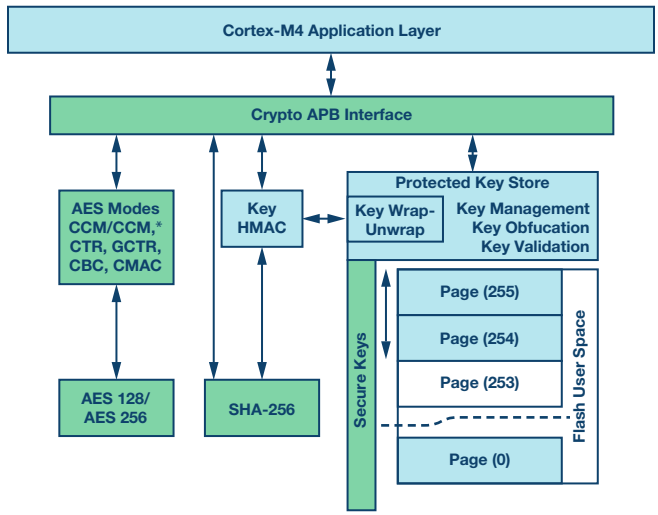


图6. ADuCM4050上的加密加速器的硬件框图

解决身份验证这一最终挑战的常见技术是使用非对称加密。对于此操作，服务器会生成一个公钥-私钥对。私钥只有服务器知道，客户端知道公钥。服务器使用私钥可以生成给定数据块的签名，例如要无线发送的数据包的摘要。签名被发送给客户端，后者可以使用公钥验证签名。这样，客户端就能确认消息是从服务器而不是恶意第三方发送的。此序列如图7所示，实线箭头表示函数输入/输出，虚线箭头表示无线发送的信息。

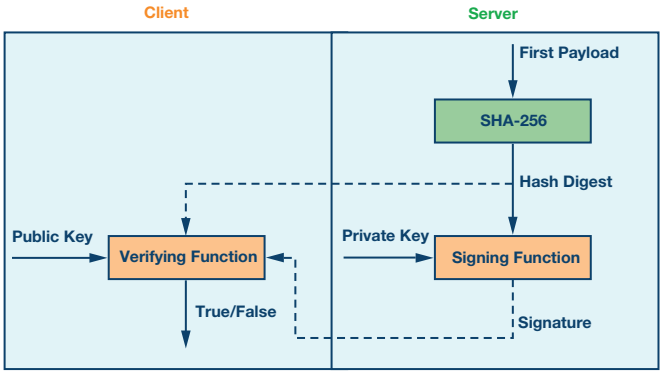
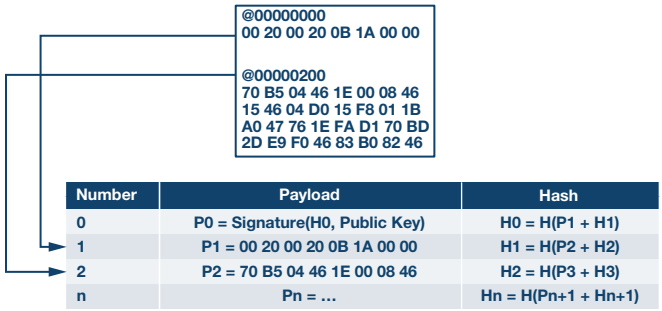


图7. 使用非对称加密验证消息

多数微控制器没有用于执行这些非对称加密操作的硬件加速器，但可以使用Micro-ECC等专门针对资源受限器件的软件库来实现。该库需要一个用户定义的随机数生成功能，这可以利用微控制器上的真随机数发生器硬件外设来实现。虽然这些非对称加密操作解决了OTA更新期间的信任挑战，但是会消耗大量处理时间，并且需要将签名与数据一同发送，这会增加数据包大小。我们可以在下载结束时使用最后数据包的摘要或整个新软件应用程序的摘要执行一次此检查，但如此的话，第三方将能把不受信任的软件下载到客户端，这不太理想。理想情况下，我们希望验证所收到的每个数据包都来自我们信任的服务器，而且没有每次都需要签名的开销。这可以利用哈希链来实现。

哈希链将本节讨论的加密概念整合到一系列数据包中，以便在数学上将它们联系在一起。如图8所示，第一个数据包(编号0)包含下一个数据包的摘要。第一个数据包的有效载荷不是实际的软件应用程序数据，而是签名。第二个数据包(编号1)的有效载荷包含二进制文件的一部分和第三个数据包(编号2)的摘要。客户端验证第一个数据包中的签名并缓存摘要H0以供以后使用。当第二个数据包到达时，客户端对有效载荷进行哈希处理并将其与H0进行比较。如果它们匹配，客户端便可确定该后续数据包来自可信服务器，而无需费力进行签名检查。生成此链的高开销任务留给服务器完成，客户端只需在每个数据包到达时进行缓存和哈希处理，确保到达的数据包完整无损并验明正身。



Number	Payload	Hash
0	P0 = Signature(H0, Public Key)	H0 = H(P1 + H1)
1	P1 = 00 20 00 20 0B 1A 00 00	H1 = H(P2 + H2)
2	P2 = 70 B5 04 46 1E 00 08 46	H2 = H(P3 + H3)
n	Pn = ...	Hn = H(Pn+1 + Hn+1)

图8. 将哈希链应用于数据包序列

实验设置

解决本文所述存储器、通信和安全设计挑战的超低功耗微控制器是ADuCM3029和ADuCM4050.这些微控制器包含本文讨论的用于OTA更新的硬件外设，例如闪存、SRAM、加密加速器和真随机数发生器。这些微控制器的器件系列包(DFP)为在这些器件上构建OTA更新解决方案提供了软件支持。DFP包含外设驱动，以便为使用硬件提供简单灵活的接口。

硬件配置

为了验证本文讨论的概念，我们利用ADuCM4050创建了OTA更新软件参考设计。对于客户端，一个ADuCM4050 EZ-KIT®使用收发器子板马蹄形连接器连接到ADF7242。客户端器件如图9左侧所示。对于服务器，我们开发了一个在Windows PC上运行的Python应用程序。Python应用程序通过串行端口与另一个ADuCM4050 EZ-KIT通信，后者也以与客户端相同的配置连接一个ADF7242。但是，图9中右边的EZ-KIT不执行OTA更新逻辑，只是将从ADF7242接收到的数据包中继给Python应用程序。



图9. 实验硬件设置

软件组件

软件参考设计对客户端器件的闪存进行分区，如图3所示。主要客户端应用程序具有非常好的移植性和可配置性，以便其他方案或其他硬件平台也可以使用。图10显示了客户端器件的软件架构。请注意，虽然我们有时将整个应用程序称为SSBL，但在图10中，并且从现在开始，我们在逻辑上将真正的SSBL部分(蓝色)与OTA更

新部分(红色)分开，因为后者不一定需要完全在上述应用程序中实现。图10所示的硬件抽象层使OTA客户端软件可移植并独立于任何底层库(以橙色显示)。

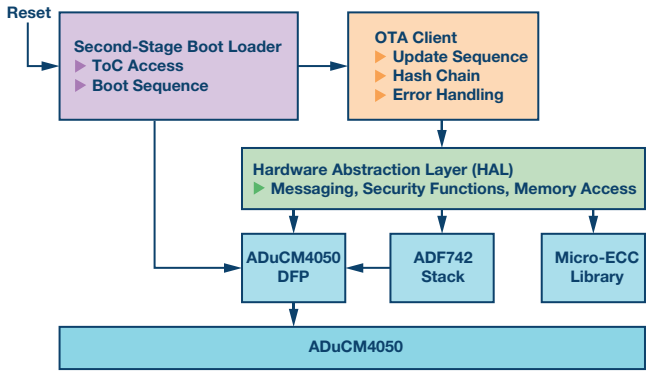


图10. 客户端软件架构

软件应用程序实现图3中的引导序列(一个用于从服务器下载新应用程序的简单通信协议)和哈希链。通信协议中的每个数据包都有12字节的元数据头、64字节的有效载荷和32字节的摘要。此外，它还有如下特性：

- 缓存：根据用户配置，支持不缓存或缓存闪存的一页。
- 目录：ToC设计为仅容纳两个应用程序，并且新应用程序总是下载到最旧的位置，以保留一个备用应用程序。这称为A/B更新方案。
- 消息传递：支持ADF7242或UART进行消息传递，具体取决于用户配置。使用UART进行消息传递可免除图9左侧的EZ-KIT，仅保留右侧套件用于客户端。这种有线更新方案对初始系统启动和调试很有用。

结果

除了满足功能要求并通过各种测试之外，软件的性能对于判断项目成功与否也很重要。通常使用两个指标来衡量嵌入式软件的性能：占用空间和周期数。占用空间是指软件应用程序在易失性(SRAM)和非易失性(闪存)存储器中占用的空间大小。周期数是指软件执行特定任务所使用的微处理器时钟周期数。它与软件运行时间相似，但在执行OTA更新时，软件可能进入低功耗模式，此时微处理器处于非活动状态，不消耗任何周期。虽然软件参考设计没有针对任何一个指标进行优化，但它们对于程序基准测试和比较设计权衡非常有用。

图11和图12显示了在ADuCM4050上实现的OTA更新软件参考设计的占用空间(不缓存)。这些图根据图10所示的组件进行划分。如图11所示，整个应用程序使用大约15 kB的闪存。鉴于ADuCM4050包含512 kB闪存，此占用空间非常小。真正的应用软件(为OTA更新过程开发的软件)仅需1.5 kB左右，其余用于库，例如DFP、Micro-ECC和ADF7242堆栈。这些结果有助于说明SSBL应在系统中扮演什么角色的设计权衡。15 kB占用空间的大部分是用于更新过程。SSBL本身仅占用大约500字节的空间，另外还有1 kB到2 kB的DFP代码，用于访问闪存驱动之类的器件。

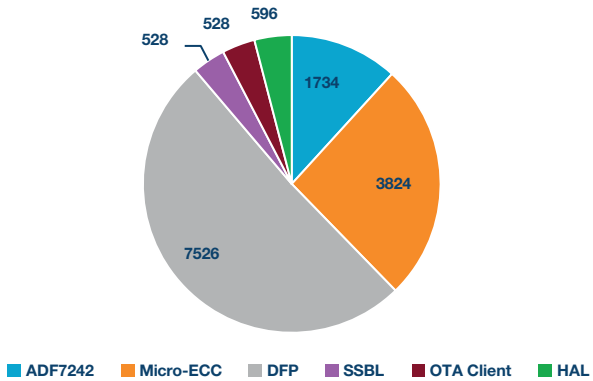


图11. 闪存占用空间(字节)

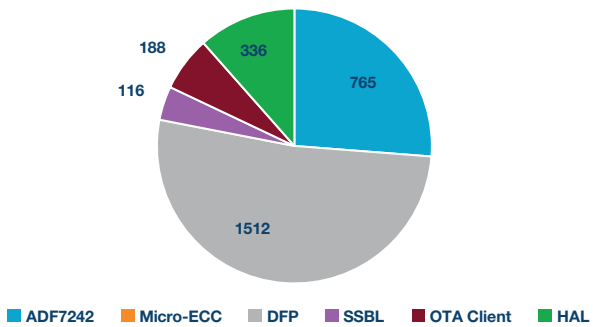


图12. SRAM占用空间(字节)

为了评估软件的开销，我们在每次接收数据包时计数周期，然后计算每个数据包平均消耗的周期数。每个数据包都需要AES-128解密、SHA-256哈希处理、闪存写入和某种数据包元数据验证。数据包有效载荷为64字节且不缓存时，处理单个数据包的开销为7409个周期。使用26 MHz内核时钟时，大约需要285微秒的处理时间。该值是利用ADuCM4050 DFP中的周期计数驱动程序计算的(未调整周期数)，并且是100 kB二进制文件下载期间(约1500个数据包)的平均值。为使每个数据包的开销最小，DFP中的驱动程序应利用ADuCM4050上的直接存储访问(DMA)硬件外设来执行总线事务，并且驱动程序在每次事务处理期间将处理器置于低功耗休眠状态。

每个事务中不存在一个万能的状态如果我们禁用DFP中的低功耗休眠并将总线事务更改为不使用DMA，则每个数据包的开销将增加到17,297个周期。这说明了高效使用器件驱动程序对嵌入式软件应用程序是有影响的。虽然减少每个数据包的数据字节数也可以降低开销，但每个数据包的数据字节数翻一倍达到128时，周期数仅有少量增加，相同实验得到的周期数为8362。

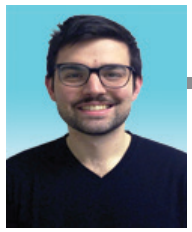
周期数和占用空间也解释了先前讨论的权衡——缓存数据包数据而不是每次都写入闪存。使能缓存一页闪存后，每个数据包的开销从7409减少到5904个周期。此20%减幅来自于更新过程跳过了大多数数据包的闪存写入，仅在缓存已满时才执行闪存写入。其代价是SRAM占用面积增加。不使用缓存时，HAL只需要336个字节的SRAM，如图12所示。但是，当使用缓存时，必须保留一个相当于闪存一整页的空间，故SRAM占用增加到2388字节。HAL使用的闪存也会少量增加，原因是需要额外代码来判断缓存何时必须清空。

这些结果证明，设计决策对软件性能会有切实的影响。不存在一个万能的解决方案，每个系统都有不同的要求和约束，OTA更新软件需要视具体情况具体对待。希望本文阐明了在设计、实现和验证OTA更新软件解决方案时遇到的常见问题和权衡。

参考文献

Nilsson、Dennis Kengo和Ulf E. Larson。“智能车辆的无线安全固件更新”。ICC研讨会——2008年IEEE国际通信会议，2008年5月。

Benjamin Bucklin Brown [benjamin-b.brown@analog.com]于2016年从麦吉尔大学毕业并获得电气工程学士学位后加入ADI公司。目前他在消费电子检测与处理技术(CSPT)部门工作，担任嵌入式软件工程师，为专用集成电路开发固件。此前，他曾在物联网平台技术部门工作，为ADuCM3029和ADuCM4050微控制器开发器件驱动程序和软件参考应用程序。



Benjamin Bucklin Brown

数据采集系统的功能安全

作者：**Chris Norris**

分享至

简介

功能安全是诸多行业整体安全策略的一部分，其目的是将对人或作业设备造成伤害的概率降至可接受的范围以内。近年来，人们对系统功能安全的要求显著增长。从核电站到医疗设备，无故障系统已成为部分应用的理想选择，也是其他应用的必备条件。例如，在传感领域，获取的数据如果不正确或遭到损坏，结果可能具有破坏性，甚至可能致命，具体取决于系统和所涉及的风险级别。

传统上，系统开发人员有责任将诊断和故障预防机制集成到其产品当中，确保来自传感IC的数据的完整性。但其代价是会增加PCB面积、物料成本和处理开销，最终会导致费用增加。从那时起，通过与系统设计工程师的广泛合作，人们开发出了一种解决方案来解决这个问题。为此，人们已经开始在IC级设计中考虑功能安全特性。

本文旨在从确保数据采集系统整体完整性的角度，探讨通过ADC实现功能安全的潜力。

传统的功能安全解决方案与更佳的方式

在图1中，我们看到的例子是一个多年以前的功能安全系统，我们将它与更现代的解决方案进行比较。其核心是数据采集ADC，它负责转换模拟输入并将数据传输到微控制器。然而，要实现这一解决方案，需要采用许多外部元件，重复执行SPI事务，甚至需要一个冗余ADC，结果极大地增加了物料成本、PCB面积、处理开销和成本。同时还会给系统设计人员带来额外的负担，比如，增加开发时间，降低可靠性等。

有一种单IC解决方案，只需极少的外部元件即可运行功能安全特性。

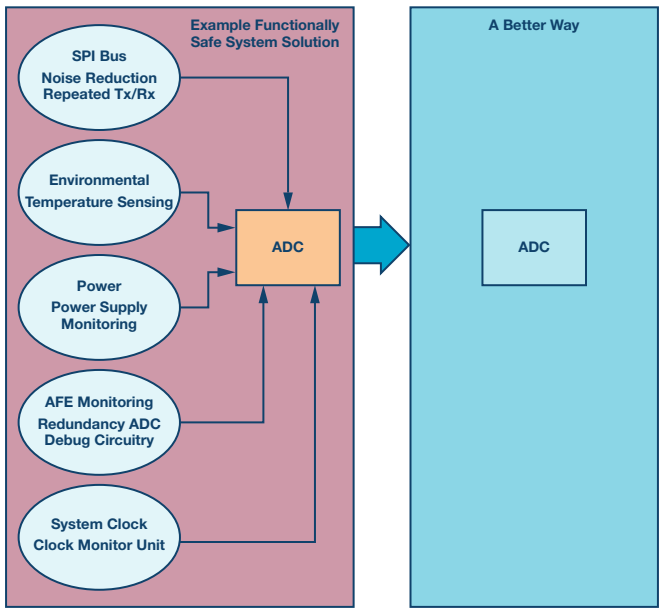


图1. 从多组件功能安全系统到单芯片ADI解决方案的集成。

具有功能安全要求的示例系统

在包含ADC的数据采集系统中，可能发生多种故障，根据具体的应用，这些故障可能会增加人或机器的健康风险。系统设计师必须区分可接受的风险和不可接受的风险。

例如，在气室压力测量和调节系统中，如果罐内压力不能大幅偏离外部压力，则可将使用容差为5%的传感器的做法视为可接受的风险。然而，如果微控制器接收到错误的ADC数据，结果可

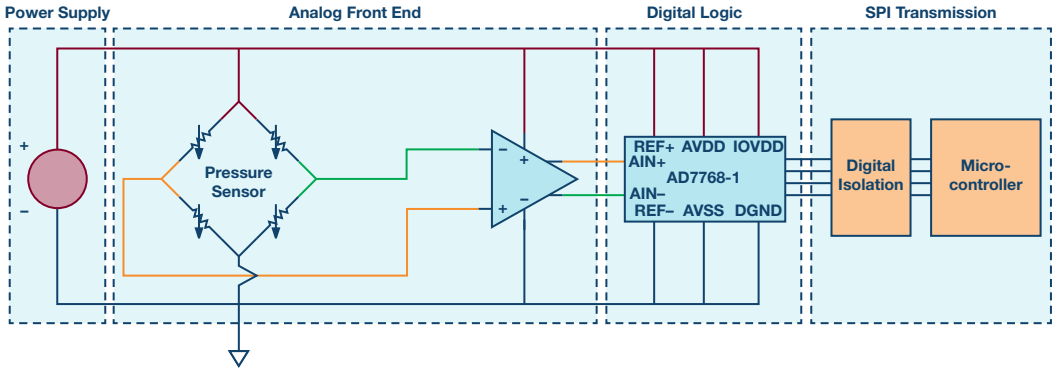


图2. 识别压力传感器系统中的潜在故障源。

能导致致命的事故，腔室中的压力可能导致内爆或外爆，这两种情况都有可能导致附近的人受伤或死亡。这种风险水平是不可接受的。因此，必须实施一些功能安全措施，确保控制器接收的信息的完整性。

可能导致这类错误的一些故障源为

- 电源：电源电压低，低压差(LDO)调节器的输出电压低。
- 模拟前端(AFE)：传感器受损，或放大器驱动到ADC的电压不正确。
- 数字逻辑：数字域中发生可能影响转换结果的误码。例如，工厂增益或偏移调整系数。
- SPI传输：由于传输线环境嘈杂，转换数据的传输和命令的接收中存在误码。
- 环境：超出IC的额定环境温度。

AD7768-1是ADI公司功能安全产品组合中的Σ-Δ ADC之一，具有广泛的诊断特性，能赋予用户误码检测和诊断以及其他能力。图2突出显示了典型压力检测系统中的部分可能故障源。

用ADC诊断系统错误

借助ADI公司的ADC功能安全产品组合，用户可以用ADC帮助诊断和/或减少系统错误。这种系统误差测量能力对于保持精确测量极为重要，并且在具有功能安全要求的系统中，这种准确性甚至更加重要。

从参考输入获取的正负满量程电压用于测量系统的增益误差。通过零电平内部短路测量失调误差。然后，用户可以使用ADC的增益和失调调整寄存器来调整系统的失调和增益误差性能。

温度传感器识别IC局部温度的变化，包括超范围温度。在对失调和增益误差温度漂移敏感的系统中，这可能是一项具有吸引力的功能。如果温度变化较大，用户可能会决定在该新温度下调整增益和失调误差。图3说明了如何在AD7768-1内部将模拟诊断多路复用器连接到ADC。

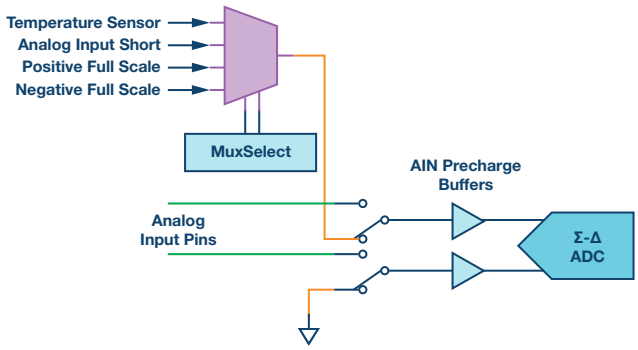


图3. 模拟诊断多路复用器转换开关。

诊断错误标志：寄存器映射诊断状态指示器

可以使能多个诊断特性，并且通常可以通过寄存器映射将其状态告知用户。发生故障时，会在寄存器中设置错误标志。用户可以在收到故障警报后进一步调查。

接下来，我们探讨可能发生并且可以通过ADI功能安全ADC产品组合进行诊断的一些真实故障。我们首先假设，我们的压力传感器系统装在一个工厂里，其工作温度波动不定，由于基本维护工作而多次停电，并且周围工业环境产生的电磁干扰(EMI)有可能被传导至系统PCB上。

ADC电源错误

我们假设，由于工作环境温度高，并且系统功率循环会引起电流冲击，所以，负责ADC的LDO电源输出的LDO电容已经磨损和损坏。使这些输出维持在已知电压，需要采用一个外部电容，这对于整个系统正常工作至关重要。如果电容器因该故障损坏，用户可能会发现，转换后的ADC数据或其他功能的性能会出乎意料。通过使能LDO监视器，一旦电压电平降至某个跳变点以下，系统会设置错误标志以提醒用户LDO输出的问题。

模拟前端错误

我们假设，在该系统中，ADC的输入不得超过ADC的满量程范围。如果用户意外地将不正确的值编程到增益寄存器，导致ADC看到

的电压大于满量程范围，结果就会极大地影响系统的增益误差性能，我们应该将此视为一种严重的风险。但是，**滤波器饱和**错误检查器监视ADC输出，会提醒用户注意超出范围的模拟输入。

数字逻辑随机误码

在数字逻辑和存储器模块中偶尔会发生随机误码。在我们的示例压力系统中，我们假定，在上电期间加载默认出厂失调设置时发生了一个误码。这是一种无法容忍的故障，因为它会扰乱系统的默认失调误差，影响转换结果。在ADI功能安全ADC系列产品中，有一些功能可以定期在各种存储器模块上运行循环冗余校验(CRC)，并在发生误码时向用户指示故障。通过重置系统可以解决所有这些故障。

SPI传输错误

每个沿介质传输数据的系统都会产生一些误码。

可以估算每个系统出现这种情况的速率，我们将其称为误码率(BER)。

在我们的示例压力系统中，可以假设BER小于10^{-7}，通过数字隔离传输到同一PCB上的微控制器，传输距离为10厘米。

我们假设，部分电磁干扰被传导到SPI线路上，结果导致从AD7768-1到微控制器的转换ADC数据传输中出现误码。如果掩盖了气室中任何正在积聚的压力，ADC数据中的误码可能造成极大的破坏性。通过在发送数据的末尾附加CRC，用户可以识别传输期间是否发生了误码，并且可以重新检查ADC转换结果。

外部主时钟错误

如果用户需要在压力传感器应用中拒绝主电源的频率(50 Hz / 60 Hz)，那么精确的低抖动外部主时钟源对于将数字滤波器陷波与正确的频率对齐至关重要。如果源断开、破损或损坏，结果会成为一个大问题，因为主电源的某些频率成分可能在转换后的ADC数据中可见。

如果外部时钟源未成功连接或已被移除，则外部时钟认定器可向用户指示错误。然后，用户可以使用内部RC振荡器执行紧急转换，同时在外部主时钟源上执行基本维护。

POR标志

系统上电或成功复位后，ADC中的POR标志将置1。

但如果发生意外复位，用户可能会在ADC数据中看到意外结果。他们可以通过检查POR标志来识别这种意外复位。

图4显示了AD7768-1中有多少这些内部诊断特性与它们要监控的功能相关联。

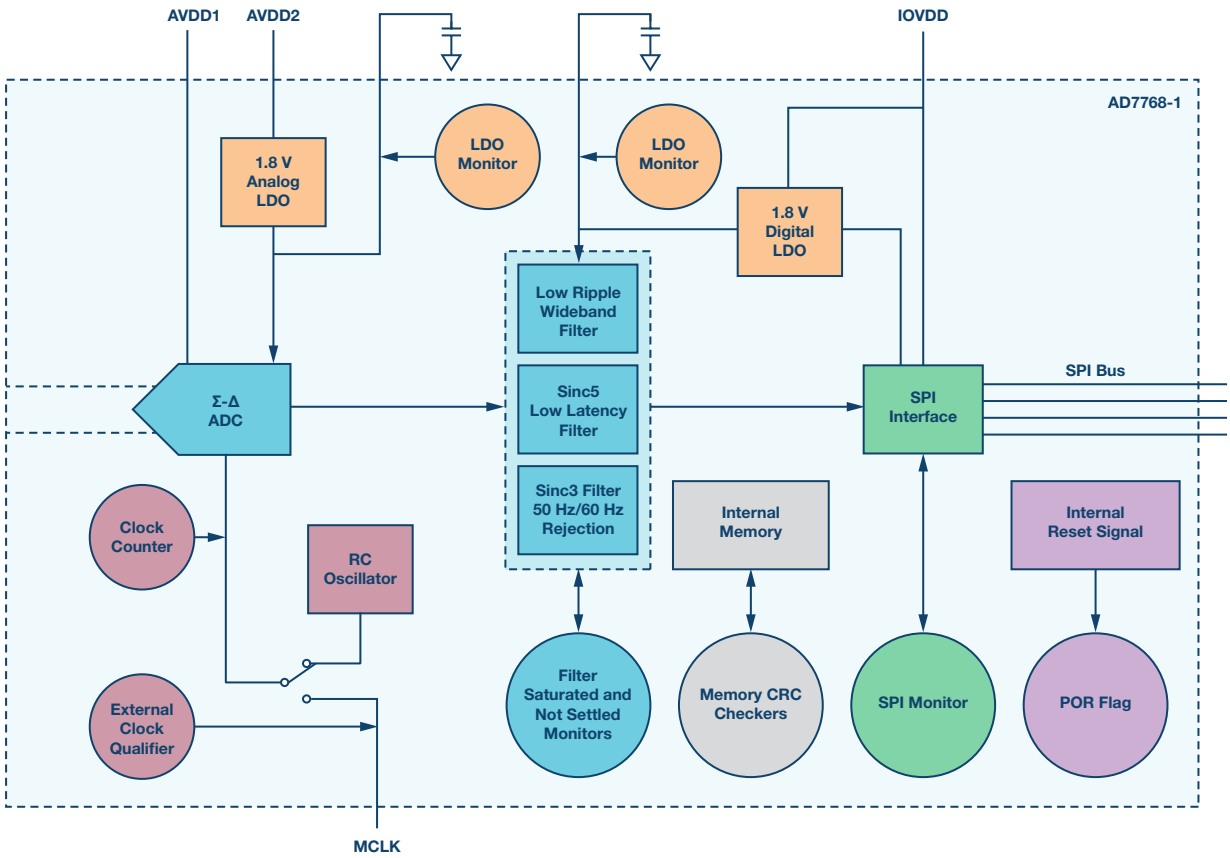


图4. AD7768-1的内部诊断监视器。

基于AD7768-1的终极功能安全解决方案

使用AD7768-1提供的功能安全特性，可以实现以下数据采集系统。用户可以启动器件并使能以下功能安全特性：

- SPI完整性监视器
- LDO调节器输出电平监控
- 滤波器饱和度监视器
- 外部时钟认定器
- 内部逻辑和存储器CRC监视器

可以使用内部模拟诊断多路复用器验证系统校准。LDO调节器输出也可以通过这种方式进行验证。

接下来，用户可以使能这些功能，将8位状态字节附加到24位数据流和8位SPI CRC字的末尾。基于8位命令字、24位数据流和8位状态字计算8位CRC。如果用户关注处理开销量，可以使能**连续回读**模式，这样就无需提供8位命令。相反，用户可以在为器件提供串行时钟时输出数据寄存器的内容，如图6所示。

这样即可实现一种数据采集系统，其增益和失调误差已经过验证，每次回读ADC数据时都会向用户提供诊断信息。

连续监视LDO调节器输出、模拟前端输入、内部数字逻辑和存储器。用户可以确定SPI通信的完整性，确保IC温度已知。

结论

许多行业对功能安全的要求不断提高，对于对这些要求起到支撑作用的技术的要求也要相应提高。ADI公司将在我们的产品组合范围内继续开发这种技术，帮助系统设计师实现功能安全理想。

AD7768-1可以大幅减轻客户的负担，并且该解决方案更紧凑、更简单，还能降低处理开销，满足所需解决方案对物料成本的要求。这种单一组件模式还可以减轻系统设计师的负担，帮助他们取得设计安全完整性等级(SIL)认证。

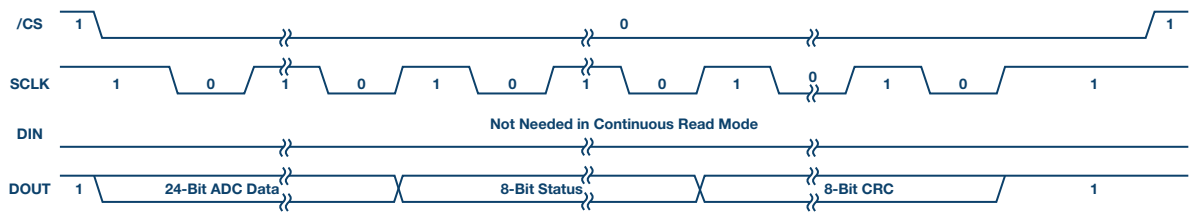


*图5. 在**连续回读**模式下，使用AD7768-1的附加状态字节和CRC字节读回数据寄存器。*

Chris Norris [christopher.norris@analog.com]是爱尔兰利默里克市ADI公司的ADC设计评估工程师。他于2012年获得沃特福德理工学院电子工程理学学士学位，并于同年加入ADI公司。



Chris Norris

FPGA电源的“护理和喂养”：成功的道与因

作者： Nathan Enger

分享至

简介

现代FPGA是有史以来最复杂的集成电路之一，它们采用最先进的晶体管技术和顶尖的架构，以实现令人难以置信的灵活性和最高的性能。随着时间的推移和技术的进步，这种复杂性决定了，在用FPGA设计和实现系统时，需要做出某些妥协。这一点在电源中最为明显，FPGA每次更新换代，电源都要提高精度、灵活性、可控性、效率和故障感知能力，还要减小体积。

在本文中，我们将专门讨论针对Altera® Arria 10 FPGA的部分约束性规格以及这些规格对电源设计的影响。然后，我们将讨论最佳供电解决方案，讨论如何运用ADI公司的整套电源系统管理(PSM)IC(包括LTC3887、LTC2977和LTM4677)，成功地达到规格要求，使FPGA实现最佳的效率、速度和功率水平。

FPGA电源要求〔解读数据手册〕

工程师应该将大部分时间用于编程——他们不希望花费时间和精力去考虑如何设计合适的电源。实际上，最佳供电方案就是采用一种既能满足项目当前需求，又能达到项目升级发展需求的，强大、灵活且行之有效的设计方案。在此，我们将仔细考察一些重要的电源规格及其含义。

电压精度

内核电源电压是平衡FPGA功耗和性能的、最重要的关键要素之一。规格文档给出了一系列可接受的电压，但总的电压范围并不是问题的全部。与所有事物一样，需要进行权衡和优化。

表1是当下流行的Altera Arria 10 FPGA[1]的内核电压规格示例。虽然这些数字是Arria 10特有的数据，但它们代表了其他FPGA内核电压要求。电压范围为标称电压另加±3.3%的容差。在此电压窗口内，FPGA会正常运行，但问题的全貌要复杂得多。

表1. Altera Arria 10内核电压规格

符号	描述	条件	最小值	典型值	最大值	单位
V_{CC}	内核电压电源	标准功率和低功率	0.87	0.9	0.93	V
			0.92	0.95	0.98	V
		SmartVID	0.82		0.93	V

注意标有“SmartVID”的行，其电压范围为0.82 V至0.93 V。这表示，当FPGA通过SmartVID[2]接口(详见后文)请求自身的内核电压时，FPGA可以接受的各种电压。该SmartVID规格表明了有关FPGA的一个基本事实：FPGA可以在不同电压下运行，具体取决于其特定的制造容差以及采用的特定逻辑设计。FPGA的静态电压可能各不相同。电源必须具备响应和适应能力。

设计目标是产生恰好能满足编程功能需求的性能水平，不消耗不必要的功率。根据半导体的物理特性以及Altera、Xilinx®(图1)和其他公司公布的数据可知，动态和静态功率会随着内核V_{DD}的增加而显著提高，因此我们的目标是确保，给FPGA提供的电压刚好达到其时序要求即可。功耗过大无助于提高性能。实际上，功耗过多会使情况变得更糟，因为晶体管泄漏电流随着温度的升高而增加，从而消耗更多不必要的功率。由于这些原因，当务之急是优化设计和工作点的电压。

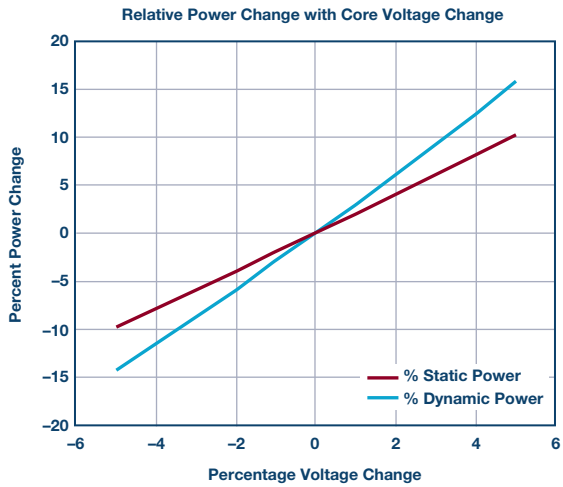


图1. Xilinx Virtex V功率与内核V_{CC}。

这种优化过程需要非常精确的电源才能获得成功。必须将调节器误差纳入误差预算，并从可用于优化的可用电压范围中减去。如果内核电压降至要求电压以下，则FPGA可能因时序错误而发生故障。如果内核电压漂移至最大规格值以上，结果可能会损坏FPGA，或者可能会在逻辑中形成保持时间故障。为了防止所有这些情况，必须考虑电源容差范围，并且指令电压必须保持在规格限值以内。

问题是大多数电源调节器都不够准确。调节电压可能是指令电压容差范围内的任何电压，可能随负载条件、温度和老化而漂移。保证±2%容差的电源可以在4%的电压窗口内任意调节电压。为了补偿电压可能比下限值低2%的问题，必须将指令电压提高到比时序要求2%的水平。如果调节器然后漂移到比指令电压高2%的水平，它将在比该工作点所需的最小电压高4%的水平运行。这仍然符合FPGA的指定电压要求，但却浪费了大量功率(图2)。

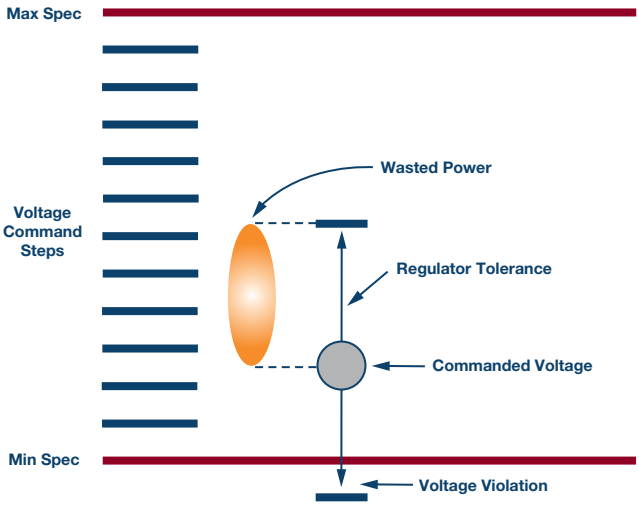


图2. 电源调节器容差权衡。

解决办法是选择能支持更严格的电压容差的电源调节器。容差为±0.5%的调节器可以在要求工作频率下，在更接近最小规格要求的范围内工作，并且保证与所需电压的偏离幅度小于1%。这种情况下，FPGA会正常工作，并且其功耗将达到该工作条件下的最低水平。

LTC388x系列电源控制器可在较宽的可配置电压范围内，保证调节输出电压容差优于±0.5%。LTC297x系列电源系统管理器可保证调整后的电压调节器容差优于±0.25%。在这些精度条件下，对于FPGA，显然都能使其功耗与性能之间达到最佳平衡。

热管理

就电源精度而言，一个更微妙的意义体现在热预算当中。由于静态功耗远远没有达到可以忽略不计的程度，因此FPGA即使在无所事事的情况下也会升温。温度升高会导致更多的静态功耗，从而进一步提高工作温度(图3)。向电源添加不必要的电压只会使该问题变得更加糟糕。不准确的电源需要工作电压保护段，确保有足够的电压来完成此项工作。由容差、系统组件变化和工作温度的变化引起的电源电压不确定性可能产生明显高于所需最小值的电压。当施加到FPGA时，这种额外的电压可能导致热效应，甚至可能在高处理负载下导致热失控。

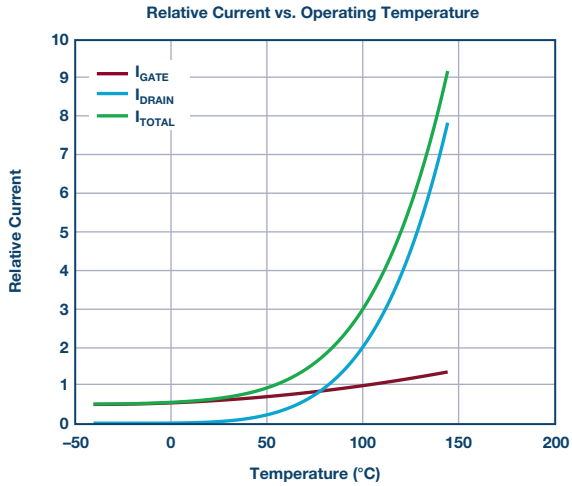


图3. 电源电流与工作温度的关系。

补救措施是选择一种非常精确的电源，该电源仅产生恰当且不超过必要的电压，这正是ADI电源系统管理(PSM)器件所擅长的。

SmartVID

SmartVID是Altera公司出品的一种技术，该技术用于按照FPGA本身的要求，为每个FPGA提供最佳电压。FPGA内部有一个寄存器，其中包含一个因器件而异的电压(已在出厂中编程)，可保证FPGA高效运行。FPGA内部编译的一项IP功能可以读取该寄存器，并通过外部总线向电源发出请求，要求提供这个精确的电压(图4)。一旦达到电压要求，它就会在运行期间保持静止。

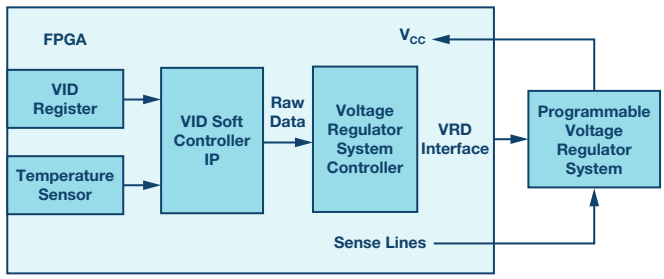


图4. Altera SmartVID结构。

SmartVID应用对电源的要求包括特定的总线协议、电压精度和速度。总线协议是FPGA用于将其所需电压传送到功率调节器的几种方法之一。在可用的方法中，PMBus最为灵活，因为它可以满足最广泛的电源管理IC的需求。SmartVID IP使用两个PMBus指令：VOUT_MODE和VOUT_COMMAND，用于命令符合PMBus标准的功率调节器达到正确的电压。

调节器的电压精度和速度要求包括自主引导电压(在PMBus激活之前)，能每10毫秒接受一个新电压指令，在电压调整阶段每10毫秒能步进10 mV，并且能在10毫秒的步进时间内稳定在目标电压30 mV(~3%)范围内，最终升至指令电压并在FPGA工作期间保持静止。

虽然Altera使用的是SmartVID技术，但业界使用的其他类似技术也可以完成相同的任务。一种最简单的方法是在工厂测试每块电路板，并在电源的非易失性存储器中编程一个精确的电压，优化该特定电路板的性能。使用该技术时，不需要进一步干预，电源就能在正确的电压下工作。这是搭载EEPROM的电源管理器或控制器的优点之一。

LTC388x系列电源控制器可满足Altera SmartVID的所有要求。此外，LTM4675/ LTM4676/ LTM4677µModule调节器可以轻松满足这些要求，而且通过单一紧凑的形式提供了完整的解决方案。

时序收敛

任何逻辑模块的计算速度均取决于其电源电压。在限值范围内，电压越高，性能越快。我们已经看到，为什么不能采用简单的办法，即在最高电压下运行，保证获得最佳速度。另一方面，我们必须使工作电压足够高，能满足应用需求，如图5所示。

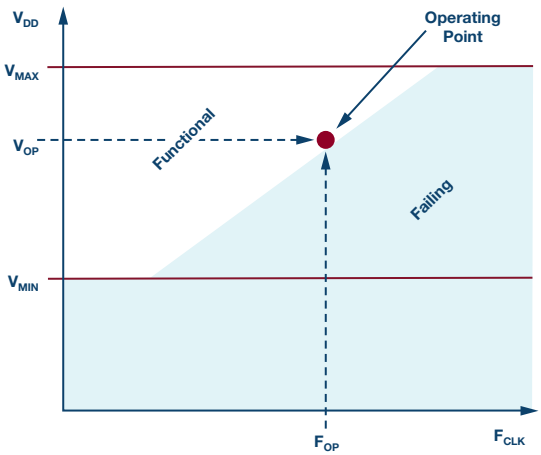


图5. FPGA工作频率与V_{DD}之间的平衡关系。

图5的一个重要启示是，当特定设计达不到其逻辑时序要求并处于故障区域时可以采取哪些措施。通常，在将设计转化成硬件之前，很难准确定义正常工作与故障之间的界限，也无法预先确定它将在哪个特定电压下超过时序要求。唯一的选择是提前确定一个远高于最小值的电压，以浪费功率为代价来保证功能；或者设计一种灵活的电源，以在测试时适应硬件需求，甚至在采用SmartVID技术的情况下，能在加电时适应硬件需求。适应未知需求的能力使得ADI PSM器件的精度更具价值，因为FPGA设计师可以在实际设计阶段和任何开发阶段在功耗与性能之间进行权衡。

电源定序101

在摩尔定律的驱动下，现代FPGA中的晶体管不断缩小，迫使我们在使用这些微小的晶体管时进行权衡，这些晶体管又快又小，同时也更加脆弱。一块芯片包含数亿个晶体管，我们必须将它分割成可以设计并独立管理的内核段、模块段和隔断。这些考虑因素造就了具有许多电源域的FPGA。最近的一些FPGA有十几个需要妥善管理的电源。在电压、电流、纹波和噪声以外，还包括启动、关断和故障条件期间的序列顺序。

最新的FPGA规格针对启动和关断电源时的序列顺序提出了特定的要求。Xilinx和Altera都建议采用特定的顺序和时序，确保FPGA正常复位，保持最小的电流消耗，并在电源转换期间将I/O保持在正确的三态配置下。考虑到每个FPGA涉及到的电源数量，定序任务可谓相当复杂。

Altera Arria 10的技术规格将电源分为三个序列组（1、2、3），并要求它们按升序排列为1、2、3，然后按相反的顺序降序排列：3、2、1[3]。

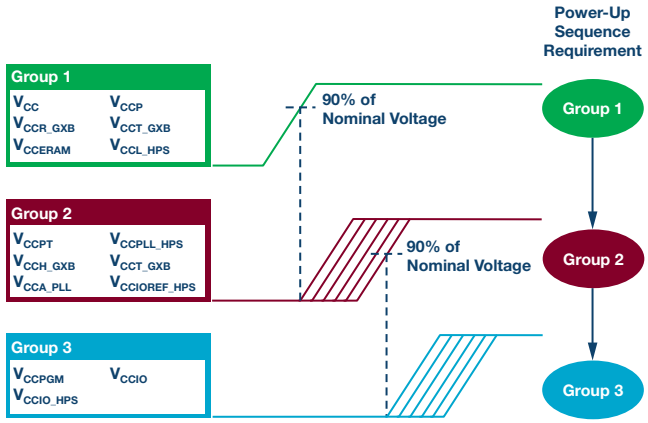


图6. Altera Arria 10升序序列组。

类似地，Xilinx针对Virtex UltraScale FPGA升序序列的建议为：V_{CCINT}/V_{CCINT_IO}、V_{CCBRAM}、V_{CCAUX}/V_{CCAUX_IO}和V_{CCO}。降序序列与升序顺序[4]相反。

这些只是众多FPGA中的两种。几乎每个现代FPGA系统都有多个电源轨，最明显的一个问题是，它们应以何种顺序打开和关闭？即使没有明确的定序要求，也有充分的理由，强制以确定性的序列来执行事件。以下是一些可用的设计选项。

- 无定序方案：让电源自行升降。可能会出现什么问题？
- 硬件级联定序方案：以硬接方式连接每个上升电源，以使能下一个电源。这种方式仅在电源上升时有效。
- 基于CPLD的定序方案：使用可编程逻辑创建自定义解决方案。该方案非常灵活，设计师要承担全部挑战。
- 基于事件的定序方案：基于事件的定序方案与级联定序方案类似，但更加灵活一些，因为该方案可上可下。专用的序列器IC能支持编程，还能处理许多故障情况和极端情况。
- 基于时间的定序方案：基于时间的定序方案在指定时间触发各个事件。结合全面的故障管理方案，基于时间的序列器可以确保灵活性、确定性和安全性。

以下各节将更加详细地探讨这些方案。

无定序方案

可以打开电源系统，而不进行任何管理。当主电源可用或ON开关激活时，调节器开始调节。断电或ON开关关闭时，调节器停止调节。当然，这种方法有很多问题，有些问题更加明显。

缺乏时间确定性可能在系统中造成各种影响。首先，会对灵敏度很高的FPGA造成压力。这可能会导致直接的灾难性故障，或者可能导致过早老化，从而致使性能下降。两种情况均非善果。还可能导致不可预测的上电复位行为或上电时不确定的逻辑状态，从而使系统稳定性成为问题并且难以调试。在该方案中，故障检测和响应、能量管理和调试支持等问题完全没有得到解答。一般来说，回避电源定序定会引发灾难。

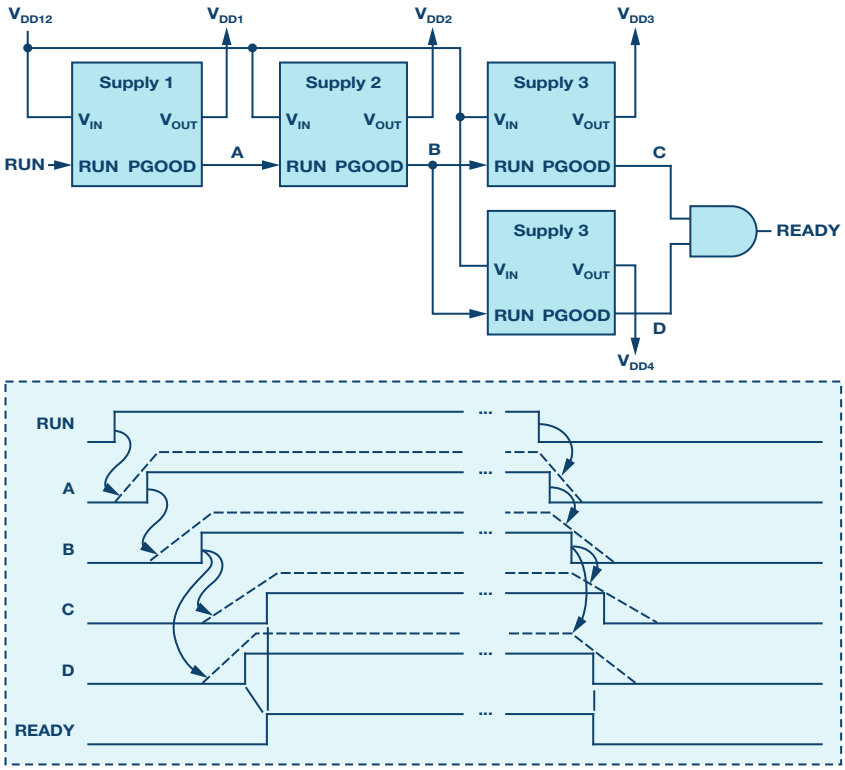


图7. PGOOD-to-RUN级联定序。

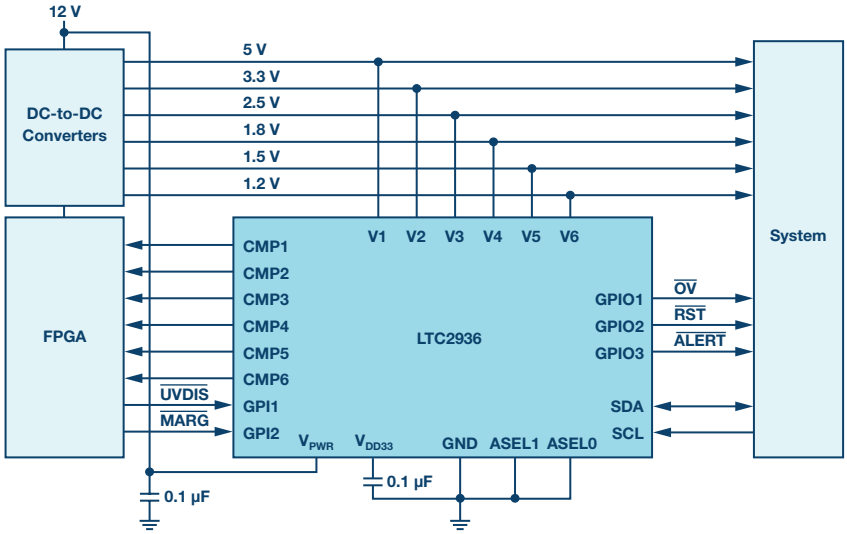


图8. LTC2936可编程电压监控器。

级联定序

一种条理性略强的定序方法是如图7所示经典PGOOD至RUN硬连线式级联方案。这就像多米诺骨牌掉落一样：每张骨牌依次触碰下一张，这保证了按序推进。该技术具有简单的优点。不幸的是，它也有缺点。虽然该方案能有效地升序定序电源系统，但不能逆序(或是任何其他顺序)运行，不支持降序定序。只能有一个序列顺序。此外，在不确定的运行条件下，该方案不能有效地处理故障或管理能量。该方案智能不足，无法做出任何决策。如果序列中有一个阶段发生故障，接下来会发生什么？如果一个工作正常的电源掉电，会发生什么？这些问题的答案都不明确，对这些问题进行调试亦非易事。

FPGA或CPLD定序

使用电路板上的辅助CPLD或FPGA对电源排序，这是许多设计师选择的方案。在由数字设计师设计的或为其设计的系统中，该方案具有一定的吸引力。一种十分自然的方案是设计一个可编程到FPGA中的数控模块，用于控制另一个FPGA的电源。这里的决定可能具有欺骗性，因为电源系统并不像数控那样简单。

如果设计师希望自上而下解决电源定序、控制和管理问题，他们必须首先全面了解其复杂性。我们已经讨论了其中的许多内容，但还有更多的内容尚未讨论，例如检测微秒级过压和欠压情况并做出反应，检测危险电流和温度，记录遥测结果和状态，提供启动和调试服务以简化硬件设计人员的工作等。在数字算法以外，所有这些考虑都需要专用的模拟硬件。

针对希望采用这种方式的勇敢的设计师，ADI公司提供了若干模拟前端IC，以帮助他们完成这项任务。在数字位和模拟电源之间的接口处，LTC2936提供六个坚固、高精度的可编程阈值模拟比较器，用于检测快速事件并将数字状态发送到逻辑。该器件还有三个可编程GPIO引脚，可提供额外的功能。该可编程IC有EEPROM，后者可

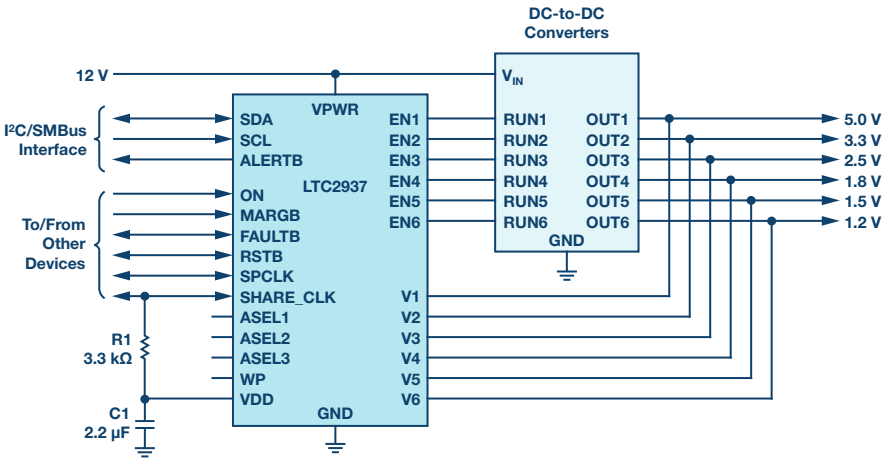


图9. LTC2937电源监控器和序列器。

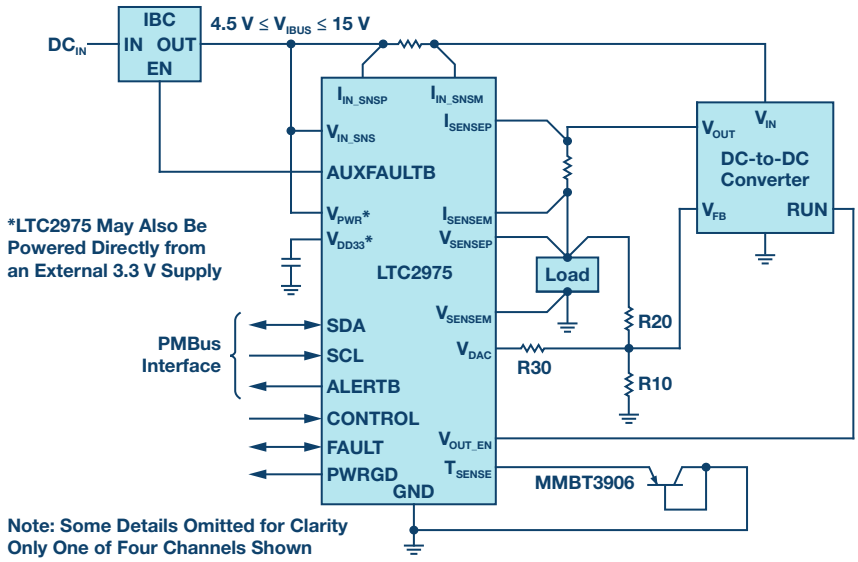


图10. LTC29754通道电源系统管理器。

在启动时近乎即时地工作；该IC还能通过其I²C/SMBus接口存储故障遥测数据以便进行调试。图8展示了使用LTC2936的一种便捷方法。

在快速比较器功能外，还必须有一个模数转换器(ADC)来收集遥测数据。一种行之有效的方案是LTC2418，它可以通过快速建立式24位Σ-Δ ADC和4线SPI接口监控多达16个通道的模拟信号。电路板控制器可以轻松地流式传输测量数据并监控系统中的多个目标点。

通常，使用FPGA或CPLD控制上电时序的方案有很多种。这种方法确实有效，但必须有人负责数字和模拟设计，包括所有不可避免的设计缺陷、难以想象的极端情况和故障以及令人怨声载道的支持问题等。电源系统当然有更简单的构建方法。

简单的序列器/监控器

解决强大的定序和故障处理难题是简单的序列器/监控器的份内之事。这些器件的重要作用是确定电源轨的序列，确保电源轨在运行(监控)期间保持在规定的限值以内。LTC2928是一款简单易用的引脚带式可配置序列器，其序列时序(降序为反向的升序)和监控器电压阈值均可配置。该器件具有满足这些要求的潜力，但没有多余的功能，也未提供数字可编程或遥测功能。

LTC2937属于带EEPROM的可编程序列器和监控器。该器件具有全面的数字可编程能力，拥有基于时间和基于事件的定序功能，可以对任意数量的电源进行定序和监控，还能把故障状态记录到EEPROM黑匣子当中。对于不需要电压管理和遥测功能的应用，这种解决方案有很大的价值。

电源系统管理

要完全发挥出整个PSM的所有优势，要使用ADI公司的PSM IC之一。这些器件引入了新的功能，能自主地对任意数量的电源轨进行上下定序；精确控制轨道电压，精度优于0.5%(某些情况下为0.25%)；测量和报告电压、电流、温度和状态遥测数据；协作处理复杂的故障情景；并将详细的故障信息记录到EEPROM。

定序由定时握手系统完成，所有IC在零时和时基上达成一致，所有序列事件都在预编程时间发生(基于时间的定序)。这种方案允许任意数量的电源轨自动上下定序。

PSM IC系列中有些控制器有自己的开关驱动器和模拟环路控制，可在各个方面处理开关电源。或者，有的电源管理器包含一个包裹着外部电源的伺服回路，可将所有电源管理功能(包括定序、

监测和监控)添加到从开关电源调节器到LDO调节器的任何电源轨上。电源管理器的一个例子是LTC2975，如图10所示。

µModule器件

采用在BGA或LGA封装，集成度最高且每平方厘米提供的功能最丰富的解决方案是PSM µModule®器件。这些是完整的电源系统，在单个封装中纳入了控制器IC、电感器、开关和电容等器件。有些µModule调节器(如LTM4650)不包含数字功能，因此可以从LTC2975提供的额外定序和管理功能中受益。有些µModule调节器(如LTM4676A)有自己的PSM功能，可以轻松与系统中的其他PSM IC集成。

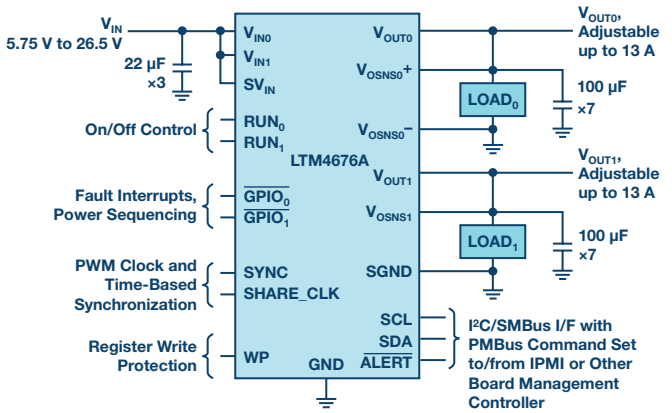


图11. LTM4676A PSMµ模块双通道13 A调节器。

共享定序

PSM微型模块、管理器IC和控制器IC全力协调，通过简单的单线总线SHARE_CLK共享时序信息，从而实现上下定序。通过该单线，所有PSM IC共享各种信息，比如定序何时开始(零时)、时钟每次何时走时以及影响定序的其他状态信息。只需将系统中的所有SHARE_CLK引脚连接在一起即可实现这种协调。每个IC都有自己的序列时序编程功能，可以使用共享时基精确可靠地对事件(如使能和禁用、斜坡和发生故障时的超时)计时。

基本而言，SHARE_CLK引脚是一个开漏100 kHz时钟引脚。开漏意味着IC可以主动下拉或释放，并允许总线浮动。当总线上的所有器件都释放时，上拉电阻会将电压拉至3.3 V。这样，一个器件就可以通过下拉停止时钟，直到时钟准备就绪；这意味着所有器件必须在时钟启动之前达成一致：这是一种有效的零时信息传递机制，也是通过停止时钟来指示定序状态的一种有效机制。

共享故障处理

与SHARE_CLK引脚类似的是FAULT总线。系统中的每个PSM IC都连接到共享FAULT线，既可使用其开漏输出将其拉低，也可以在另一个器件拉低时进行响应。这为整个PSM器件系列提供了一种简单、快速的故障传递和响应方式。该行为完全可配置，并且在出现问题时，无论是在定序期间还是在稳定状态期间都支持协调响应。可以将系统配置为移除电源并尝试根据指定的时序重新定序，同时在黑匣子中记录有关系统状态的信息，并在发生故障时记录故障原因。该EEPROM黑匣子信息可通过I²C总线进行后续处理。

降序定序和存储能量管理

对电源进行降序定序时还要考虑一个额外因素：能源管理。越来越重要的是要在电源降序定序时为其提供确定的时序，这就需要仔细考虑系统哪些地方会消耗存储的能量。高功率电源可能有许多大型电解电容作为大容量电荷存储元件，并且这些电容会被充电，达到电源电压，其中保存着足够的能量，在不幸的条件下有可能炸毁未采取正确防护措施的器件。为了避免这种情况，FPGA制造商指定了用于保护器件的降序序列。对于Altera Arria 10，该序列如图12[5]所示。

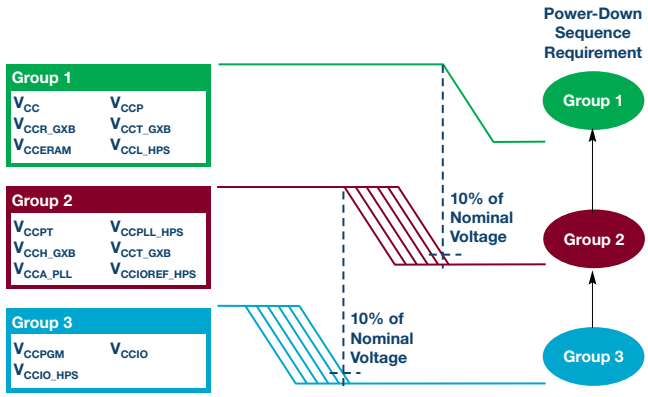


图12. Altera Arria 10降序序列组。

该降序序列隐含的要求是，电容中存储的所有能量都去了某个地方并被安全地消耗掉了。这有多种方法可达此目的，其中最简单的方法是在电容两端装一个固定电阻。该电阻在电源接通时总会消耗功率，但可以使其电阻足够大，从而将比较损耗降至最低，并使RC放电时间常数尽量短，达到可以接受的程度。充分放电电源所需时间是RC时间常数的倍数(通常为5倍)，应进行优化以使电阻中消耗的静态功率达到可以接受的程度(如<¼ W)。对于1 mF电容和1.0 V电压，如果电阻值R =4Ω，则时间常数τ= 4毫秒，只需约13毫秒，即可将电源放电至50 mV以下。只要电阻额定值至少为1/4 W，该方法就足以满足需求，系统工作时的恒定损耗为¼ W，放电时间为13毫秒。

一种更复杂但非常安全的方案是仅当对电源放电时才切换电容两端的电阻。这种方法在需要时将电荷从大容量电容中拉出，并将其安全地消耗在开关FET的电阻和辅助串联电阻中，但避免了固定电阻的持续功率消耗问题。电路如图13所示。

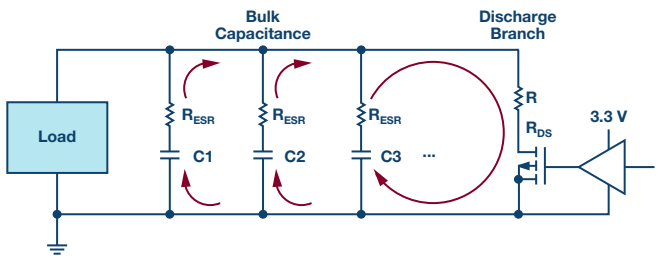


图13. 用FET对电源电容放电。

这种方法需要注意几个因素：控制、放电时间和功耗。必须有一个可用的信号指示放电开关在适当的时间关闭。开关FET是NMOS，因此控制信号必须充分升高到FET的V_{TH}以上，以使其进入饱和状态。对于普通FET，此栅极驱动电压可能高达3 V至5 V。

典型的电解电容将具有数百毫欧的等效串联电阻(ESR)，当电容放电时会消耗一些能量，但这些电容中有许多是并联的，因此总并联电容相加可能达数十个毫法拉，等效电阻为几十毫欧或以下。我们可以安全地假设，电容ESR将消耗存储能量的一小部分。

为了在合理的时间内对电容放电，放电RC时间常数必须小于期望放电时间的1/5(以允许该电压下降到几毫伏以下)。这个计算非常简单(公式1)，使用的是所有电容的总和以及FET和串联R的总和，以及R_{ESR}电阻的并联组合，其中N是并联电容的数量。

$$\tau = \left[\frac{R_{ESR}}{N} + R + R_{FET}\right] \times [C_1 + C_2 + ... + C_N] \quad (1)$$

对于一个更大的系统，其中有一个50 mF的电容组，R_{DS}+R=500mΩ，电压将在约125毫秒内降至50 mV以下。此时的峰值电流(和功率)为1 V /500mΩ= 2 A或2 W。由于大部分的存储能量在前两个时间常数中耗尽，所以，我们可以通过查看FET的安全工作区图(如图14[6]中的示例所示)，决定是否需要串联电阻。在这种情况下，我们的FET可以安全地承受2W的脉冲超过10秒，因此不存在损坏的危险。然而，该FET的R_{DS}小于20mΩ，因此串联R必须为480mΩ。我们必须确定串联电阻的大小，以便适当散热，因为电阻会消耗大部分的功率。通常，脉冲持续时间将比电阻的热时间常数短得多。电阻数据表中提供了更多的信息。

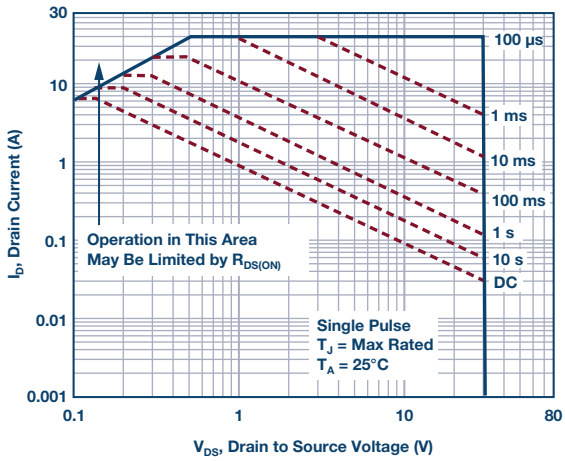


图14. NMOS FET安全工作区。

最强大的放电电路可以在各种条件下安全地消耗能量。图15中的电路显示了一种历经检验的方法。这种方法采用ON半导体FDMC8878放电FET和一个物理尺寸较大的SMD 1210型0.5Ω电阻。

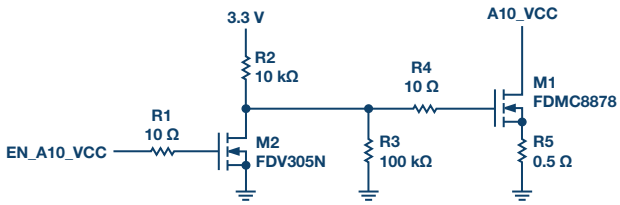


图15. 放电FET电路。

应对电源系统管理面临的挑战

如前所述，针对FPGA电源系统所有要求的最佳解决方案是ADI公司的PSM。该产品组合的优势包括：

- 首屈一指的电压精度(优于±0.5%)
- 搭载EEPROM存储器，全面的自主性
- 完全可编程的集成式电源定序功能，横跨整个系统的独立上下时序功能
- 强大的集成式全系统故障管理
- 综合遥测功能：电压、电流、温度和状态
- 协调式IC系列可解决电源系统各个领域的问题

Altera Arria 10 SoC开发套件展示了用于Altera Arria 10 SoC IC的ADI公司电源系统管理解决方案(图16)。

在该设计中(图17)，内核电源的工作电压为0.95V，工作电流为30A。由于这些电源要求相对宽松，单个LTM4677模块就可轻松提供所需电流(最高36 A)，如图18所示。对于要求更多电流的且条件更为苛刻的应用，最多可以并行运行四个LTM4677模块，以提供高达144 A的电流，如图19所示。

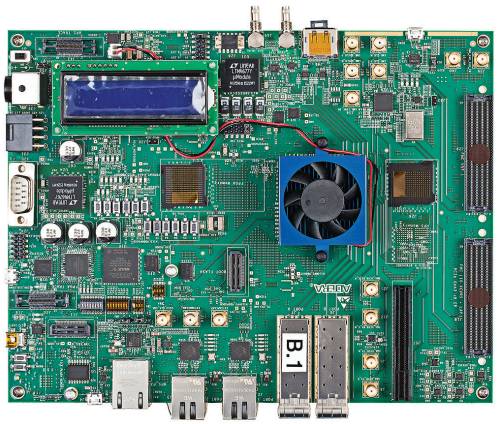


图16. Altera Arria 10 SoC开发套件。

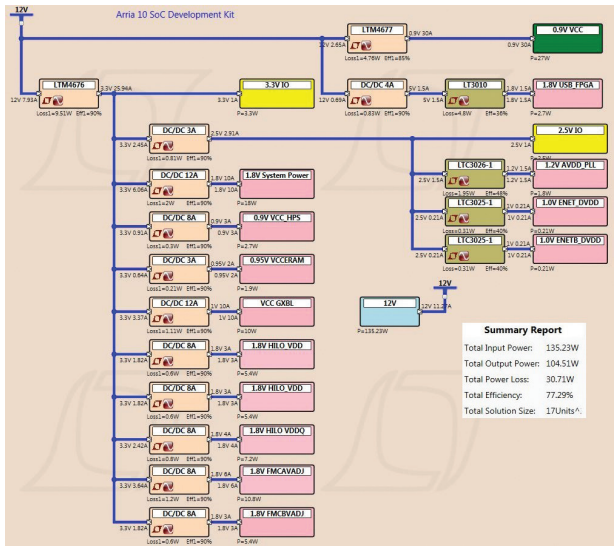


图17. Arria 10 SoC开发套件功率分布。

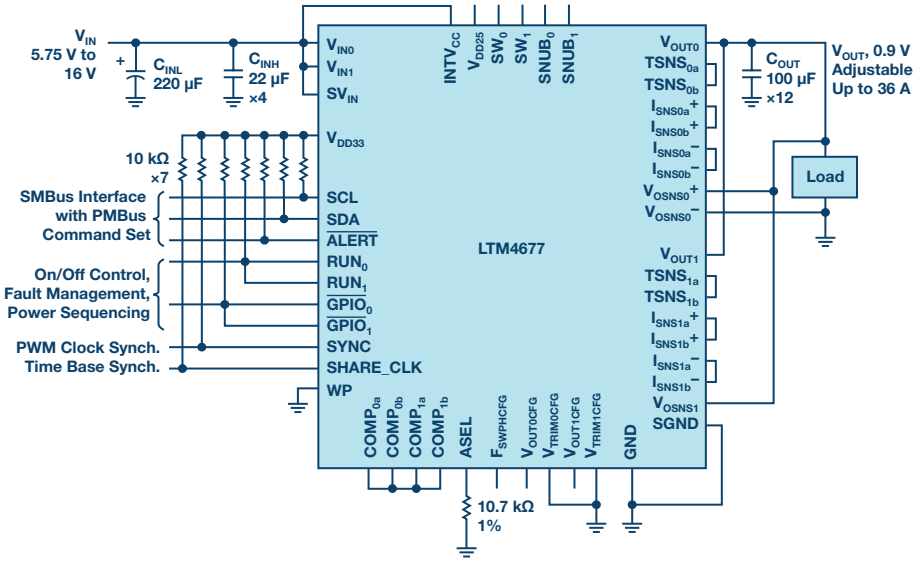


图18. 单个LTM4677提供高达36 A的电流。

该解决方案在电路板空间利用率方面达到了最佳水平，因为集成的µModule器件只需极少的外部元件，而PMBus接口又使得我们可以配置这些器件，无需改动硬件。微模块是复杂程度最低的解决方案，因为其中融合了许多复杂的模拟考虑因素，如电源开关、电感、电流和电压检测元件、环路稳定性和散热。

由于LTM4677模块包含PSM，因此可确保内核电源始终在直流电压目标的±0.5%范围内工作。该模块还允许通过PMBus接口调整电压，既可使用FPGA中的SmartVID IP，也可使用LTpowerPlay® 图形用户界面(GUI)，借助图形用户界面，用户可以全面控制电源。

为了管理不包含其自身PSM功能的电源调节器，我们只需包含LTC2977，它是一个8通道PMBus兼容型电源系统管理器。每个通道都缠绕着一个电源，将电压伺服到编程目标的0.25%以内(图20)。LTC2977可与LTM4677 µModule器件无缝协作，实现定序和故障响应，使整个电源系统保持统一且易于编程。

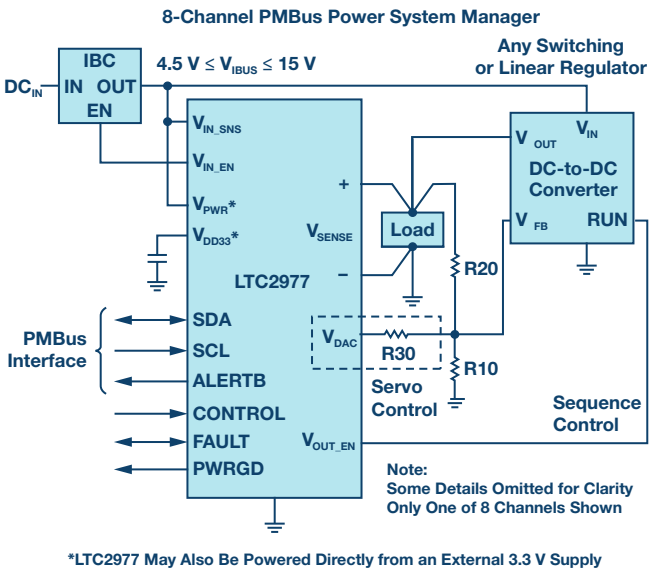


图20. LTC2977可管理任意电源电压。

系统上电定序由LTM4677内核电源、LTM4676A 3.3V电源和负责管理电路板上所有其他电源调节器的LTC2977之间的密切协作实现。这些IC具有共同的PMBus时序命令(存储在EEPROM中)，可以按任何顺序和任何时序轻松配置启动和关断时序。这些保证了为第1组、第2组和第3组电源指定的自主事件序列符合要求(图6)。

除电压精度和定序控制外，该电路板上的LTM4677、LTM4676A和LTC2977还提供完整的故障处理功能。如果一个或多个电源轨发行过压、欠压、掉电、过流或完全故障，可以将系统配置为快速自动响应，关断以保护敏感的FPGA并在可能的情况下重新启动。

系统中的大多数电源轨需要适度的电流(小于13 A)和适度的电压容差。这些可由非PSM器件(如LTM4620)提供，并由LTC2977进行定序和管理。这样就在电路板面积、复杂性和成本之间达到了非常有效的平衡。

还有一些电源轨(如PLL和收发器电源)需要的低噪声超过了开关稳压器的能力范围，需要采用线性稳压器。LTC3025-1和LTC3026-1能很好地满足这些功能要求，从它们的输出里消除开关噪声和负载导致的噪声。这些也可由LTC2977管理，对故障条件进行定序、修整和处理。

LTpowerPlay

整个PSM器件系列由功能全面的LTpowerPlay图形用户界面提供支持(图21)。由于PSM的大部分功能是通过IC的EEPROM中丰富的配置寄存器访问的，因此通过一个工具可以将总线上的整个PSM IC集合整合到一个简单易用的视图当中。LTpowerPlay工具提供了一套深层次的功能，可加速各设计和开发阶段的进度。该工具可以离线工作，可在编程之前呈现IC视图，或者实时地通过I^2C总线与一套包括由许多PSM器件控制的一个到数百个电源轨的、完整的系统进行通信。LTpowerPlay通过提供有关寄存器和功能的详细信息，简化并优化了复杂的配置工作。它以图形方式呈现系统中可用的所有配置、状态和遥测信息，可在系统运行时以清晰易懂的方式将系统呈现出来。它简化了整个寄存器组的编程和维护工作，为在Microsoft® Windows® 电脑上创建和保

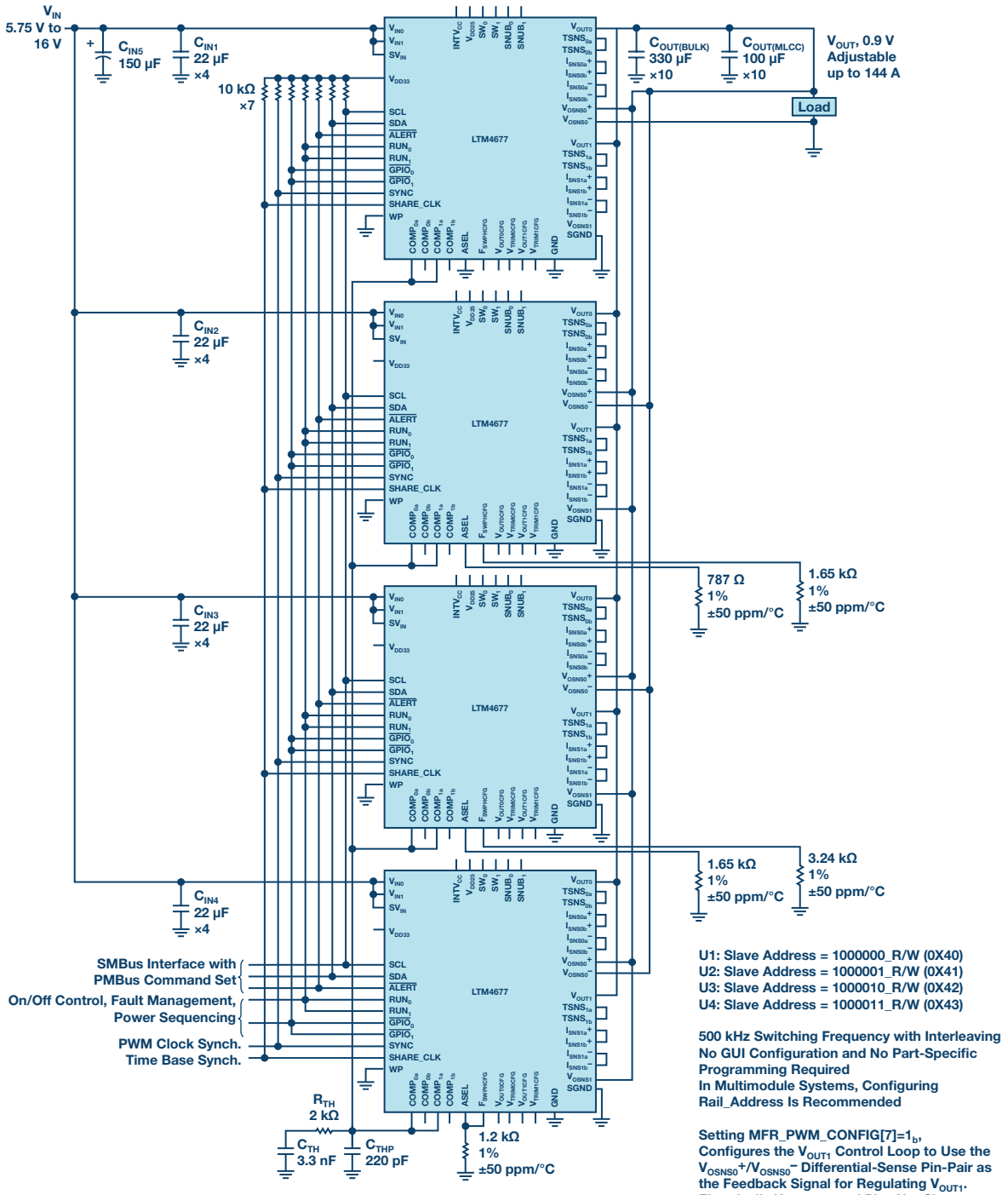


图19. 四个LTM4677在0.9 V下提供高达144 A的电流。

存配置提供了一种简单的方式。 发生电源故障时，LTpowerPlay可以轻松地指出系统中发生故障的位置，以及状态、遥测信息和黑匣子信息指示的具体情况。该工具还为常见故障情形提供了详细的调试帮助。如果有人需要帮助，LTpowerPlay还能寻求帮助，呼叫现场支持人员，由其实时查看图形用户界面并观察用户看到的内容。

请从这里免费下载LTpowerPlay工具。

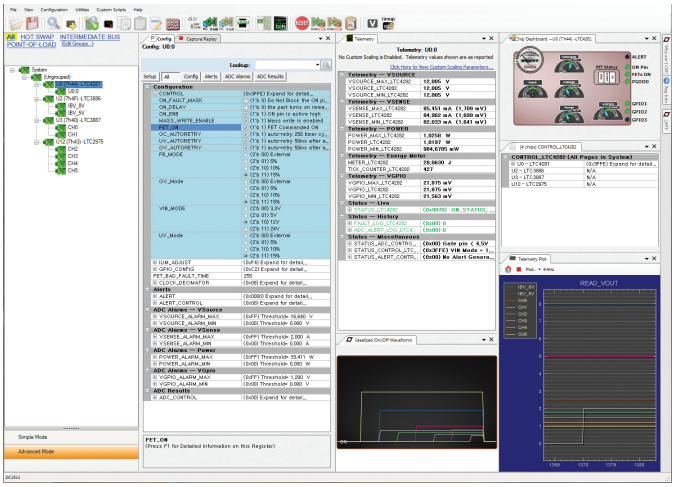


图21. LTpowerPlay图形用户界面。

ADI公司为Altera、Xilinx和NXP FPGA提供了一整套演示平台。作为活生生的例子，这些功能齐全的电路板展示了PSM如何为FPGA系统提供最整洁、最灵活、最强大的电源解决方案。此外，当地的ADI公司应用工程师可以在整个PSM IC产品组合的选择和使用方面提供详细的帮助。请通过这里了解更多情况，下载参考材料，订购FPGA电路板。

FPGA之旅

现在，我们已经了解到为FPGA系统供电的最佳方式是什么，接下来，我们可以把异想天开的东西放在一边，看看为什么会这样。为了理解造成当今状况的原因，我们需要简要了解一下历史。

摩尔定律

1965年，戈登•摩尔在《*电子学杂志*》发表了他那篇著名的文章。[8]他在文中称，通过观察他发现，单个芯片上的晶体管数量每年都在翻倍；他同时预测，这种趋势应会继续下去，至少能持续到1975年。后来的改进和对大型电子市场的其他观察促使他修改了模型，但芯片上晶体管数量持续呈指数增长的基本原则已经成为电子工业的一项公理。这是一个非同寻常、自我应验的预言，任何其他行业中都不存在，历史上也未曾有过。事实上，这个预言已成为全球工程师的主要动力，造就了无数的创新，强制人们进行权衡，而这些在戈登•摩尔首次发表其简单的观察结果时是无法想象的。

这场针对我们自己的技术竞赛造成的结果是，决策过程偏好的技术始终是那些以牺牲成本、功耗、可用性甚至耐用性为代价，将更多器件压进更小面积的技术。在这场技术竞赛中，尺寸就是一切。这一发展轨迹带来的一些启示是，先进的芯片会消耗更多的功率，漏电流问题更明显，更脆弱，更敏感，更难管理和保护。

晶体管的设计

随着晶体管的尺寸缩小到纳米级，一些严重的副作用日益凸显。其中最明显的是电压裕量。几十年前，5 V电压能为晶体管很好地供电，但这种电压会破坏最新的FET晶体管中的所有结和氧化物。随着晶体管尺寸的缩小，内部电场变得更强，可容忍的工作电压也随之降低，以防止造成破坏。最近的几代晶体管能承受的最大电源电压大约只有1.0 V。此外，绝对电压容差也会按比例缩小：1.0 V的2%比5 V的2%小得多，使得精度日益重要。

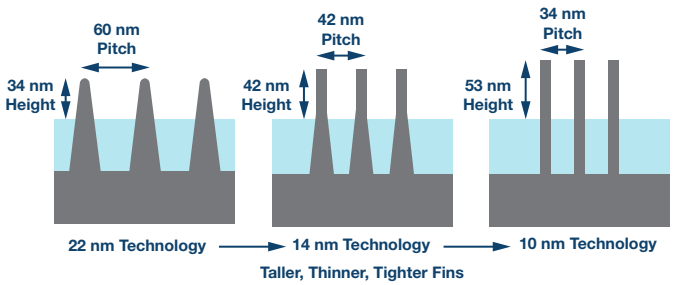


图22. 不断缩小的晶体管尺寸。

随着电压的减小，晶体管驱动电流(I_{DSAT})却不断增大。增加的驱动强度至少实现了两个目的。其一，允许栅极电压较小的晶体管驱动大电流——使其足以在有用频率下进行切换。其二，支持物理尺寸更小的晶体管。较小的晶体管可能速率更快。不幸的是，晶体管驱动强度的增强有着自己的代价：漏电流。

芯片上晶体管消耗的功率有两种。动态功率是某个频率下在逻辑1和逻辑0之间切换的常见代价，动态功率是由与晶体管本身和芯片上的器件连接导线相关联的微小寄生电容充放电引起的。动态功率与逻辑转换的频率和电源电压的平方成正比。

不太明显的是泄漏晶体管所消耗的功率。无论电路是处于活动状态还是空闲状态，计时与否，这种功率都会在电路上电时泄漏。增加的晶体管驱动强度会导致更多的漏电流，因为用于导通更多电流的结和结构关闭起来更加困难。较强的晶体管往往比较弱的晶体管泄漏的电流要多。随着每一代晶体管的产生，泄漏的影响都在增强。只有将卓绝的晶体管工艺(化学、冶金、光刻和物理工艺)与精确、灵活的电源管理技术相结合，才有可能掌控泄漏功率。

十年前，戈登•摩尔观察到了这些事实，并指出了两个重点。第一，如果动态功率继续以相同的速度上升，则工作芯片上的结温会接近太阳表面的温度。第二，如果不采取其他措施，泄漏功率将超过动态功率，成为主要的能量消耗模式，进一步加剧功耗问题(图23)。为了解决这些问题，IC产业当时采用了几种新技术。其中之一是时钟管理技术——减慢或停止时钟以抑制动态功率——另一种技术是在单个芯片上使用多个处理内核，以利用不断增长的晶体管数量。

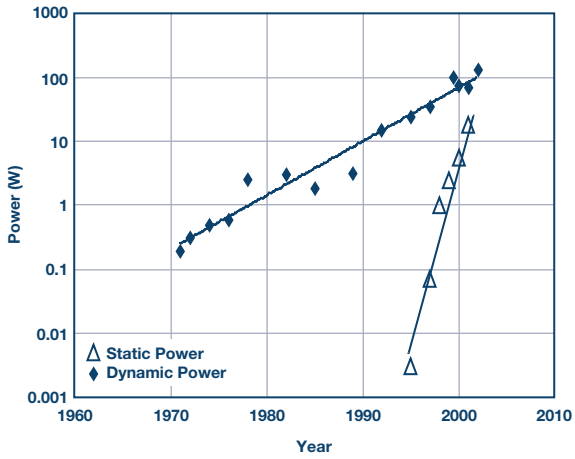


图23. 静态和动态功率增长率[9]。

即使这种先进架构具有多种优势，泄漏功率问题仍然很麻烦。晶体管工程是使增长曲线掉头向下的有效方法，但这还不够。由于尺寸减小后的每一代晶体管都需要更低的电源电压，所以动态功率问题仍不明显，但由此导致晶体管强度和泄漏增加，再加上芯片上器件数量不断增多，结果形成了进行电压管理的需求。为了满足每个特定器件的需求，电源电压必须严格控制并且主动可调。

高级架构

直到千禧年之前，架构的发展主要集中在优化单个计算内核，以尽可能快地执行尽可能多的计算。这涉及到一种自由技术，要将时钟速率提高到恰好低于电路故障速率的水平：即电路的最大工作频率。同时涉及架构的优化，但这些工作主要是为了从每个时钟周期挤出更多性能。

在吃惊地意识到功率的重要性之后，工程师开始将资源从原始速率抽调出来，转而投入精细优化方面。这种新趋势首先出现在计算架构领域，表现为不断增长的时钟速率在曲线上变得平坦，每一代晶体管单位性能提升速率趋稳(图24)。这是驯服动态功率这匹野兽最简单的办法：遏制从V_{DD}到V_{SS}的快速转向之势。

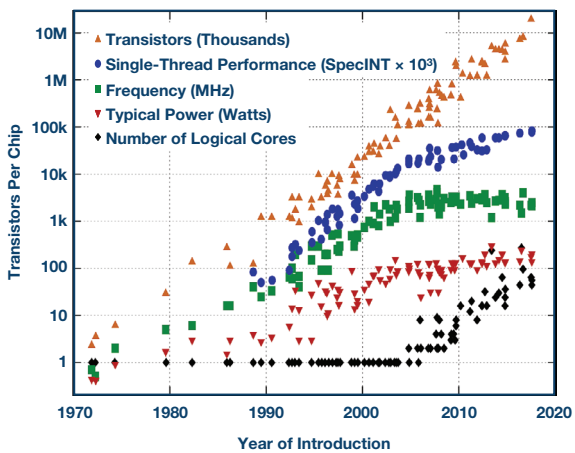


图24. 计算硬件指标的增长趋势。

但是，单个芯片上的晶体管数量继续以戈登•摩尔预测(要求)的速率攀升，势不可挡。针对所有这些晶体管，必须采取一些措施。这就为第二项伟大的创新奠定了必要性基础：多核架构。在时钟速率停止增长的同时，单个芯片上的内核数量开始增长。多核的优点包括通过重用简化了芯片的设计，通过人们熟悉的构建模块简化了软件的设计，同时还能根据计算负载需求单独限制每个内核。多核革命始于固定计算平台，但我们可以说，这一事件是FPGA自身获得发展的标志性时刻：全世界意识到，增加内核数量才是最好的选择。从某种意义上说，没有什么的内核数量能超过拥有海量相同可编程逻辑模块的FPGA！

FPGA剖析

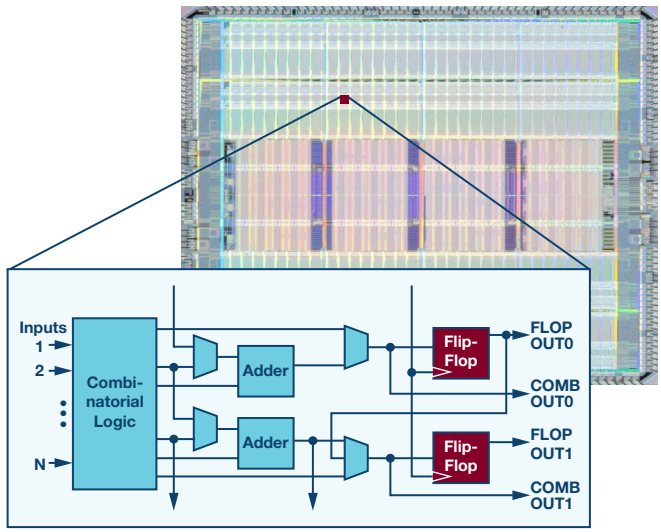


图25. FPGA可配置架构。

基本而言，FPGA是通过可配置的互连网络连接在一起的原始可配置逻辑单元的集合。它们与编译器一起构成了一个高度灵活的计算架构，可以变换成几乎任何可以想象的通用数字函数，包括组合逻辑块和顺序逻辑块。在顶层上，该架构被额外的功能所包围，用于支持和增强功能。某些模块(如偏置电路、RAM和PLL)支持芯片内部的功能。各种可配置的GPIO单元、高速通信硬宏(LVDS、DDR、HDMI、SMBus等)和高速收发器允许芯片内部的逻辑以各种电压、速率和协议与外界通信。其他模块(如集成CPU和DSP内核)支持通常需要的优化功能，并从功耗、速率和紧凑性等角度进行了优化。

FPGA内核架构由数千或数百万个称为可配置逻辑块(CLB)的原始单元组成。每个CLB是组合逻辑元件和顺序逻辑元件的集合，它们一起可以产生基本计算并将值保存在一个或多个触发器中。组合逻辑通常采用可编程查找表(LUT)的形式，而不是将几个输入位转换为几个任意输出位。每个LUT执行一个事先编程好的基本逻辑函数，并将结果传递到可配置互连中，以便后续处理(图26)。特定的CLB和LUT设计是区分不同FPGA系列的秘诀之一。价格低廉的FPGA采用更简单的CLB，输入、输出、互连和触发器更少。最高端的FPGA采用更复杂的CLB，每个CLB都能支持更多的输入、更多的逻辑组合和更高的速率。这种优化允许每个CLB进行更多计算，并在编译设计中实现更优化的性能。自然，更复杂的FPGA中增加的输入和输出在动态功率权衡方面有别于更简单、互连程度更低的器件。

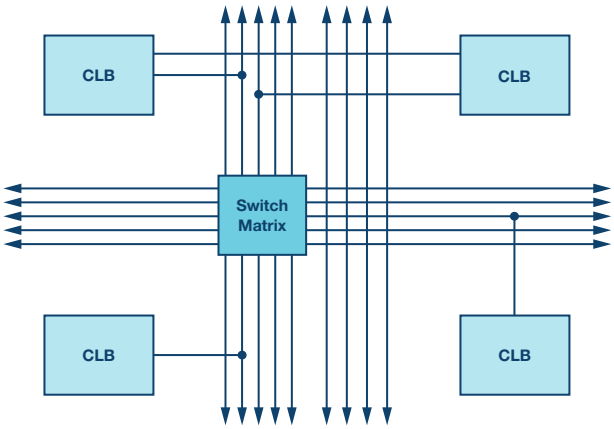


图26. CLB之间可配置的开关矩阵。

可配置逻辑函数这一基本概念从内核架构内部延伸到了I/O单元，后者也具有高度的可配置能力，能满足各种电压、驱动强度和逻辑类型(推挽式、三态、开漏等)的需要。与可配置的LUT和互连矩阵一样，可编程I/O在启动时从配置存储器接收其配置，这对电源序列有影响。

还有一些功能模块不能或不应该使用通用CLB和GPIO来实现。这些就是所谓的硬宏。硬宏是可从优化中受益的函数，或者只是无法做到足够快或足够小的函数，需要采用专门的电路。其中包括千兆收发器、算术逻辑和DSP元件、专用控制器、存储器和专用处理器内核。这些硬宏与软块不同，后者可以像软件一样编译并加载到可配置架构当中。硬宏通常有自己的电源、特定电压和时序要求。

所有这些各种功能块都有各种电源需求，电源系统必须适应。内核架构通常是芯片上要求最低电压和最高功率的部分。在现代FPGA中，如果得到充分利用，该架构可能需要工作电压为0.85V的电源提供超过100 A的电流。类似的电压存在于CPU内核中，只是电流不同并且具有不同的定序要求而已。其他片上模拟功能可以通过1.8 V或3.3 V电源供电，并且必须先通电。同时，GPIO组可以在3.3 V或1.8 V下工作，并且在内核架构上电复位完成之前不得通电。这些电源序列要求中的每一项要求都必须由系统强制执行。

最后一块FPGA架构是工具链(图27)。要将可配置逻辑架构的空白板转换为高性能电路，可以用一套综合性工具将一组Verilog或VHDL代码转换为逻辑块、分配时钟、复位和可测试性资源；优化速率、功率或尺寸限制函数；然后将结果加载到FPGA的配置EEPROM中。如果没有这些工具，FPGA将无法充分发挥其潜力。实际上，工具和编程语言非常重要，常常掩盖了使FPGA得以运行的基本电路设计。工程师把大多数时间花在编程上，不愿意投入时间和精力去思考如何研发合适的电源。然而，工具对电源的要求经常被我们所忽视。由于我们在数字设计方面投入了大量精力，因此只有在编译设计汇总起来之时，我们才能得知其功率要求，才可能发现电源存在的问题，在时机上偏晚。在数字设计和软件工具中，与硬件设计一样，灵活的电源架构对成功至关重要。

历史、经济和人的因素继续推动着成就了FPGA的晶体管和架构的发展趋势。在每个层次和每个设计阶段，电源对于FPGA的成功都扮演着重要的、看不见的角色。最好的电源是精确、坚固、灵活、紧凑且易用的电源。对于所有这些品质，ADI公司的PSM产品系列可以说为行业树立了标杆。

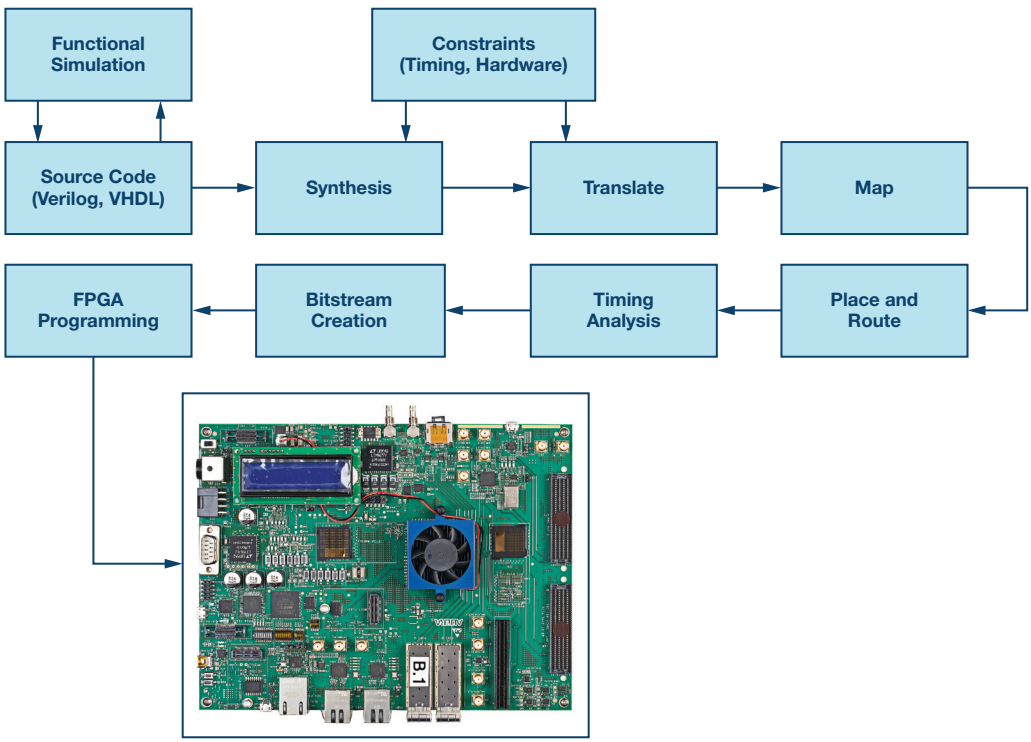


图27. FPGA设计流程(硬件最后)。

致谢

我们要借此机会感谢M. Horowitz、F. Labonte、O. Shacham、K. Olukotun、I. Hammond、C. Batten和K. Rupp[11]，他们在收集图24所用数据和示意图制作方面做出了重要贡献。

附录A：护理和喂养？

可能有些读者会质疑本文的标题，特别是不熟悉英语白话的读者。乍一看，说“FPGA的护理和喂养(care and feeding)”似乎完全不合适。然而，对于这种反对意见的答案很简单：英语是一个有趣的语言。虽然人们对于“care and feeding”这一说法何时开始流行莫衷一是，但人们都知道，这个说法起源于简单的农业时代，目前已经被人们普遍使用(滥用)，指任何脆弱或不稳定的东西。在本文中，这一说法可谓一针见血。虽然对于FPGA是否需要“喂养”，人们充满争议，但我们可以肯定的是，FPGA的确需要“护理”！

虽然在我们这个现代互联网时代，“护理和喂养”这一说法被人们广泛用于婴儿、儿童、丈夫、老板、外籍人士、科学数据，甚至数字脉冲整形滤波器，但是最早，也可能是最奇怪的用法有可能就是这篇经典文章了；这篇文章不但题目很有趣，而且更有意思的是，可以立即通过互联网下载到。

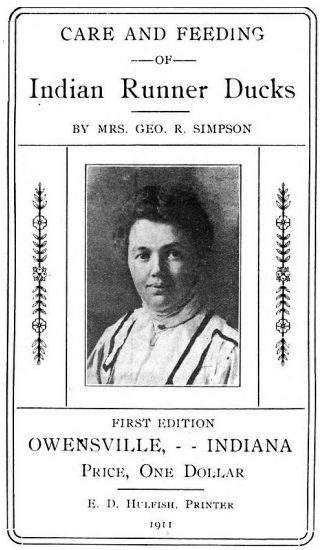

CARE AND FEEDING
—OF—
Indian Runner Ducks
BY MRS. GEO. R. SIMPSON
FIRST EDITION
OWENSVILLE, - - INDIANA
PRICE, ONE DOLLAR
E. D. HULFISH, PRINTER
1911

图28. Geo女士护理和喂养印度跑鸭。R. Simpson。

参考文献

[1] 英特尔Arria 10器件数据手册，英特尔，2018年6月。

[2] AN 711：英特尔Arria 10器件中的降耗功能。英特尔，2018年7月。

[3] 英特尔Arria 10内核架构和通用I/O手册，英特尔，2018年8月。

[4] Virtex UltraScale FPGA数据手册：直流与交流开关特性，Xilinx，2018年1月。

[5] AN 692：Arria 10和Stratix 10器件的电源定序注意事项，英特尔，2018年4月。

[6] DMN1032UCB4数据手册，Diodes Incorporated，2015年1月。

[7] Joachim Von der Ohe，应用笔记：SMD电阻上的脉冲负载：极限，Vishay Beyschlag，2015年8月。

[8] 戈登•摩尔，将更多元件塞进集成电路，《*电子学杂志*》，第38卷第8期，1965年4月19日。

[9] 戈登•摩尔，没有永远增长的指数，但我们可以推迟‘永远’，国际固态电路会议，2003年。

[10] Samuel Fullers和Lynette Millett，*计算性能的未来：游戏结束还是下一个等级？*美国国家科学院，华盛顿特区。

[11] Karl Rupp，40年的微处理器趋势数据，2018年2月。

Nathan Enger [nathan.enger@analog.com]是位于科罗拉多州科罗拉多斯普林斯市的ADI公司的混合信号应用工程师。Nathan分别持有科罗拉多大学和科罗拉多科技大学的电子工程学士学位和电子工程硕士学位。他拥有23年的混合信号IC设计经验，为福特、英特尔和Marvell公司开发过高速PLL和收发器。



Nathan Enger

非常见问题解答—第159期
如果接地层分开

作者：**Frederik Dostal**

分享至

问：

在哪里连接开关稳压器的接地层？



答：

如何使用带有模拟接地层(AGND)和功率接地层(PGND)的开关稳压器？这是许多开发人员在设计开关电源时会问的一个问题。一些开发人员已习惯于处理数字接地层和模拟接地层；然而，涉及到功率GND时，他们的经验往往会失效。设计师通常会直接复制所选开关稳压器的电路板布局，不再思考这个问题。

PGND是较高脉冲电流流经的接地连接。根据开关稳压器拓扑结构，这表示通过功率晶体管的电流或功率驱动器级的脉冲电流。对于带有外部开关管的开关控制器，该接地层尤为重要。

AGND有时被称为SGND(信号接地层)，是其他信号用作参照的接地连接，通常十分平静。该接地层包括调节输出电压所需的内部基准电压。软启动和使能电压也以AGND连接为参照。

关于这两种接地连接的处理，有两种不同的技术观点，因此专家的意见也产生了分歧。

根据其中一种观点，开关稳压器IC上的AGND和PGND连接应该在各自引脚旁相互连接。这样一来，两个引脚之间的电压偏移保持在相对较低的水平。因此可以保护开关稳压器IC免受干扰，进而免遭破坏。电路的所有接地连接和可能的接地层将以星型拓扑的结构连接到该公共点。图1所示为该观点的实现示例。此处显示了LTM4600的电路板布局。这是一款10 A降压型微型模块。电路板上的独立接地连接彼此靠在一起(请参见图1中的蓝色椭圆形)。由于芯片和外壳之间的各自焊线的寄生电感，以及各自引脚的电感，因此已经存在一定程度的PGND和AGND去耦，这导致芯片上电路之间存在少量相互干扰。

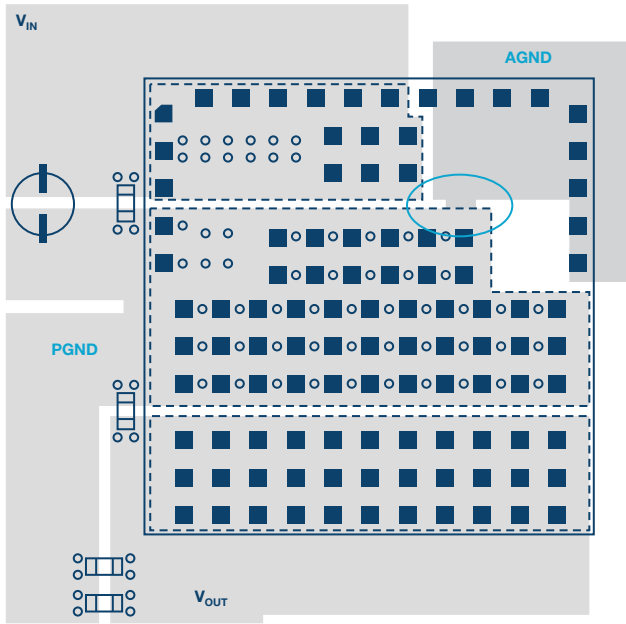


图1. 焊接触点处PGND和AGND的局部连接。

另一种观点是将电路板上的AGND与PGND分开，形成两个单独的接地层，在某一点相互连接。通过这种连接，干扰信号(电压偏移)主要出现在PGND区域，而AGND区域的电压仍非常平静，并很好地从PGND去耦。然而，根据脉冲电流瞬变和电流强度情况，各自引脚上的PGND与AGND之间可能存在明显的电压偏移。这可能会导致开关稳压器IC无法正常工作，甚至损坏。图2所示为该观点的实现方案。该示例采用一款6 A降压型开关稳压器ADP2386。

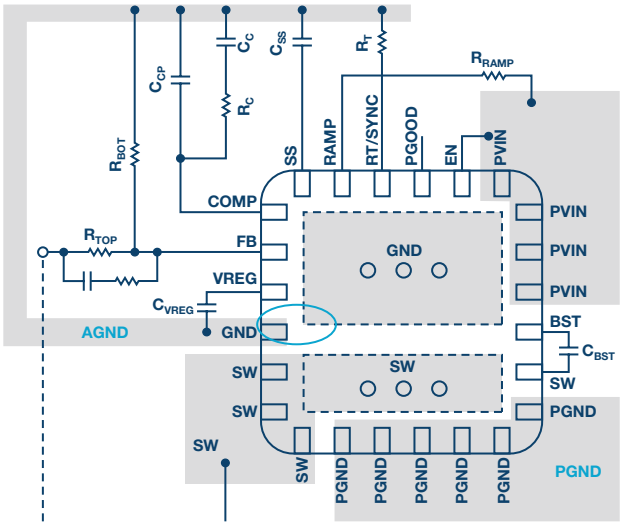


图2. 分开的AGND和PGND在接地标签下方利用过孔连接。

说到底，接地问题其实就是权衡利弊：分开两个接地层具有隔离噪音和干扰的优势；但两个接地层之间可能会产生电压偏移，从而存在损坏芯片并影响功能的风险。权衡利弊后，最终决策正确与否主要取决于IC设计，包括开关转换速度、功率电平、焊线和IC封装上的寄生电感、每个IC设计的闩锁风险(涉及不同的半导体工艺)。

结论

关于如何处理AGND和PGND接地的问题，并没有简单的答案。所以相关讨论仍在继续。前面我提到，许多开关稳压器用户都采用IC制造商提供的示例电路中的电路板布局和接地连接类型。这样做很有用，因为您通常可以假设制造商也利用该配置对各IC进行了测试。而且，在图1和图2提供的示例中可以看到，各自的IC引脚排列适用于PGND和AGND旁的局部接地连接，或者适用于单独接地。

当然，IC制造商在设计示例电路时可能会出错。所以，最好进一步了解相关基本原理的更多信息。

Frederik Dostal [frederik.dostal@analog.com]就读于德国爱尔兰根大学微电子学专业。他于2001年开始工作，涉足电源管理业务，曾担任多种应用工程师职位，并在亚利桑那州凤凰城工作了4年，负责开关模式电源。Frederik于2009年加入ADI公司，担任欧洲分公司的电源管理技术专家。



Frederik Dostal

该作者的其他文章：

优化电源测量设置
第52卷，第3期

可编程增益仪表放大器：寻找合适的器件

作者：**Kristina Fortunado**

分享至

简介

数据采集系统(DAQ)在许多行业应用广泛，例如研究、分析、设计验证、制造和测试等。这些系统与各种传感器接口，从而给前端设计带来挑战。必须考虑不同传感器的灵敏度，例如，系统可能需要连接最大输出为10 mV和灵敏度为微伏以下的负载传感器，同时还要连接针对10 V输出而预调理的传感器。只有一个增益时，系统需要具有非常高的分辨率来检测两个输入。即便如此，在最低输入时信噪比(SNR)也会受影响。

在这些应用中，可编程增益仪表放大器(PGIA)是适合前端的解决方案，可适应各种传感器接口的灵敏度，同时优化SNR。集成PGIA可实现良好的直流和交流规格。本文讨论各种集成PGIA及其优势。文中还会讨论相关限制，以及为满足特定要求而构建分立PGIA时应遵循的指导原则。

集成PGIA

ADI公司的产品系列中有许多集成PGIA。集成PGIA具有设计时间更短、尺寸更小的优势。数字可调增益通过内部精密电阻阵列实现。为了优化增益、CMRR和失调，可以对这些电阻阵列进行片内调整，从而获得良好的整体直流性能。还可以运用设计技巧来实现紧凑的IC布局，使寄生效应最小，并提供出色的匹配，产生良好的交流性能。由于这些优点，如果有符合设计要求的PGIA，强烈建议选择这样的器件。表1列出了可用的集成PGIA以及一些关键规格。

PGIA的选择取决于应用。AD825x由于具有快速建立时间和高压摆率，在多路复用系统中非常有用。AD8231和LTC6915采用零漂移架构，适用于需要在很宽温度范围内提供精度性能的系统。

表1. 可编程增益仪表放大器规格

	AD825x	AD8231	LTC6915
增益设置	1, 2, 5, 10 (AD8250) 1, 2, 4, 8 (AD8251) 1, 10, 100, 1000 (AD8253)	1到128，步长为6 dB	1到4096，步长为6 dB
CMRR (G = 1)	80 dB	80 dB	125 dB
增益漂移	10 ppm/°C	10 ppm/°C	
静态电流	4.5 mA	4 mA	2 mA
带宽	10 MHz	2.7 MHz	200 kHz
建立时间	0.78 µs	4 µs	
失调电压(G=1)	1.05 mV	45 µV	10 µV
失调电压漂移	6.2 µV/°C	50 nV/°C	50 nV/°C
输入偏置电流	50 nA	500 pA	10 nA
噪声(G=1)	45 nV/$\sqrt{Hz}$	66 nV/$\sqrt{Hz}$	2.5 µV峰峰(0.1 Hz至10 Hz)
增益非线性	6 ppm	3 ppm	15 ppm
轨到轨输入	否 (–Vs+1) 至 (+Vs–1.5)	是(超出供电轨0.2 V)	是

表2. DAQ系统规格

	ADAS3022	ADAS3023	AD7124-8
描述	16位、1 MSPS、8通道DAQ系统	16位、8通道同步采样DAQ系统	集成PGA和基准电压源的8通道、低噪声、低功耗24位Σ-Δ型ADC
增益设置	0.16, 0.2, 0.4, 0.8, 1.6, 3.2, 6.4	0.2, 0.4, 0.8, 1.6	1到128，步长为6 dB
CMRR (G=1)	90 dB	95 dB	85 dB
增益漂移	0.1 ppm/°C	1 ppm/°C	2 ppm/°C
功耗(最大增益) 转换速率(最大通道数)	12 mA 125 kSPS	10.5 mA 125 kSPS	1.2 mA 19.2 kSPS(全功率)

还有许多器件集成多路复用器、PGIA和ADC以形成完整的DAQ解决方案。实例有ADAS3022、ADAS3023和AD7124-8。

这些解决方案的选择主要取决于输入信号源的规格。AD7124-8针对需要极高精度的慢速应用而设计，例如温度和压力测量。ADAS3022和ADAS3023适用于相对较高带宽的应用，例如过程控制或电力线监控，但其功耗高于AD7124-8。

实现分立PGIA

一些系统可能有一两个规格是上述集成器件无法满足的。通常，若存在以下要求，则用户需要利用分立器件构建自己的PGIA：

- 需要更高带宽的多路复用系统，扫描速率非常高
- 超低功耗
- 系统需要定制的增益或衰减
- 高阻抗传感器的低输入偏置电流
- 极低噪声

设计分立PGIA常用的方法之一是使用具有所需输入特性的仪表放大器，例如低噪声AD8421，并搭配一个多路复用器来切换增益电阻以改变增益。

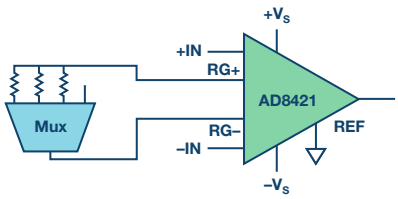


图1. AD8421和用于切换增益的多路复用器

在这种配置中，多路复用器的导通电阻实际上与增益电阻串联。该导通电阻随漏极上的电压而改变，这就带来一个问题。图2取自ADG1208数据手册，展示了这种关系。

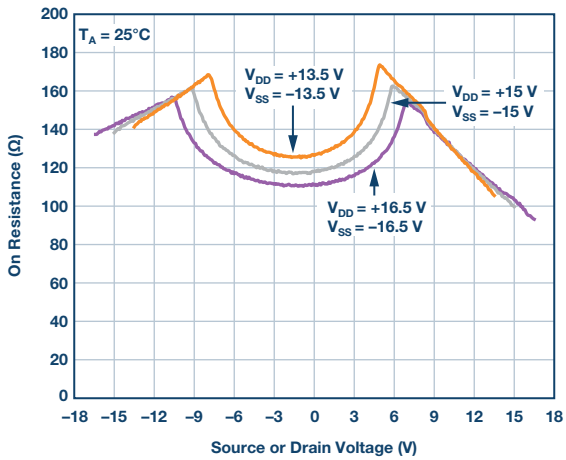


图2. ADG1208的导通电阻与漏极电压的关系

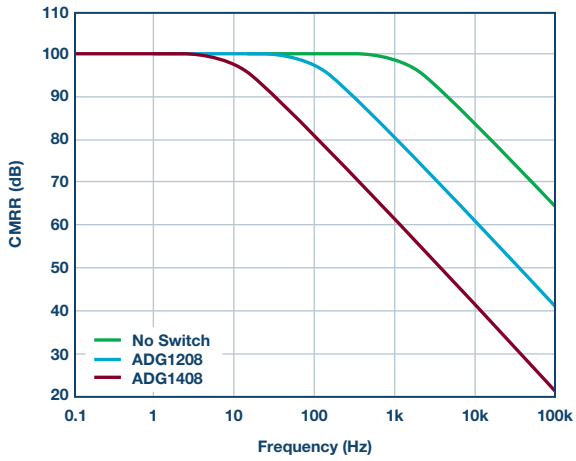
导通电阻和增益电阻的串联组合导致增益出现非线性误差。这意味着增益将随共模电压而变化，这是很不好的。例如，AD8421需要1.1 kΩ的增益电阻以获得10倍增益。对于ADG1208，当源极或漏极电压改变±15V时，导通电阻变化幅度高达40Ω，由此产生的增益非线性误差约为3%。若增益更大，该误差将变得更加明显，导通电阻甚至可能变得与增益电阻相当。

或者，可以使用低导通电阻的多路复用器来降低这种影响，但相应的代价是输入电容会更高。表3通过比较ADG1208和ADG1408说明了这一点。

表3. 多路复用器中导通电阻与电容的权衡

	ADG1208	ADG1408
导通电阻(典型值)	120 Ω	4 Ω
漏极和源极电容(典型值)	7 pF	135 pF

开关的输入电容会导致图1所示配置产生另一个问题，因为任何给定三引脚运放仪表放大器上的R_G引脚都对电容非常敏感。开关电容可能导致该电路出现峰化或不稳定。更大的问题是R_G引脚上的电容不平衡导致交流共模抑制比(CMRR)降低，而CMRR是仪表放大器的一项关键规格。图3中的仿真图显示了AD8421的增益引脚上使用不同多路复用器时CMRR的降低情况。该图清楚地表明，随着电容的增加，CMRR降幅更大。



	No Switch	ADG1208	ADG1408
CMRR at 10 kHz	84 dB	61 dB	41 dB

图3. 使用不同开关得到的仿真CMRR

为了减小交流CMRR降幅，最好的解决方案是确保R_G引脚具有相同的阻抗。这可以通过平衡电阻并将开关元件放置在两个电阻之间来实现，如图4所示。在这种情况下，由于开关两端固有的电容不平衡，多路复用器不起作用。此外，由于多路复用器的漏极短接在一起，R_G引脚的一侧只能使用一个电阻，这仍然会导致不平衡。

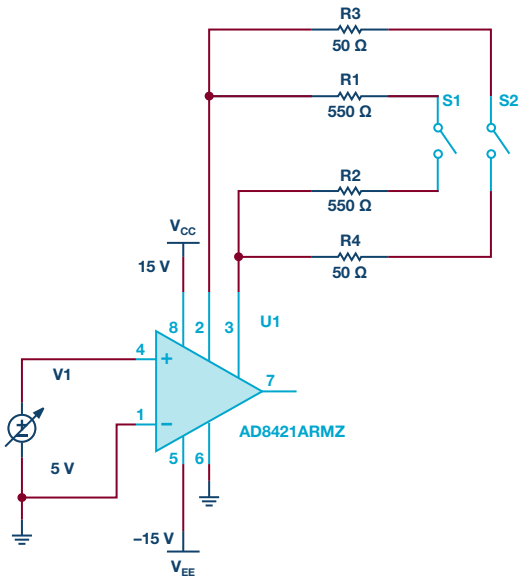
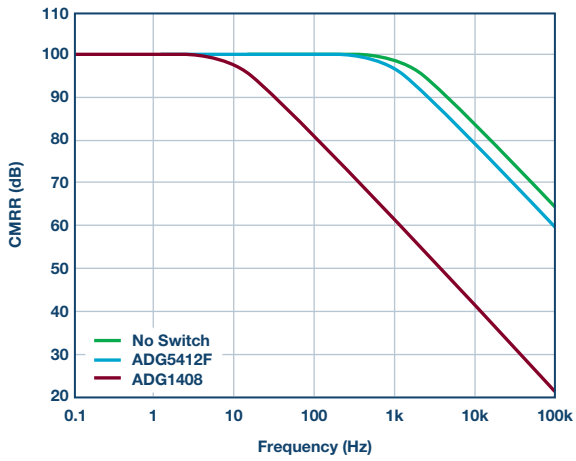


图4. 使用平衡配置的分立PGIA

在这种情况下，建议使用四通道SPST开关，例如ADG5412F。除了开关支持灵活地使用平衡电阻之外，漏极和源极的电容也是平衡的，CMRR降幅因此减小。图5比较了AD8421的增益引脚上使用多路复用器与使用四通道SPST开关两种情况下的交流CMRR。



	No Switch	AD5412F	ADG1408
CMRR at 10 kHz	84 dB	79 dB	41 dB

图5. SPST开关与多路复用器配置两种情况下的CMRR仿真

ADG5412F还具有低导通电阻特性，其在漏极或源极电压范围内非常平坦，如图6所示。在漏极或源极电压范围内，其额定最大值为1.1Ω。回到最初的例子，AD8421的增益为10，增益电阻为1.1 kΩ，开关只会引入0.1%的增益非线性。尽管如此，仍有一个漂移分量，其在更高增益时会更加明显。

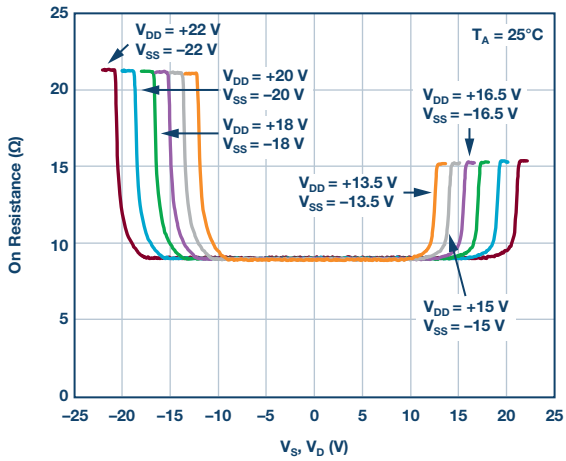


图6. ADG5412F的导通电阻与共模电压的关系

为了消除开关的寄生电阻效应，可以使用不同架构的仪表放大器来实现任意增益。AD8420和AD8237采用间接电流反馈(ICF)架构，是要求低功耗和低带宽的应用的出色选择。在这种配置中，开关置于高阻抗检测路径中，因此增益不受开关导通电阻变化的影响。

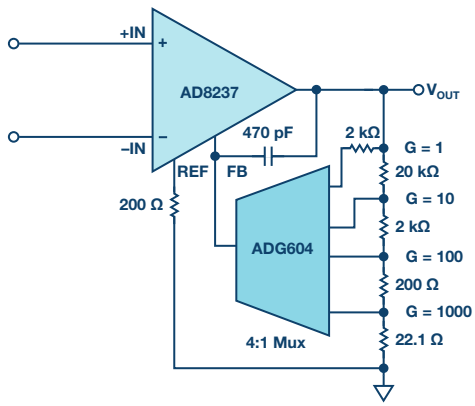


图7. 采用间接电流反馈的仪表放大器的分立PGIA

这些放大器的增益是通过外部电阻的比率来设置的，设置方式与同相放大器相同。这就为用户提供了更大的灵活性，因为增益设置电阻可以根据设计要求来选择。标准薄膜或金属膜电阻的温度系数可低至15 ppm/°C，相应的增益漂移要比使用单个外部电阻设置增益的标准仪表放大器更好，后者的片内和外部电阻之间的不匹配通常会将增益漂移限制在50 ppm/°C左右。为获得最佳增益误差和漂移性能，可以使用电阻网络进行容差和温度系数跟踪。不过，这要以牺牲成本为代价，因此除非确有需要，否则应优先选择分立电阻。

另一种解决方案，也是提供最大灵活性的解决方案，是采用分立元件的三运放仪表放大器架构，如图8所示，通过多路复用器切换增益电阻。与仪表放大器相比，运算放大器可供选择的范围要大得多，因此设计人员有更多选择，这使他们能够围绕特定设计要求进行设计。滤波等特殊功能也可以内建于第一级中。第二级的差动放大器完善了这种架构。

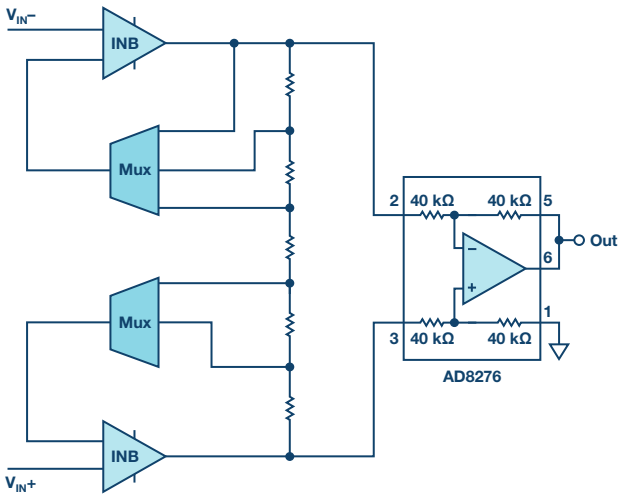


图8. 分立PGIA

输入放大器的选择直接取决于DAQ要求。例如，低功耗设计需要使用低静态电流的放大器，而预期输入端会有高阻抗传感器的系统可以利用超低偏置电流的放大器来最大限度地减少误差。应使用双放大器以更好地跟踪温度。

可以注意到，当使用图8所示配置时，开关的导通电阻也与放大器的高阻抗输入串联，因此它不会影响增益。回顾导通电阻与开关输入电容之间的权衡，由于对导通电阻的限制不复存在，所以设计可以选择低输入电容开关，例如ADG1209。这样，不稳定性和交流CMRR降低得以避免。

与之前的设计一样，增益精度和漂移将由电阻决定。可以选择具有适当容差和漂移，符合应用设计要求的分立电阻。同样，使用电阻网络可以实现更高的精度、更好的容差和温度跟踪，不过成本会增加。

三运放仪表放大器的第二级负责抑制共模电压。此级建议使用集成电阻网络的差动放大器，以确保CMRR最佳。对于单端输出和相对低带宽的应用，AD8276是一个不错的选择。如果需要差分输出和更高带宽，可以使用AD8476。第二级的另一个选择是使用LT5400作为标准放大器周围的增益设置电阻。这可能会占用更多的电路板空间，但另一方面又给放大器的选择提供了更大的灵活性，用户可以围绕特定设计要求进行更多设计。

应当注意的是，分立PGIA的布局需要小心。电路板布局的任何不平衡都会导致CMRR随频率而降低。

下表总结了每种方法的优缺点：

分立PGIA设计示例

图9给出了一个针对特定设计规格而构建的分立PGIA示例。在这种设计中，所构建的PGIA应具有非常低的功耗。输入缓冲器选择LTC2063，其电源电流很低，最大值为2μA。开关元件选择ADG659，其电源电流很低，最大值为1μA，输入电容也很低。

选择电路中的无源元件时也需要注意，须满足低功耗要求。无源器件选择不当会导致电流消耗增大，抵消使用低功耗元件的作用。在这种情况下，增益电阻需要足够大，以免消耗太多电流。所选电阻值(用来提供1、2、5和10的增益)如图9所示。

表4. 可编程增益仪表放大器不同实现方法的比较

方法	优点	弱点
集成PGIA	▶ 设计工作最少 ▶ 针对良好的交流和直流性能进行优化 ▶ 保证CMRR性能 ▶ 所需电路板空间较小 ▶ 单器件解决方案	▶ 选择有限
平衡配置(仪表放大器和开关)	▶ 与分立三运放仪表放大器相比，设计工作量最小	▶ 如果设计不当，容易产生不稳定性 ▶ 与分立三运放仪表放大器相比，仪表放大器的选择较少 ▶ 开关的导通电阻会导致增益误差和漂移
间接电流反馈，使用多路复用器	▶ 与分立三运放仪表放大器相比，设计工作量最小 ▶ 易于配置 ▶ 开关的导通电阻不会导致增益误差和漂移	▶ 输入范围有限 ▶ 灵活性较低，可用的ICF仪表放大器数量较少
ADA4077和箝位OVP	▶ 最灵活，因为与仪表放大器相比，运算放大器的选择更多 ▶ 高度可配置 - 可结合过滤、差分输出等 ▶ 开关的导通电阻不会导致增益误差和漂移	▶ 需要较多器件 ▶ 需要较多电路板空间 ▶ 实现关键规格所需的设计工作量要多很多

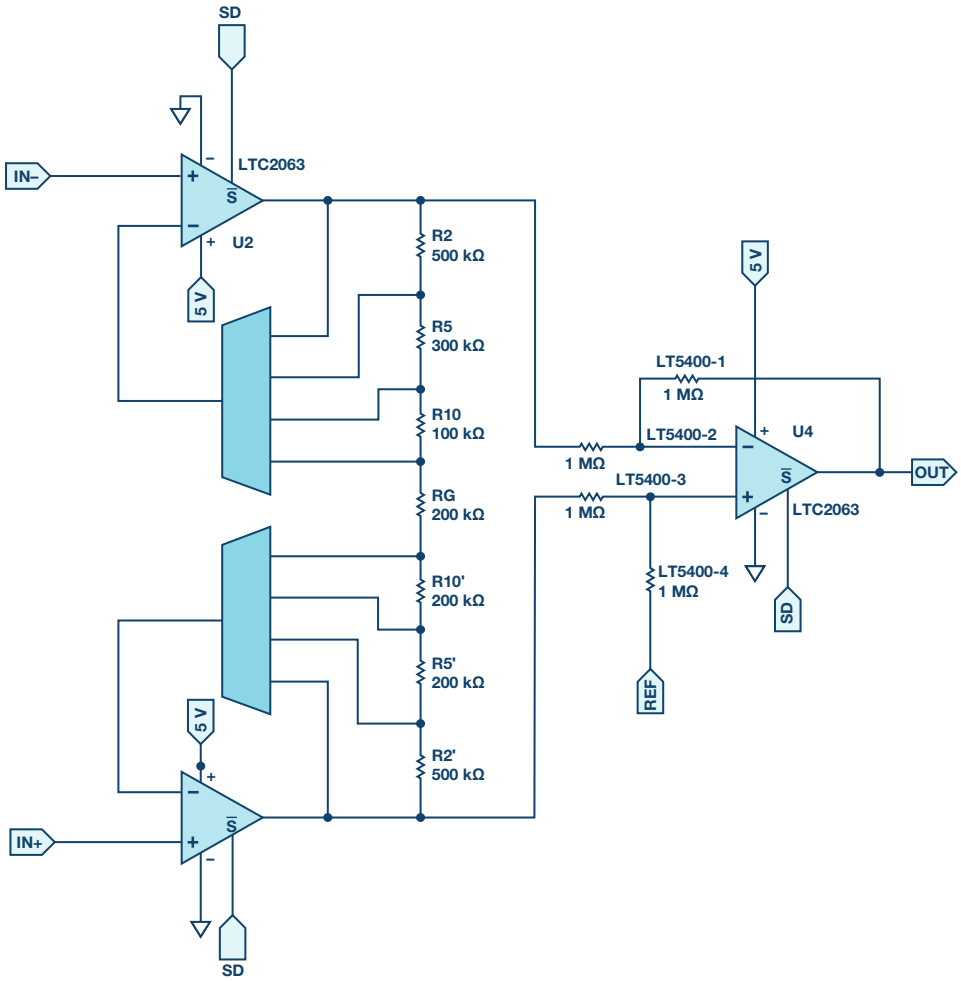


图9. 低功耗PGIA设计

对于第二级差动放大器，LTC2063与LT5400四通道匹配电阻网络(1 MΩ选项)一起使用。这确保了电流消耗最低，并且电阻的精确匹配保护了CMRR性能。

该电路采用5V电源供电，并使用不同的共模电压、差分输入电压和增益进行了评估。在基准电压和输入保持在中间电源电压的最佳条件下，电路仅消耗4.8μA的电流。

差分输入变化时预计电流会有一定的增加，原因是电流会流过增益电阻，电流值等于$|V_{OUT} - V_{REF}|/(2\ M\Omega||1\ M\Omega)$。下面的图10显示了不同增益下消耗的电流。由于增益原因，数据是相对于输出端测量。

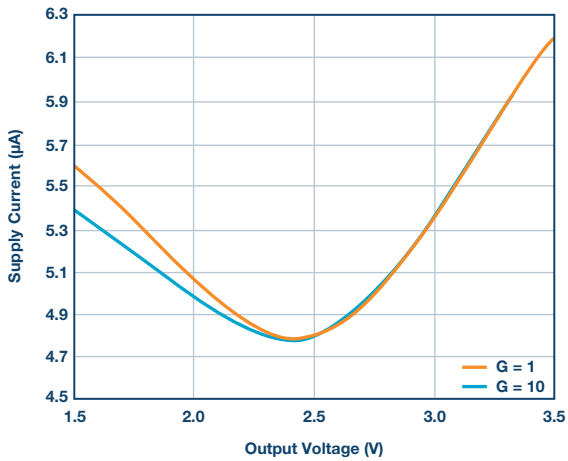


图10. 电源电流与输出电压的关系

将不同共模电压施加于输入时，电流预计也会增加。施加的电压将导致电流流过第二级中的电阻，引起额外的电流消耗，其值等于$|V_{CM} - V_{REF}|/1\ M\Omega$。LT5400选择1 MΩ电阻就是专门为了尽量减小这种电流。下面的图11显示了共模电压对不同增益下的电流消耗的影响：

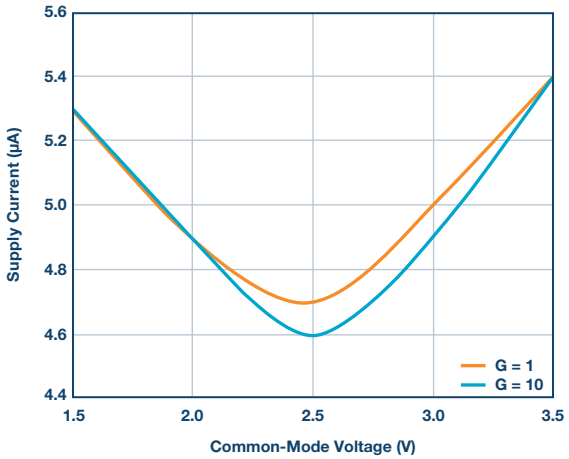


图11. 电源电流与共模电压的关系

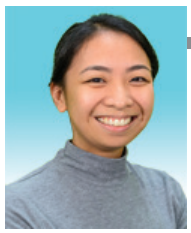
还测量了关断模式下电路的静态电流。当所有器件关断时，电路仅消耗180 nA的电流。这不会变化，即使共模电压、基准电压和差分输入等变量发生变化，只要它们都保持在电源范围内即可。所有器件都有关断选项，以防需要进一步节省功耗以及用户希望断电再重启。在便携式电池供电的应用中，该电路非常有用；若非如此，利用集成PGIA是无法实现关键规格的。

结论

可编程增益仪表放大器是数据采集领域的关键器件，即使配合不同灵敏度的传感器使用，也能实现良好的SNR性能。使用集成PGIA可缩短设计时间，提高前端的整体直流和交流性能。如果有符合要求的集成PGIA，设计中一般应优先使用这样的器件。但是，当系统要求的规格无法通过现有集成器件实现时，可以设计一个分立PGIA。通过遵循正确的设计建议，即使采用分立方法也可以实现最优设计，并且可以评估各种实施方法以确定具体应用的最佳配置。

作者感谢Scott Hunt和Paul Blanchard对本文的技术贡献。

Kristina Fortunado [kristina.fortunado@analog.com]于2009年加入ADI公司，目前担任线性产品与解决方案部门的产品应用工程师。她毕业于德拉萨大学，获得电子和通信工程学士学位。



Kristina Fortunado

使用高精度仪表放大器进行远程检测

作者：Hooman Hashemi

分享至

摘要

仪表放大器(IA)是检测应用的主力。本文将探讨一些利用仪表放大器的平衡和出色直流/低频共模抑制(CMR)特性的方法，使得仪表放大器配合阻性传感器(例如应变计)使用，传感器与放大器在物理上分离。本文将提出一些提高此类增益级的抗噪性，同时降低其对电源变化和元件漂移的敏感性的方法。文章还会提供实测性能值和结果以展示精度范围，方便最终用户应用进行快速评估。

详细说明

说到传感器，几乎没有什么能比得过惠斯登电桥(图1)。该电桥可产生差分电压，当物理参数变化时，差分电压会随之发生可预测的变化。差分电压还有抑制温度和时间漂移的附带好处。差分电压位于较大共模(CM)电压之上。使用仪表放大器来放大电桥提供的小信号。仪表放大器的优点在于，在电桥元件负载很少或没有负载的情况下，它可以检测差分电压并将CM抑制到传统运算放大器无法实现(因为要求外部电阻高度匹配)的程度。

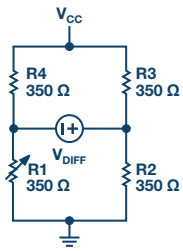


图1. 惠斯登电桥

物理测量所用的电子设备常常远离被测物理参数。例如，埋在卡车称重站路面下方或桥梁结构内的应变计测量，不太可能位于读取测量结果的电子设备旁边。当使用双线四分之一桥接应变计(例如Omega公司的SGT-1/350-TY43)时，传感器放在远离检测放大器的地方，如图2所示，产生的结果不令人满意，即便传感器引线使用屏蔽双绞线也无效。

问题在于，屏蔽双绞线不是对长电缆线路上的所有干扰都能抑制。在这种情况下，不能依靠仪器的良好平衡输入来消除CM影响。长电缆拾取的干扰对放大器正负输入的影响是不均衡的，而且输入包含CMR无法消除的不相关信号。因此，如图3所示，由于对CM噪声(看似如此)的响应不平衡，在电路输出端发现明显噪声并不奇怪。

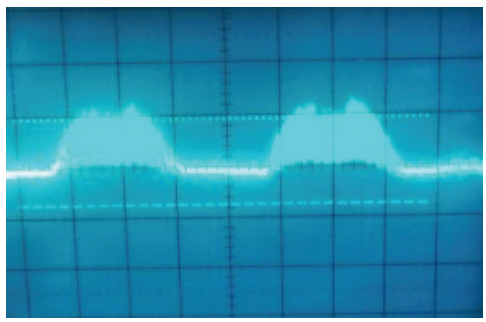


图3. 麻烦的放大器输出端120 Hz噪声(0.1 V/div, 2 ms/div)

为了从CM(直流和干扰)中成功提取很小的电桥差分电压，一种解决方案是使用两对屏蔽或非屏蔽双绞线(UTP)。这样，仪表放大器的两个输入实现均衡，受到的CM噪声影响相同，如图4所示。诸如LT6370之类的器件具有出色的低频CMR(120 dB)，能够可靠地抑制困扰IA输入的噪声。结果，即使在嘈杂的环境中，远距离输出波形也很干净。

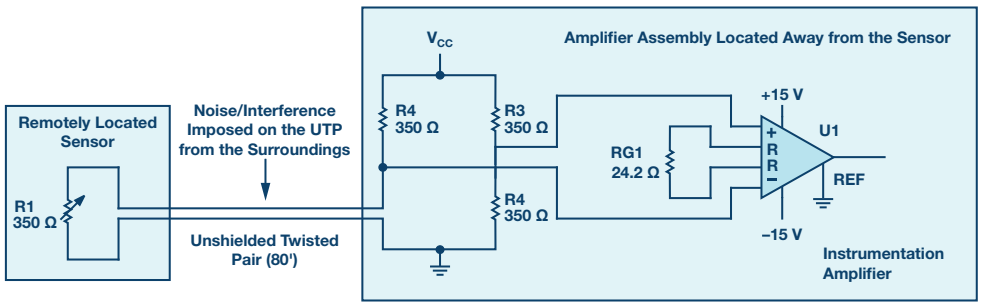


图2. 远程传感器设置受到环境噪声拾取的影响

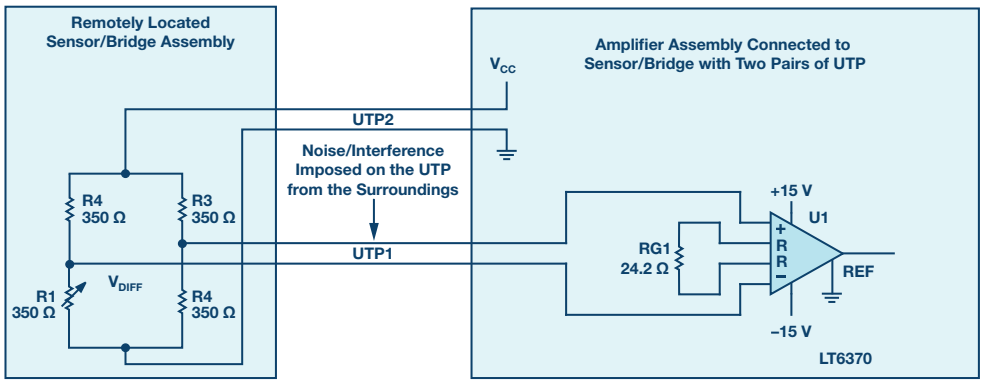


图4. 使用两根非屏蔽双绞线进行远程检测

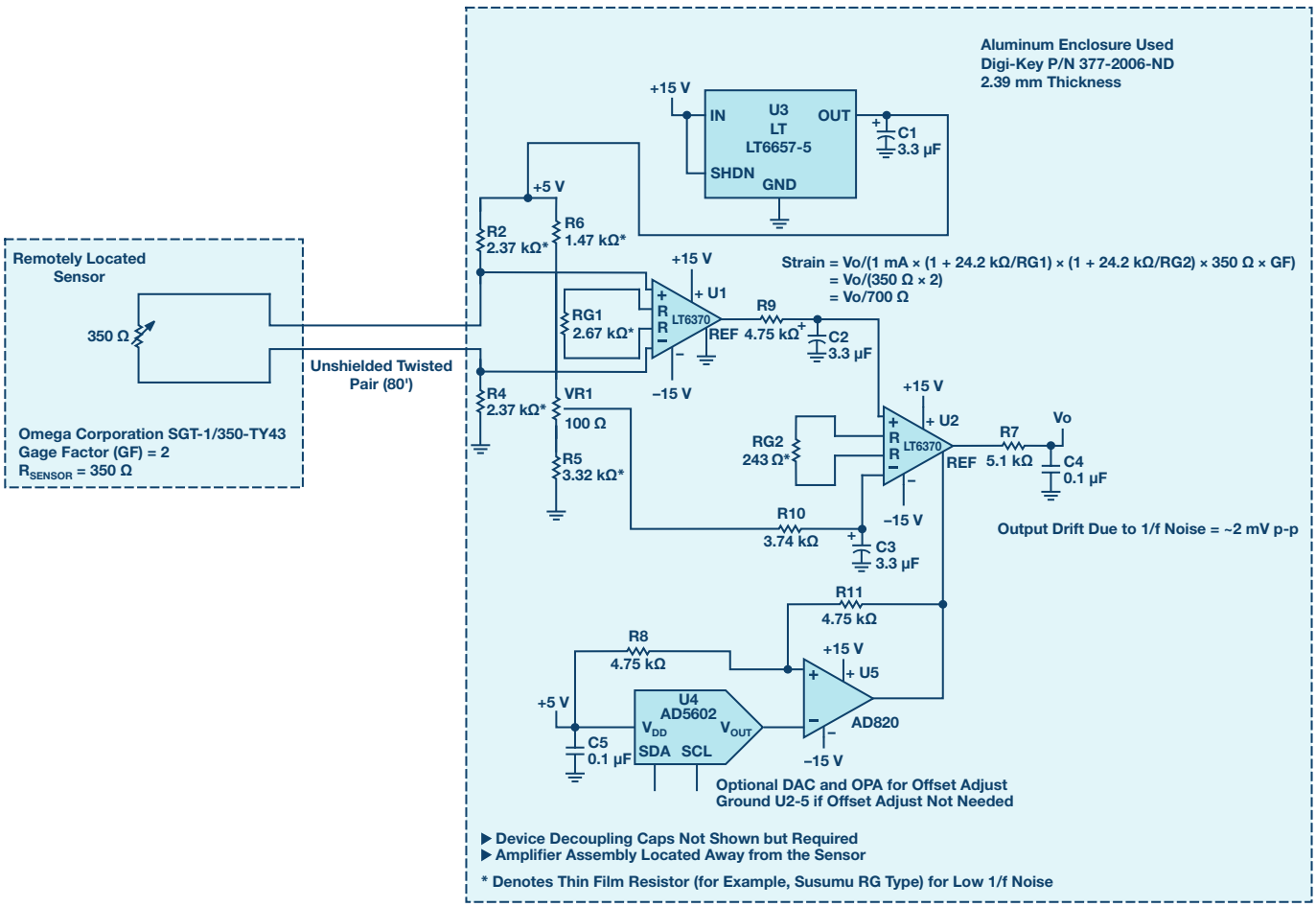


图5. 用于远程检测的单根UTP

有了LT6370的全部CMR功能，我们可以更进一步，通过减少一对接线来简化配置，仅留下一根UTP。此概念如图5所示，其中U2的输入保持平衡以获得良好的CMR。注意UTP引线看起来与U2相同，并有相同的对地阻抗(R2、R4)。

对于图5所示的元件值，流过传感器R_{SENSOR}的电流约为1 mA。使用U1的RG1值，该级以G = 10 V/V运行，输出电压为R_{SENSOR}上电压的10倍放大副本，约为3.5 V。U1的主要任务是消除UTP长导线上存在的且仅响应传感器电压的干扰，传感器电压等于传感器电阻乘以流经其中的约1 mA电流。LT6370出色的低失调电压和漂移，以及优异的CMR特性，使其成为显而易见的选择。

惠斯登电桥的另一半由R5、R6和VR1组成，其电流与电桥的传感器部分几乎相同。U1输出端的传感器电压和VR1游标处的基准电压均经过低通滤波后达到U2的差分输入端，以消除干扰噪声。U2设置为高增益(G = 1 + 24.2 kΩ/RG2 = 100 V/V)，以放大正输入端上的非常小的传感器电压，而负输入端上是固定的低噪声基准电压，自基准电压源LT6657-5产生。U1输出精确代表实测的施加于传感器(其附着于目标元件或材料)的应变，以驱动ADC或其他类似的信号处理。

可选DAC和OPA(U4、U5)连接到U2的REF引脚(如果不需要偏移调整，可以将其接地)，可用于提供输出偏移调整和调零。使用DAC可以将U2输出电压移动到适合所选ADC的基准或CM电平。例如，基准电压为5V的ADC可以直接从U2驱动，使用DAC驱动U2 REF输入，将

其零输出设置为2.5V。这样，0 V至2.5 V ADC模拟输入代表压缩应变，2.5 V至5 V信号代表拉伸应变。需要注意的是，驱动U2 REF引脚的器件(本例中为AD820)应保持低阻抗，以消除任何可能的增益误差。

以下是输出电压与传感器电阻的关系以及输出电压与被测量应变(ε)的关系的表达式：

$$\Delta V_O = 1\ \text{mA} \times \Delta R_{SENSOR} \times G1 \times G2$$

其中，ΔR_{SENSOR}为应变引起的传感器电阻的变化

$$G1 = 1 + 24.2\ \text{k}\Omega / RG1 = 10\ \frac{\text{V}}{\text{V}}$$

$$G2 = 1 + 24.2\ \text{k}\Omega / RG2 = 100\ \frac{\text{V}}{\text{V}}$$

$$\frac{\Delta V_O}{\Delta R_{SENSOR}}\left(\frac{\text{V}}{\Omega}\right) = 1\ \text{mA} \times 10\frac{\text{V}}{\text{V}} \times 100\ \frac{\text{V}}{\text{V}} \approx 1\ \frac{V}{\Omega}$$

$$\text{Gage Factor (GF)} = \frac{\frac{\Delta R_{SENSOR}}{R_{SENSOR}}}{\frac{\Delta L}{L}} = \frac{\frac{\Delta R_{SENSOR}}{R_{SENSOR}}}{\varepsilon}$$

其中：

L指传感器长度

ε指被测应变量

对于所选的传感器：

R_{sensor} = 350 Ω

GF= 2

产生的应变(ε)为：

$$\varepsilon = \frac{\Delta V_O}{1\ \text{mA} \times 1000\ \frac{\text{V}}{\text{V}} \times R_{SENSOR} \times GF} = \frac{\Delta V_O}{700}$$

LT6370的超低增益误差(G = 10 V/V时小于0.084%)和低输入失调电压(全温度范围内最大值小于50μV)，保证U2获得传感器电压的真实副本，减去UTP拾取的干扰，与U2反相输入端产生的基准电压进行比较。LT6657-5产生稳定、低噪声、低漂移的基准电压，使整个电路不受电源电压变化的影响。特别重要的是，LT6657-5的1/f噪声很低，这点意义重大，因为电路的增益很大。

U2每个输入端的简单RC低通滤波器(R9、C2和R10、C3)的滚降频率设置为约10 Hz，输出噪声可以通过限制带宽来降低。如图6所示，LT6370的1/f噪声转折频率很低(<10 Hz)，1/f噪声的影响很小，这是一个优势。此外，电流噪声密度图显示，利用输入端噪声的相关分量，保持两个输入阻抗平衡以使电流噪声影响最低要好得多。因此，由于VR1的游标具有等效阻抗，R10的值降至3.74 kΩ，以与4.75 kΩ的R9阻抗匹配。

结语

电桥传感器远离信号处理放大器，需要仪表放大器来提取干净的实测差分电压。LT6370仪表放大器的特性使其能够成功处理远程传感器通过长电缆传来的信号。LT6370制造工艺在生产测试期间调用片内加热器来保证温度漂移值，进一步增强了LT6370对远程监控应用的适应性，并延长了其在难以维修的设备中的使用寿命和产品寿命。

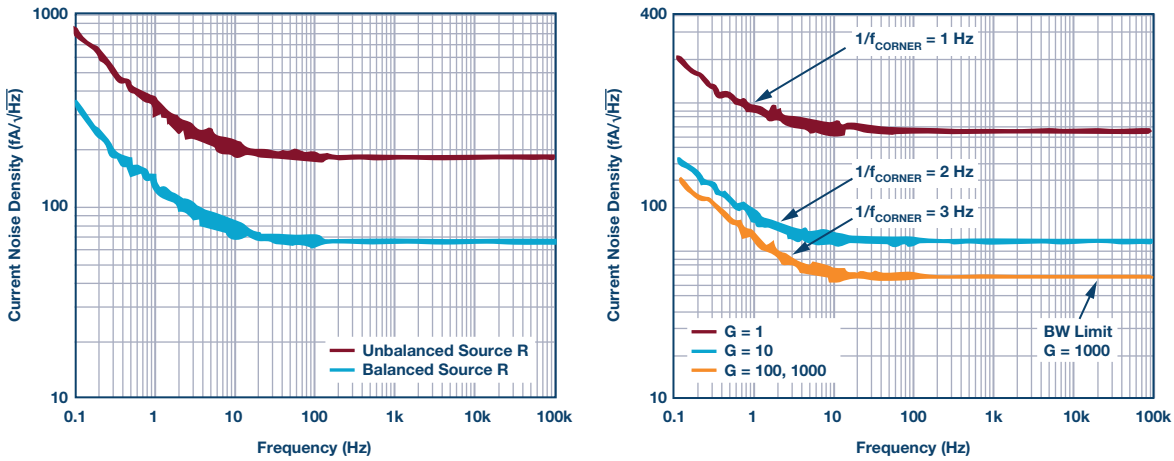


图6. LT6370输入基准电流/电压噪声密度

Hooman Hashemi [hooman.hashemi@analog.com]于2018年3月加入ADI公司，从事新产品表征和展示产品特性与用途的应用开发工作。Hooman此前曾在Texas Instruments工作了22年，担任应用工程师，专注于高速产品系列。他于1989年8月毕业于圣克拉拉大学，获电气工程硕士学位；1983年12月毕业于圣何塞州立大学，获电气工程学士学位。他已婚，有一个14岁的女儿。



Hooman Hashemi

突破约束：
基于简单降压控制器的精密双极性电源设计

作者：Victor Khasiev

分享至

简介

工业、汽车、IT和网络公司是电源电子、半导体、器件和系统的主要购买者与消费者。这些公司使用各种可用的DC-DC转换器拓扑结构，采用不同形式的降压、升压和SEPIC结构。理想情况下，这些公司会针对每个新项目使用专门的控制器。然而，采用新芯片需要大量投资，因为必须花费很多时间和成本来测试新器件是否符合汽车标准，以及验证其在特定应用、条件和设备中的功能。显然，为了降低开发和设计成本，不同应用应采用已经过批准和验证的控制器。

用于生成电源的最常用拓扑结构是降压转换器。但是，这种拓扑结构仅限于从高于输出的输入电压产生正输出。当输入电压低于输出电压时，不能直接利用它来产生负电压或提供稳定的输出。产生输出的这两个方面在汽车电子中均很重要，因为需要负电压来为放大器供电，或者当输入电压轨显著降低时，在冷起动的情况下整个系统必须连续正常工作。本文详细介绍了在SEPIC、Cuk和升压转换器中使用简单降压控制器的方法。

从公共输入轨产生负电压和正电压

图1显示了基于单个降压控制器(具有两路输出)的双极性电源设计。

为了最大限度地利用该芯片，必须使用一路输出来产生正电压，使用第二路输出来产生负电压。此电路的输入电压范围为6 V至40 V。V_{OUT1}产生10 A、3.3 V的正电压，V_{OUT2}产生3 A、-12 V的负电压。两路输出均由U1控制。第一路输出V_{OUT1}是简单的降压转换器。第二路输出的结构更复杂一些。V_{OUT2}相对于GND为负，故使用差分放大器U2来检测负电压并将其调整为0.8 V基准电压。在这种方法中，U1和U2均以系统GND为基准，这大大简化了电源的控制和功能。如果需要其他输出电压，以下表达式有助于计算RF2和RF3的电阻值。

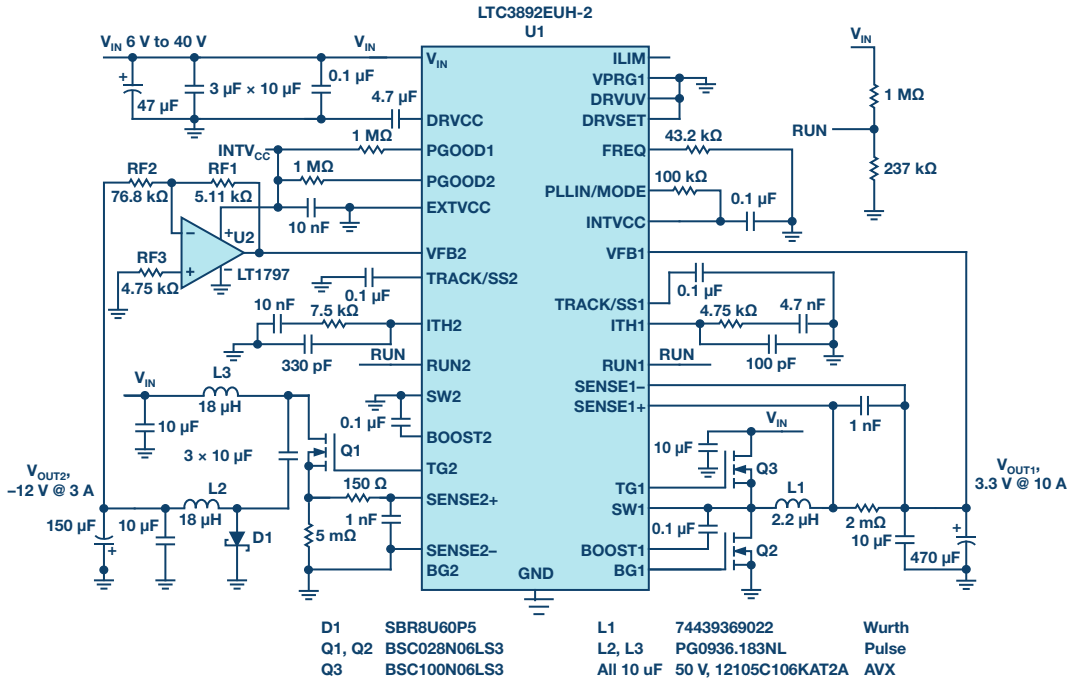


图1. LTC3892的电气原理图，可产生正负电压。V_{OUT1}为10 A、3.3 V，V_{OUT2}为3 A、-12 V。

$$KR = \frac{0.8\ \text{V}}{|V_O|}$$

$$RF1 = 5.11\ \text{k}\Omega$$

$$RF2 = \frac{RF1}{KR}$$

$$RF3 = \frac{RF1 \times RF2}{RF1 + RF2}$$

V_{OUT2}电源系采用Cuk拓扑结构，相关技术文献中对此有广泛介绍。为了解电源系元件上的电压，需要使用以下基本公式。

$$D = \frac{|V_O|}{|V_O| + V_{IN}}$$

$$V_C = \frac{V_{IN}}{1 - D}$$

$$V_{DS} = V_D = V_C$$

V_{OUT2}效率曲线如图2所示。这种方法的LTspice®仿真模型参见此处。在本例中，LTC3892 转换器的输入为10 V至20 V。输出电压为10 A、+5 V和5 A、-5 V。

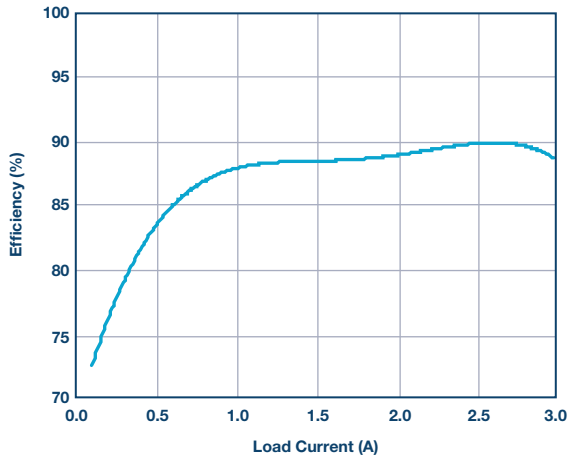


图2. 14 V输入电压时负输出的效率曲线。

从波动输入轨产生稳定电压

图3所示转换器的电气原理图支持两路输出：V_{OUT1}为10A、3.3V，V_{OUT2}为3A、12V。输入电压范围为6V至40V。V_{OUT1}以类似方式创建，如图1所示。第二路输出是SEPIC转换器。与上面的Cuk一样，该SEPIC转换器基于非耦合的双分立电感解决方案。分立扼流圈的使用显著扩大了可用磁性材料的范围，这对于成本敏感型器件非常重要。

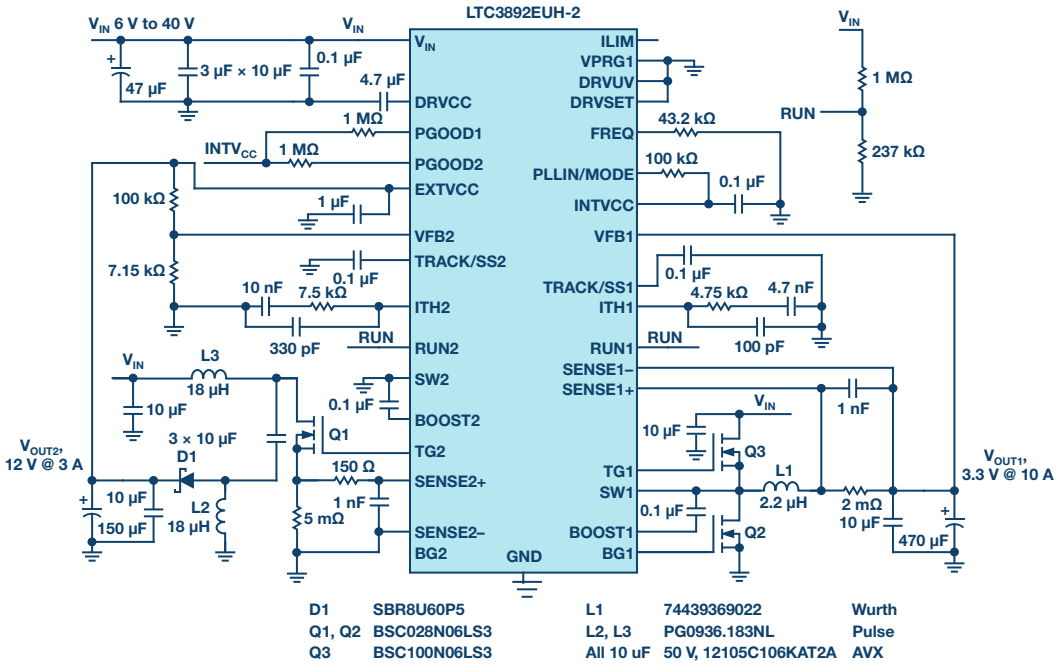


图3. SEPIC结构的LTC3892在降压应用中的电气原理图。

$$D = \frac{V_O}{V_O + V_{IN}} \qquad V_C = V_{IN}$$

$$V_{DS} = V_D = V_{IN} + V_O$$

图4和图5显示了该转换器在电压下降和达到尖峰时(例如在冷起动或电源切断时)的功能。轨电压V_{IN}围绕相对标称值12 V下降或上升。但是，V_{OUT1}和V_{OUT2}均处于稳压状态，为关键负载提供稳定的电源。双电感SEPIC转换器可以轻松重新连接成单电感升压转换器。

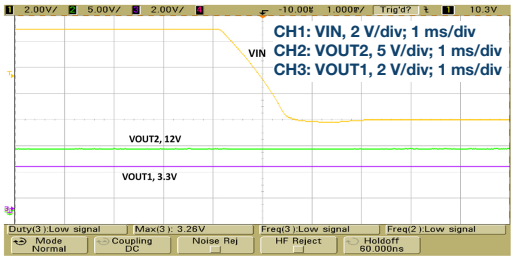


图4. 轨电压从14 V降至7 V，V_{OUT1}和V_{OUT2}均处于稳压状态。

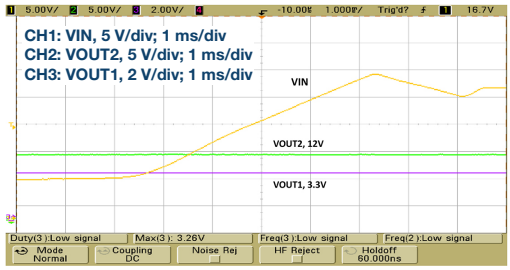
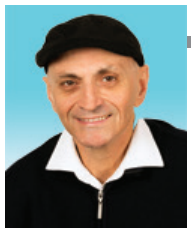


图5. 轨电压从14 V升至24 V，但V_{OUT1}和V_{OUT2}均处于稳压状态。

相关LTspice仿真模型参见此处。它显示LTC3892转换器的输入为10 V至20 V。输出电压为10 A、+5 V和5 A、-5 V。

结论

本文介绍了基于降压控制器构建双极性和双输出电源的方法。这种方法支持在降压、升压、SEPIC和Cuk拓扑中使用相同的控制器。这对于汽车和工业电子供应商来说非常重要，因为一旦经过核准，他们便可基于同一控制器设计出提供各种输出电压的电源。



Victor Khasiev

Victor Khasiev [victor.khasiev@analog.com]是ADI公司高级应用工程师。Victor在交流-直流和直流-直流转换电源电子方面拥有丰富的经验。他拥有两项专利，并撰写了多篇文章。这些文章涉及ADI半导体器件在汽车和工业应用中的使用，包括升压、降压、SEPIC、正到负、负到负、反激式、正激式转换器和双向备用电源。他的专利与高效功率因数校正解决方案和先进栅极驱动器有关。Victor乐于为ADI公司客户提供技术支持，解答有关ADI公司产品、电源原理图设计和验证、印刷电路板布局、故障排查以及最终系统测试的问题。

非常见问题解答—第160期
简单电路测量两个光源的相对强度

作者：**Chau Tran**

分享至

问：

是否可以使用仪表放大器测量两个光源之间的差异？



答：

是的，用两个光敏电阻替换仪表放大器的主设定电阻就可以。

在许多照明应用中，测量两个光源的相对强度比测量其各自的强度更重要。这样能确保两个光源以相同的强度发光。例如，比较同一建筑物内控制室(1号房间)和另一间房(2号房间)的亮度会有帮助，以便可以在白天的任何时间和夜里进行调整。或者，对于一个生产系统，您可能希望确保明亮的光照条件不发生变化。

确定相对强度的一种办法是测量两个附加光检测器的不同输出。其差异将被转换为以地为基准的单端电压信号。

图1中的电路就是解决此问题的一种简单但有效的方法，其使用带电阻增益控制功能的仪表放大器，例如AD623。

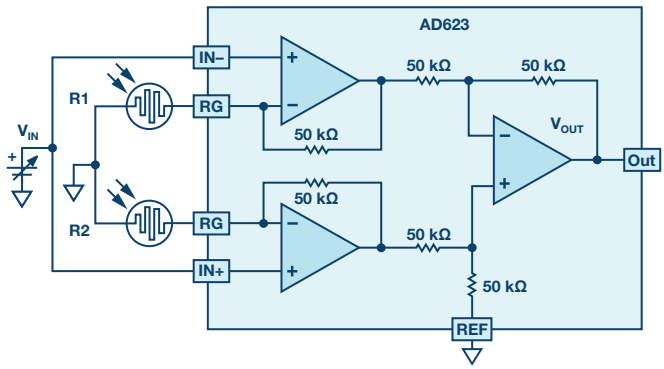


图1. 测量相对光强度的简单电路

请注意，该电路中有两个特殊电阻R1和R2。R1 (LDR1)测量两个光源的亮度。

何谓LDR?该术语表示光敏电阻。它是一种无源电子元件，带有一个电阻，其阻值依据光强度而变化。光敏电阻有不同形状和颜色，适用于许多电子电路，尤其是报警器、开关器件、时钟和路灯。

一般来说，LDR的电阻在黑暗中非常高，几乎高达1 MΩ，但当光线照在LDR上时，其电阻降至几kΩ(10 lux时为10kΩ至20kΩ，100 lux时为2kΩ至4kΩ lux)，具体情况视型号而定。

此原理图使用的LDR来自RadioShack(产品型号276-1657)。

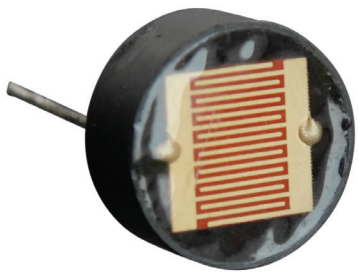


图2. RadioShack产品型号276-1657

图1中的原理图采用AD623和两个LDR。作为主传感器的光敏电阻R1是参考点光源。它用作光强度的基准，位于控制室中。若要比较两个以上的光源，则在每次比较时都应使用此光源作为基准。这种比较可以在晚上或白天进行。请记住，电阻发生变化需要8毫秒到12毫秒。电阻恢复到初始值也需要几秒钟。

该设计非常简单。系统电源为±5V，两个输入端的输入电压为V_{IN}。因此，每个光敏电阻的一端有相同电压，另一端接地。如果相同量的光照在两个光敏电阻上，其间的电流差将为零，因为其电阻相等。结果是输出电压为零伏。当两个房间的照明不均匀时，两个光源的强度之间存在差异，这会在系统输出端产生电压。该电压的极性指示哪个房间更亮。如果输出电压为正，则意味着照在LDR2上的光线较多，反之亦然。

图3为输出波形的示波器图。输入电压为1 V p-p方波，频率为1 kHz，输出(约2 V)表明2号房间中的光源更亮。

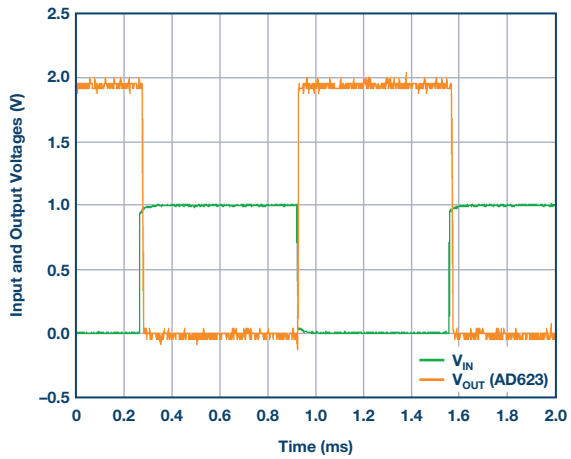


图3. 输出电压指示相对光强度。

在本文的电路中，AD623的输出端有两个LED。当输出为正(光源2更亮)时，正极连接到输出的红光LED将开启，而当光源1更亮时，正极接地的黄光LED将开启。请注意，LED的亮度表示房间相对强度的幅度水平。

当两个房间看起来同样明亮时，其照度相等，输出为0 V，两个LED均关闭。

电路输出端的电压为：

$$V_{OUT} = V_{IN} \times 50\ \text{k}\Omega \times \left(\frac{1}{LDR1} - \frac{1}{LDR2}\right)$$

输出的均方根值表示两个光源的强度等级。

校准LDR1值以找到特定亮度下的精确电阻值之后，可以用一个纯电阻替换LDR1，这样系统在所有时候都会将LDR2的值与某个亮度进行比较。通过这种方式，固定电阻便可用作一个已知光强度的基准。这种电路可以充当太阳能导引头，即一种跟踪光源的简单装置。此类装置可以使太阳能面板对准太阳，或用于搜救机器人中，引导被困人员走向有光的地方。为了实现太阳能导引头，可以利用伺服电机来旋转光敏电阻。

使用AD623并且将两个灯泡分别与LDR1和LDR2一起放入不同的房间，可以了解这两个灯泡的效率。该电路功耗低，只需两节AA电池供电，故适合于功耗敏感应用。

Chau Tran [chau.tran@analog.com]于1984年加入ADI公司，目前在位于美国马萨诸塞州威明顿市的仪表放大器产品(IAP)部门工作。他于1990年毕业于塔夫斯大学，获得电气工程硕士学位。Tran拥有10多项专利，并撰写了十几篇技术文章。



Chau Tran

该作者的其他文章：

低功耗、低成本的差分输入转单端输出放大器

第51卷，第3期

随时了解*模拟对话*

获取工学新动态，激发设计新思路！

通过订阅模拟对话，最先获取解决实际设计挑战所需的最新技术、应用和系统级见解。请务必告知您的朋友！

analog.com/cn/analogdialogue

AnalogDialogue
ANALOG DEVICES 模拟对话

EngineerZone®支持社区

与社区中的ADI技术专家互动，提出您棘手的设计问题，浏览我们丰富的知识库。

https://ez.analog.com/cn

EngineerZone™
ANALOG DEVICES 中文技术论坛

中国技术支持中心

电话：4006 100 006

邮箱：*china.support@analog.com*

全球总部
One Technology Way
P.O. Box 9106, Norwood, MA
02062-9106 U.S.A.
Tel: (1 781) 329 4700
Fax: (1 781) 461 3113

大中华区总部
上海市浦东新区张江高科技园区
祖冲之路 2290 号展想广场 5 楼
邮编：201203
电话：(86 21) 2320 8000
传真：(86 21) 2320 8222

深圳分公司
深圳市福田中心区
益田路与福华三路交汇处
深圳国际商会中心
4205-4210 室
邮编：518048
电话：(86 755) 8202 3200
传真：(86 755) 8202 3222

北京分公司
北京市海淀区
西小口路 66 号
中关村东升科技园
B-6 号楼 A 座一层
邮编：100191
电话：(86 10) 5987 1000
传真：(86 10) 6298 3574

武汉分公司
湖北省武汉市东湖高新区
珞瑜路 889 号光谷国际广场
写字楼 B 座 2403-2405 室
邮编：430073
电话：(86 27) 8715 9968
传真：(86 27) 8715 9931

©2017 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners. Ahead of What´s Possible is a trademark of Analog Devices.

BRL10012sc-0-5/19

analog.com/cn

ANALOG DEVICES
超越一切可能™