

Circuits from the Lab® 参考设计是经过测试的参考设计，有助于加速设计，同时简化系统集成，帮助并解决当今模拟、混合信号和 RF 设计挑战。如需更多信息和/或技术支持，请访问 www.analog.com/cn/CN0405。

连接/参考器件

AD5116	单通道、64 位、按钮式、±8%电阻容差、非易失性数字电位计
ADCMP371	具有推挽输出级的通用型比较器
ADP121	150 mA、低静态电流、CMOS 线性稳压器

带按钮控制的高压输出 DAC

评估和设计支持

电路评估板

[CN-0405 电路评估板 \(EVAL-CN0405-EB1Z\)](#)

设计和集成文件

[原理图](#)、[布局文件](#)、[物料清单](#)

电路功能与优势

图1所示电路提供了一种利用按钮控制数字电位计取代传统高压机械电位计的完整解决方案。

在该电路中，低压数字电位计通过简单的按钮式开关控制电池或其他来源提供的最高 20 V 高压源，简便易用，电源效率极佳。数字电位计 AD5116 提供 64 个游标位置，端到端电阻容差为 ±8%，适合各类调整应用。

此外，AD5116 内置一个 EEPROM，可通过一个按钮将游标位置手动保存到所需位置。此特性在需要默认上电位置的应用中很有用。

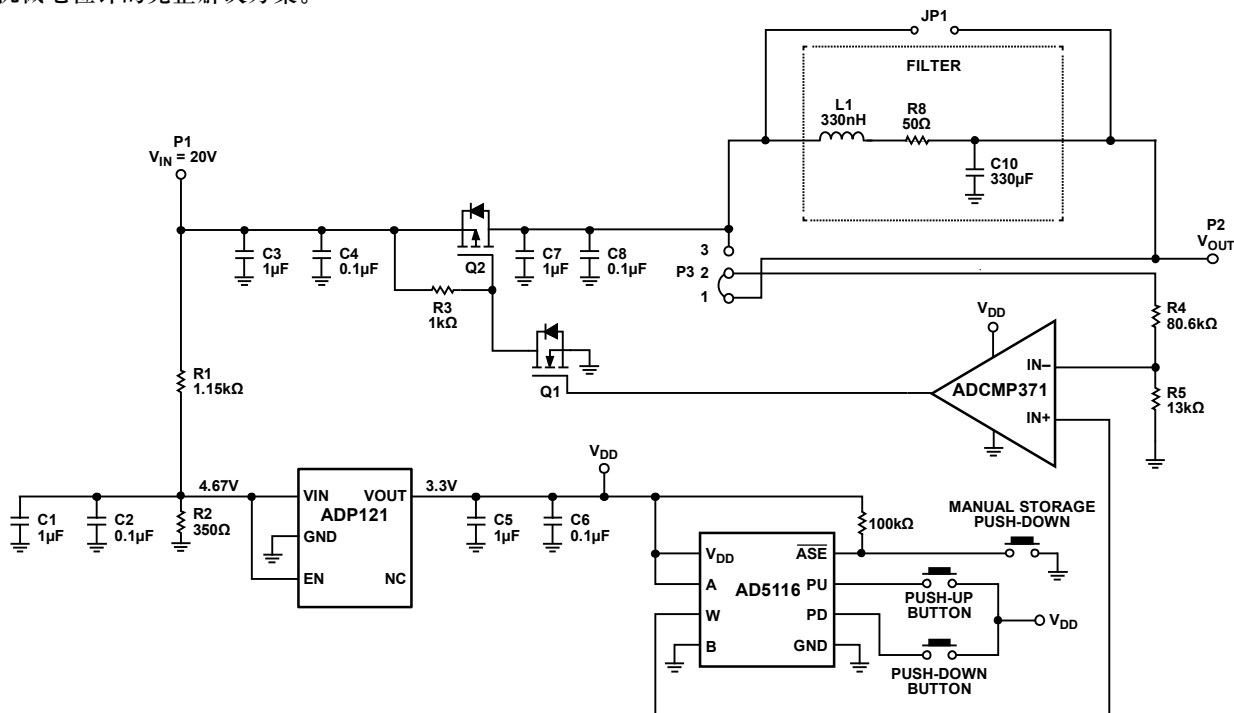


图1. 高压DAC电路 (原理示意图: 未显示所有元件、连接和去耦)

Rev. 0

Circuits from the Lab® reference designs from Analog Devices have been designed and built by Analog Devices engineers. Standard engineering practices have been employed in the design and construction of each circuit, and their function and performance have been tested and verified in a lab environment at room temperature. However, you are solely responsible for testing the circuit and determining its suitability and applicability for your use and application. Accordingly, in no event shall Analog Devices be liable for direct, indirect, special, incidental, consequential or punitive damages due to any cause whatsoever connected to the use of any Circuits from the Lab circuits. (Continued on last page)

电路描述

图1所示电路是一个简单的高压可变输出开关控制器，采用64位数字电位计AD5116和比较器ADCMP371。该比较器有一个推挽输出级，功耗很低，适合电池供电的便携式设备使用。

该电路完全由 V_{IN} 源供电，接受最高20 V的输入电压。来自分压器R1和R2的电压通过一个30 μ A、低静态电流、低压差线性稳压器ADP121调节到3.3 V。经调节的3.3 V源将 V_{DD} 电压供应给数字电位计AD5116和比较器ADCMP371。

电路工作原理

该电路是一种开关模式电源，其输出电压通过控制反馈网络的开关频率来调节。

输出电压 V_{OUT} 由反馈比较器控制，比较器将R4和R5分压输出电压与产生自数字电位计AD5116游标的基准电压进行比较。比较器输出驱动NMOS晶体管Q1，后者进而驱动串联PMOS调整管Q2。负反馈引起Q2导通和关断，迫使比较器IN-引脚上的平均电压等于IN+引脚上的电压。Q1和Q2要么导通，要么关断，故其功耗非常小。

当Q1晶体管导通时（饱和区），其上的压降最小；当其关断时（截止区），电源路径中几乎无电流。开关频率取决于AD5116数模转换器(DAC)的输出电压。

当DAC输出为低电压时，Q2在大部分时间内必定是断开的，故而比较器输出在大部分时间内必定为低电平。在这些条件下，比较器输出是一系列较短的趋正低频脉冲。

当DAC输出电压提高时，Q2闭合的时间会更长，故而比较

器输出为高电平的时间也会更长。在这些条件下，比较器输出是一系列速度更快、频率更高的趋正输出脉冲。如果DAC输出电压降低，则情况相反。

无论DAC输出电压如何提高或降低，负反馈都会迫使比较器输入的平均值相等。

滤波器输出电压 V_{OUT} 通过以下公式确定：

$$V_{OUT} = V_W \times \left(1 + \frac{R4}{R5} \right) \quad (1)$$

其中 V_W 为游标端W处的DAC输出电压。

数字电位计AD5116在游标到B端上产生一个与 V_{DD} 电压成比例的分压。A端和B端之间的电阻标称值为5 k Ω ，划分为64抽头。在量程的较低端，典型游标电阻 R_W 降至45 Ω 到70 Ω 之间的值。相对于GND的 V_W 输出电压为：

$$V_W = \frac{R_{WB}}{R_{AB}} \times V_A \quad (2)$$

$$R_{WB} = \frac{D}{64} \times R_{AB} + R_W \quad (3)$$

其中：

R_{WB} 为底部量程的游标电阻。

R_{AB} 为端到端电阻。

V_A 为分压器串顶部的电压，等于 V_{DD} 。

D 为RDAC寄存器中的二进制代码的十进制等效值。

RDAC寄存器通过PD和PU按钮来控制。当确定所需的游标位置时，可以通过 \overline{ASE} 按钮将其存储到EEPROM存储器中，设置为上电时的默认位置。

滤波部分

为产生恒定直流电压并降低输入端切换引起的输出纹波电压，还需要一个滤波电路。

决定滤波器设计的关键是确定最大和最小开关频率，并定义纹波考虑因素和DAC工作电压范围。

当旁路滤波器模块时（JP1短路、C10未插入），零电平和满量程两种情况下电路的未滤波输出波形分别如图2和图3所示。

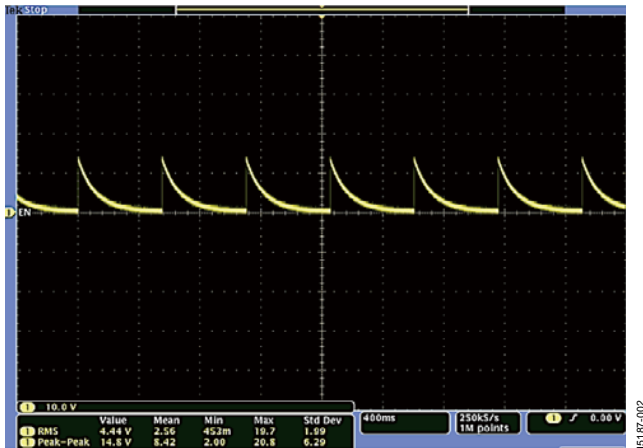


图2. 低压时的V_{OUT}, 400 ms/div, 1.8 Hz

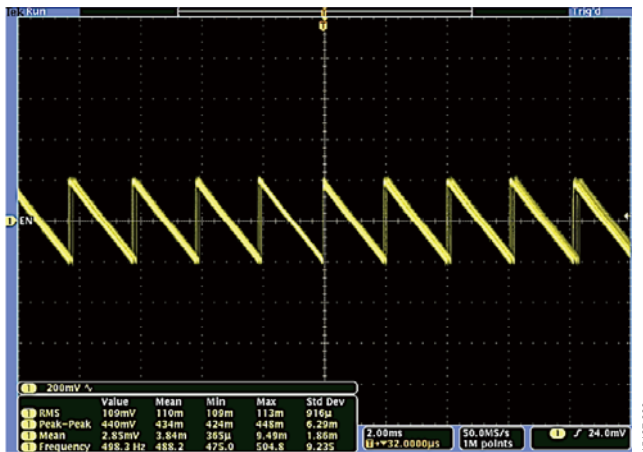


图3. 高压时的V_{OUT} (交流耦合), 2 ms/div, 500 Hz

如图2和图3所示，电路的工作开关频率范围是从约1.8 Hz（低端）到500 Hz（高端）。进入输出波形的开关纹波瞬变可通过电路滤波器模块部分中的简单滤波器设计滤除。

元件值取决于滤波器的截止频率。由于开关频率相当低，所以对于较低截止频率，需要相对较大的R、L和C值。然

而，滤波器的串联电阻会与输出负载一起形成一个分压器，这可能会降低输出电压。因此，R值必须相对较小。滤波器设计元件可根据应用类型和负载要求加以更改。

该电路采用一个简单的RLC低通滤波器来滤除输出波形。R8和C10分别为50 Ω电阻和330 μF电容，L1为100 nH电感，由这些元件构成RLC滤波器。

高压输出和低压输出两种情况下的滤波输出波形分别如图4和图5所示。

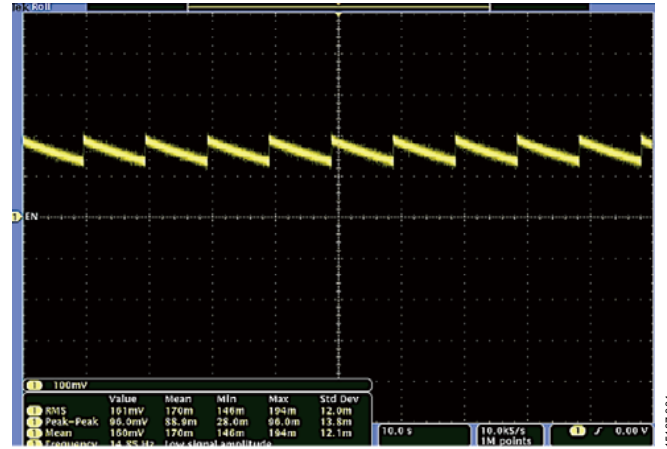


图4. 高阻抗负载下的滤波V_{OUT} (高压)

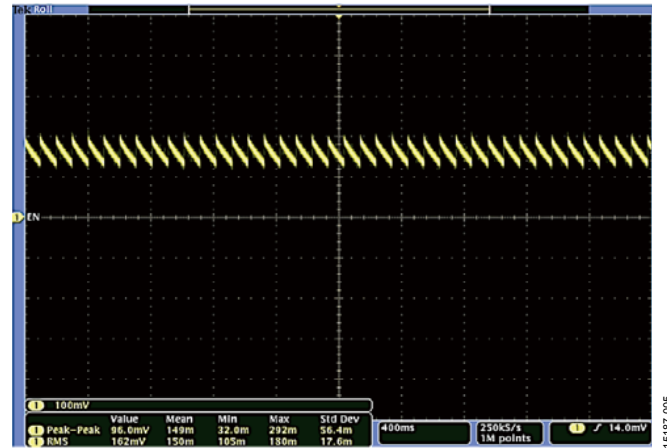


图5. 1 kΩ负载下的滤波V_{OUT} (低压)

滤波输出显示，纹波电压约为100 mV p-p。注意峰峰值纹波电压对所有代码都相同，不受输出端连接的负载影响。本电路使用的晶体管为IRF9630S晶体管，不过也可以用其他规格相同但IDSS低得多的晶体管进行代替。

测试数据与结果

图6至图9显示了 V_{OUT} (rms)与DAC码的关系。执行这些测试时，输出端RLC滤波器采用图1所示的值（50 Ω 、330 nH和330 μ F）。

图6显示在空载情况下，当代码超过56时，输出电压即受限，此时比较器输入接近其输入共模电压限值。

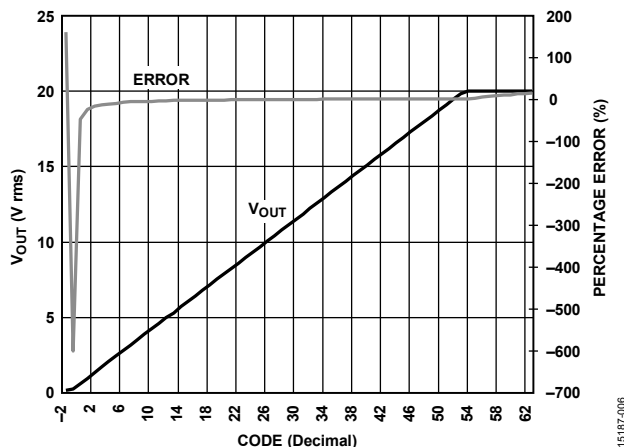


图6. 输出电压和误差与十进制码的关系 ($V_{IN} = 20$ V, 高阻抗负载), 满量程DAC范围

图7显示从代码10到代码54，输出有 $\pm 5\%$ 的误差。代码较低时的高百分比误差（参见图6）是由串联侧晶体管Q2的高失调电压引起的。

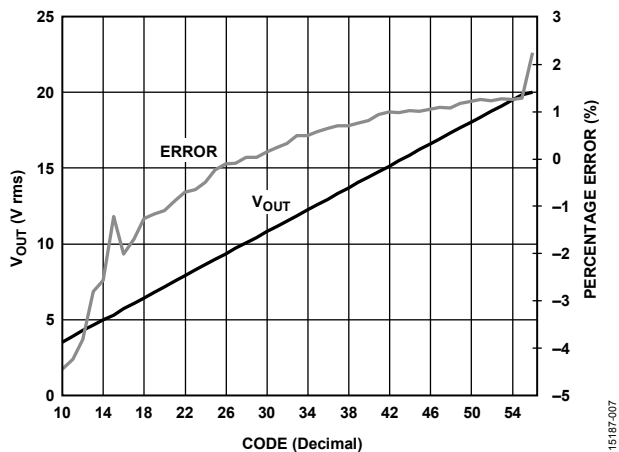


图7. 输出电压和误差与十进制码的关系 ($V_{IN} = 20$ V, 高阻抗负载), DAC在线性工作范围内

50 Ω 串联电阻与负载形成一个分压器。负载为1 k Ω 时，输出电压以19.01 V为限，如图8所示。

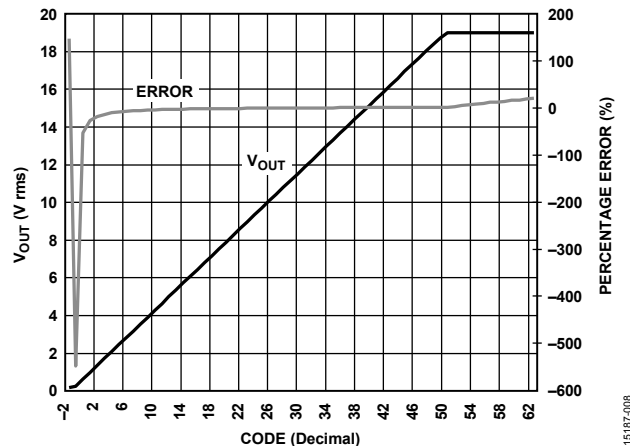


图8. 输出电压和误差与十进制码的关系 ($V_{IN} = 20$ V, $R_L = 1$ k Ω), 满量程DAC范围

图9显示输出负载为1 k Ω 且在代码10到代码54的线性工作范围内的响应。

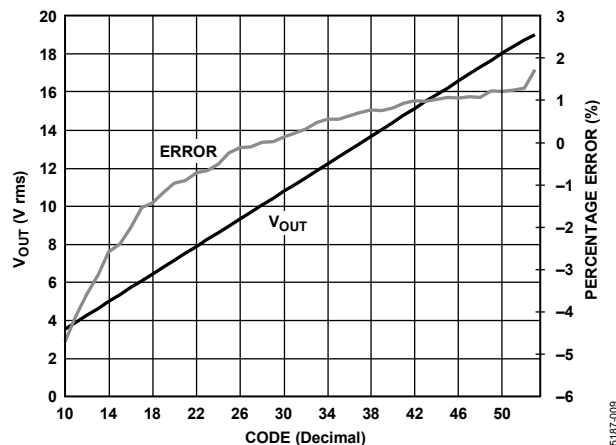


图9. 输出电压和误差与十进制码的关系 ($V_{IN} = 20$ V, $R_L = 1$ k Ω), DAC在线性工作范围内

常见变化

利用脉宽调制器(PWM)控制串联调整管的开关时间比，可以增强电路性能并简化滤波。比较器也可以用控制PWM的误差放大器代替。可采用低 I_{DSS} 的功率晶体管来使输出端纹波失调电压最小。利用PWM控制器可实现更精密的输出电压调整。

该电路也可利用输出可调的降压转换器实现，例如ADP2441。AD5116用作分压器，为降压转换器的反馈引脚供电。然而，输出电压必须衰减4倍，以将AD5116驱动电压限制在5 V。

电路评估与测试

利用如下设备评估本电路。

设备要求

需要使用以下设备：

- EVAL-CN0405-EB1Z电路评估板
- Agilent E36311A双直流电源（或等效设备）
- Agilent 3458A万用表（或等效设备）
- 示波器

测试设置功能框图

图10所示为测试设置的功能框图。

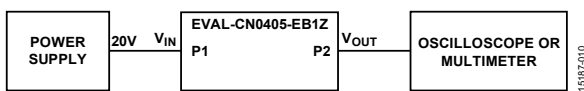


图10. 测试设置功能框图

设置

采用以下步骤评估电路：

1. 对于滤波输出，用跳线连接P3的引脚1和引脚2连接线。移除JP1跳线连接线。
2. 对于未滤波输出，用跳线连接P3的引脚2和引脚3连接线。安装JP1跳线连接线。移除C10。
3. 将P2 (V_{OUT})连接到示波器/万用表。
4. 将20 V电源电压连接到V_{IN}。
5. 按PU或PD按钮改变输出电压。
6. 按ASE按钮保存上电时需要的输出电压。

利用Agilent E3631A电源提供20 V输入电压。利用示波器捕捉来自EVAL-CN0405-EB1Z的输出波形，并利用Agilent 3458A万用表测量V_{RMS}电压。

如需获得EVAL-CN0405-EB1Z板的全套文档，包括原理图、布局布线和物料清单，请参阅CN-0405设计支持包 (www.analog.com/cn/CN0405-DesignSupport)。

图11显示了电路板的实物照片。

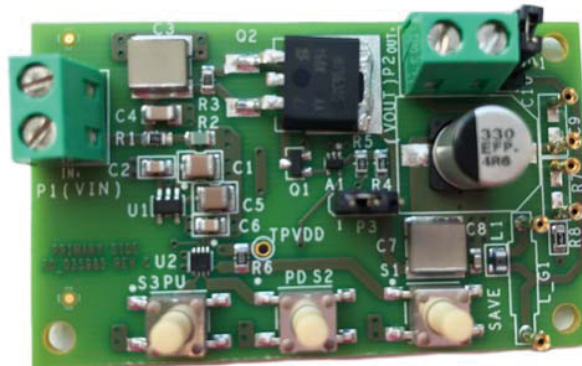


图11. EVAL-CN0405-EB1Z板照片

更多资料

CN-0405设计支持包：

www.analog.com/cn/CN0405-DesignSupport

指南MT-031。实现数据转换器的接地并解开“AGND”和“DGND”的谜团。ADI公司。

指南MT-091。数字电位计。ADI公司。

指南MT-101。去耦技术。ADI公司。

Walt Kester。1998.电源和散热管理实用设计技巧，第三部分。ADI公司。

Walt Kester。2009.实用电源解决方案，第一部分。ADI公司。

Aldrick Limjoco。“了解开关稳压器输出伪像，加快电源设计”，《模拟对话》第48卷。ADI公司（2014年8月）。

Aldrick Limjoco。AN-1144应用笔记。测量开关稳压器中的输出纹波和开关瞬变。ADI公司。

数据手册和评估板

[AD5116数据手册](#)

[ADCMP371数据手册](#)

[ADP121数据手册](#)

修订历史

2017年3月—修订版0：初始版

(Continued from first page) Circuits from the Lab reference designs are intended only for use with Analog Devices products and are the intellectual property of Analog Devices or its licensors. While you may use the Circuits from the Lab reference designs in the design of your product, no other license is granted by implication or otherwise under any patents or other intellectual property by application or use of the Circuits from the Lab reference designs. Information furnished by Analog Devices is believed to be accurate and reliable. However, Circuits from the Lab reference designs are supplied "as is" and without warranties of any kind, express, implied, or statutory including, but not limited to, any implied warranty of merchantability, noninfringement or fitness for a particular purpose and no responsibility is assumed by Analog Devices for their use, nor for any infringements of patents or other rights of third parties that may result from their use. Analog Devices reserves the right to change any Circuits from the Lab reference designs at any time without notice but is under no obligation to do so.