

连接/参考器件

| | |
|----------|---------------|
| ADF4106 | PLL频率合成器 |
| ADCLK905 | ECL 1:1时钟缓冲器 |
| ADCLK925 | ECL 1:2时钟缓冲器 |
| ADP150 | 3.3 V低噪声线性稳压器 |
| ADP7102 | 5 V低噪声线性稳压器 |

扩展高性能锁相环的低频范围

评估和设计支持

电路评估板

[CN-0290电路评估板\(EVAL-CN0290-SDPZ\)](#)

[系统演示平台\(EVAL-SDP-CS1Z\)](#)

设计和集成文件

[原理图、布局文件、物料清单](#)

电路功能与优势

图1所示电路是一种高性能锁相环(PLL)，它利用高速时钟缓冲器和低噪声LDO来维持低相位噪声，即使在低参考频率和RF频率下也可如此。

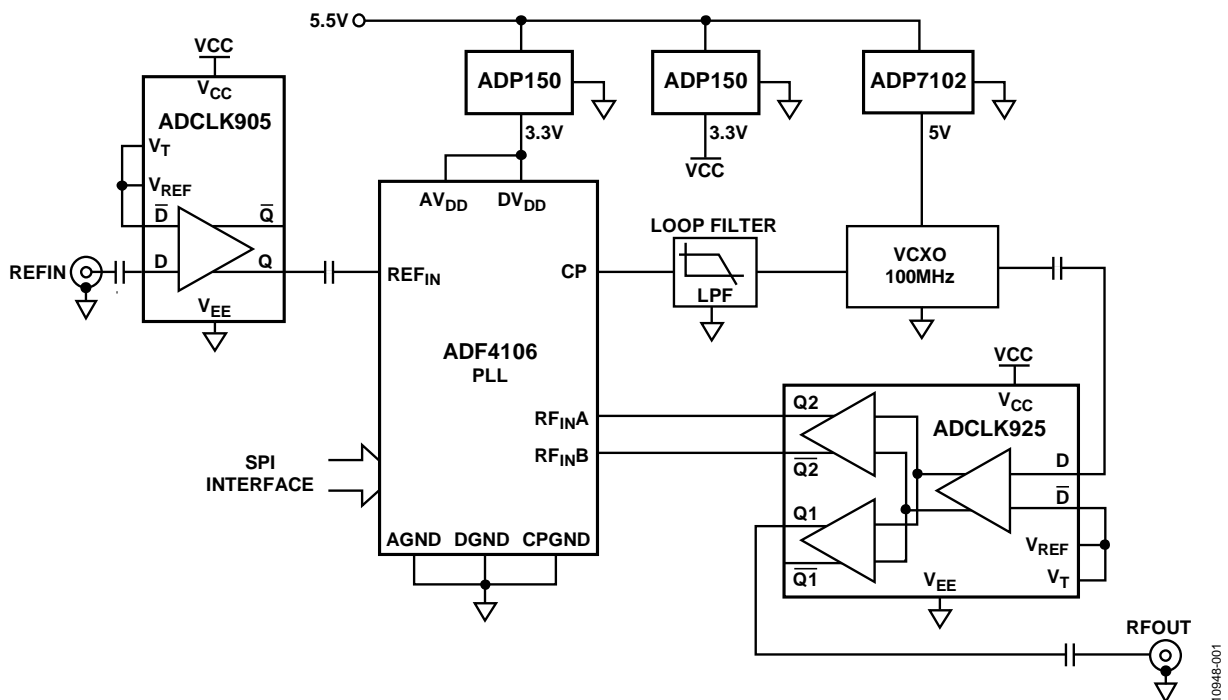


图1. EVAL-CN0290-SDPZ的功能框图(简化原理图：未显示所有连接和去耦)

Rev. 0

Circuits from the Lab™ circuits from Analog Devices have been designed and built by Analog Devices engineers. Standard engineering practices have been employed in the design and construction of each circuit, and their function and performance have been tested and verified in a lab environment at room temperature. However, you are solely responsible for testing the circuit and determining its suitability and applicability for your use and application. Accordingly, in no event shall Analog Devices be liable for direct, indirect, special, incidental, consequential or punitive damages due to any cause whatsoever connected to the use of any Circuits from the Lab circuits. (Continued on last page)

CN-0290

例如，多种ADI PLL(如ADF4106)的最小参考频率和RF输入频率的额定值都分别为20 MHz和500 MHz。使用图1所示额外时钟缓冲器，可以将频率范围降至10 MHz的参考频率和100 MHz的RF输入频率。

电路描述

ADF4106频率合成器可以用来在RF接收器、发射器、信号分析仪、数据生成器或者任何要求本振功能的RF应用的上变频和下变频部分实现本振功能。当频率合成器与一个外

部环路滤波器和电压控制振荡器(VCO)一起使用时，则可以实现完整的锁相环(PLL)。

ADF4106是一款整数-N PLL，其中，通道步长为整数N。该器件的RF频率输出范围最高为6 GHz，简单易用，额定相位噪声低，一般为-223 dBc/Hz(归一化相位噪声底)。图1所示为低噪声单频时钟应用中采用ADF4106的完整锁相环的功能框图，图2为其简化原理图。

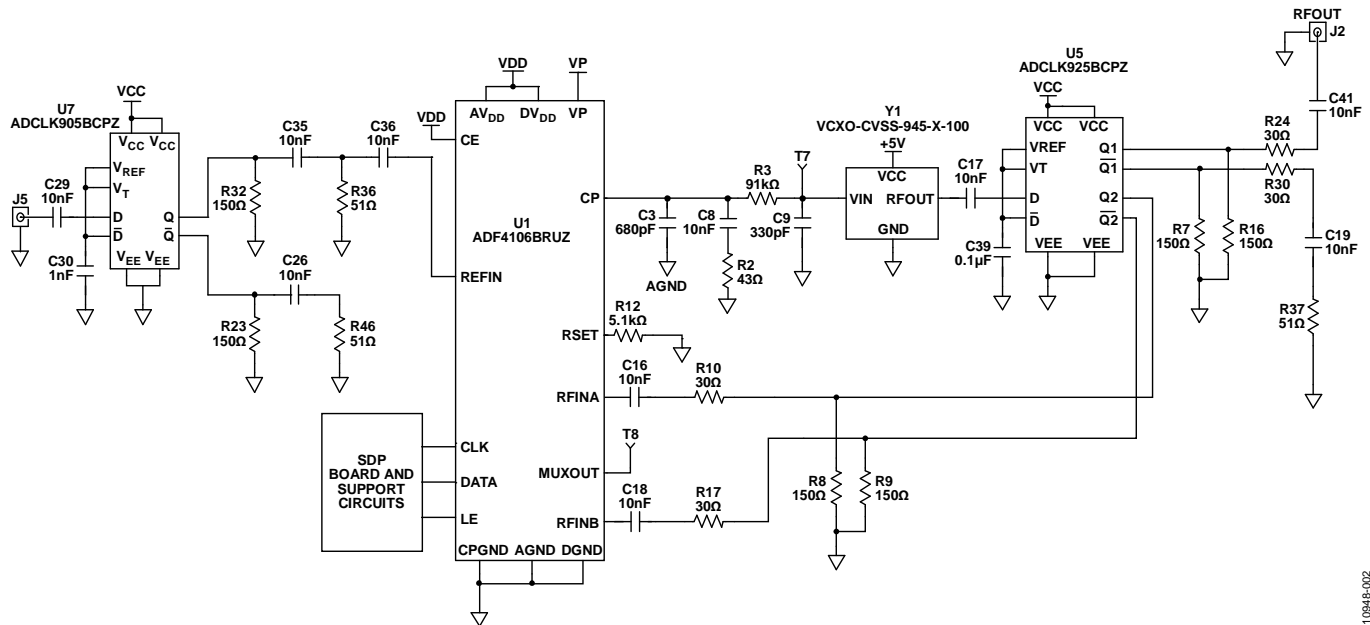


图2. 针对ADF4106的参考频率和RF频率输入提供时钟缓冲的低相位噪声锁相环简化原理图

10948-002

低噪声10 MHz参考源由ADCLK905缓冲，并交流耦合至ADF4106 PLL的REF_{IN}。VCO是一款低噪声、100 MHz正弦波VCXO，其输出交流耦合至ADCLK925的50 Ω输入负载。该VCXO与ADCLK925之间的接口非常简单，因为两个器件在负载和信号电平要求方面都是匹配的。ADCLK925 1:2缓冲器输出级同时向PLL提供RFOUT信号和所需RF反馈信号。

ADF4106 PLL以专用的3.3 V ADP150低噪声LDO供电，两个时钟缓冲器(ADCLK905、ADCLK925)则由第二ADP150供电。ADP150的输出电压噪声仅为9 μV rms，可同时为PLL和时钟缓冲器提供低相位噪声保障。

低噪声VCXO由ADP7102低噪声5 V线性稳压器供电，以减少VCO推压的影响(等效于电源抑制)。

参考输入时钟缓冲器

PLL的REF_{IN}和RF_{IN}输入级的时钟缓冲器需要具备低附加的抖动，在工作频率下需要具有充足的压摆率，还需要有足够的信号摆幅以达到ADF4106的要求。

ADCLK905/ADCLK925是超快ECL时钟/数据缓冲器，专为尽可能降低宽输入压摆率范围下的附加随机抖动而设计。它们采用全摆幅ECL发射极耦合逻辑输出驱动器，传播延迟为95 ps，随机抖动为60 fs。这些器件的上升/下降时间(20%至80%)为60 ps(典型值)，相当于约8000 V/μs的压摆率。

ADCLK905用于缓冲10 MHz REF_{IN}频率源。许多应用通常采用10 MHz的参考频率。根据可用的信号摆幅，压摆率可能达不到ADF4106的50 V/μsec(最小值)压摆率要求。例如，10 MHz 0 dBm正弦波的压摆率只有20 V/μs。

选择ADCLK905作为REF_{IN}时钟缓冲器，以提高10 MHz频率源的压摆率。ADCLK905的低附加的抖动确保REF_{IN}时钟缓冲器带来的任何附加的抖动都是最小的。PLL带宽范围内的参考噪声不衰减，从而使参考噪声保持于低位，这是选择组件时的一个主要因素。ADCLK905的附加的抖动较低，为60 fs，这使其成为必然选择。在50 Ω环境中，输入和输出的匹配对性能有着重要的影响。ADCLK905的输入缓冲器同时为两个D输入提供内部50 Ω端接电阻。这两个50 Ω电阻之间的中心抽头V_T从外部连接至互补D输入和V_{REF}引脚。这些引脚通过一个陶瓷电容去耦。

ADCLK905的PECL输出级从各端将800 mV直接驱动至端接于V_{CC} - 2 V的50 Ω负载。端接通过每个ADCLK905输出端的

一个电阻端接实现。对于V_{CC} = 3.3 V，建议使用150 Ω的接地电阻。

输出设计用于驱动传输线路，每个输出引脚的负载阻抗应相匹配。ADCLK905 Q输出在交流耦合至ADF4106 REF_{IN}的高阻抗输入之前，交流耦合至50 Ω负载。未使用的互补性Q输出应通过类似负载端接。

R输入时钟缓冲器

ADCLK925用于缓冲来自低噪声VCXO的100 MHz RF_{IN}。RF_{IN}要求的最小压摆率为320 V/μsec。ADCLK925提供RF_{IN}输入端所需压摆率。ADCLK925的低附加的抖动对PLL相位噪声性能的影响很小。ADCLK925的1:2输出级简化了PLL的反馈，无需使用分频器和匹配元件。

PECL输出级从各端将800 mV直接驱动至端接于V_{CC} - 2V的50 Ω负载。通过一个150 Ω接地电阻，无需使用额外的电源，即可实现这一目标，如图2所示。ADF4106的RF_{IN}输入级的额定最大信号电平为±600 mV。30 Ω的串联电阻将ADCLK925的输出摆幅降至该值以下。ADCLK925输出端交流耦合至ADF4106的50 Ω差分输入端。ADCLK925的第二输出端以类似方式端接，提供RFOUT信号。

PLL设计与性能

ADIsimPLL™软件用于设计PLL的环路滤波器，使用的是要求的低频率值，即10 MHz REF_{IN}和100 MHz RF_{IN}。该环路滤波器的带宽为818 Hz，相位裕量为45°。

图3所示为ADIsimPLL仿真相位噪声，表明ADF4106 PLL环路在低频下锁定，增量相位噪声很小。

PLL系统的实际测得相位噪声如图4所示。

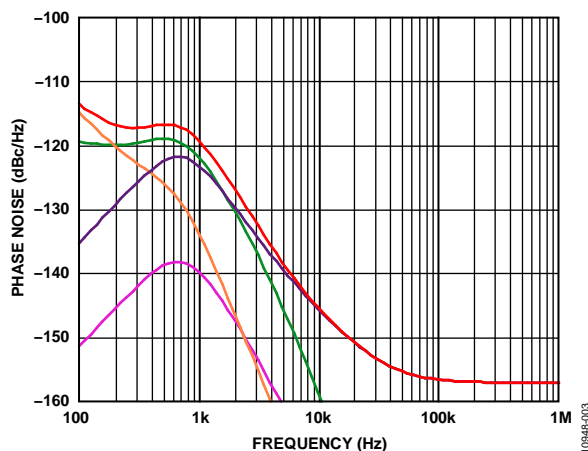


图3. 来自ADIsimPLL的仿真相位噪声图

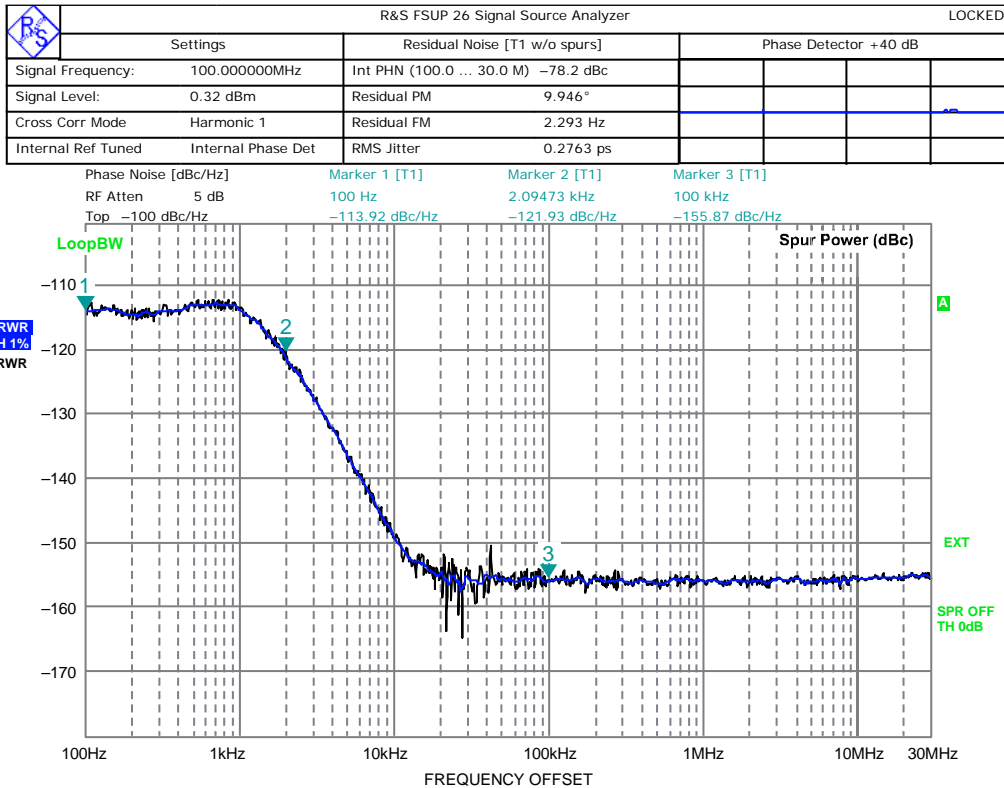


图4. 采用Agilent FSSUP频谱分析仪测得的相位噪声图

用于生成环路滤波器元件的ADIsimPLL软件也可用来模拟电路性能。ADIsimPLL假定，REF_{IN}和RF_{IN}输入提供充足的信号压摆率和信号摆幅。ADIsimPLL允许模拟ADF4106 PLL所使用的参考源，对于本设置来说，即是R&S SMA100信号发生器。

模拟单端10 MHz、0 dBm参考输入信号的相位噪声时，使用的是10 Hz和1 MHz的失调值下的测得值。利用Agilent FSUP频谱分析仪来测量这些失调值下的参考相位噪声。

为了在ADIsimPLL中模拟VCO性能，需要将ADCLK925数据手册和CVSS-945 VCXO (Crystek Crystals, 12730 Commonwealth Drive, Fort Myers, Florida 33913)的相位噪声数据结合起来，如表1所示。

表 1. 合并相位噪声

| 相位噪声失调 | ADCLK925 (dBc/Hz) | VCXO (dBc/Hz) | 合计 (dBc/Hz) |
|--------|-------------------|---------------|-------------|
| 10 Hz | -140 | -86 | -86 |
| 1 MHz | -158 | -172 | -157 |

ADCLK925数据手册中10 Hz失调下的相位噪声值为-140 dBc，其对合并1/f相位噪声的影响可以忽略不计。10 Hz失调下的合并1/f相位噪声为-86dBc/Hz。

1 MHz失调下的合并相位噪声为-157 dBc/Hz。

在数据手册中，ADCLK925在1 MHz失调下的相位噪声为-161 dBc/Hz。这是以差分方式测量所得结果，因此，在使用单端输出时，需要对数据手册中的测得噪底调整3 dB。VCXO的相位噪声为-172 dBc/Hz，其对合并相位噪声的贡献几乎可以忽略不计。

测得结果与仿真结果比较

表2所示为相位噪声和相位抖动的仿真结果和测得结果。相位噪声在失调值100 Hz、2 kHz和100 kHz测得。相位抖动为100 Hz至30 MHz的积分结果。在本次仿真中，ADIsimPLL程序使用的是面向参考源和VCO的点噪底模型。结果，ADIsimPLL中的模型非常接近1/f噪声和噪底，但在中间失调值下，它们可能与载波相差几dB。

表2. ADF4106 PLL系统的仿真和测得相位噪声及相位抖动

| 参数 | 仿真 | 测得 |
|-----------------------|-------------|-------------|
| 相位噪声失调为100 Hz dBc/Hz | -113 dBc/Hz | -114 dBc/Hz |
| 相位噪声失调为2 kHz dBc/Hz | -126 dBc/Hz | -122 dBc/Hz |
| 相位噪声失调为100 kHz dBc/Hz | -156 dBc/Hz | -156 dBc/Hz |
| 相位抖动(100 Hz至30 MHz) | 208 fs | 276 fs |

常见变化

单电源PECL/LVPECL比较器(如ADCMP553)可以用于要求REFIN工作于压摆率低于 $10\text{ V}/\mu\text{sec}$ 的信号下的应用。ADCMP553采用一个类似于ADCLK905/ADCLK925的输出级来驱动REFIN/RFIN输入,但比较器的输入必须以一个 $50\ \Omega$ 源阻抗驱动,其共模电压应支持所要求的信号摆幅。

诸如ADCMP600高速CMOS比较器一类的其他缓冲器可以用来提高REFIN电路的压摆率,但必须评估其在目标应用中的附加的抖动。

增加的所有元件都会带来一定量的附加的噪声,结果可能导致带内相位噪声和相位噪声抖动性能下降。对于某些应用来说,这可能是可以接受的,在这些应用中,相位噪声性能的下落仍然处于可接受范围之内。

ADCLK9xx系列时钟缓冲器拥有超低的附加的抖动性能,但低压摆率信号输入会使该额定性能下降。须查阅ADCLK9xx数据手册,以评估性能下降幅度。

EVAL-CN0290-SDPZ电路板的照片如图5所示。

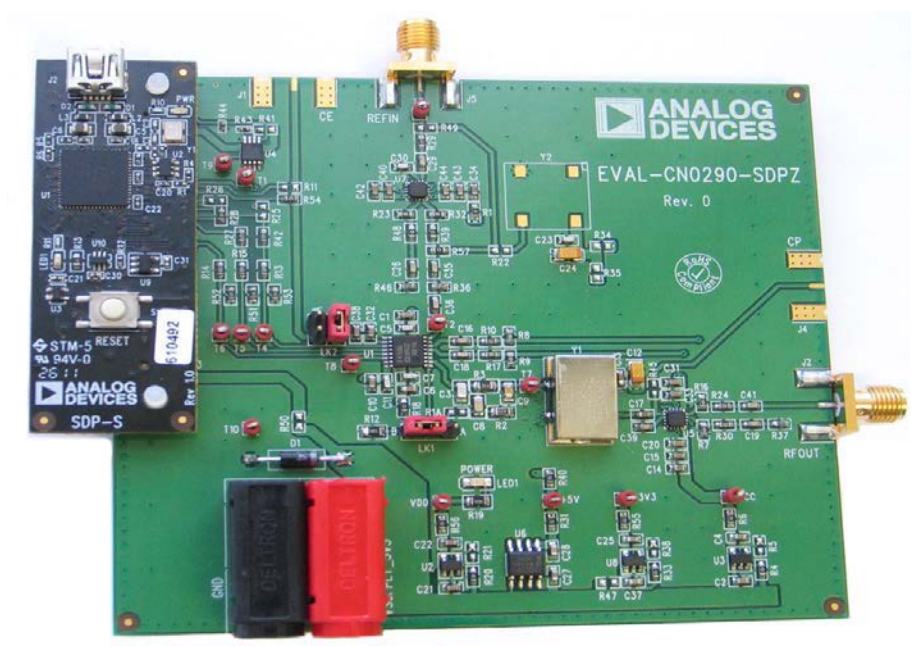


图5. EVAL-CN0290-SDPZ板的照片(连接至EVAL-SDP-CS1Z板)

10948-005

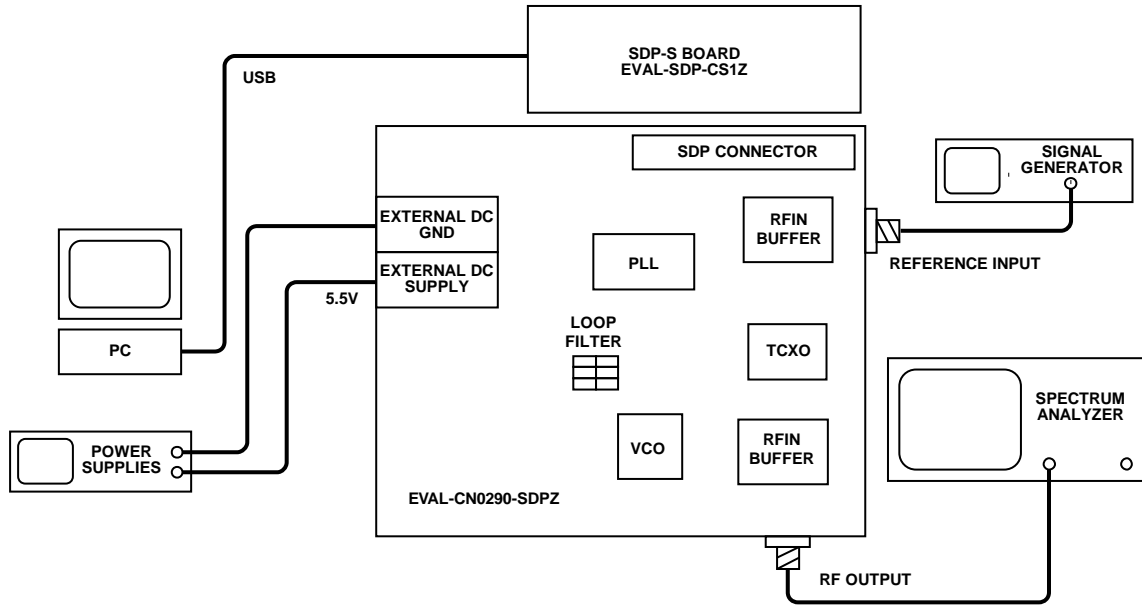


图6. 相位噪声和相位抖动测试测量设置

电路评估与测试

本电路使用EVAL-CN0290-SDPZ电路板和EVAL-SDP-CS1Z系统演示平台(SDP-S)评估板。这两片板具有120引脚的对连接器，可以快速完成设置并评估电路性能。EVAL-CN0290-SDPZ板含有本笔记中描述的电路。SDP-S评估板与整数N评估软件配合使用，用于对芯片寄存器上的ADF4106编程。

设备要求

- 带USB端口和Windows® XP、Windows Vista®(32位)或Windows® 7(32位)PC
- EVAL-CN0290-SDPZ电路评估板
- EVAL-SDP-CS1Z SDP评估板
- 整数N v7或以上评估软件
- 电源：+5.5 V。
- RF信号源(R&S SMA100或同等元件)
- 频谱分析仪(Agilent FSUP或同等设备)
- 带SMA连接器的同轴RF电缆

开始使用

有关软件安装和测试设置，请参考[UG-582用户指南](#)。设计支持包含有原理图、布局文件和物料清单 (www.analog.com/CN0290-DesignSupport)。有关更多详情，请参阅[ADF4106](#)、[ADCLK905](#)和[ADCLK925](#)数据手册。

功能框图

功能框图和简化原理图，请分别参阅本电路笔记的图1和图2。测试设置的框图如图6所示。

设置与测试

设置设备后，使用标准RF测试方法测量电路的相位噪声和相位抖动。

了解详情

CN0290 Design Support Package:

<http://www.analog.com/CN0290-DesignSupport>

[UG-582, User Guide, Evaluating the EVAL-CN0290-SDPZ](#)

[MT-031 Tutorial, Grounding Data Converters and Solving the Mystery of “AGND” and “DGND”; Analog Devices.](#)

[MT-086 Tutorial, Fundamentals of Phase Locked Loops \(PLLs\), Analog Devices.](#)

[MT-101 Tutorial, Decoupling Techniques, Analog Devices.](#)

[ADIsimPLL Design Tool](#)

[AN-30 Application Note, Ask the Application Engineer—PLL Synthesizers, Analog Devices](#)

[AN-586 Application Note, LVDS Data Outputs for High-Speed Analog-to-Digital Converters.](#)

数据手册和评估板

[EVAL-CN0290-SDPZ Evaluation Board](#)

[EVAL-SDP-CS1Z System Development Platform](#)

[ADF4106 Data Sheet](#)

[ADCLK905 Data Sheet](#)

[ADCLK925 Data Sheet](#)

[ADP150 Data Sheet](#)

[ADP7102 Data Sheet](#)

[CVSS-945 VCXO, Crystek Crystals, 12730 Commonwealth Drive, Fort Myers, Florida 33913.](#)

修订历史

2013年8月—修订版0： 初始版

(Continued from first page) Circuits from the Lab circuits are intended only for use with Analog Devices products and are the intellectual property of Analog Devices or its licensors. While you may use the Circuits from the Lab circuits in the design of your product, no other license is granted by implication or otherwise under any patents or other intellectual property by application or use of the Circuits from the Lab circuits. Information furnished by Analog Devices is believed to be accurate and reliable. However, Circuits from the Lab circuits are supplied "as is" and without warranties of any kind, express, implied, or statutory including, but not limited to, any implied warranty of merchantability, noninfringement or fitness for a particular purpose and no responsibility is assumed by Analog Devices for their use, nor for any infringements of patents or other rights of third parties that may result from their use. Analog Devices reserves the right to change any Circuits from the Lab circuits at any time without notice but is under no obligation to do so.

©2013 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
CN10948sc-0-8/13(0)

