

连接/参考器件

AD9643	14位双通道ADC, 采样速率为250 MSPS
ADL5202	宽动态范围、高速、数字控制VGA

具有带通抗混叠滤波器的高性能、高IF、75 MHz带宽、14位、250 MSPS接收机前端

评估和设计支持

设计和集成文件

[原理图、布局文件、物料清单](#)

电路功能与优势

图1所示电路是基于ADL5202宽动态范围、高速、数字控制可变增益放大器(VGA)和14位、250 MSPS AD9643双通道模数转换器(ADC)的75 MHz宽带接收机前端。

五阶巴特沃兹抗混叠滤波器基于放大器和ADC的性能与接

口要求而优化。由滤波器网络和其它阻性元件引起的总插入损耗约为2.3 dB。整体电路(集成带通滤波器)拥有75 MHz的1 dB带宽(145 MHz至220 MHz)和110 MHz的3 dB带宽(120 MHz到230 MHz)。通带平坦度为1 dB。

该电路专为处理以182.5 MHz(第二奈奎斯特频率区域)为中心、采样速率为245.76 MSPS的75 MHz带宽IF信号而优化。在75 MHz频段内采用182.5 MHz模拟输入时,测得的信噪比(SNR)和无杂散动态范围(SFDR)分别为68.4 dBFS和180.7 dBc。

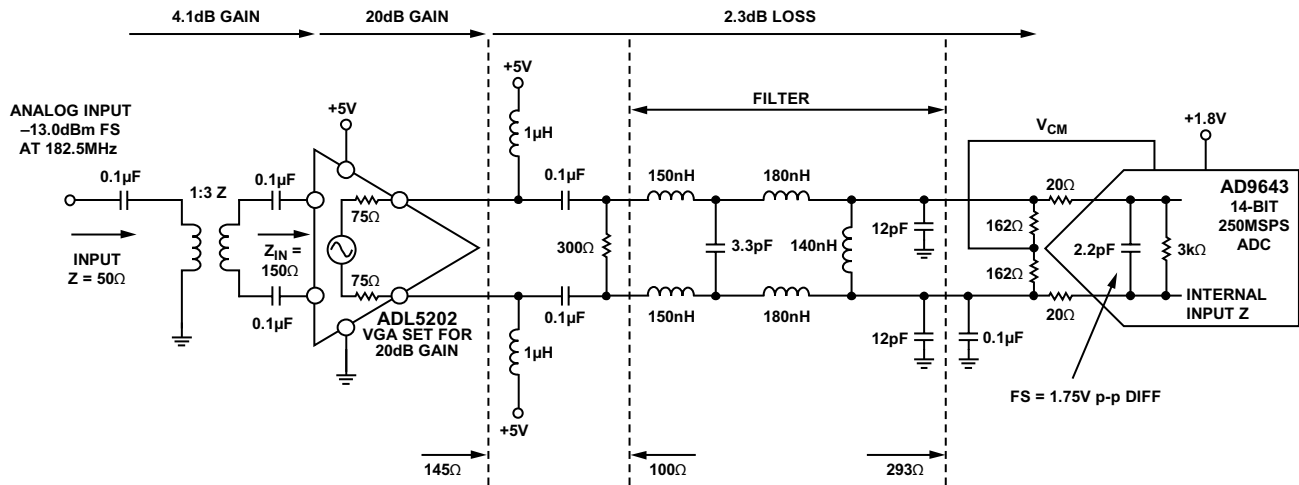


图1. 四通道IF接收机前端的单通道(原理示意图: 未显示所有连接和去耦)增益、损耗和信号电平10 MHz下测得值

Rev. 0

Circuits from the Lab™ circuits from Analog Devices have been designed and built by Analog Devices engineers. Standard engineering practices have been employed in the design and construction of each circuit, and their function and performance have been tested and verified in a lab environment at room temperature. However, you are solely responsible for testing the circuit and determining its suitability and applicability for your use and application. Accordingly, in no event shall Analog Devices be liable for direct, indirect, special, incidental, consequential or punitive damages due to any cause whatsoever connected to the use of any Circuits from the Lab circuits. (Continued on last page)

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2012 Analog Devices, Inc. All rights reserved.

电路描述

图1所示电路接受单端输入并使用宽带宽(5 MHz至300 MHz) M/A-COM TC3-1T+ 1:3 (Z)变压器将其转换为差分输入信号。ADL5202 6.0 GHz差分放大器具有150 Ω的差分输入阻抗, 并支持三种不同的增益设置: 0 dB、10 dB和20 dB。

ADL5202是AD9643的理想驱动器, 通过带通滤波器可在ADC中实现全差分架构, 提供良好的高频共模抑制, 同时将二阶失真产物降至最低。ADL5202的可编程增益范围为-11.5 dB至20 dB, 步长为0.5 dB。本电路中采用了三种增益设置来说明ADL5202和AD9643的高性能。

滤波器网络的插入损耗约为2.3 dB; 给ADL5202编程来提供2.3 dB以上的正增益值时可使用放大器的增益来补偿此损耗。增益还有助于将放大器的噪声影响降至最低。

抗混叠滤波器是采用标准滤波器设计程序(本例中是来自Agilent的Advanced Design System [ADS])设计的五阶巴特沃兹滤波器。选择巴特沃兹滤波器是因为它具有平坦响应。其它滤波器设计程序可从Nuhertz Technologies或Quite Universal Circuit Simulator (Qucs) Simulation获得。

为了实现最佳性能, ADL5202应载入150 Ω的净差分负载。1 μH电感为ADL5202的输出级提供偏置, 串联电容则将滤波器及ADC与放大器输出端的这种偏置电压隔开。ADL5202的输出端具有约145 Ω的阻抗负载, 此阻抗来自滤波器输入和输出端的端接电阻, 以及ADC电阻和ADC输入端的串联阻尼电阻。

20 Ω电阻与ADC输入串联, 将内部开关瞬变与滤波器和放大器隔离开。两个162 Ω电阻与ADC并联, 用于降低ADC的输入阻抗, 使性能更具可预测性。

AD9643的差分输入阻抗与2.2 pF并联, 约为3 kΩ。对于该类型的开关电容输入ADC, 实部和虚部与输入频率成函数关系; 详细分析请参见应用笔记AN-742。

五阶巴特沃兹滤波器采用100 Ω的源阻抗、293 Ω的负载阻抗、75 MHz的1 dB带宽以及110 MHz的3 dB带宽设计而成。滤波器的最终电路值如图2所示。为滤波器无源元件选择的值是最接近程序生成值的标准值。ADC的内部2.2 pF电容在滤波器设计中用作最终分流电容的一部分。ADC输入端的这种分流电容有助于减少ADC输入采样网络的反冲电荷电流并优化滤波器性能。

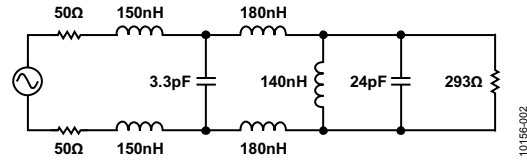


图2. 五阶差分巴特沃兹滤波器的最终设计值, $Z_s = 100 \Omega$, $Z_L = 293 \Omega$, $f_c = 182.5 \text{ MHz}$

表1总结了系统的测量性能, 其中3 dB带宽为110 MHz。网络的总插入损耗约为2.3 dB。

表1. 电路的测定性能

性能规格(1.75 V p-p FS)	最终结果
截止频率 $f_{\text{LOW}}(-1 \text{ dB})$	145 MHz
截止频率 $f_{\text{HIGH}}(-1 \text{ dB})$	220 MHz
截止频率 $f_{\text{LOW}}(-3 \text{ dB})$	120 MHz
截止频率 $f_{\text{HIGH}}(-3 \text{ dB})$	230 MHz
通带平坦度(10 MHz至190 MHz)	1 dB
SNR FS (140 MHz)	68.4 dBFS
SFDR (140 MHz)	80.7 dBc
H2/H3 (140MHz)	80.7 dBc/ 84.5 dBc
总增益(182.5 MHz, ADL5202增益 = 20 dB)	21.8 dB
输入驱动(182.5 MHz)	-13.0 dBm

图3所示为最终滤波器电路的带宽响应, 图4和图5所示为SNR和SFDR性能。

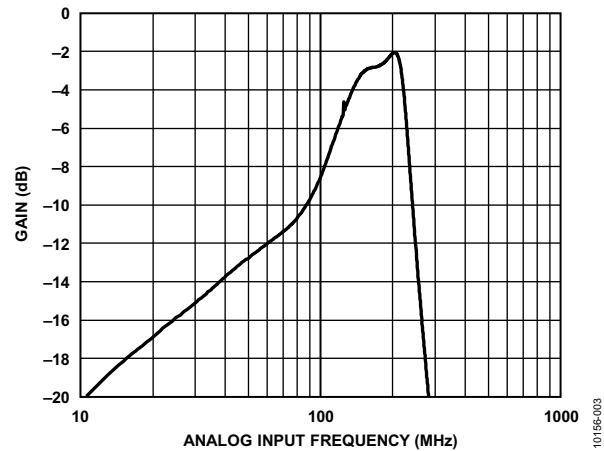


图3. 通带平坦度性能与模拟输入频率的关系

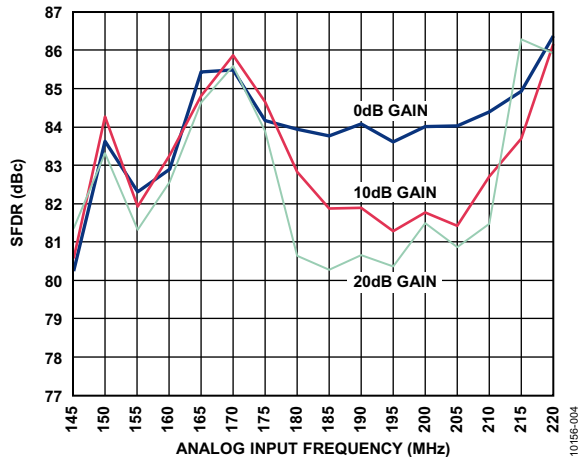


图4. SFDR性能与模拟输入频率的关系
(0 dB增益、10 dB增益和20 dB增益)

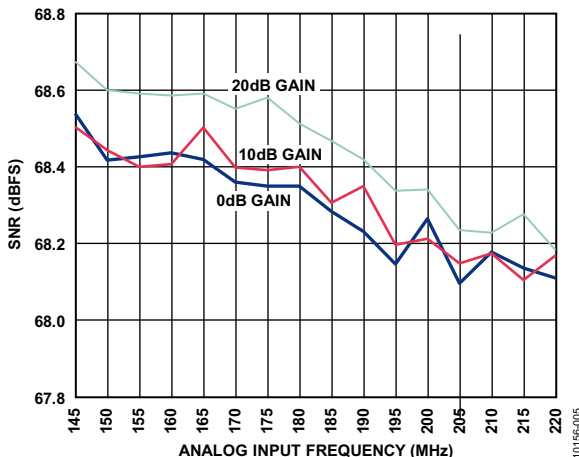


图5. SNR性能与模拟输入频率的关系
(0 dB增益、10 dB增益和20 dB增益)

滤波器和接口设计程序

本节介绍放大器/ADC与滤波器接口设计的常用方法。为实现最佳性能(带宽、SNR和SFDR)，放大器和ADC应对一般电路形成一定设计限制，例如：

- 放大器必须参考数据手册推荐的正确直流负载，以获得最佳性能。
- 必须在放大器和电源之间使用直流偏置电感，以便正确地偏置放大器输出。
- ADC的输入阻抗必须通过外部并联电阻降低，并且必须使用正确的串联电阻将ADC与滤波器隔离开。此串联电阻也会减少信号尖峰。

此设计方法倾向于利用大多数高速ADC相对较高的输入阻抗和驱动源相对较低的阻抗，将滤波器的插入损耗降至最低。

有关设计程序的详情，请参见电路笔记CN-0227、CN-0238和CN-0279。

电路优化技术和权衡

本接口电路内的参数具有高互动性；因此优化电路的所有关键规格(带宽、带宽平坦度、SNR、SFDR和增益)几乎不可能。不过，通过变更驱动放大器输出串联电阻(用于低阻抗输出)和/或与ADC输入端串联的电阻(在图1所示电路中为20 Ω)，可以最大程度地减少通常发生于带宽响应内的信号尖峰。

选择ADC输入端的串联电阻，以尽量减少任何残余电荷注入(从ADC内部采样电容)造成的失真。增加此电阻也倾向减少带内的信号尖峰。

不过，增加ADC输入串联电阻也会增加信号衰减，因此放大器必须驱动更大信号才能填充ADC的输入范围。

优化通带平坦度的另一方法是略微变更滤波器分流电容。

ADC输入端接电阻(图1所示电路中为364 Ω)通常应该选择为使净ADC输入阻抗介于200 Ω和400 Ω之间。使该电阻位于此范围内可减少ADC输入电容的影响，并且可能稳定滤波器设计；但是，这样会增加电路的插入损耗。提高该值也会减少信号尖峰。

上述因素的权衡可能有些困难。本设计中，每个参数权重相等；因此所选值代表了所有设计特征的接口性能。某些设计中，根据系统要求，可能会选择不同的值，以便优化SFDR、SNR或输入驱动电平。

本设计的SFDR性能取决于两个因素：放大器和ADC接口元件值，如图1所示。表1和图4所示的最终SFDR性能数字是在优化滤波器设计后获得的，考虑了用于滤波器设计的板寄生电容和非理想元件。

该特定设计中可以权衡的另一因素是ADC满量程范围设置。对于采用本设计获得的数据，满量程ADC差分输入电压设置为1.75 V p-p，它可以优化SFDR。将满量程输入范围更改为2.0 V p-p可稍稍改善SNR，但SFDR性能会略微降低。沿相反方向将满量程输入范围更改为1.5 V p-p可稍稍改善SFDR，但SNR性能会略微降低。

本设计中的信号与0.1 μF电容进行交流耦合，以阻挡放大器、其端接电阻和ADC输入之间的共模电压。有关共模电压的更多详情，请参见AD9643数据手册。

无源组件和PCB寄生效应考虑

该电路或任何高速电路的性能都高度依赖于适当的印刷电路板(PCB)布局,包括但不限于电源旁路、受控阻抗线路(如需要)、元件布局、信号布线以及电源层和接地层。有关高速ADC和放大器PCB布局的更多详情,请参见指南MT-031和MT-101。

对于滤波器内的无源元件,使用低寄生表面贴装电容、电感和电阻。所选电感来自Coilcraft 0603CS系列。滤波器使用的表贴电容为5%、C0G、0402型,以确保稳定性和精度。

有关系统的完整文档,包括原理图、物料清单及PCB布局,请参见CN-0242设计支持包。

常见变化

针对需要更少带宽和更低功耗的应用,可使用ADL5562差分放大器。ADL5562的带宽为3.3 GHz。如需更低的功耗和带宽,还可使用ADA4950-1。该器件的带宽为1 GHz,仅使用10 mA的电流。

电路评估与测试

本电路使用修改的AD9643-250EBZ电路板和基于HSC-ADC-EVALCZ FPGA的数据采集板。这两片板具有对接高速连接器,可以快速完成设置并评估电路性能。修改的AD9643-250EBZ板包括本电路笔记所述的评估电路,HSC-ADC-EVALCZ数据采集板与VisualAnalog评估软件一起使用,此外还使用SPI控制器软件来适当控制ADC并采集数据。有关修改的AD9643-250EBZ板的原理图、BOM和布局文件,请参见UG-293用户指南。CN-0242设计支持包中的readme.txt文件说明了对标准AD9643-250EBZ板做出的修改。应用笔记AN-835详细说明了如何设置硬件和软件,以运行本电路笔记所述的测试。

了解详情

CN-0242 Design Support Package:

<http://www.analog.com/CN0242-DesignSupport>

UG-293: Evaluating the AD9643/AD9613/AD6649/AD6643 Analog to Digital Converters

Alex Arrants, Brad Brannon and Rob Reeder, AN-835

Application Note: Understanding High Speed ADC Testing and Evaluation, Analog Devices.

Arducci, John. *A Practical Guide to High-Speed Printed-Circuit-Board Layout*, Analog Dialogue 39-09, September 2005.

MT-031 Tutorial, *Grounding Data Converters and Solving the Mystery of "AGND" and "DGND"*, Analog Devices.

MT-101 Tutorial, *Decoupling Techniques*, Analog Devices.

Agilent Technologies, Advanced Design System.

Reeder, Rob, *Frequency Domain Response of Switched Capacitor ADCs*, AN-742 Application Note, Analog Devices.

Reeder, Rob, *Achieve CM Convergence between Amps and ADCs*, Electronic Design, July 2010.

Reeder, Rob, *Mine These High-Speed ADC Layout Nuggets For Design Gold*, Electronic Design, September 15, 2011.

Rarely Asked Questions: *Considerations of High-Speed Converter PCB Design, Part 1: Power and Ground Planes*, Design News, November 2010.

Rarely Asked Questions: *Considerations of High-Speed Converter PCB Design, Part 2: Using Power and Ground Planes to Your Advantage*, Design News, February 2011

Rarely Asked Questions: *Considerations of High-Speed Converter PCB Design, Part 3: The E-Pad Low Down*, Design News, June 2011

数据手册和评估板

[AD9643 Data Sheet](#)

[AD9643 Evaluation Board \(AD9643-250EBZ\)](#)

[Standard Data Capture Platform \(HSC-ADC-EVALCZ\)](#)

[ADL5202 Data Sheet](#)

修订历史

2012年9月—修订版0: 初始版

(Continued from first page) Circuits from the Lab circuits are intended only for use with Analog Devices products and are the intellectual property of Analog Devices or its licensors. While you may use the Circuits from the Lab circuits in the design of your product, no other license is granted by implication or otherwise under any patents or other intellectual property by application or use of the Circuits from the Lab circuits. Information furnished by Analog Devices is believed to be accurate and reliable. However, Circuits from the Lab circuits are supplied "as is" and without warranties of any kind, express, implied, or statutory including, but not limited to, any implied warranty of merchantability, noninfringement or fitness for a particular purpose and no responsibility is assumed by Analog Devices for their use, nor for any infringements of patents or other rights of third parties that may result from their use. Analog Devices reserves the right to change any Circuits from the Lab circuits at any time without notice but is under no obligation to do so.

©2012 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
CN10156sc-0-9/12(0)

