

Circuit from the Lab™ 实验室电路是经过测试的电路设计，用于解决常见的设计挑战，方便设计人员轻松地实现系统集成。有关更多信息和技术支持，请访问：[www.analog.com/zh/CN0227](http://www.analog.com/zh/CN0227)。

### 连接/参考器件

<a href="#">AD9467</a>	16位、250 MSPS ADC
<a href="#">ADL5562</a>	3.3 GHz超低失真射频/中频差分放大器

## 带抗混叠滤波器的高性能、16位、250 MSPS宽带接收机

### 评估和设计支持

#### 设计和集成文件

[原理图](#)、[布局文件](#)、[物料清单](#)

### 电路功能与优势

图1所示电路是一款基于超低噪声差分放大器驱动器ADL5562和16位、250 MSPS模数转换器AD9467的宽带接收机前端。

三阶巴特沃兹抗混叠滤波器根据放大器和ADC的性能与接口要求进行优化。滤波器网络和其它组件引起的总插入损耗仅有1.8 dB。

电路整体的1 dB通带平坦度为152 MHz。120 MHz模拟输入下测得的SNR和SFDR分别为72.6 dBFS和82.2 dBc。

### 电路描述

该电路接受单端输入，并利用宽带宽(3 GHz) M/A-COM ECT1-1-13M 1:1变压器将其转换为差分形式。3.3 GHz差分放大器ADL5562以6 dB的增益工作时，差分输入阻抗为400 Ω；以12 dB的增益工作时，差分输入阻抗为200 Ω。它还提供15.5 dB的增益选项。

ADL5562是AD9467的理想驱动器，经过低通滤波器一直到ADC的全差分架构可提供良好的高频共模抑制性能，并能使二阶失真产物最小。根据输入连接的不同，ADL5562提供6 dB或12 dB的增益。本电路使用6 dB的增益来补偿滤波器网络和变压器的插入损耗（约1.8 dB），总信号增益为3.9 dB。

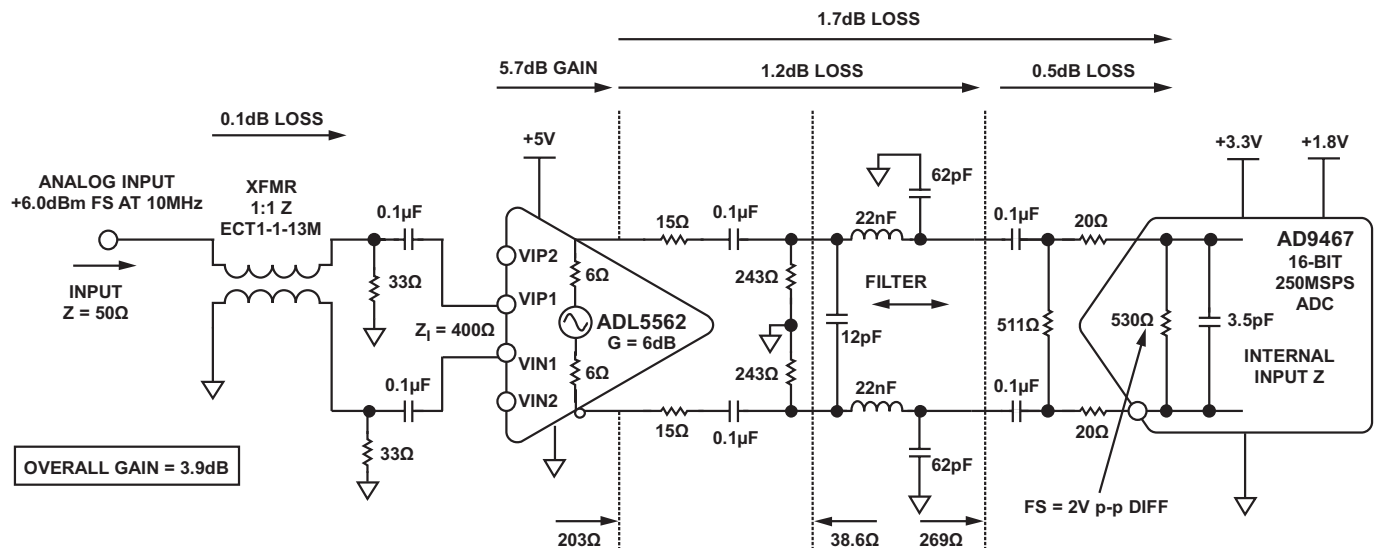


图1. 16位、250 MSPS宽带接收机前端（原理示意图：未显示去耦和所有连接），增益、损耗和信号电平在10 MHz下测量

#### Rev.0

Circuits from the Lab™ circuits from Analog Devices have been designed and built by Analog Devices engineers. Standard engineering practices have been employed in the design and construction of each circuit, and their function and performance have been tested and verified in a lab environment at room temperature. However, you are solely responsible for testing the circuit and determining its suitability and applicability for your use and application. Accordingly, in no event shall Analog Devices be liable for direct, indirect, special, incidental, consequential or punitive damages due to any cause whatsoever connected to the use of any Circuits from the Lab circuits. (Continued on last page)

+6.0 dBm的输入信号在ADC输入端产生2 V p-p满量程差分信号。

抗混叠滤波器是采用标准滤波器设计程序设计的三阶巴特沃兹滤波器。选择巴特沃兹滤波器的原因是它能在通带内提供平坦的响应。三阶滤波器产生的交流噪声带宽比为1.05，可以借助多款免费滤波器程序进行设计，例如 [Nuhertz Technologies Filter Free \(www.nuhertz.com/filter\)](http://www.nuhertz.com/filter) 或 [Quite Universal Circuit Simulator \(Qucs\) Free Simulation \(www.qucs.sourceforge.net\)](http://www.qucs.sourceforge.net) 等。

为实现最佳性能，ADL5562应加载一个200 Ω的净差分负载。15 Ω串联电阻将滤波器电容与放大器输出端隔离，243 Ω电阻与下游阻抗并联，加上30 Ω串联电阻后，产生203 Ω的净负载阻抗。

与ADC输入端串联的20 Ω电阻将内部开关瞬变与滤波器和放大器隔离。与ADC并联的511 Ω电阻用于降低ADC的输入阻抗，使其性能更容易预测。

三阶巴特沃兹滤波器的设计参数如下：源阻抗38.6 Ω，负载阻抗269 Ω，3 dB带宽为180 MHz。程序计算的值如图1所示。选择的滤波器无源组件值是最接近程序计算值的标准值。

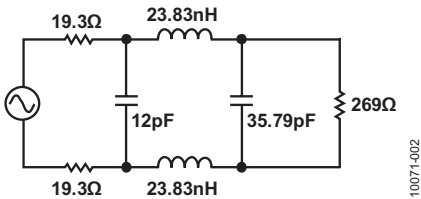


图2. 三阶差分巴特沃兹滤波器设计：  
 $Z_s = 38.6 \Omega$ ,  $Z_L = 269 \Omega$ ,  $F_c = 180 \text{ MHz}$

第二并联电容的值减去ADC的3.5 pF内部电容，得到32.29 pF的值。在本电路中，该电容是利用两个连接到地的62 pF电容来实现，如图1所示。这能够达到同样的滤波效果，并提供一定的交流共模抑制。

系统性能的测量结果总结于表1，其中3 dB带宽为152 MHz。该网络的总插入损耗约为2 dB。带宽响应如图3所示，SNR和SFDR性能如图4所示。

表1. 电路的实测性能

性能规格@ 2V p-p FS	最终结果
截止频率 (-3 dB)	152 MHz
通带平坦度 (6 MHz至125 MHz)	1 dB
SNRFS (120 MHz)	72.6 dBFS
SFDR (120 MHz)	82.2 dBc
H2/H3 (120 MHz)	86.6 dBc/82.2 dBc
总增益 (10 MHz)	3.9 dB
输入驱动 (10 MHz)	6.0 dBm

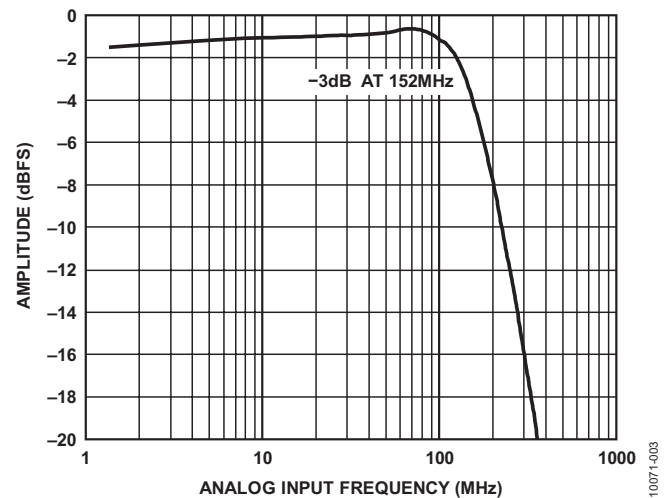


图3. 通带平坦度性能与频率的关系

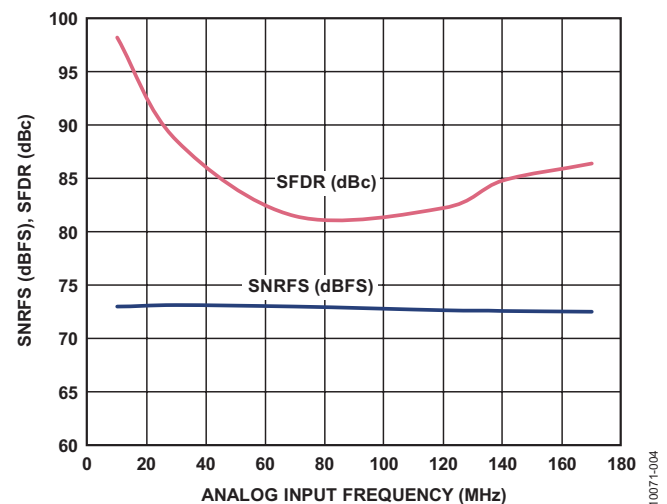


图4. SNR/SFDR性能与频率的关系

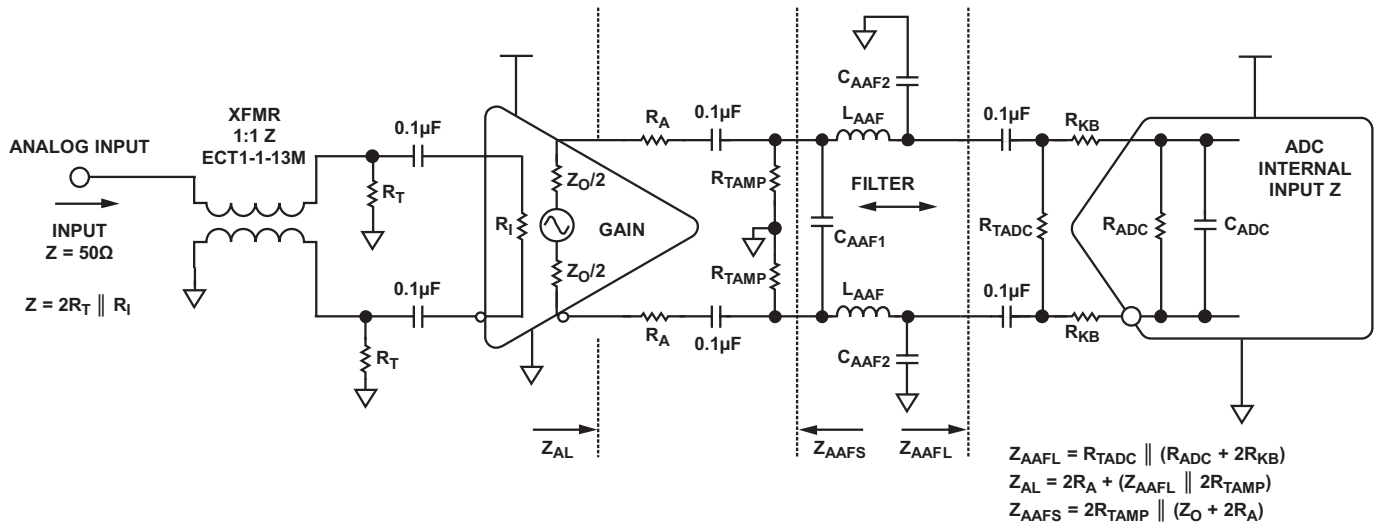


图5. 差分放大器/ADC与低通滤波器的一般接口

10071-005

### 滤波器和接口设计程序

本部分说明放大器/ADC与滤波器的接口设计的一般方法。为了实现最佳性能（带宽、SNR、SFDR等），必须考虑放大器和ADC对该一般电路的一些设计限制：

1. 放大器应具有数据手册针对最佳性能而推荐的合适直流负载。
2. 放大器与滤波器提供的负载之间必须使用大小合适的串联电阻，这是为了防止通带中出现不合需要的峰化现象。
3. ADC的输入应通过外部并联电阻降低，并且应使用合适的串联电阻将ADC与滤波器隔离。此串联电阻也能降低峰化。

图5所示的一般化电路适用于大多数高速差分放大器/ADC接口，将用作讨论的基础。这种设计方法利用多数高速ADC相对较高的输入阻抗和驱动源（放大器）相对较低的阻抗，通常可以最大程度地降低滤波器的插入损耗。

基本设计流程如下：

1. 选择ADC外部端接电阻 $R_{TADC}$ ，使得 $R_{TADC}$ 和 $R_{ADC}$ 的并联阻抗介于200 Ω和400 Ω之间。
2. 根据经验和/或ADC数据手册建议选择 $R_{KB}$ ，通常在5 Ω与36 Ω之间。
3. 通过下式计算滤波器负载阻抗：  

$$Z_{AAFL} = R_{TADC} \parallel (R_{ADC} + 2R_{KB})$$

4. 选择放大器外部串联电阻 $R_A$ 。如果放大器差分输出阻抗在100 Ω至200 Ω之间，则 $R_A$ 应小于10 Ω。如果放大器输出阻抗为12 Ω或更小，则 $R_A$ 应介于5 Ω和36 Ω之间。
5. 选择 $R_{TAMP}$ ，使得放大器的总负载 $Z_{AL}$ 对于所选的特定差分放大器是最佳的，计算公式如下：  

$$Z_{AL} = 2R_A + (Z_{AAFL} \parallel 2R_{TAMP})$$
6. 计算滤波器源阻抗：  

$$Z_{AAFS} = 2R_{TAMP} \parallel (Z_O + 2R_A)$$
7. 利用滤波器设计程序或表格，以及源阻抗 $Z_{AAFS}$ 、负载阻抗 $Z_{AAFL}$ 、滤波器类型、带宽、阶数等，设计滤波器。带宽应比采样速率的一半高大约40%，以确保DC至fs/2频率范围内的平坦度足够好。
8. 程序产生的最终并联电容值应减去ADC内部电容 $C_{ADC}$ 。程序会给出差分并联电容的值 $C_{SHUNT2}$ ，最终共模并联电容为 $C_{AAF2} = 2(C_{SHUNT2} - C_{ADC})$ 。

完成上述初步计算后，应快速检查一下电路的下列项目。

1.  $C_{AAF2}$ 的值应比 $C_{ADC}$ 大好几倍，至少应为10 pF。这是为了最大程度地降低滤波器对 $C_{ADC}$ 变化的敏感度。
2.  $Z_{AAFL}$ 与 $Z_{AAFS}$ 的比值应等于或小于7左右，使得该滤波器在大多数滤波器表格和设计程序的限制以内。

- $C_{AAF1}$  的值至少应为 5 pF，以便最大程度地降低滤波器对寄生电容和组件变化的敏感度。
- 电感  $L_{AAF}$  的值应合理，至少应有数 nH。

某些情况下，滤波器设计程序提供的解决方案可能不止一个，特别是对于高阶滤波器。此时应选择组件值组合最为合理的一种解决方案。此外，所选的配置应结束于并联电容，以便能与 ADC 输入电容结合。

### 电路优化技术和权衡

该接口电路的参数相互影响，因此，几乎无法优化电路的所有关键特性（带宽、带宽平坦度、SNR、SFDR、增益等）。然而，通过改变  $R_A$  和  $R_{KB}$ ，可以最大程度地降低通常出现在带宽响应中的峰化。

请注意图 6 中通带峰化如何随着输出串联电阻  $R_A$  的值提高而降低。但是，此电阻的值越高，信号衰减就越大，放大器必须驱动更大的信号以填充 ADC 的满量程输入范围。

$R_A$  的值也会影响 SNR 性能。较大的值一方面会降低带宽峰化，但另一方面，往往也会略微提高 SNR，因为驱动 ADC 满量程所需的信号电平更高。

ADC 输入端串联电阻  $R_{KB}$  的选择应能最大程度地降低 ADC 内部采样电容的任何残余电荷注入引起的失真。提高此电阻往往也会降低带宽峰化。

但是，提高  $R_{KB}$  会使信号衰减增大，放大器必须驱动更大的信号以填充 ADC 的输入范围。

优化通带平坦度的另一个办法是少许改变滤波器并联电容  $C_{AAF2}$ 。

ADC 输入端接电阻  $R_{TADC}$  的选择一般应使 ADC 净输入阻抗介于 200  $\Omega$  和 400  $\Omega$  之间。降低其值会降低 ADC 输入电容的影响，并且可能使滤波器设计更加稳定，但不利的一面是增大电路的插入损耗。提高其值也会降低峰化。

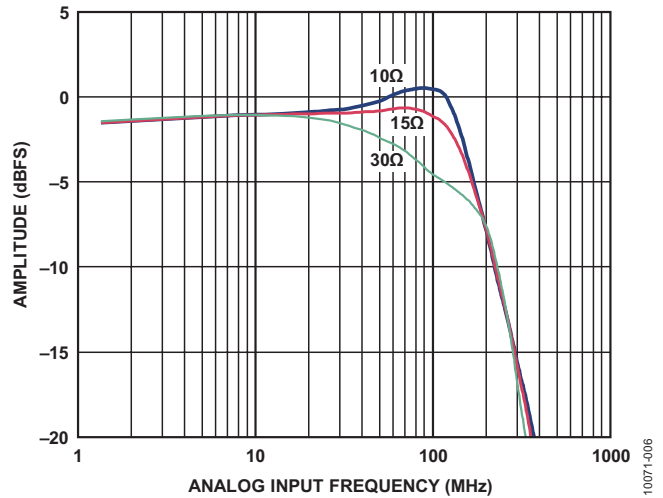


图 6. 通带平坦度性能与放大器输出串联电阻  $R_A$  的关系

要在这些因素之间取得平衡可能比较困难。本设计对每个参数一视同仁，因此，所选的值代表了所有设计特点的接口性能。某些设计中，根据系统要求，可能会选择不同的值，以便优化 SFDR、SNR 或输入驱动电平。

本设计的 SFDR 性能取决于两个因素：图 1 所示的放大器和 ADC 接口组件值，以及 AD9467 通过内部寄存器的内部前端缓冲偏置电流设置。表 1 和图 4 所示的最终 SFDR 性能数值是在按照 AD9467 数据手册所述优化 SFDR 之后获得的。

该特定设计中可以权衡的另一个因素是 ADC 满量程设置。对于利用此设计（优化 SFDR）获得的数据，ADC 满量程差分输入电压设置为 2 V p-p。满量程输入范围变为 2.5 V p-p 可以使 SNR 性能提高大约 1.5 dB，但会略微降低 SFDR 性能。输入范围由载入 AD9467 内部寄存器的值设置，详情参见数据手册。

注意，本设计中的信号通过 0.1  $\mu$ F 电容交流耦合，以便抑制放大器、其端接电阻与 ADC 输入端之间的共模电压。有关共模电压的更多信息，请参阅 AD9467 数据手册。

### 无源组件和PCB寄生效应考虑

该电路或任何高速电路的性能都高度依赖于适当的PCB布局，包括但不限于电源旁路、受控阻抗线路（如需要）、组件布局、信号布线以及电源层和接地层。有关高速ADC和放大器的PCB布局布线详细信息，请参阅教程MT-031和MT-101。

滤波器中的无源组件应使用低寄生效应的表贴电容、电感和电阻。所选的电感为Coilcraft 0603CS系列。滤波器使用的表贴电容为5%、C0G、0402型，以确保稳定性和精度。

关于该系统的完整文档，请参见CN-0227设计支持包([www.analog.com/CN0227-DesignSupport](http://www.analog.com/CN0227-DesignSupport))。

### 常见变化

针对要求较窄带宽、较低功耗的应用，可以使用差分放大器ADL5561。ADL5561的带宽为2.9 GHz，功耗仅40 mA。如果要求更低的功耗和带宽，也可以使用ADA4950-1，其带宽为1 GHz，功耗仅10 mA。如需更高的带宽，可以使用6 GHz差分放大器ADL5565，它与上述器件引脚兼容。

### 电路评估与测试

本电路使用修改的AD9467-250EBZ电路板和基于HSC-ADC-EVALCZ FPGA的数据采集板。这两片板具有对接高速连接器，可以快速完成设置并评估电路性能。修改的AD9467-250EBZ板包括本笔记所述的评估电路，HSC-ADC-EVALCZ数据采集板与Visual Analog评估软件一起使用，此外还使用SPI控制软件来适当控制ADC并采集数据。关于AD9467-250EBZ板的原理图、BOM和布局布线，请参阅用户指南UG-200。CN-0227设计支持包([www.analog.com/CN0227-DesignSupport](http://www.analog.com/CN0227-DesignSupport))中的“readme.txt”文件说明了对标准AD9467-250EBZ板所做的修改。应用笔记AN-835详细说明了如何设置硬件和软件，以执行本电路笔记所述的测试。

### 进一步阅读

CN-0227 Design Support Package:

[www.analog.com/CN0227-DesignSupport](http://www.analog.com/CN0227-DesignSupport)

UG-200: *Evaluating the AD9467 16-Bit, 200 MSPS/250 MSPS ADC*  
Arrants, Alex, Brad Brannon and Rob Reeder, AN-835 Application Note, *Understanding High Speed ADC Testing and Evaluation*, Analog Devices.

Ardizzoni, John. *A Practical Guide to High-Speed Printed-Circuit-Board Layout*, *Analog Dialogue* 39-09, September 2005.

MT-031 Tutorial, *Grounding Data Converters and Solving the Mystery of “AGND” and “DGND”*, Analog Devices.

MT-101 Tutorial, *Decoupling Techniques*, Analog Devices.

Quite Universal Circuit Simulator, <http://qucs.sourceforge.net/>

Nuhertz Technologies, Filter Free Filter Design Program:  
[www.nuhertz.com/filter](http://www.nuhertz.com/filter).

Reeder, Rob, *Achieve CM Convergence between Amps and ADCs*, *Electronic Design*, July 2010.

Reeder, Rob, *Mine These High-Speed ADC Layout Nuggets For Design Gold*, *Electronic Design*, September 15, 2011.

Rarely Asked Questions: *Considerations of High-Speed Converter PCB Design, Part 1: Power and Ground Planes*, *Design News*, November 2010.

Rarely Asked Questions: *Considerations of High-Speed Converter PCB Design, Part 2: Using Power and Ground Planes to Your Advantage*, *Design News*, February 2011

Rarely Asked Questions: *Considerations of High-Speed Converter PCB Design, Part 3: The E-Pad Low Down*, *Design News*, June 2011

### 数据手册和评估板

AD9467 Data Sheet

ADL5562 Data Sheet

Circuit Evaluation Board (AD9467-250EBZ)

Standard Data Capture Platform (HSC-ADC-EVALCZ)

## 修订历史

11/11—Revision 0: Initial Version

(Continued from first page) Circuits from the Lab circuits are intended only for use with Analog Devices products and are the intellectual property of Analog Devices or its licensors. While you may use the Circuits from the Lab circuits in the design of your product, no other license is granted by implication or otherwise under any patents or other intellectual property by application or use of the Circuits from the Lab circuits. Information furnished by Analog Devices is believed to be accurate and reliable. However, "Circuits from the Lab" are supplied "as is" and without warranties of any kind, express, implied, or statutory including, but not limited to, any implied warranty of merchantability, noninfringement or fitness for a particular purpose and no responsibility is assumed by Analog Devices for their use, nor for any infringements of patents or other rights of third parties that may result from their use. Analog Devices reserves the right to change any Circuits from the Lab circuits at any time without notice but is under no obligation to do so.