

Circuits from the Lab™ Reference Circuits

Circuit from the Lab™ 实验室电路是经过测试的电路设计，用于解决常见的设计挑战，方便设计人员轻松快捷地实现系统集成。有关更多信息和/或技术支持，请访问：
www.analog.com/zh/CN0157。

连接/参考器件

AD7765	24 位、156 kSPS、 Σ - Δ 型 ADC
ADR444	超低噪声 XFET® 基准电压源 (4.096 V)，具有吸电流和源电流能力

24 位、4 通道、高动态范围、每通道 156 kSPS 同步采样数据采集系统

电路功能与优势

图 1 所示电路提供一种高动态范围 4 通道同步采样系统，它具有高串扰隔离度和灵活的采样速率，所需外部器件极少，能够轻松连接到 DSP 或 FPGA。该电路的 4 个 Σ - Δ 型 ADC AD7765 采用菊花链配置，因此到数字主机的连接数量被减至最少。AD7765 完全集成差分输入/输出放大器和基准电压缓冲器，所需的外部器件数量得以显著减少。

使用同步采样配置的 AD7765 可提供以下优点：

- 通道间串扰隔离度优于单芯片集成多个 24 位 ADC 的解决方案。
- 在 156 kSPS 时的动态范围为 112 dB。
- 支持更多或更少的通道数。
- 支持多种 SYNC 控制（彼此之间可以存在相移）。
- 双抽取速率（128 和 256）和灵活的采样时钟能够处理宽输入带宽范围。

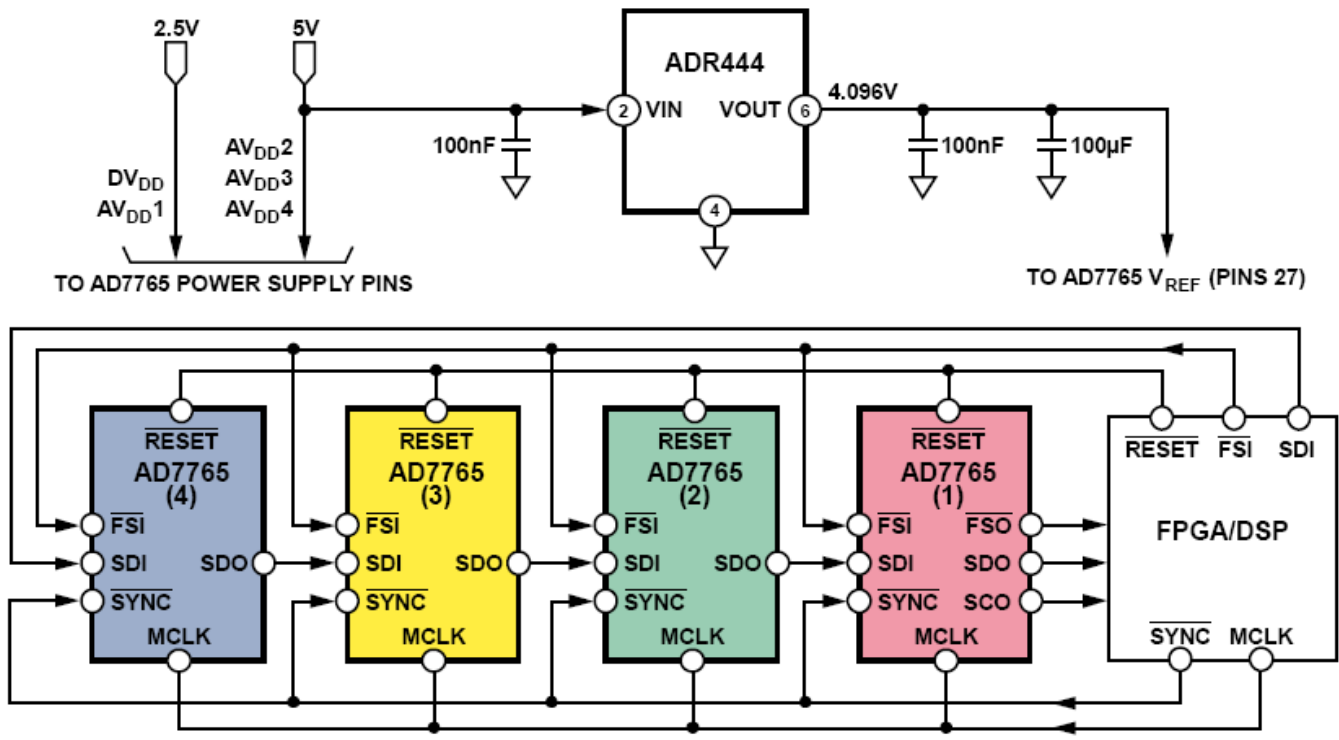


图 1. 4 个菊花链连接的 AD7765 ADC 实现同步采样（原理示意图，未显示去耦和所有连接）

Rev.0

Circuits from the Lab™ circuits from Analog Devices have been designed and built by Analog Devices engineers. Standard engineering practices have been employed in the design and construction of each circuit, and their function and performance have been tested and verified in a lab environment at room temperature. However, you are solely responsible for testing the circuit and determining its suitability and applicability for your use and application. Accordingly, in no event shall Analog Devices be liable for direct, indirect, special, incidental, consequential or punitive damages due to any cause whatsoever connected to the use of any Circuits from the Lab circuits. (Continued on last page)

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com/zh
Fax: 781.461.3113 ©2011 Analog Devices, Inc. All rights reserved.

电路描述

每个AD7765 利用公共采样时钟(MCLK)、同步信号($\overline{\text{SYNC}}$)和复位信号($\overline{\text{RESET}}$)提供时钟,如图 1 所示。ADR444提供的 4.096 V公共基准电压(使用图 5 所示电路)以星形单点配置施加于每个AD7765(各ADC内置基准电压缓冲器)。

上电时给所有器件施加一个 $\overline{\text{RESET}}$ 脉冲(脉冲的最短低电平时间为 $1 \times \text{MCLK}$ 周期)。 $\overline{\text{RESET}}$ 上升沿(使ADC离开复位状态)施加于各AD7765,以便与MCLK下降沿同步。然后将一个 $\overline{\text{SYNC}}$ 脉冲(最短低电平时间为 $4 \times \text{MCLK}$ 周期)施加于所有AD7765 器件,其作用是选通AD7765 的数字滤波器(当它为逻辑低电平时)。在 $\overline{\text{SYNC}}$ 回到逻辑高电平后的第一个MCLK下降沿,AD7765 的数字滤波器开始在内部处理采样。

$\overline{\text{SYNC}}$ 功能起到如下两个作用:

1. 为各 AD7765 提供离散的时间点以便开始处理采样。
2. 确保各器件SDO引脚的数据输出同步(各ADC的 $\overline{\text{FSO}}$ 下降沿同步),如图 2 所示。

一旦所有器件同步,就可以配置所有 ADC。菊花链工作模式要求所有 ADC 使用相同的抽取率(由引脚 18 控制)和功耗模式(通过写入控制寄存器地址 0x0001 进行控制)设置,从而确保各器件的数据同步输出。

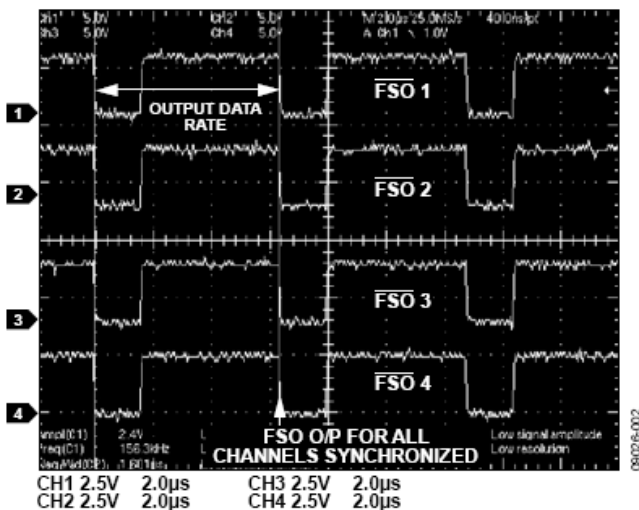


图2. 各AD7765 通道的 $\overline{\text{FSO}}$ 的示波器图,以 156 kSPS的输出数据速率同步采样

为了写入菊花链中的所有四个器件,需将一个公共 $\overline{\text{FSI}}$ (帧同步输入)信号施加于所有AD7765。对AD7765 的写操作由 32 位组成(16 个地址位、16 个寄存器位)。 $\overline{\text{FSI}}$ 以帧形式将数据传输到器件。写入所有四个器件时,菊花链的SDI输入利用单个数据写入指令进行加载,即当 $\overline{\text{FSI}}$ 变为低电平时,32 位数据写入AD7765 (4)的SDI(串行数据输入)。

本笔记中的示例以正常功耗模式工作,抽取系数为 128(最大输出数据速率为 156 kSPS)。

从菊花链读取数据

仅将一个 $\overline{\text{FSO}}$ (帧同步输出)信号施加于数字主机,作为从菊花链读取数据的中断($\overline{\text{FSO}}$ (1))。此信号是所有四个通道的帧信号。从数字主机(FPGA或DSP)回读的数据格式如图 3 所示。AD7765 (1)的转换数据和状态位首先输出(在此期间 $\overline{\text{FSO}}$ (1)为低电平有效),然后依次是AD7765 (2)、(3)、(4)的转换数据和状态位。注意,当从菊花链中的其余转换器输出数据结果时, $\overline{\text{FSO}}$ (1)为逻辑高电平。

下一次 $\overline{\text{FSO}}$ (1)从逻辑高电平跃迁为逻辑低电平时,表示所有四个通道的下一个采样点集可供回读。数字主机需要在 $\overline{\text{FSO}}$ (1)下降沿开始回读,并且从SDO (1)串行输出回读 4×32 位,即 128 位。SDO(串行数据输出)上的数据输出与SCO(串行时钟输出)同步。

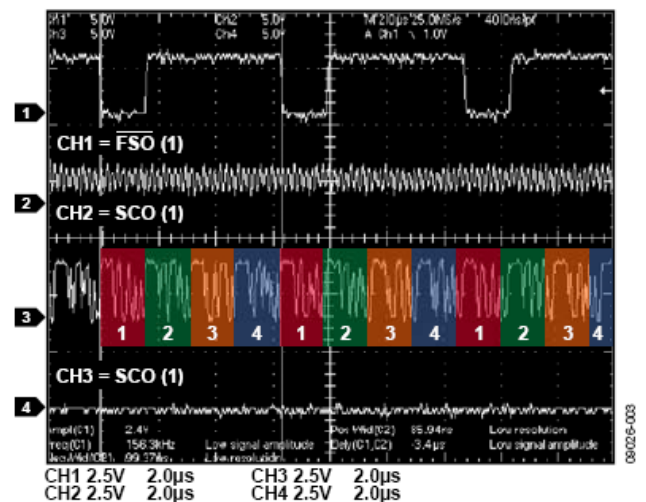


图3. 菊花链: 读取数据。从AD7765 (1)到FPGA 的数字接口。各通道的数据用颜色和编号表示。输出数据速率为 156 kSPS (1/128 抽取)

性能

AD7765 菊花链电路允许用户以 156 kSPS 的输出数据速率同步采样最多 4 个通道。输出数据速率可以通过降低 MCLK 频率或改变 AD7765 的抽取率来改变。改变抽取率后，建议重新同步这些 ADC。图 4 所示为以 156 kSPS 的最大采样速率和 40 MHz 的 MCLK 频率工作时 AD7765 (3) 的输出 FFT。一个 -0.5 dBFS 输入信号以 1 kHz 输入频率施加于 AD7765 的差分放大器输入。

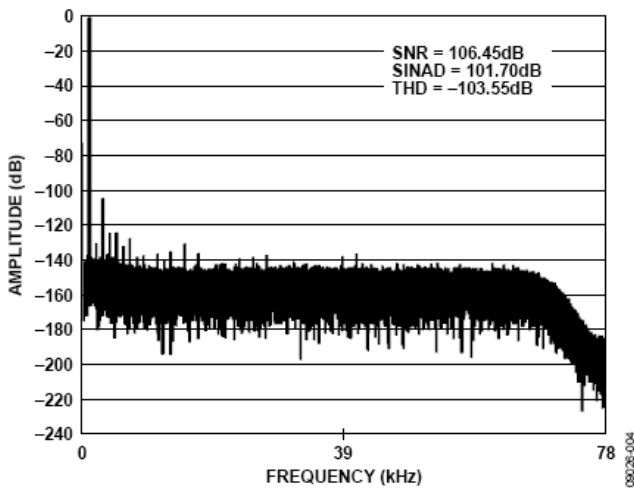


图 4. 1 kHz 输入信号的 FFT 输出：采样速率 156 kSPS、40 MHz MCLK，100 μF 基准电压星形单点电容，131,072 个采样点

图 5 所示为以 97.65 kSPS 的采样速率、25 MHz 的 MCLK 频率和 1 kHz (-0.5 dBFS) 输入信号工作时 AD7765 (3) 的输出 FFT。表 1 列出了 AD7765 在 40 MHz、30 MHz、25 MHz、20 MHz 和正常功耗模式下的性能。

信号源为 Audio Precision SYS2522 模拟输出、平衡 GND、7.699 V p-p 输出、40 Ω 输出阻抗、高精度模式。模拟输入直接施加于 AD7765 的集成差分放大器。FFT 采样点数为 131,072。

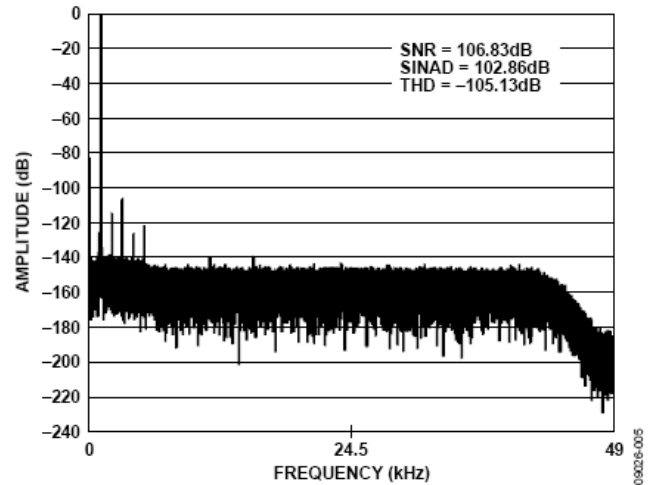


图 5. 1 kHz 输入信号的 FFT 输出：采样速率 97.65 kSPS、25 MHz MCLK，100 μF 基准电压星形单点电容，131,072 个采样点

串扰

以分立 ADC 而不是集成器件实现多通道同步采样的一个主要性能优势是高串扰隔离性能。表 2 列出了当一个 -0.5 dB、1 kHz 输入信号施加于 AD7765 (2) 时，AD7765 相邻通道的串扰。

表 2. 串扰性能

ADC Channel	AD7765 (1)	AD7765 (2)	AD7765 (3)	AD7765 (4)
Crosstalk (dB)	-125dB	N/A	-125dB	-130dB
Input Voltage	Pins 1 and 3 Shorted to GND	-0.5 dBFS 1 kHz input	Pins 1 and 3 Shorted to GND	Pins 1 and 3 Shorted to GND

表 1. 性能与基准电压星形单点电容的关系。AD7765 采用 1/128 的抽取率、正常功耗模式、-0.5 dBFS 1 kHz 输入信号

MCLK (MHz)	20 MHz		25 MHz		30 MHz		40 MHz	
-3 dB PASS-BAND ANALOG INPUT BW	31.25 kHz		39.0625 kHz		46.3875 kHz		62.5 kHz	
STAR POINT CAPACITOR	10μF	100μF	10μF	100μF	10μF	100μF	10μF	100μF
SNR (dBFS)	106.16	107.40	106.29	106.83	106.27	106.96	105.53	106.45
SINAD (dBFS)	102.92	103.26	102.40	102.86	102.39	102.16	101.19	101.70
THD (dB)	-105.74	-105.41	-104.75	-105.13	-104.73	-103.97	-103.26	-103.55

基准电压配置

ADR444 为本电路中的每个 AD7765 器件提供 4.096 V 基准电压。AD7765 的优势之一是片上集成基准电压缓冲器，它将用户与内部基准电压采样电路隔离开来。这意味着，当多个器件共享同一基准电压时，不需要外部缓冲器。图 6 所示的星形单点配置支持将基准电压从单一点通过并行走线施加于各 ADC。这是使 ADC 之间的潜在交互最少的最佳做法。基准电压从一条公共基准电压走线串行分接到各器件。另外，片内基准电压缓冲器也将内部动态开关电容负载与星形单点隔离开来。

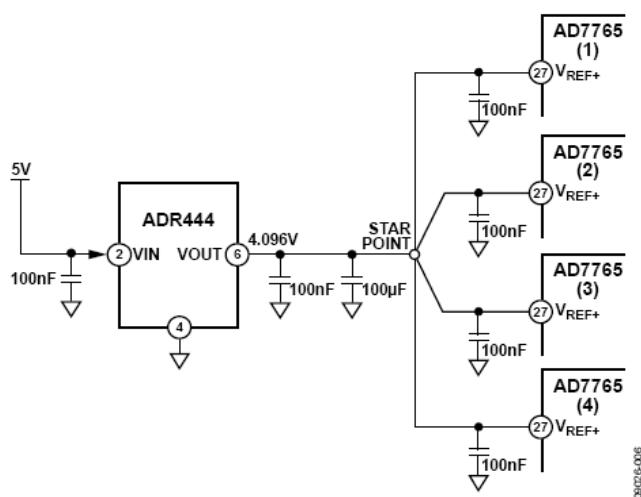


图 6. 基准电压配置的测试条件

常见变化

所述电路是一种可扩展的设计，用户很容易根据新的工作或应用条件进行相应的调整。

如果只需要两个或三个 ADC 通道，则可以去除菊花链中的最后一个 ADC，将菊花链的 SDI 简单连接到器件 (3) 即可。

单个器件的采样速率可以灵活设置，以处理不同的带宽。例如，用户可以为各通道连接独立的 $\overline{\text{SYNC}}$ 信号，从而将菊花链分为两个通道一组的两组通道，或者简单地使用抽取率引脚来改变有效采样速率。在这种方案中，也可以使用引脚兼容的器件 AD7764，它允许用户在双通道菊花链配置下以最高 312 kSPS 的速率进行采样。

布局

AD7765 PCB 的布局布线详见数据手册，应特别注意器件右侧的电源和基准电压的去耦。如需 AD7765 评估板的 Gerber 文件，请访问 www.analog.com 并浏览 AD7765 产品页面的评估板部分。

进一步阅读

MT-031 Tutorial, *Grounding Data Converters and Solving the Mystery of AGND and DGND*, Analog Devices.

MT-022 Tutorial, *ADC Architectures III: Sigma-Delta ADC Basics*, Analog Devices.

MT-023 Tutorial, *ADC Architectures IV: Sigma-Delta ADC Advanced Concepts and Applications*, Analog Devices.

MT-074 Tutorial, *Differential Drivers for Precision ADCs*, Analog Devices.

MT-075 Tutorial, *Differential Drivers for High Speed ADCs Overview*, Analog Devices.

MT-101 Tutorial, *Decoupling Techniques*, Analog Devices.

数据手册和评估板

[AD7765 Data Sheet](#)

[AD7765 Evaluation Board](#)

[ADR444 Data Sheet](#)

修订历史

3/11—Revision 0: Initial Version

(Continued from first page) Circuits from the Lab circuits are intended only for use with Analog Devices products and are the intellectual property of Analog Devices or its licensors. While you may use the Circuits from the Lab circuits in the design of your product, no other license is granted by implication or otherwise under any patents or other intellectual property by application or use of the Circuits from the Lab circuits. Information furnished by Analog Devices is believed to be accurate and reliable. However, "Circuits from the Lab" are supplied "as is" and without warranties of any kind, express, implied, or statutory including, but not limited to, any implied warranty of merchantability, noninfringement or fitness for a particular purpose and no responsibility is assumed by Analog Devices for their use, nor for any infringements of patents or other rights of third parties that may result from their use. Analog Devices reserves the right to change any Circuits from the Lab circuits at any time without notice but is under no obligation to do so.

©2011 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
CN09026-0-3/11(0)



www.analog.com